

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 10 月 14 日(14.10.2010)

PCT

(10) 国際公開番号
WO 2010/116701 A1

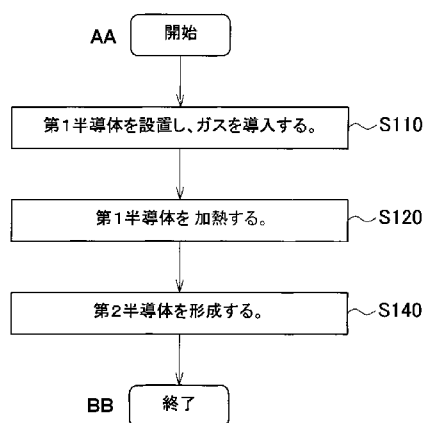
- (51) 国際特許分類:
H01L 21/20 (2006.01) H01L 29/737 (2006.01)
H01L 21/331 (2006.01) H01L 29/778 (2006.01)
H01L 21/338 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2010/002450
- (22) 国際出願日: 2010 年 4 月 2 日(02.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-093443 2009 年 4 月 7 日(07.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 2 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西川 直宏 (NISHIKAWA, Naohiro) [JP/JP]; 〒2990125 千葉県市原市有秋台西 1-9-1 4 0 2 Chiba (JP). 中野 強 (NAKANO, Tsuyoshi) [JP/JP]; 〒2990243 千葉県袖ヶ浦市蔵波 2 9 6 5-2 1 Chiba (JP). 井上 孝行 (INOUE, Takayuki) [JP/JP]; 〒3350021 埼玉県戸田市新曽 1 7 9 4-4 0 1 Saitama (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿 6-2 2-1 新宿スクエアタワー 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR SUBSTRATE AND SEMICONDUCTOR SUBSTRATE

(54) 発明の名称: 半導体基板の製造方法および半導体基板

[図1]



AA Start
S110 Placement of first semiconductor and introduction of gas.
S120 Heating of first semiconductor.
S140 Formation of second semiconductor.
BB End

(57) Abstract: Provided is a method for producing a semiconductor substrate suitable for the formation of multiple different types of devices, such as an HBT and FET, on a single semiconductor substrate, wherein multiple semiconductor substrates are produced by repeating multiple steps that include a step for introducing a first impurity gas comprising as a structural element first impurity atoms, alone or in the form of a compound, into a reactor in which semiconductor crystals are grown. The method for producing a semiconductor substrate comprises steps that follow the step for introducing a first impurity gas and include a step for removing the resulting semiconductor substrate; a step for placement of a first semiconductor inside the reactor; a step for introducing into the reactor a second impurity gas comprising as a structural element second impurity atoms, alone or in the form of a compound, which have conductivity that is the opposite to that of the first impurity atoms inside the first semiconductor; a step for heating the first semiconductor in an atmosphere of the second impurity gas; and a step for growing crystals of a second semiconductor on the heated first semiconductor.

(57) 要約:

[続葉有]

WO 2010/116701 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

単一半導体基板上に H B T および F E T のような複数異なる種類のデバイスを形成するに適した半導体基板を製造する方法を提供する。半導体を結晶成長させる反応容器内に第 1 不純物原子を構成要素として有する単体または化合物を含む第 1 不純物ガスを導入する段階を含む複数の段階を繰り返して、複数の半導体基板を製造する方法であって、第 1 不純物ガスを導入する段階の後に、製造された半導体基板を取り出す段階と、反応容器内に第 1 半導体を設置する段階と、反応容器内に、第 1 半導体内で第 1 不純物原子と反対の伝導型を示す第 2 不純物原子を構成要素として有する単体または化合物を含む第 2 不純物ガスを導入する段階と、第 1 半導体を第 2 不純物ガスの雰囲気中で加熱する段階と、加熱した前記第 1 半導体上に第 2 半導体を結晶成長させる段階とを備える半導体基板の製造方法を提供する。

明 細 書

発明の名称：半導体基板の製造方法および半導体基板

技術分野

[0001] 本発明は、半導体基板の製造方法および半導体基板に関する。

背景技術

[0002] 特許文献 1 は、ウェハ上に少なくとも 2 つの異なるタイプの集積活性デバイス（例えば HBT および FET）を作製するのに適したエピタキシャル第 3～5 族化合物半導体ウェハを作製する方法を開示している。

（特許文献 1）特開 2008-60554 号公報

発明の開示

発明が解決しようとする課題

[0003] 単一の半導体基板上に、ヘテロ接合バイポーラトランジスタ（Hetero-junction Bipolar Transistor、「HBT」と称する）と電界効果トランジスタ（Field Effect Transistor、「FET」と称する）を一例とする複数の異なる種類のデバイスを形成する場合には、一方のデバイスの製造工程が他方の製造工程に影響を及ぼす場合がある。

[0004] 例えば、デバイスの製造に用いる反応容器内に、HBT にドーピングした不純物（例えば Si）が残留していると、次に製造するデバイスの半導体基板上に当該不純物が付着して拡散する場合がある。当該不純物は、半導体基板上に形成される FET におけるキャリアを生成し、リーク電流の一因となる。また、キャリアが生成されることによって、デバイス間の素子分離が不安定になる場合もある。さらに、単一の半導体基板上に形成される双方のデバイスの特性を最適化することが難しくなる場合もある。

課題を解決するための手段

[0005] 上記課題を解決するために、本発明の第 1 の態様においては、半導体を結晶成長させる反応容器内に第 1 不純物原子を構成要素として有する単体また

は化合物を含む第1不純物ガスを導入する段階を含む複数の段階を繰り返して、複数の半導体基板を製造する方法であって、第1不純物ガスを導入する段階の後に、製造された半導体基板を取り出す段階と、反応容器内に第1半導体を設置する段階と、反応容器内に、第1半導体内で第1不純物原子と反対の伝導型を示す第2不純物原子を構成要素として有する単体または化合物を含む第2不純物ガスを導入する段階と、第1半導体を第2不純物ガスの雰囲気中で加熱する段階と、加熱した第1半導体上に第2半導体を結晶成長させる段階とを備える半導体基板の製造方法を提供する。

[0006] 加熱する段階においては、例えば、電子密度と正孔密度との差を示す有効キャリア密度を第1半導体の少なくとも表面において減少させるべく加熱する条件を設定する。当該製造方法においては、第1不純物原子が、第1半導体内でN型の伝導型を示す不純物原子であり、第2不純物ガスが、第1半導体内でP型の伝導型を示す不純物原子を含むP型不純物ガスを含む。第1半導体または第2半導体が3-5族化合物半導体であり、P型不純物ガスが、ハロゲン化炭化水素ガスを含んでもよい。

[0007] ハロゲン化炭化水素ガスは、例えば、 $\text{CH}_n\text{X}_{(4-n)}$ （ただし、XはCl、BrおよびIからなる群から選択されるハロゲン原子であり、nは、 $0 \leq n \leq 3$ の条件を満たす整数であり、 $0 \leq n \leq 2$ の場合、複数のXは互いに同一の原子でも異なった原子でもよい。）である。第1半導体または第2半導体が3-5族化合物半導体であり、第2不純物ガスがアルシンおよび水素を含んでもよい。第2不純物ガスが、1ppb以下の GeH_4 を含むアルシン原料ガスを含んでもよい。

[0008] 第2半導体は、一例として、電子または正孔が移動するチャネルとして機能するモノキャリア移動半導体である。モノキャリア移動半導体が、3-5族化合物半導体のN型モノキャリア移動半導体であり、第2半導体を結晶成長させる段階において、N型の伝導型を示す不純物原子を含む化合物としてシランまたはジシランを反応容器に導入してN型モノキャリア移動半導体を結晶成長させてもよい。モノキャリア移動半導体上に、モノキャリア移動半

導体とは反対の伝導型のモノキャリア移動半導体を形成する段階をさらに備えてもよい。

[0009] また、第2半導体上に、N型半導体、P型半導体およびN型半導体をこの順にエピタキシャル成長させる、またはP型半導体、N型半導体およびP型半導体をこの順にエピタキシャル成長させることにより、N型半導体／P型半導体／N型半導体で表される積層半導体、またはP型半導体／N型半導体／P型半導体で表される積層半導体を形成する段階、をさらに含んでもよい。

[0010] この場合に、第1不純物原子が、半導体内でN型の伝導型を示す不純物原子であり、第2不純物ガスが、P型の伝導型を示すP型不純物原子を含むP型不純物ガスを含み、積層半導体が、バイポーラトランジスタのベースとして機能するベース層を含み、P型不純物ガスと同じ種類のガスを反応容器に導入してベース層を製造してもよい。第2半導体を結晶成長させる段階において、N型の伝導型を示す不純物原子を含む化合物としてシランまたはジシランを反応容器に導入して、積層半導体におけるN型半導体を形成してもよい。

[0011] 抵抗体を形成する段階は、3族元素を含む3族原料ガスおよび5族元素を含む5族原料ガスを用いたエピタキシャル成長により、3－5族化合物半導体のP型半導体を形成する段階を有し、P型半導体を形成する段階において、P型半導体のアクセプタ濃度を3族原料ガスと5族原料ガスとの流量比により制御してもよい。また、少なくとも第2半導体を第1半導体上に形成した後、少なくとも第2半導体が形成された半導体基板を反応容器から取り出す段階をさらに含み、取り出す段階の後、反応容器の内部の不純物原子の影響を軽減する工程を経ることなく、反応容器の内部に第1半導体とは別の第1半導体を設置し、ガスを反応容器の内部に導入する段階と、別の第1半導体をガスの雰囲気中で加熱する段階と、加熱した第1半導体上に第2半導体を形成する段階と、を繰り返してもよい。

[0012] 本発明の第2の態様においては、第1半導体と、第1半導体上に形成され

た第2半導体とを含む半導体基板であって、第1半導体と第2半導体との界面に、P型不純物原子と、P型不純物原子と実質的に同じ密度のN型不純物原子とを有する半導体基板を提供する。例えば、P型不純物原子およびN型不純物原子は活性化されている。

[0013] なお、本明細書において、「A上のB（B on A）」は「BがAに接する場合」、および、「BとAとの間に他の部材が存在する場合」の両方の場合を含む。

図面の簡単な説明

- [0014] [図1]半導体基板の製造方法の一例を表すフローチャートを示す。
[図2]半導体基板200の断面の一例を示す。
[図3]半導体基板300の断面の一例を示す。
[図4]半導体基板1400の断面の一例を示す。
[図5]半導体基板400の断面の一例を示す。
[図6]半導体基板1600の断面の一例を示す。
[図7]半導体基板の製造方法の一例を表すフローチャートを示す。
[図8]半導体基板600の断面の一例を示す。
[図9]半導体基板800を製造する方法を表すフローチャートを示す。
[図10]半導体基板800の断面の一例を示す。
[図11]半導体基板200を製造する方法を表すフローチャートを示す。
[図12]半導体基板1100を製造する方法を表すフローチャートを示す。
[図13]半導体基板1100の断面の一例を示す。

発明を実施するための形態

- [0015] 図1は、半導体基板の製造方法の一例を表すフローチャートを示す。本製造方法は、第1半導体を設置してガスを導入する段階S110、第1半導体を加熱する段階S120、および第2半導体を形成する段階S140を備える。なお、図2は、本実施態様の製造方法によって製造される半導体基板200の断面の一例を示す。半導体基板200は、第1半導体210および第2半導体240を備える。

- [0016] 半導体基板200上には、電子素子を形成することができる。例えば、半導体基板200を用いて、FET、高電子移動度トランジスタ（High Electron Mobility Transistor、「HEMT」と称する場合がある。）またはHBT等を製造することができる。
- [0017] 第1半導体210は、例えば半導体基板200における他の構成要素を支持するに十分な機械的強度を有する基板である。例えば、第1半導体210は、Si基板、SOI（silicon-on-insulator）基板、Ge基板、GOI（germanium-on-insulator）基板、またはGaAs基板等である。Si基板は、例えば単結晶Si基板である。第1半導体210は、サファイア基板、ガラス基板、PETフィルム等の樹脂基板であってもよい。第1半導体210は、基板（ウェハ）自体であってもよく、基板上にエピタキシャル成長された半導体層であってもよい。第1半導体210は、例えば3-5族化合物半導体である。
- [0018] 第2半導体240は、電子素子を形成することができる化合物半導体である。例えば、第2半導体240は、3-5族化合物半導体または2-6族化合物半導体等である。第2半導体240は、一例としてモノキャリア移動半導体である。「モノキャリア移動半導体」とは、電子または正孔の何れか一方の移動によりトランジスタ等の電子素子のチャネルとして機能する半導体をいう。
- [0019] 第1半導体210の上に形成する第2半導体240は、図2に示すように単層であってもよく、複層であってもよい。図3および図4は、第1半導体210上に複層の第2半導体340と第2半導体440とを形成した例である。第2半導体が複層である場合には、それぞれの第2半導体層を順次形成してよい。
- [0020] 図3に示す半導体基板300において、第2半導体340は、第2半導体342、第2半導体344、第2半導体346、および第2半導体348を有する。半導体基板300は、例えば、HEMTに適する半導体基板である。第2半導体342は、例えばHEMTのチャネルを形成するモノキャリア

移動半導体である。第2半導体344は、第2半導体342にキャリアを供給するキャリア供給半導体である。

[0021] 第2半導体346は、例えばゲート電極が形成されるバリア形成半導体である。第2半導体348は、例えばソース電極およびドレイン電極が形成されるコンタクト用半導体である。図3において、半導体基板300は、破線で示す領域に他の半導体等を含んでよい。例えば、半導体基板300は、破線で示す領域に、キャリア供給層、スペーサー層、またはバッファ層等を含む。

[0022] 図4に示す半導体基板1400において、第2半導体1440は、第2半導体1442、第2半導体1444、第2半導体1446、第2半導体1448、および第2半導体1450を有する。半導体基板1400は、例えば、相補型FETに適する半導体基板である。第2半導体1442は、FETのチャネルを形成するモノキャリア移動半導体である。第2半導体1444は、第2半導体1442にキャリアを供給するキャリア供給半導体である。

[0023] 第2半導体1446は、例えばゲート電極が形成されるバリア形成半導体である。第2半導体1448は、例えばソース電極およびドレイン電極が形成されるコンタクト層である。第2半導体1450は、第2半導体1442の伝導型とは反対の伝導型を持つ半導体である。図4において、半導体基板1400は、破線で示す領域に他の半導体等を含んでよい。例えば、半導体基板1400は、破線で示す領域に、キャリア供給層、スペーサー層、またはバッファ層等を含む。

[0024] 図5に示す半導体基板400において、第2半導体440は、第2半導体442、第2半導体444、および第2半導体446を有する。半導体基板400は、例えば、HBTに適する半導体基板である。第2半導体442は、例えばHBTのコレクタ層である。第2半導体444は、例えばHBTのベース層である。第2半導体446は、例えばHBTのエミッタ層である。図5において、半導体基板400は、破線で示す領域に他の半導体等を含んでよいことを示す。例えば、半導体基板400は、破線で示す領域にバッフ

ァ層等を含む。

[0025] 図6に示す半導体基板1600は、積層半導体1640、積層半導体1650、および積層半導体1660を有する。

[0026] 積層半導体1640は、第2半導体1642、第2半導体1644、第2半導体1646、および第2半導体1648を有する。第2半導体1642は、例えばFETのチャネルを形成するモノキャリア移動半導体である。第2半導体1644は、第2半導体1642にキャリアを供給するキャリア供給半導体である。第2半導体1646は、例えばゲート電極が形成されるバリア形成半導体である。第2半導体1648は、例えばソース電極およびドレイン電極が形成されるコンタクト層である。

[0027] 積層半導体1650は、第2半導体1644とは反対の伝導型を持つ半導体1652を有する。積層半導体1660は、少なくともコレクタ層1662、ベース層1664、およびエミッタ層1666を有する。

[0028] 図6において、半導体基板1600は、破線部分に他の半導体等を含んでもよい。例えば、半導体基板1600は、破線で示す領域に、キャリア供給層、スペーサー層、またはバッファ層等を含む。

[0029] 以下、一例として、半導体基板200の製造方法を説明する。第1半導体210を設置してガスを導入する段階S110において、まず第1半導体210を反応容器に設置する。当該反応容器は、半導体内でP型またはN型の伝導型を示す第1不純物原子を、製造工程の開始前に反応容器内部に含む場合がある。例えば、第1半導体210を設置する前に、第1不純物原子を構成要素として有する単体または化合物を含む第1不純物ガスを反応容器に導入して、他の半導体基板200を反応容器内で製造することがある。

[0030] この場合には、第1不純物ガスに含まれていたN型の伝導型を示す第1不純物原子またはP型の伝導型を示す第1不純物原子が反応容器内に残留する場合がある。このような第1不純物原子が、次に製造される半導体基板200の第1半導体210の表面に付着して拡散すると、当該第1不純物原子が第2半導体240のキャリアとして作用する。その結果、第1半導体210

および第2半導体240の間でリーク電流が発生する。

[0031] そこで、リーク電流の発生を防ぐことを目的として、先に製造された半導体基板200を取り出した後に第1半導体210を設置してから、半導体内で第1不純物原子とは反対の伝導型を示す第2不純物原子を構成要素とする単体または化合物を含む第2不純物ガスを、反応容器に導入する。例えば、反応容器に残留している第1不純物原子が、半導体内でN型の伝導型を示す不純物原子である場合には、第2不純物ガスは、P型の伝導型を示す第2不純物原子を構成要素とする単体または化合物を含むガスを含む。当該第2不純物原子を構成要素とする化合物は、例えばハロゲン化炭化水素である。なお、第1半導体210を設置する前に第2不純物ガスを反応容器に導入してもよい。

[0032] ハロゲン化炭化水素ガスは、例えば $\text{C H}_n \text{X}_{(4-n)}$ （ただし、XはC l、B rおよびIからなる群から選択されるハロゲン原子であり、nは、 $0 \leq n \leq 3$ の条件を満たす整数であり、 $0 \leq n \leq 2$ の場合、複数のXは互いに同一の原子でも異なった原子でもよい。）である。P型の伝導型を示す第2不純物原子を構成要素とする化合物は、例えば C C l_3 、 B r である。第2不純物ガスがハロゲンを含む場合には、反応容器に残留している第1不純物が不活性化する。

[0033] 第2不純物ガスは、例えばアルシン（ A s H_3 ）および水素を含む。当該アルシンには、残留4族不純物原子を実質的に含まないことが好ましい。具体的には、第2不純物ガスが含むアルシン原料ガスに含まれる G e H_4 は、例えば、1 p p b以下である。

[0034] 第1半導体210を設置してから第2不純物ガスを導入する前に、反応容器内部を真空引きしてもよい。第2不純物ガスを導入する前に、反応容器内部を窒素ガス、水素ガス、または不活性ガス等によりパージしてもよい。第2不純物ガスは、次の加熱する段階S120の前に導入してもよく、加熱の途中で導入してもよく、または加熱の途中で入れ替えてもよい。

[0035] 第2不純物ガスは、一種類のガスであってもよく、複数種類のガスを混合

したガスであってもよい。例えば、第2不純物ガスとして、P型の伝導型を示す不純物原子を構成要素とする単体または化合物を含むガスを単独に導入してもよく、P型の伝導型を示す不純物原子を構成要素とする単体または化合物を含むガスおよび水素を同時に導入してもよい。

[0036] 第1半導体210を加熱する段階S120において、反応容器に設置されている第1半導体210を、第2不純物ガスの雰囲気中で加熱する。加熱温度は、例えば400℃から800℃である。反応容器内圧力は、例えば5 Torrから大気圧までの圧力である。加熱時間は、例えば5秒から50分までの時間である。上記のパラメータは、半導体基板200を製造する装置、反応容器の容量、反応容器内の第1不純物原子の残留量等によって変えてもよい。上記加熱条件は、電子密度と正孔密度との差を示す有効キャリア密度が、第1半導体210の少なくとも表面において減少するように設定してもよい。

[0037] 例えば、有機金属気相成長法 (Metal Organic Chemical Vapor Deposition、MOCVD法と称する場合がある) により第2半導体240をエピタキシャル成長させる場合に、N型の伝導型を示す第1不純物原子として、Siが反応容器内に残留しているときは、上述のガスを導入する段階S110において、アルシン、水素、およびCCl₃Brを導入して、温度が500℃～800℃、反応容器内圧力が5 Torrから大気圧、時間が10秒から15分の条件下で、加熱する。

[0038] この条件の下での加熱によって、CCl₃Brの中に存在するCが第2不純物原子として作用し、第1半導体210表面に存在するSiのドナー効果を補償する。その結果、第1半導体210表面に存在したSi等の第1不純物原子の影響を抑止できる。例えば、第2不純物原子の存在により、第1半導体210とその上にエピタキシャル成長する第2半導体240との界面に発生する絶縁不良を防止できる。

[0039] 第2半導体240を形成する段階S140において、加熱した第1半導体210の上に、第2半導体240を形成する。第2半導体240の形成方法

としては、化学気相成長法（Chemical Vapor Deposition、CVD法と称する。）、物理気相成長法（Physical Vapor Deposition、PVD法と称する。）、MOCVD法、分子線エピタキシー法（Molecular Beam Epitaxy、MBE法と称する。）を例示できる。

[0040] 第1半導体210が半導体単結晶基板である場合に、第1半導体210上に第2半導体240をエピタキシャル成長してもよい。例えば、第1半導体210がGaAs単結晶基板である場合に、第2半導体240として、GaAs、InGaAs、AlGaAs、またはInGaP等の化合物半導体を第1半導体210にエピタキシャル成長させる。第2半導体240は、例えば第1半導体210に接して形成される。半導体基板200は、第1半導体210と第2半導体240との間に他の半導体層を有してもよい。

[0041] GaAsの第1半導体210上に、MOCVD法により3-5族元素からなる第2半導体240を形成する場合に、3族元素原料として、各金属原子に炭素数が1から3のアルキル基もしくは水素が結合したトリアルキル化物、もしくは三水素化物を使用することができる。3族元素原料として、例えば、トリメチルガリウム（TMG）、トリメチルインジウム（TMI）、トリメチルアルミニウム（TMA）等を使用することができる。

[0042] 5族元素原料ガスとして、アルシン（AsH₃）、またはアルシンが含む水素原子の少なくとも一つを炭素数が1から4のアルキル基で置換したアルキルアルシンまたはホスフィン（PH₃）等を使用することができる。また、第2半導体240は、3-5族化合物のN型モノキャリア移動半導体であってもよい。N型モノキャリア移動半導体の形成に用いる、N型の伝導型を示す不純物原子を含む化合物は、シランまたはジシランを含んでよい。

[0043] 本実施態様の製造方法によって製造した半導体基板200は、上述の加熱する段階120において、第2不純物ガスが含むCCl₃Brに含まれるCが、第1半導体210表面に残存するSiのドナー効果を補償する。半導体基板200は、一例として、第1半導体210と第2半導体240との界面に

、P型不純物原子のCと、Cと実質的に同じ密度のN型不純物Siとを有する。半導体基板200は、第1半導体210と第2半導体240との界面に、活性化されたP型不純物Cと、活性化されたCと実質的に同じ密度の活性化されたN型不純物Siとを有してもよい。

[0044] 本実施態様の製造方法を用いて、図2から図6に示した半導体基板200、半導体基板300、半導体基板400、半導体基板1400、および半導体基板1600を製造してもよい。

[0045] 図7は、半導体基板製造方法の他の実施態様を表すフローチャートを示す。図1に示す実施態様に比して、本実施態様の製造方法は、第2半導体を形成する段階S140の後に、第2半導体の上に、N型半導体、P型半導体、およびN型半導体をこの順にエピタキシャル成長させることにより、またはP型半導体、N型半導体、およびP型半導体をこの順にエピタキシャル成長させることにより、N型半導体／P型半導体／N型半導体で表される積層半導体、またはP型半導体／N型半導体／P型半導体で表される積層半導体を形成する段階S550をさらに備える。

[0046] 図8は、本実施態様の製造方法によって製造する半導体基板600の断面の一例を示す。半導体基板600は、半導体基板200に比して、第2半導体240の上にさらに積層半導体660を有する。

[0047] 積層半導体660は、コレクタ層662、ベース層664、およびエミッタ層666を有する。コレクタ層662、ベース層664、およびエミッタ層666は、例えばNPNまたはPNP型の接合構造を形成する半導体である。コレクタ層662、ベース層664、およびエミッタ層666は、それぞれバイポーラトランジスタのコレクタ、ベース、およびエミッタとして機能する半導体層である。

[0048] 以下、半導体基板600を用いて、本実施態様の製造方法を説明するが、図1に示す製造方法と重複するS110からS140については説明を省略する。積層半導体660を形成する段階S550において、第2半導体240の上に順次にコレクタ層662、ベース層664、およびエミッタ層66

6をエピタキシャル成長させる。エピタキシャル成長方法としては、CVD法、MOCVD法、または分子線エピタキシー法を例示できる。例えば、GaAsの第1半導体210に、MOCVD法により3-5族元素からなる積層半導体660を形成する場合に、上述の3族元素原料および5族元素原料を使用できる。

[0049] 積層半導体660が含むN型半導体を形成する間には、N型の伝導型を示す不純物原子を構成要素として有する単体または化合物を含むガスが反応容器内に導入される。当該ガスは、例えばシランまたはジシランを含む。積層半導体660が含むP型半導体を形成する間には、P型の伝導型を示す不純物原子を構成要素として有する単体または化合物を含むガスを反応容器内に導入する。

[0050] 積層半導体660が、N型半導体/P型半導体/N型半導体で表される場合には、第1不純物ガスは、最後に反応容器に導入されたN型の伝導型を示す不純物原子を構成要素として有する単体または化合物を含むガスである。P型半導体/N型半導体/P型半導体で表される場合には、第1不純物ガスは、最後に反応容器に導入されたP型の伝導型を示す不純物原子を構成要素として有する単体または化合物を含むガスである。

[0051] 積層半導体660を形成した後に、次の半導体基板600を製造する場合には、反応容器に第1半導体210を設置してから、先に製造した半導体基板600を形成する間に、最後に導入された第1不純物ガスの伝導型と反対の伝導型の第2不純物ガスを反応容器に導入する。第2不純物ガスを反応容器内に導入した状態で、第1半導体210を加熱することにより、第1半導体210に付着した第1不純物を補償することができる。

[0052] 図9は、図10に示す半導体基板800の製造方法を表すフローチャートを示す。図1に示す実施態様に比して、本実施態様の製造方法は、第1半導体210を加熱する段階S120と第2半導体240を形成する段階S140との間に、図10に示す抵抗体830を形成する段階S730をさらに含む。同様に、図7に示す実施態様にも、更に抵抗体830を形成する段階S

730を含んでよい。

[0053] 図10は、本実施態様の製造方法によって製造される半導体基板800の断面の一例を示す。半導体基板800は、半導体基板600に比して、第1半導体210と第2半導体240との間にさらに抵抗体830を有する。

[0054] 抵抗体830は、第1半導体210と第2半導体240との間に形成される。抵抗体830は、例えばキャリアトラップを含む。キャリアトラップは、例えばホウ素原子または酸素原子である。抵抗体830は、一例として、キャリアトラップとして酸素原子を添加した化合物半導体 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yIn_zGa_{1-x-z}P$ ($0 \leq y \leq 1, 0 \leq z \leq 1$) である。

[0055] 当該化合物半導体に酸素原子等のキャリアトラップを添加することにより、抵抗体830に深いトラップ準位を形成することができる。抵抗体830が深いトラップ準位を有すると、抵抗体830は、抵抗体830を通過するキャリアを捕獲するので、抵抗体830の上下にある第2半導体240と第1半導体210との間のリーク電流を防止できる。

[0056] キャリアトラップを含む抵抗体830の膜厚方向の抵抗率は、組成、酸素原子ドーピング濃度、および膜厚によって異なる値になる。例えば、抵抗体830が $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) である場合に、結晶品質を損なわない範囲で、組成に占めるAlの割合が大きいほど抵抗率が高いが、実用上xは0.3~0.5程度が好ましい。また、酸素原子ドーピング濃度は、結晶品質を損なわない範囲で高い方が望ましく、酸素原子の濃度は、 $1 \times 10^{18} [cm^{-3}]$ 以上、 $1 \times 10^{20} [cm^{-3}]$ 以下であることが好ましい。抵抗体830の膜厚は成長時間に支障がない範囲で厚い方が望ましい。

[0057] 抵抗体830は、P型半導体を含んでもよい。当該P型半導体は、例えば複数の3-5族化合物半導体を有する。複数の3-5族化合物半導体のうち相互に隣接する2つの3-5族化合物半導体は、例えば、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) と $Al_yGa_{1-y}As$ ($0 \leq y \leq 1, x < y$) とのヘテロ接合、 $Al_pIn_qGa_{1-p-q}P$ ($0 \leq p \leq 1, 0 \leq q \leq 1$) と $Al_rIn_sGa_{1-r-s}P$ ($0 \leq r \leq 1, 0 \leq s \leq 1$) とのヘテロ接合、

$r-s$ P ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $p < r$) とのヘテロ接合、および、 $A I_x G a_{1-x} A s$ ($0 \leq x \leq 1$) と $A I_p I n_q G a_{1-p-q} P$ ($0 \leq p \leq 1$, $0 \leq q \leq 1$) とのヘテロ接合、からなる群から選択された少なくとも 1 つのヘテロ接合を形成する。

[0058] 例えば、抵抗体 830 が、第 2 半導体 240 に接する P 型半導体層 $A I_x G a_{1-x} A s$ ($0 \leq x \leq 1$) と第 1 半導体 210 に接する P 型半導体層 $A I_y G a_{1-y} A s$ ($0 \leq y \leq 1$) を含み、 $x < y$ である場合に、P 型半導体層 $A I_y G a_{1-y} A s$ が P 型半導体層 $A I_x G a_{1-x} A s$ より高い A I 組成を有し、広いエネルギーバンドギャップを有する。当該バンドギャップがエネルギーバリアとなり、P 型半導体 $A I_x G a_{1-x} A s$ から P 型半導体 $A I_y G a_{1-y} A s$ へのキャリアの移動が阻害され、リーク電流の発生が抑制される。

[0059] 抵抗体 830 は、更に多くの P 型半導体層を有してもよい。当該 P 型半導体層の各層が原子単位の厚さを有し、全体として超格子を構成してもよい。そのような場合には、多数のヘテロ接合により多数のエネルギーバリアが形成されるので、より効果的にリーク電流を防止することができる。

[0060] 抵抗体 830 は、複数の P 型半導体層と複数の N 型半導体層とを含み、P 型半導体層と N 型半導体層とが、交互に積層されて複数の PN 接合を形成する積層構造を有してもよい。抵抗体 830 が当該積層構造を有する場合には、複数の PN 接合が複数の空乏領域を形成してキャリアの移動を阻害するので、効果的にリーク電流を防止することができる。

[0061] 以下、半導体基板 800 を用いて、本実施態様の製造方法を説明するが、図 1 および図 7 に示す製造方法と重複する S110、S120、および S140 については省略する。抵抗体 830 を形成する段階 S730 において、抵抗体 830 を第 1 半導体 210 の上に形成する。抵抗体 830 の形成方法としては、CVD 法、MOCVD 法、MBE 法を例示できる。

[0062] 第 1 半導体 210 が半導体単結晶基板である場合に、抵抗体 830 は、第 1 半導体 210 にエピタキシャル成長する。例えば、第 1 半導体 210 が $G a A s$ 単結晶基板である場合に、抵抗体 830 として、 $A I_x G a_{1-x} A s$ (

$0 \leq x \leq 1$) または $\text{Al}_y\text{In}_z\text{Ga}_{1-x-z}\text{P}$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) 等を第 1 半導体 210 上にエピタキシャル成長させてよい。抵抗体 830 は、例えば第 1 半導体 210 に接する。半導体基板 800 は、第 1 半導体 210 と抵抗体 830 との間に他の層を有してもよい。例えば、半導体基板 800 は、第 1 半導体 210 と抵抗体 830 との間にバッファ層を有する。

[0063] 抵抗体 830 を形成する段階 S730 は、抵抗体 830 が含む P 型半導体を形成する段階を有してもよい。当該 P 型半導体は、例えば、3 族元素を含む 3 族原料ガスおよび 5 族元素を含む 5 族原料ガスを用いたエピタキシャル成長により形成される 3-5 族化合物半導体である。当該 P 型半導体のアクセプタ濃度は、3 族原料ガスと 5 族原料ガスとの流量比により制御することができる。

[0064] MOCVD 法により、3-5 族化合物半導体をエピタキシャル成長させる過程では、化学反応により有機金属からメタンが発生する。メタンの一部が分解して炭素が生成する。炭素は 4 族元素で、3-5 族化合物半導体の 3 族元素位置にも 5 族元素位置にも入ることができる。炭素が 3 族元素位置に入った場合には、炭素がドナーとして働き、N 型のエピタキシャル層が得られる。炭素が 5 族元素位置に入った場合には、炭素がアクセプタとして働き、P 型のエピタキシャル層が得られる。

[0065] すなわち、炭素の作用により、エピタキシャル層は P 型または N 型のいずれかの伝導型の半導体になり、炭素の混入量によって、アクセプタ濃度またはドナー濃度が変化する。特に GaAs 、 AlGaAs 、 InGaAs の場合は、炭素が 5 族元素の位置に入り P 型になりやすい。 AsH_3 分圧が高いと炭素が入りにくく、 AsH_3 分圧が低いと炭素が入りやすいため、3 族原料ガスと 5 族原料ガスとの流量比を調整して原料ガスの分圧を調整することにより、P 型半導体のアクセプタの濃度を制御できる。

[0066] 図 11 は、半導体基板 200 の製造方法を表すフローチャートを示す。図 1 に示す実施態様に比して、本実施態様は、第 2 半導体 240 を形成する段階 S140 の後、半導体基板 200 を反応容器から取り出す段階 S960 を

さらに含む。以下、図2に示す半導体基板200を用いて本実施態様の製造方法を説明する。前述の実施態様と重複する内容については省略する。

[0067] 半導体基板200を取り出す段階S960においては、第2半導体240が第1半導体210の上に形成された半導体基板200を反応容器から取り出す。反応容器内には、第2半導体240を形成する間に反応容器に導入された第1不純物が残留している場合がある。次の半導体基板200を製造する場合に、第1半導体210を反応容器に載置してから第2不純物ガスを反応容器に導入すれば、反応容器に残留した第1不純物の影響を軽減することを目的とした真空引きなどの工程を設けなくとも第1不純物の影響を軽減できる。

[0068] つまり、先に製造された半導体基板200を反応容器から取り出した後、速やかに、次に製造する半導体基板200を構成する第1半導体210を反応容器に設置してよい。その後、第2不純物ガスを反応容器の内部に導入する段階S110から半導体基板製造工程を繰り返してよい。

[0069] 図12は、図13に示す半導体基板1100の製造方法を表すフローチャートを示す。本実施態様の製造方法は、第1半導体1110を設置し、ガスを導入する段階S110、第1半導体1110を加熱する段階S120、抵抗体1130を形成する段階S730、第2半導体1140を形成する段階S140、積層半導体1160を形成する段階S550、および半導体基板1100を取り出す段階S960を備える。各段階のプロセスは上述の各実施態様における対応する段階と同じであってよい。

[0070] 図13は、図12に示す製造方法により製造される半導体基板1100の断面の一例を示す。半導体基板1100は、第1半導体1110、バッファ層1120、抵抗体1130、第2半導体1140、バッファ層1150、および積層半導体1160を備える。第1半導体1110は第1半導体210に対応し、抵抗体1130は抵抗体830に対応する。

[0071] 半導体基板1100において、第1半導体1110は、例えばGaAs単結晶基板である。一例として、半導体基板1100における他の半導体層は

、MOCVD法により第1半導体1110の上にエピタキシャル成長され、第1半導体1110と格子整合または擬格子整合する3-5族化合物半導体である。半導体基板1100は、同一基板上にFET、特にHEMTおよびHBTをモノリシックに製造する場合に適する。第2半導体1140は、主にHEMTの形成に適する半導体であり、積層半導体1160は、主にHBTの形成に適する半導体である。

[0072] バッファ層1120は、上層に形成される半導体層と第1半導体1110との格子間距離を整合させる緩衝層として機能する半導体層である。バッファ層1120は、上層に形成される半導体の結晶質を確保する目的で設けられた半導体層であってもよい。バッファ層1120は、例えば、第1半導体1110の表面に残留する不純物原子による半導体基板1100の特性劣化を防ぐ。バッファ層1120は、上層に形成される半導体層からのリーク電流を抑制する役割を果たす半導体層であってもよい。バッファ層1120は、エピタキシャル成長法により形成される。バッファ層1120の材料として、GaAsまたはAlGaAsを例示できる。

[0073] 第2半導体1140は、キャリア供給半導体1142、モノキャリア移動半導体1144、キャリア供給半導体1146、およびショットキー層1148を有する。モノキャリア移動半導体1144は、電子または正孔の何れか一方が移動するチャネルとして機能する。キャリア供給半導体1142およびキャリア供給半導体1146は、モノキャリア移動半導体1144にキャリアを供給する。ショットキー層1148は、それに接して形成される金属電極との間にショットキー接合を形成する。

[0074] 第2半導体1140は、HEMTの形成に適する半導体である。キャリア供給半導体1142、モノキャリア移動半導体1144、キャリア供給半導体1146、およびショットキー層1148は、例えばエピタキシャル成長法により形成される。エピタキシャル成長法として、MOCVD法、MBE法等を例示できる。キャリア供給半導体1142、モノキャリア移動半導体1144、キャリア供給半導体1146、およびショットキー層1148の

材料として、GaAs、AlGaAs、またはInGaAs等を例示できる。例えば、モノキャリア移動半導体1144はi型InGaAsであり、キャリア供給半導体1142およびキャリア供給半導体1146はN型AlGaAsであり、ショットキー層はAlGaAsである。

[0075] バッファ層1150は、上層に形成される積層半導体1160と下層に形成される第2半導体1140とを分離し、積層半導体1160および第2半導体1140が相互に影響することを防ぐ。バッファ層1150は、例えばエピタキシャル成長法により形成される。バッファ層1150の材料は、例えばGaAsである。

[0076] 積層半導体1160は、コレクタ層1162、ベース層1164、エミッタ層1166、バラスト抵抗層1168、およびコンタクト層1169を有する。コレクタ層1162、ベース層1164、およびエミッタ層1166は、NPNまたはPNP型の接合構造を形成する半導体である。コレクタ層1162、ベース層1164、およびエミッタ層1166は、例えば、それぞれバイポーラトランジスタのコレクタ、ベース、およびエミッタとして機能する半導体層である。

[0077] バラスト抵抗層1168は、バイポーラトランジスタのエミッタバラストに適したバラスト抵抗層である。バラスト抵抗層1168は、バイポーラトランジスタに過剰な電流が流れるのを抑制する目的で、エミッタ近傍に設けられた高抵抗領域である。バラスト抵抗層1168によって、過剰な電流が流れない程度の抵抗値にエミッタ抵抗を調整できるので、半導体基板1100に形成されたトランジスタ等の電子素子の熱暴走を防止できる。

[0078] 以下、半導体基板1100を製造する方法の詳細を説明する。図12に示す製造方法で半導体基板1100を繰り返して製造する場合に、先に製造された半導体基板1100の製造プロセスにより用いられた多量の不純物原子が、反応容器内に残留することがある。例えば、半導体基板1100は、第1半導体1110の上に、順次にバッファ層1120、抵抗体1130、第2半導体1140、バッファ層1150、および積層半導体1160をエピ

タキシャル成長させて形成される。積層半導体 1160 が NPN 型の接合構造を形成する半導体である場合に、N 型エミッタ層 1166 には多量のドナー不純物原子（第 1 不純物原子）が添加される。したがって、エミッタ層 1166 を形成した後、第 1 不純物原子として、反応容器内に多量のドナー不純物原子が残留する。

[0079] 例えば、ドナー不純物原子が Si である場合に、反応容器内に多量の Si が残留する。残留した Si が、後続の半導体基板 1100 を製造する過程において悪影響を及ぼすおそれがある。具体的には、後続のプロセスにおいて第 1 半導体 1110 を反応容器内に載置すると、反応容器内の残留 Si が第 1 半導体 1110 の表面に付着することがある。

[0080] 付着した Si が、第 1 半導体 1110 とその上に形成される半導体層に拡散してドナーとして働くことにより、絶縁不良が起きる場合がある。その結果、第 2 半導体 1140 に形成される HEMT のデバイス特性が低下するおそれがある。また、HEMT と積層半導体 1160 に形成される HBT との素子分離不良が生じるおそれもある。本実施態様の製造方法は、次のようなプロセスによって、反応容器内に残留した第 1 不純物原子である Si の悪影響が生じることを防ぐ。

[0081] まず、第 1 半導体 1110 を設置し、第 2 不純物ガスを導入する段階 S110 において、第 1 半導体 1110 を MOCVD 炉の反応容器に設置する。続いて、反応容器内の真空を引き、不活性ガスによりパージをして、ガス CCl_3Br 、水素、およびアルシンを導入する。第 1 半導体 1110 を加熱する段階 S120 において、温度が $500^\circ\text{C} \sim 800^\circ\text{C}$ 、反応容器内圧力が 5 Torr から大気圧、時間が 10 秒から 15 分の間という条件下で第 1 半導体 1110 を加熱する。

[0082] この加熱によって、 CCl_3Br の中に存在する C が第 2 不純物原子として機能し、第 1 半導体 1110 表面に存在する Si のドナー効果を補償する。その結果、第 1 半導体 1110 表面に存在した Si 等の不純物原子の影響を抑止することができる。第 2 不純物原子の存在により、第 1 半導体 1110

とその上にエピタキシャル成長する半導体との間に発生する絶縁不良を防止できる。

[0083] 続いて、第1半導体1110の上に、バッファ層1120を形成する。上述のとおり、バッファ層1120も第1半導体1110の表面に残留する不純物原子による半導体基板1100の特性劣化を防ぐ効果を有する。バッファ層1120の材料として、GaAsまたはAlGaAsを例示できる。3族元素原料として、トリメチルガリウム（TMG）、またはトリメチルアルミニウム（TMA）等を使用することができる。5族元素原料ガスとして、アルシン（AsH₃）を使用することができる。

[0084] 抵抗体1130を形成する段階S730においては、バッファ層1120の上に抵抗体1130をエピタキシャル成長させる。上述のとおり、抵抗体1130は、抵抗体830に対応する。抵抗体1130は、キャリアトラップを含んでよく、ヘテロ接合を形成する複数のP型半導体を含んでよく、または交互に積層されて複数のPN接合を形成する複数のP型半導体と複数のN型半導体を含んでもよい。これらの構造は、リーク電流を抑制し、抵抗体の上下に形成される半導体の間の絶縁性を高める。抵抗体1130は、複数種類のこれらの構造を含んでもよい。

[0085] 抵抗体1130を形成する段階S730において、キャリアトラップとして酸素原子を添加したAl_xGa_{1-x}As（0 ≤ x ≤ 1）を形成してもよく、Al組成の異なる複数のAl_xGa_{1-x}As層を形成して、ヘテロ接合を含む抵抗体1130を形成してもよい。また、複数のN型Al_xGa_{1-x}Asおよび複数のP型Al_xGa_{1-x}Asを交互に形成して、複数のPN接合を形成してもよい。

[0086] 3族元素原料として、トリメチルガリウム（TMG）またはトリメチルアルミニウム（TMA）等を使用することができる。5族元素原料ガスとして、アルシン（AsH₃）を使用することができる。P型の伝導型を示す第2不純物原子を含むガスは、ハロゲン化炭化水素ガスを含んでよい。また、N型半導体の形成に用いる第1不純物原子を構成要素とする化合物は、例えばシ

ランまたはジシランである。

[0087] 第2半導体を形成する段階S 1 4 0において、抵抗体1 1 3 0の上に、第2半導体1 1 4 0に含まれるキャリア供給半導体1 1 4 2、モノキャリア移動半導体1 1 4 4、キャリア供給半導体1 1 4 6、およびショットキー層1 1 4 8を順次にエピタキシャル成長させる。例えば、N型A l G a A sのキャリア供給半導体1 1 4 2、i型I n G a A sのモノキャリア移動半導体1 1 4 4、N型A l G a A sのキャリア供給半導体1 1 4 6、A l G a A sのショットキー層を順次に形成する。3族元素原料として、トリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)、またはトリメチルインジウム(TMI)等を使用することができる。5族元素原料ガスとして、アルシン(AsH_3)を使用することができる。N型半導体の形成に用いる第1不純物原子を構成要素とする化合物として、シランまたはジシランを使用することができる。

[0088] ショットキー層1 1 4 8の上に、バッファ層1 1 5 0をエピタキシャル成長させる。上述のとおり、バッファ層1 1 5 0は、上層に形成される積層半導体1 1 6 0と下層に形成される第2半導体1 1 4 0とを分離し、積層半導体1 1 6 0と第2半導体1 1 4 0との間の相互影響を防ぐ。バッファ層1 1 5 0の材料として、G a A sまたはA l G a A sを例示できる。

[0089] 積層半導体を形成する段階S 5 5 0において、バッファ層1 1 5 0の上に、順次にコレクタ層1 1 6 2、ベース層1 1 6 4、エミッタ層1 1 6 6をエピタキシャル成長させる。コレクタ層1 1 6 2、ベース層1 1 6 4、およびエミッタ層1 1 6 6は、伝導型がNPNまたはPNP型の接合構造を形成する半導体である。

[0090] 積層半導体1 1 6 0のうち、P型半導体を形成する場合に用いられる不純物原子を構成要素とする単体または化合物を含むガスは、第1半導体1 1 1 0を設置して加熱する前に反応容器に導入した第2不純物ガスと同じガスであってよい。N型半導体を形成するのに用いられる、N型の伝導型を示す不純物原子を構成要素とする化合物は、例えばシランまたはジシランである。

更にエミッタ層 1166 の上に、バラスト抵抗層 1168 およびコンタクト層 1169 を形成する。

[0091] 第 1 半導体を取り出す段階 S960 において、完成した半導体基板 1100 を反応容器から取り出す。その後、反応容器の内部の不純物原子の影響を軽減する工程を経ることなく、次の処理すべき第 1 半導体 1110 を反応容器に設置し、ガスを反応容器の内部に導入する段階 S110 から半導体基板製造工程を繰り返すことができる。

[0092] 本実施態様の製造方法は、第 1 半導体 1110 を設置し、ガスを導入する段階 S110 と、第 1 半導体 1110 を加熱する段階 S120 を有する。従って、たとえ先行製造プロセスによって使用された多量の第 1 不純物 Si が反応容器内に残留し、設置された第 1 半導体 1110 を汚染した場合でも、加熱によって、 CCl_3Br の中に存在する第 2 不純物 C が、第 1 半導体 1110 表面に残留した Si のドナー効果を補償する。その結果、第 1 半導体 1110 表面に存在した Si 等の第 1 不純物原子の影響を抑止できる。

[0093] なお、抵抗体 1130 を形成する段階 S730 において、キャリアトラップを含む抵抗体 1130、ヘテロ接合を形成する複数の P 型半導体を含む抵抗体 1130、交互に積層されて複数の PN 接合を形成する複数の P 型半導体と複数の N 型半導体とを含む抵抗体 1130、またはこれらの構造の組み合わせにより構成される構造を含む抵抗体 1130 を形成してもよい。半導体基板 1100 が当該抵抗体 1130 を有することにより、さらにリーク電流が抑制され、絶縁不良を防止できる。その結果、第 2 半導体 1140 に形成される HEMT と積層半導体 1160 に形成される HBT との素子分離性能が改善する。

[0094] (実施例 1)

表 1 に示す積層構造を有する半導体基板 2100 を作成した。表 1 において各層番号は、各半導体層の符号を示す。表 1 において、各半導体層の材料、膜厚、ドーパントの種類およびキャリア濃度を示し、不純物を導入しない場合、ドーパントの種類として「無」と表示した。

[表1]

層番号	名称	材料	膜厚 [nm]	ドーパント	キャリア濃度 [/cm ³]
2170	コンタクト層	In _{0.50} Ga _{0.50} As	100	Si	2.0E+19
2169	サブエミッタ層	GaAs	30	Si	5.0E+18
2168	バラスト抵抗層	GaAs	100	Si	1.0E+16
2166	エミッタ層	In _{0.50} Ga _{0.50} P	30	Si	3.0E+17
2164	ベース層	GaAs	100	C	4.0E+19
2163	コレクタ層	GaAs	6000	Si	1.0E+16
2162	サブコレクタ層	GaAs	6000	Si	5.0E+18
2150	バッファ層	GaAs	300	Si	5.0E+18
2148	ショットキー層	Al _{0.22} Ga _{0.78} As	30	Si	5.0E+16
2146	キャリア供給半導体	Al _{0.22} Ga _{0.78} As	5	Si	3.0E+18
2144	モノキャリア移動半導体	In _{0.25} Ga _{0.75} As	10	無	－
2142	キャリア供給半導体	Al _{0.22} Ga _{0.78} As	5	Si	3.0E+18
2140	第2半導体	Al _{0.25} Ga _{0.75} As	100	無	－
2130	抵抗体	Al _{0.30} Ga _{0.70} As	150	O	2.0E+19
2120	バッファ層	GaAs	30	無	－
2110	第1半導体	半絶縁性GaAs基板	－	－	－

[0095] 第2半導体2140からショットキー層2148までの積層は、電界効果トランジスタに適用できる。サブコレクタ層2162からコンタクト層2170までの積層はバイポーラトランジスタに適用できる。すなわち半導体基板2100は、単一基板において電界効果トランジスタおよびバイポーラトランジスタの両方が形成できるB i F E T基板である。

[0096] 表1に示す各半導体層は、エピタキシャル成長により形成した。エピタキシャル成長において、Ga源としてトリメチルガリウムを、Al源としてトリメチルアルミニウムを、In源としてトリメチルインジウムを、O源としてブチルエーテルを、As源としてアルシン（ただし、モノゲルマンの濃度が0.0005ppm未満）を、加熱時に使用するガスとC源としてCBrCl₃を、Si源としてジシランを用いた。

[0097] 第1工程として、半絶縁性のGaAs基板である第1半導体2110をMOCVD反応炉のパスボックスに入れ、パスボックス内を減圧にした後、窒素で置換した。その後、パスボックスから第1半導体2110を取り出し、

反応炉へ移動させて第1半導体2110を取り付けた。次に反応炉を減圧にした後に水素雰囲気中で反応炉圧力を9.4 kPaにした。

[0098] 第2工程として、反応炉に水素を20 s l m、AsH₃を1250 s c c mの流量で供給した。この状態で室温から705℃まで反応炉温度を上昇させた。反応炉温度を705℃まで上昇させた後、CBrCl₃を65.9 s c c mの流量で供給し、1分間加熱した。

[0099] 第3工程として、水素を120 s l m、AsH₃を300 s c c mの流量で供給し、680℃の反応炉温度でバッファ層2120 (GaAs)を30 nmの厚さになるまでエピタキシャル成長させた。その後、O濃度が 2.0×10^{19} (cm⁻³)である抵抗体2130 (Al_{0.3}Ga_{0.7}As)を150 nmの厚さになるまで成長させた。さらに、表1に示す構造を順にエピタキシャル成長させた。反応炉温度を室温に戻し、表1の各層を成長させた半導体基板2100を取り出した。

[0100] 以上のようにして作成した半導体基板2100を実験例1とした。実験例1の半導体基板2100を取り出した後、反応炉内部の洗浄、空デポ等の不純物混入対策を行うことなく、連続して新たな第1半導体2110であるGaAs基板を反応炉内に導入した。

[0101] 第1工程から第3工程までの一連の工程を2回繰り返して作成した半導体基板2100を実験例2とした。さらに連続して前記一連の工程を繰り返し作成した半導体基板2100を実験例3とした。すなわち、第1工程から第3工程までの一連の工程を繰り返した回数（成長回数）は、実験例1では1回であり、実験例2では2回であり、実験例3では3回である。繰り返し回数が増えるほど、反応炉内に残留する不純物原子は増えると考えられる。

[0102] 比較例として、第2工程を実施しないサンプルを作成した。実験例1～3と同様に、成長回数が1回から3回のサンプルを作成し、各々比較例1（成長回数が1回）、比較例2（成長回数が2回）、比較例3（成長回数が3回）とした。

[0103] 表2は、実験例1～3、比較例1～3の各半導体基板2100の耐電圧を

測定した結果である。耐電圧は、作成した半導体基板 2 1 0 0 のコンタクト層 2 1 7 0 からキャリア供給半導体 2 1 4 2 までをエッチングして除去し、第 2 半導体 2 1 4 0 表面における電極間の電流電圧特性を測定して評価した。電極として、 $100\mu\text{m} \times 200\mu\text{m}$ の面積を有する 2 つの金属薄膜を $5\mu\text{m}$ の間隔で第 2 半導体 2 1 4 0 の表面に形成した。AuGe/Ni/Au を各々 $60\text{nm}/20\text{nm}/150\text{nm}$ の厚さで順に蒸着して、金属薄膜を形成した。電流が $1.0 \times 10^{-5}\text{A}$ 流れた時の電圧を耐電圧とした。

[表2]

	第2工程 の有無	成長回数	耐電圧 [V]
実験例1	有	1	65.1
実験例2	有	2	61.8
実験例3	有	3	54.5
比較例1	無	1	40.8
比較例2	無	2	8.8
比較例3	無	3	13.2

[0104] 表 2 に示す通り、比較例 1 ～ 3 に比較して、実験例 1 ～ 3 での耐電圧が高くなっていることがわかる。すなわち、第 2 工程の加熱により、耐電圧が向上した。

[0105] (実施例 2)

表 3 に示す積層構造を有する半導体基板 3 1 0 0 を作成した。表 3 において各層番号は、各半導体層の符号を示す。表 3 において、各半導体層の材料、膜厚、キャリアタイプおよびキャリア濃度を示し、不純物を導入しない真正半導体の場合、キャリアタイプを「i」とした。

[表3]

層番号	名称	材料	膜厚 [nm]	キャリア タイプ	キャリア濃度 [cm ⁻³]
3150	コンタクト層	GaAs	300	n	5.0E+18
3148	ショットキー層	Al _{0.22} Ga _{0.78} As	30	n	5.0E+16
3146	キャリア供給半導体	Al _{0.22} Ga _{0.78} As	5	n	3.0E+18
3144	モノキャリア移動半導体	In _{0.25} Ga _{0.75} As	10	i	—
3142	キャリア供給半導体	Al _{0.22} Ga _{0.78} As	5	n	3.0E+18
3140	第2半導体	Al _{0.25} Ga _{0.75} As	100	i	—
3130	抵抗体	Al _{0.30} Ga _{0.70} As	150	i	—
3120	バッファ層	GaAs	30	i	—
3110	第1半導体	半絶縁性GaAs基板	—	i	—

[0106] 第2半導体3140からコンタクト層3150までの積層は、電界効果トランジスタに適用できる。表3に示す各半導体層は、実施例1の場合と同様なエピタキシャル成長により形成した。

[0107] 第1工程として、第1半導体3110（半絶縁性GaAs基板）を反応炉のパスボックスに入れ、パスボックスを減圧にした後に窒素で置換した。パスボックスから第1半導体3110を取り出し、反応炉へ移動させて第1半導体3110を取り付けた。次に反応炉を減圧にした後に水素雰囲気中で反応炉圧力を9.4 kPaにした。

[0108] 第2工程として、反応炉に水素を20 s l m、AsH₃を850 s c c mの流量で供給した。この状態で室温から705℃まで反応炉温度を上昇させた。反応炉温度を705℃まで上昇させた後、CBrCl₃を65.9 s c c mの流量で供給した。加熱時間を0分から2.5分の範囲で変化させた。CBrCl₃の供給時間（加熱時間）に応じて、0.5分の場合を実験例4、1.0分の場合を実験例5、1.5分の場合を実験例6、2.0分の場合を実験例7、2.5分の場合を実験例8とした。比較例として加熱時間0分の場合を比較例4とした。

[0109] 第3工程として、水素を120 s l m、AsH₃を300 s c c mの流量で供給し、680℃の反応炉温度でバッファ層3120（GaAs）を30 nmの厚さになるまでエピタキシャル成長させた。その後、抵抗体3130（

Al_{0.3}Ga_{0.7}As)を150nmの厚さになるまでエピタキシャル成長させた上で、表3に示す層を順にエピタキシャル成長させた。反応炉温度を室温に戻し、半導体基板3100を取り出した。

[0110] 実施例1と同様に耐電圧を測定した。耐電圧の測定結果を表4に示す。

[表4]

	CBrCl ₃ 供給時間 [分]	耐電圧 [V]
比較例4	0.0	5.7
実験例4	0.5	6.7
実験例5	1.0	10.3
実験例6	1.5	11.8
実験例7	2.0	16.1
実験例8	2.5	22.0

[0111] 表4に示す通り、CBrCl₃の供給時間（加熱時間）が長くなるほど耐電圧が高くなることがわかった。

符号の説明

[0112] 200 半導体基板、210 第1半導体、240 第2半導体、300 半導体基板、340 第2半導体、342 第2半導体、344 第2半導体、346 第2半導体、348 第2半導体、400 半導体基板、440 第2半導体、442 第2半導体、444 第2半導体、446 第2半導体、600 半導体基板、660 積層半導体、662 コレクタ層、664 ベース層、666 エミッタ層、800 半導体基板、830 抵抗体、1100 半導体基板、1110 第1半導体、1120 バッファ層、1130 抵抗体、1140 第2半導体、1142 キャリア供給半導体、1144 モノキャリア移動半導体、1146 キャリア供給半導体、1148 ショットキー層、1150 バッファ層、1160 積層半導体、1162 コレクタ層、1164 ベース層、1166 エミッタ層、1168 バラスト抵抗層、1169 コンタクト層、1400 半導体基

板、1440 第2半導体、1442 第2半導体、1444 第2半導体、
1446 第2半導体、1448 第2半導体、1450 第2半導体、
1600 半導体基板、1640 積層半導体、1642 第2半導体、1
644 第2半導体、1646 第2半導体、1648 第2半導体、16
50 積層半導体、1652 半導体、1660 積層半導体、1662
コレクタ層、1664 ベース層、1666 エミッタ層、2100 半導
体基板、2110 第1半導体、2120 バッファ層、2130 抵抗体
、2140 第2半導体、2142 キャリア供給半導体、2148 ショ
ットキー層、2162 サブコレクタ層、2170 コンタクト層、310
0 半導体基板、3110 第1半導体、3120 バッファ層、3130
抵抗体、3140 第2半導体、3150 コンタクト層

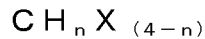
請求の範囲

- [請求項1] 半導体を結晶成長させる反応容器内に第1不純物原子を構成要素として有する単体または化合物を含む第1不純物ガスを導入する段階を含む複数の段階を繰り返して、複数の半導体基板を製造する方法であって、
- 前記第1不純物ガスを導入する段階の後に、
- 製造された半導体基板を取り出す段階と、
- 前記反応容器内に第1半導体を設置する段階と、
- 前記反応容器内に、前記第1半導体内で前記第1不純物原子と反対の伝導型を示す第2不純物原子を構成要素として有する単体または化合物を含む第2不純物ガスを導入する段階と、
- 前記第1半導体を前記第2不純物ガスの雰囲気中で加熱する段階と、
- 、
- 前記加熱した前記第1半導体上に第2半導体を結晶成長させる段階と
- を備える半導体基板の製造方法。
- [請求項2] 前記加熱する段階において、電子密度と正孔密度との差を示す有効キャリア密度を前記第1半導体の少なくとも表面において減少させるべく前記加熱する条件を設定する
- 請求項1に記載の半導体基板の製造方法。
- [請求項3] 前記第1不純物原子が、前記第1半導体内でN型の伝導型を示す不純物原子であり、
- 前記第2不純物ガスが、前記第1半導体内でP型の伝導型を示す不純物原子を含むP型不純物ガスを含む
- 請求項1に記載の半導体基板の製造方法。
- [請求項4] 前記第1半導体または前記第2半導体が3－5族化合物半導体であり、
- 前記P型不純物ガスが、ハロゲン化炭化水素ガスを含む

請求項 3 に記載の半導体基板の製造方法。

[請求項5]

前記ハロゲン化炭化水素ガスが、



(ただし、XはC l、B rおよびIからなる群から選択されるハロゲン原子であり、nは、 $0 \leq n \leq 3$ の条件を満たす整数であり、 $0 \leq n \leq 2$ の場合、複数のXは互いに同一の原子でも異なった原子でもよい。)である

請求項 4 に記載の半導体基板の製造方法。

[請求項6]

前記第 1 半導体または前記第 2 半導体が 3 - 5 族化合物半導体であり、

前記第 2 不純物ガスがアルシンおよび水素を含む

請求項 1 に記載の半導体基板の製造方法。

[請求項7]

前記第 2 不純物ガスが、1 p p b 以下のG e H₄を含むアルシン原料ガスを含む

請求項 6 に記載の半導体基板の製造方法。

[請求項8]

前記第 2 半導体が、電子または正孔が移動するチャネルとして機能するモノキャリア移動半導体である

請求項 1 に記載の半導体基板の製造方法。

[請求項9]

前記モノキャリア移動半導体が、3 - 5 族化合物半導体のN型モノキャリア移動半導体であり、

前記第 2 半導体を結晶成長させる段階において、前記N型の伝導型を示す不純物原子を含む化合物としてシランまたはジシランを前記反応容器に導入して前記N型モノキャリア移動半導体を結晶成長させる

請求項 8 に記載の半導体基板の製造方法。

[請求項10]

前記モノキャリア移動半導体上に、前記モノキャリア移動半導体とは反対の伝導型のモノキャリア移動半導体を形成する段階をさらに含む

請求項 8 に記載の半導体基板の製造方法。

- [請求項11] 前記第2半導体上に、N型半導体、P型半導体およびN型半導体をこの順にエピタキシャル成長させる、またはP型半導体、N型半導体およびP型半導体をこの順にエピタキシャル成長させることにより、N型半導体／P型半導体／N型半導体で表される積層半導体、またはP型半導体／N型半導体／P型半導体で表される積層半導体を形成する段階、をさらに含む
- 請求項1に記載の半導体基板の製造方法。
- [請求項12] 前記第1不純物原子が、半導体内でN型の伝導型を示す不純物原子であり、
- 前記第2不純物ガスが、P型の伝導型を示すP型不純物原子を含むP型不純物ガスを含み、
- 前記積層半導体が、バイポーラトランジスタのベースとして機能するベース層を含み、
- 前記P型不純物ガスと同じ種類のガスを前記反応容器に導入して前記ベース層を製造する
- 請求項11に記載の半導体基板の製造方法。
- [請求項13] 前記第2半導体を結晶成長させる段階において、N型の伝導型を示す不純物原子を含む化合物としてシランまたはジシランを前記反応容器に導入して、前記積層半導体における前記N型半導体を形成する
- 請求項11に記載の半導体基板の製造方法。
- [請求項14] 前記第1半導体を加熱する段階と前記第2半導体を形成する段階との間に、前記第1半導体上に抵抗体を形成する段階をさらに備える
- 請求項1に記載の半導体基板の製造方法。
- [請求項15] 前記抵抗体を形成する段階は、3族元素を含む3族原料ガスおよび5族元素を含む5族原料ガスを用いたエピタキシャル成長により、3－5族化合物半導体のP型半導体を形成する段階を有し、
- 前記P型半導体を形成する段階において、前記P型半導体のアクセプタ濃度を前記3族原料ガスと前記5族原料ガスとの流量比により制

御する

請求項 1 4 に記載の半導体基板の製造方法。

[請求項16] 少なくとも前記第 2 半導体を前記第 1 半導体上に形成した後、少なくとも前記第 2 半導体が形成された前記半導体基板を前記反応容器から取り出す段階をさらに含み、

前記取り出す段階の後、前記反応容器の内部の不純物原子の影響を軽減する工程を経ることなく、

前記反応容器の内部に前記第 1 半導体とは別の第 1 半導体を設置し、前記ガスを前記反応容器の内部に導入する段階と、

前記別の第 1 半導体を前記ガスの雰囲気中で加熱する段階と、

前記加熱した前記第 1 半導体上に前記第 2 半導体を形成する段階と

、

を繰り返す

請求項 1 に記載の半導体基板の製造方法。

[請求項17] 第 1 半導体と、前記第 1 半導体上に形成された第 2 半導体とを含む半導体基板であって、

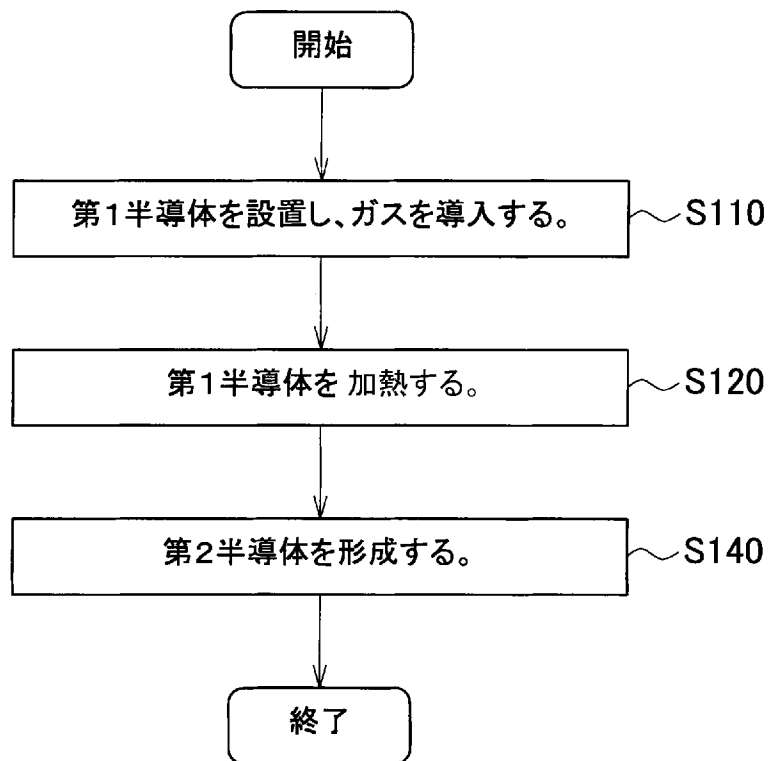
前記第 1 半導体と前記第 2 半導体との界面に、

P 型不純物原子と、前記 P 型不純物原子と実質的に同じ密度の N 型不純物原子と

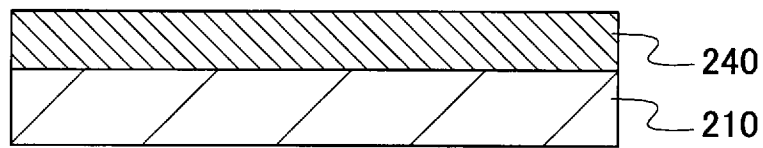
を有する半導体基板。

[請求項18] 前記 P 型不純物原子および前記 N 型不純物原子が活性化されている請求項 1 7 に記載の半導体基板。

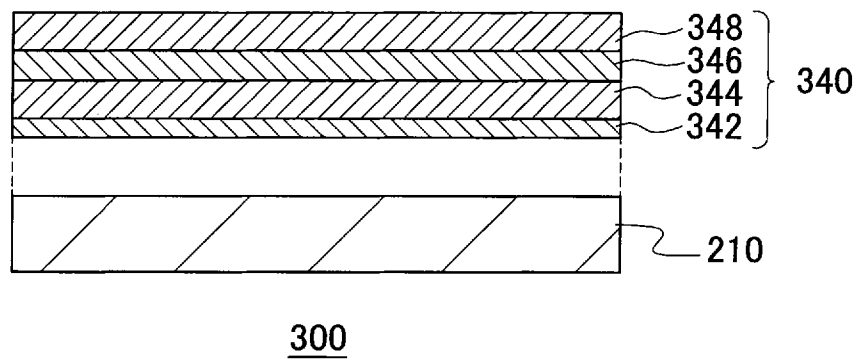
[図1]



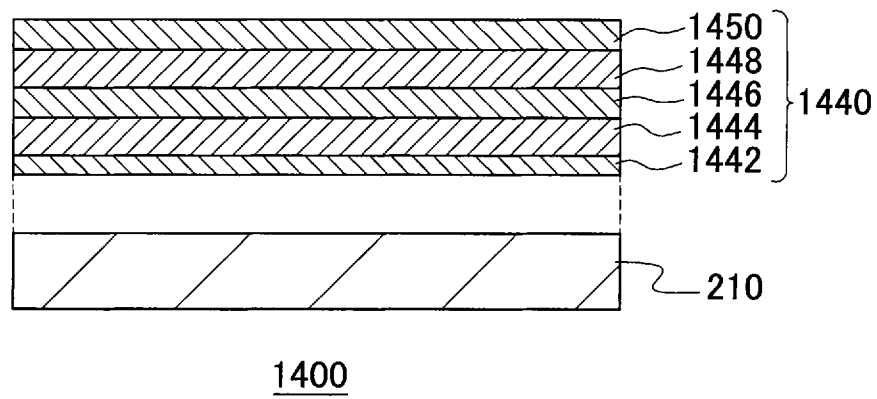
[図2]

200

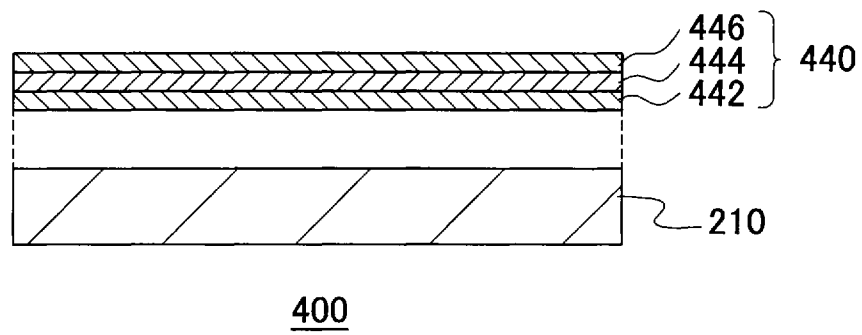
[図3]



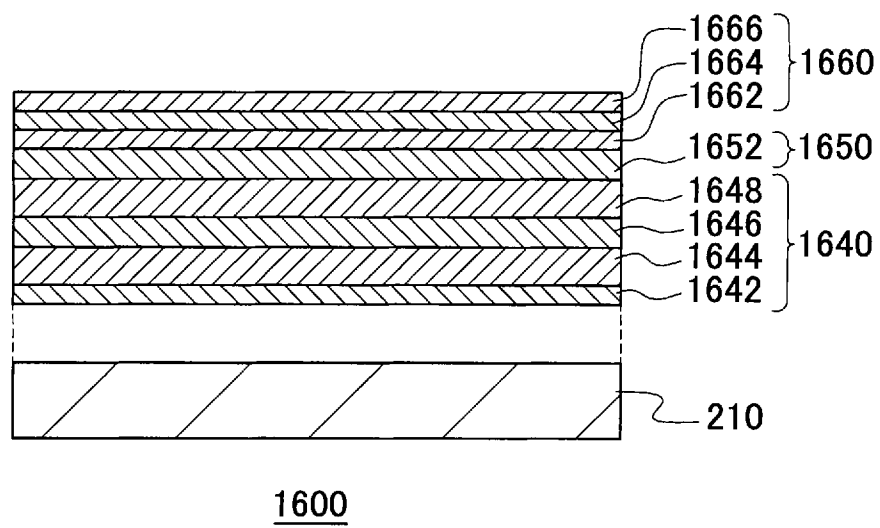
[図4]



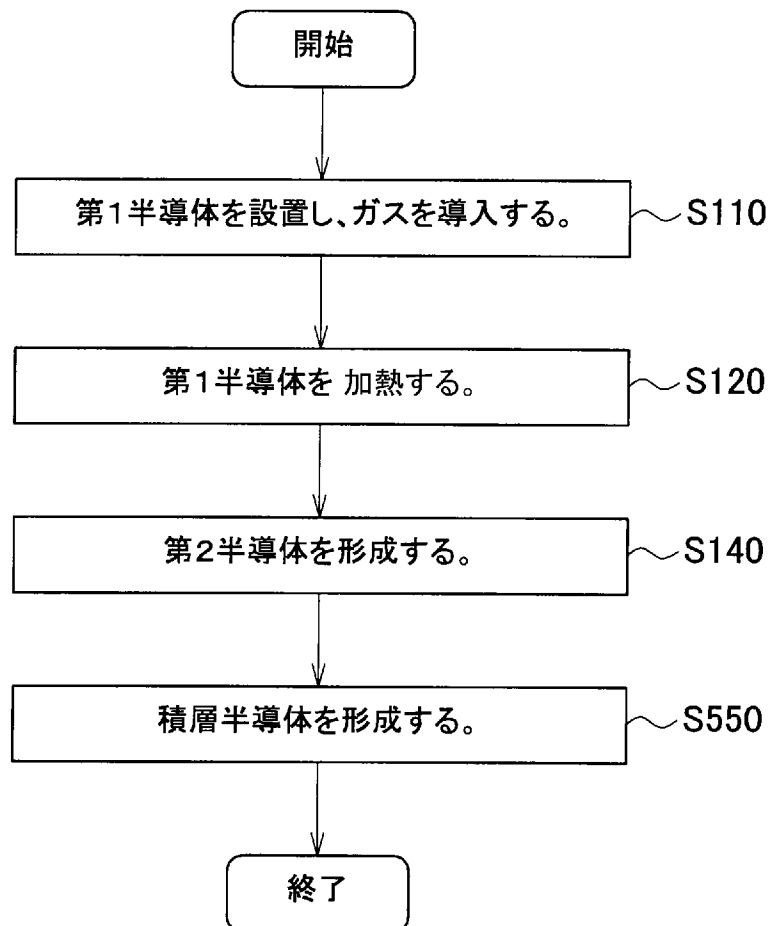
[図5]



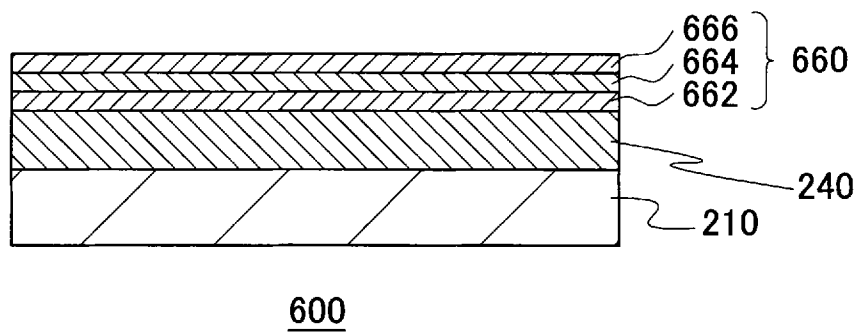
[図6]



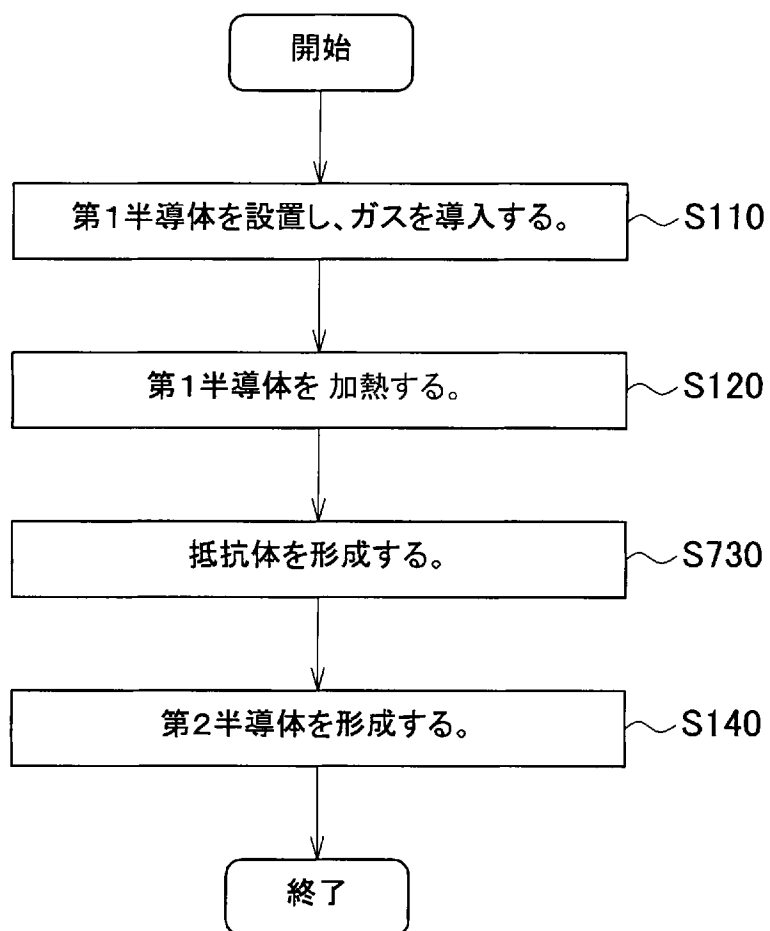
[図7]



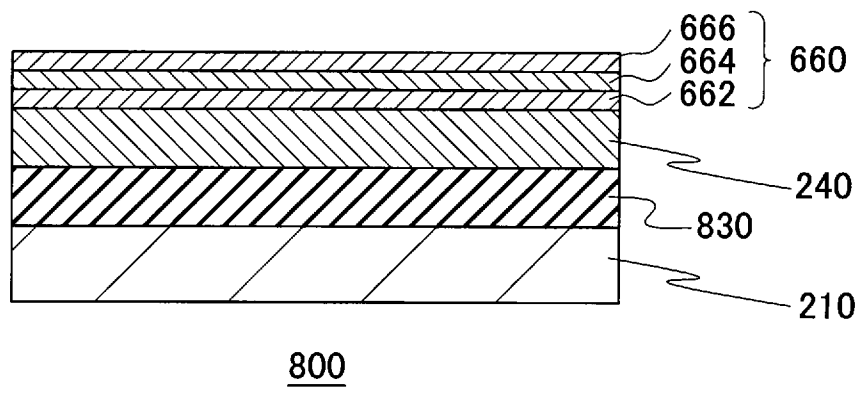
[図8]



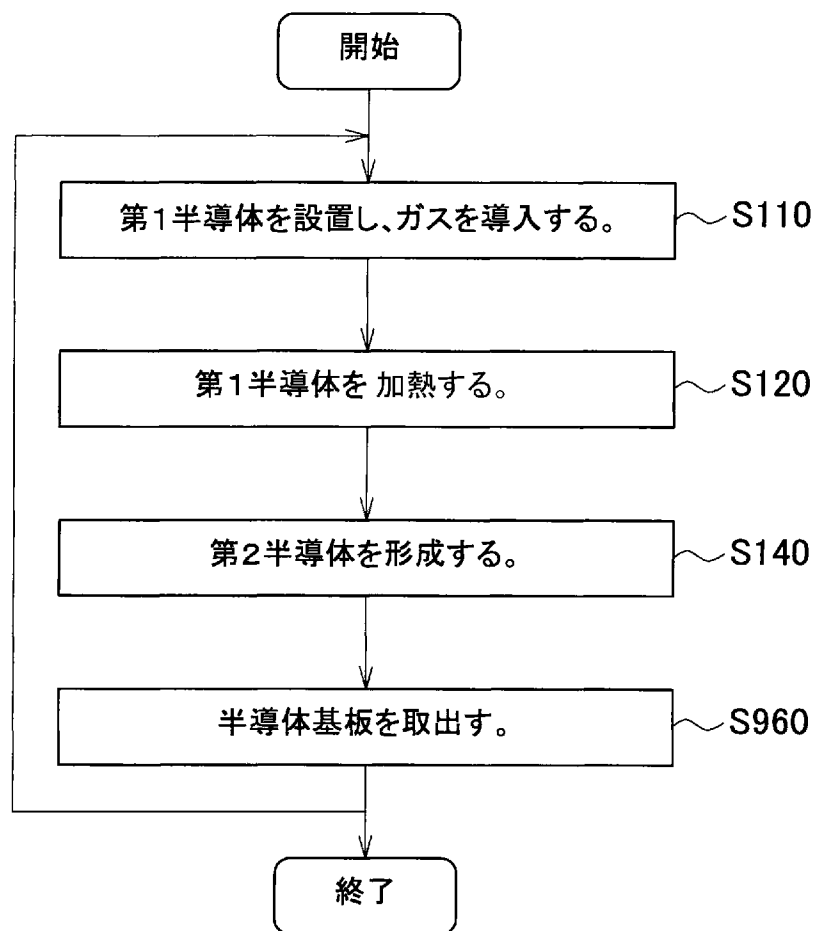
[図9]



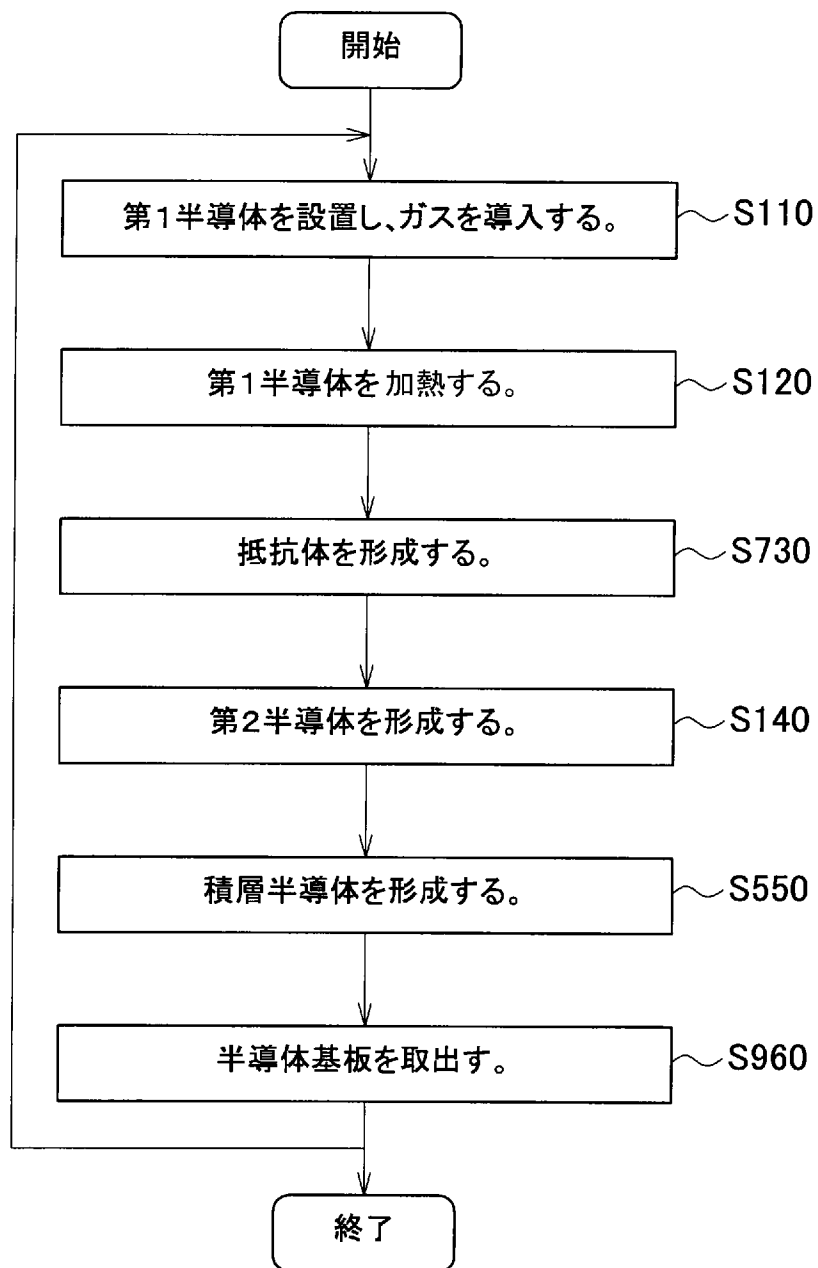
[図10]



[図11]



[図12]



A cross-sectional view of a multi-layered structure 1100. The structure consists of several layers with different hatching patterns. From top to bottom, the layers are: a thin layer with diagonal hatching (1169), a layer with a chevron pattern (1168), a layer with a chevron pattern (1166), a layer with a chevron pattern (1164), and a layer with a chevron pattern (1162). These five layers are grouped by a bracket and labeled 1160. Below these is a layer with a chevron pattern (1150). This is followed by a layer with a chevron pattern (1148), a layer with a chevron pattern (1146), a layer with a chevron pattern (1144), and a layer with a chevron pattern (1142). These four layers are grouped by a bracket and labeled 1140. Below these is a layer with a chevron pattern (1130). This is followed by a layer with a chevron pattern (1120). The bottom-most layer is a layer with a chevron pattern (1110). The entire structure is labeled 1100.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002450

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20(2006.01)i, H01L21/331(2006.01)i, H01L21/338(2006.01)i,
H01L29/737(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, H01L21/331, H01L21/338, H01L29/737, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-45896 A (Hitachi Cable, Ltd.), 14 February 1997 (14.02.1997), entire text; all drawings (Family: none)	17, 18 1-16
Y	JP 2006-12915 A (Hitachi Cable, Ltd.), 12 January 2006 (12.01.2006), entire text; all drawings (Family: none)	1-16
Y	JP 2003-63899 A (Matsushita Electric Industrial Co., Ltd.), 05 March 2003 (05.03.2003), entire text; all drawings (Family: none)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 May, 2010 (21.05.10)

Date of mailing of the international search report
01 June, 2010 (01.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002450

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-222135 A (Hitachi Cable, Ltd.), 24 August 2006 (24.08.2006), entire text; all drawings (Family: none)	1-16
Y	JP 9-293854 A (Sumitomo Chemical Co., Ltd.), 11 November 1997 (11.11.1997), paragraph [0040] & US 5982024 A & EP 793264 A3 & EP 793264 A2	6, 7
Y	JP 2004-515344 A (Matheson Tri-Gas, Inc.), 27 May 2004 (27.05.2004), paragraph [0004] & US 2002/0100366 A1 & US 2003/0097932 A1 & WO 2002/045846 A1 & AU 1536902 A & CA 2416035 A	6, 7
A	JP 63-156363 A (Fujitsu Ltd.), 29 June 1988 (29.06.1988), entire text; all drawings (Family: none)	1-18
A	JP 2003-20300 A (Hitachi Cable, Ltd.), 24 January 2003 (24.01.2003), entire text; all drawings (Family: none)	1-18
A	JP 2000-22135 A (Toshiba Corp.), 21 January 2000 (21.01.2000), entire text; all drawings (Family: none)	1-18

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/20(2006.01)i, H01L21/331(2006.01)i, H01L21/338(2006.01)i, H01L29/737(2006.01)i,
H01L29/778(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/20, H01L21/331, H01L21/338, H01L29/737, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 9-45896 A（日立電線株式会社） 1997.02.14, 全文、全図（ファミリーなし）	17, 18 1-16
Y	JP 2006-12915 A（日立電線株式会社） 2006.01.12, 全文、全図（ファミリーなし）	1-16
Y	JP 2003-63899 A（松下電器産業株式会社） 2003.03.05, 全文、全図（ファミリーなし）	1-16

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 5 . 2 0 1 0

国際調査報告の発送日

0 1 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杵 哲次

4 M

3 9 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-222135 A (日立電線株式会社) 2006.08.24, 全文, 全図 (ファミリーなし)	1-16
Y	JP 9-293854 A (住友化学工業株式会社) 1997.11.11, 段落[0040] & US 5982024 A & EP 793264 A3 & EP 793264 A2	6, 7
Y	JP 2004-515344 A (マセソン トリ ー ガス インコーポレイテッ ド) 2004.05.27, 段落[0004] & US 2002/0100366 A1 & US 2003/0097932 A1 & WO 2002/045846 A1 & AU 1536902 A & CA 2416035 A	6, 7
A	JP 63-156363 A (富士通株式会社) 1988.06.29, 全文, 全図 (ファミリーなし)	1-18
A	JP 2003-20300 A (日立電線株式会社) 2003.01.24, 全文, 全図 (ファミリーなし)	1-18
A	JP 2000-22135 A (株式会社東芝) 2000.01.21, 全文, 全図 (ファミリーなし)	1-18