[19] 中华人民共和国国家知识产权局

[12] 发明专利说明书

专利号 ZL 03142737.5

[51] Int. Cl.
H01L 21/66 (2006.01)
H01L 21/70 (2006.01)
H01L 31/18 (2006.01)
H01L 27/14 (2006.01)
H04N 5/335 (2006.01)

[45] 授权公告日 2006 年 5 月 10 日

[11] 授权公告号 CN 1255870C

[22] 申请日 1998.12.18 [21] 申请号 03142737.5
分案原申请号 98125340.7
[30] 优先权
[32] 1998. 7. 1 [33] JP [31] 186453/1998
[71] 专利权人 伊诺太科株式会社
地址 日本横滨市
[72] 发明人 三井田高
审查员 高莺然

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 王永刚

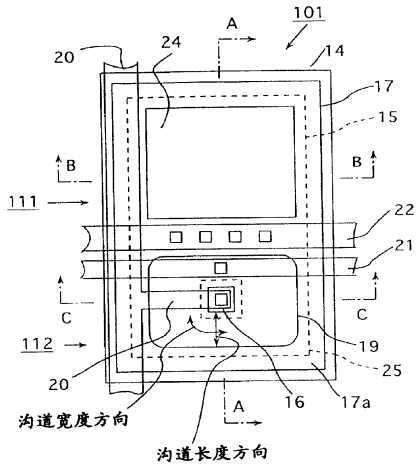
权利要求书 1 页 说明书 17 页 附图 13 页

[54] 发明名称

检测光信号的方法

[57] 摘要

本发明是使用成象器件检测光信号的方法，该方法包括以下步骤：通过信号光在光电二极管的阱区(15)中产生光生空穴，通过大部分阱区(15)把光生空穴转移到形成在源区(16)附近的阱区(15)中的重掺杂掩埋层(25)中，重掺杂掩埋层(25)用比绝缘栅 FET 的阱区(15)重的杂质掺杂，在重掺杂掩埋层(25)中储存光生空穴，由此与光生电荷的量相对应改变 FET 的阈值电压，读取阈值电压的变化，作为被光传感器接收的信号光的量。



1、一种检测光信号的方法，包括以下步骤：

通过在阱区接收信号光，在具有一种导电类型的阱区内的光电二极管中产生光生载流子；

将所述光生载流子转移到所述一种导电类型的重掺杂掩埋层，该重掺杂掩埋层被掩埋在形成在所述阱区中的一个绝缘栅场效应晶体管的沟道区域的下面，并被以高于所述阱区的浓度掺杂，其中所述沟道区形成在所述绝缘栅场效应晶体管的源区和漏区之间，该源区和漏区具有另一种导电类型并形成在所述阱区中，从而在所述重掺杂掩埋层中积累所述转移的载流子，由此根据积累的载流子量改变所述绝缘栅场效应晶体管的阈值电压；以及

读出所述阈值电压的变化，作为被接收的所述信号光的量。

检测光信号的方法

本申请是1998年12月18日提交、申请号为98125340.7、发明名称为“固态成象器件和使用该器件检测光信号的方法”的发明专利申请的分案申请。

技术领域

本发明涉及在视频摄象机、电子摄象机、图象输入摄象机、扫描仪和传真中使用的阈值调制MOS型固态成象器件，及使用该器件检测光信号的方法。

背景技术

因为使用精密的构图技术可以大规模地生产，所以半导体图象传感器已经广泛用于大部分图象输入器件中．特别是，电荷耦合器件（以下称为CCD）在例如视频摄象机和传真等各种成象装置中被使用，这是由于它们具有高的感光性和低噪声电平．

但是，众所周知，CCD是有缺陷的，例如:

（1）它们需要大功耗和高的工作电压;

（2）它们需要较复杂的制造工艺，并且与CMOS型器件相比成本也高;

（3）与CMOS器件不一样，它们之中不易结合有复杂的外围电路．

基于要解决的CCD的这些问题，因为近来市场上广泛需要固态成象器件，所以MOS型固态成象器件已经引起人们注意．另外，亚微米CMOS技术的新优点已经证明了制造亚微米成象器件的可行性．

但是，应该注意，常规MOS型图象传感器在运行特性上是不如CCD图象传感器的．例如，MOS型图象传感器具有随机噪声和固定图形噪声的问题．这样，为了使MOS型图象传感器可使用，就必须克服这些主要的问题．

另一方面，显微透镜技术可以按比例减小感光面积．几种精密的制造技术（微型技术）可以构成用于每个象素的包含两个或三个晶体管的集成晶体管放大器，从而增强MOS器件的灵敏度．这样，使用这种集成电路技术，现在可以减少由于器件元件的结构非均匀性而在X或Y MOS开关中产生的热噪声（kTC噪声）和固定图形噪声．

因此，配备有使用微型技术制造在光检测部分的每个象素中的晶体管

放大器的一类有源 CMOS 图象传感器已经引起人们很大的注意。

有源 CMOS 图象传感器不需要特殊的技术。即，它们能够通过普通的 CMOS 技术容易地集成外围 CMOS 电路和单个芯片上的光敏元件，因此它们可以以低成本制造。另外，它们具有可以在低工作电压下工作和功耗小的优点。

这样，有源 CMOS 图象传感器在不久的将来会预先使用以在配备有改进的信号处理电路的单片摄象机中担任重要角色。

下面讨论现有技术有源 CMOS 图象传感器的发展。

（1）日本专利早期公开 60-140752，60-206063，和 6-120473 公开了电荷调制器件（CMD）。CMD 使用了感光面积转换器，其具有类似 CCD 的特征。MOS 晶体管的栅极具有光电栅极（photo-gate electrode）结构，以提高它的填充因子，该因子是光传输面积与由光传输面积和光屏蔽面积构成的总面积的比率。该器件适用于通过在 MOS 晶体管光电栅极下面的 Si 层表面中储存光生电荷来控制通过 MOS 晶体管的电流。

（2）日本专利早期公开 64-149959 公开了体电荷调制器件（BCMD），如图 1 所示。在这种器件中，为了提高填充因子，MOS 晶体管的栅极 7 也具有光电栅极结构并结合有用于储存光生电荷的一层（以下称为电荷储存层）。电荷储存层形成在 n 型层 2 上并在光电栅极 7 下面的 p 型阱层 3 中，如图 1A 所示。注意，在这个例子中，电荷储存层形成在沟道区域 9 下面的 p 型阱层 3 中，以便抑制光生电荷捕获到 n 型层 8 和与层 9 接触的栅氧化膜 6 之间的界面部分中的表面陷阱能级中。结果，可以抑制由被捕获到表面陷阱能级中的光生电荷引起的噪声。图 1A 所示 MOS 晶体管也包括：其上形成 n 型层 2 的 p+型衬底 1，在栅极 7 两侧在 p 型阱层 3 中形成的源扩散区 4 和漏扩散区 5，和恒定电流源 8。

（3）日本专利早期公开 2-304973 公开了具有环形栅极结构的阈值电压调制型固态成象器件，其中源扩散区形成在由环形栅极围绕的中心部分，漏扩散区形成为包围源扩散区和环形栅极。漏扩散区还延伸到光检测部分，并且它作为用于掩埋光电二极管的重掺杂掩埋层。这个例子的特征在于，光敏器件提供在晶体管的外面，并且提供用于信号电荷的电势最小区域，其位于沟道下面的阱区内并沿着沟道区域的整个长度延伸，但是仅

占据整个沟道宽度的一部分.

在这种固态成象器件中，光生电荷，即通过用光照射掩埋光电二极管产生的电子-空穴对，并且这些电子－空穴对中一种类型的电荷储存在光电二极管中，结果导致衬底偏置或衬底电势的改变。该偏置用在控制 MOS 晶体管的阈值电压中。此成象器件特别在光的强度弱而通过光仅产生少量的电荷时有用。光生电荷被收集在电势最小区域中，以抑制成象器件灵敏度的非均匀性和抑制相关的固定图形噪声。

但是，在 CMD 型固态成象器件中仍然存在随机噪声的问题。随机噪声是通过在半导体的表面区域中光生电荷的捕获或散射引起的，这不可能通过上述改型完全除去，这是由于使用了半导体表面附近的电荷在 CMD 固态成象器件中进行光电转换.

图 1A 所示的 BCMD 型固态成象器件用在源跟随器连接（ source follower connection ）中．在这种情况下，由于电荷储存层 3 位于光电栅极 7 下面的整个沟道区域中，所以很难在足够饱和条件下驱动晶体管．因此，晶体管工作在如图 1B 所示的三极管区域电流-电压特性下，这样 BCMD 成象器件就有这样的问题: 光生电荷不能通过到 MOS 晶体管的源跟随器连接被线性转换为电压.

注意，由于电荷储存层 3 中的载流子通过整个光电栅极 7 下的沟道区域分布和由于沟道区域作为一个整体对通过它的电流起调制作用，所以电势变化不是光生电荷的线性函数。除此之外，由于基于电荷储存层 3 上面的栅氧化膜得到的电容值相对大，从而它的转换效率较低.

另外，每个都具有光电栅极结构的 CMD 型和 BCMD 型固态成象器件都有由入射光的多重干涉引起的对光的灵敏度下降的问题，这对具有 MOS 结构的光敏器件是恰当的.

光电栅极结构还存在另一个问题，即在形成薄透明光电栅极中需要特殊的、复杂的工艺.

在具有形成在阱区内并部分沿着沟道区域的宽度延伸和沿着沟道区域的整个长度延伸的最小电势区域的固态成象器件中，晶体管表现为三极管式的电流-电压特性，这通过源跟随器连接不足以满足光生电荷到 MOS 晶体管的线性电荷-电压转换的条件.

发明内容

本发明的一个目的是提供固态成象器件，其几乎没有由器件半导体表面中光生载流子的捕获和散射所引起的噪声.

本发明的另一个目的是提供对光具有改进的光谱灵敏度的固态成象器件.

本发明又一目的是提供对光生电荷具有线性电荷-电压转换特性的固态成象器件.

本发明又一目的是提供其中能通过普通的CMOS工艺制造的光敏器件的固态成象器件.

本发明又一目的是提供使用上述固态成象器件的光检测方法.

在本发明的构形中，固态成象器件配备有多个单元象素，其每个包括光电二极管和绝缘栅场效应晶体管，

所述光电二极管包括：第一导电类型的衬底，形成在所述衬底上并具有第二导电类型的半导体层，形成在所述半导体层上并具有第一导电类型的阱区，形成在所述阱区的表面上并具有第二导电类型的杂质区，所述绝缘栅场效应晶体管包括：形成在所述阱区的表面上、延伸到所述杂质区并具有第二导电类型的漏区，形成在所述阱区的表面上、与所述漏区隔开并具有第二导电类型的源区，形成在栅绝缘层上的栅极，其中栅绝缘层形成在所述阱区上并在所述漏区和所述源区之间；形成在所述栅极下面的所述源区附近的所述阱区中的重掺杂掩埋层，所述重掺杂掩埋层是用第一导电类型的杂质以高于所述阱区的浓度掺杂的.

作为载流子袋（ carrier-pocket ）的重掺杂区与注入载流子的漏区分开，以对MOS晶体管调制的有效阈值电压起作用.

当使用例如环形栅极时，源扩散区形成在被环形栅极包围的中心区中的阱区的表面层中，漏扩散区形成在包围环形栅极的阱区的表面层中，重掺杂掩埋层形成在栅极下面的阱区中，以便围绕源扩散区.

在这种配置中，如果p型的重掺杂掩埋层形成在p型阱区中，则重掺杂掩埋层对于通过阱区的空穴具有最低电势.另一方面，如果n型的重掺杂掩埋层形成在n型阱区中，则重掺杂掩埋层对于通过阱区的电子具有最高电势.

光电二极管的杂质扩散区结合有场效应晶体管（ FET ）的漏扩散区，

从而光电二极管和 FET 可以共用同样的阱区．重掺杂掩埋层形成在源扩散区附近．

由于重掺杂掩埋层设置在源扩散区附近，所以在光电二极管的阱区中产生的电荷将很容易地收集在重掺杂掩埋层中．

换言之，当阱区是 p 型并且 n-沟道 MOS 晶体管用作光信号检测晶体管时，则使用了空穴，并且源扩散区设置为低于漏扩散区的电势．或者，当阱区是 n 型并且信号检测晶体管是 p-沟道 MOS 晶体管时，则光生电荷是电子，并且源扩散区设置为高于漏扩散区的电势．这样，如果漏扩散区输送正的或负的工作电压 VDD 且栅极输送低电压，那么在阱层中产生电场，以便使光生电荷的空穴或电子加速，从 FET 的漏扩散区，即光电二极管的杂质区运动到源扩散区．

成象器件的初始化把在读操作后保留的光生电荷和保留在其它半导体层和阱区中的受主杂质或施主杂质中的空穴或电子射出离开半导体层和衬底以中和受主杂质或施主杂质．该新的电荷光生于光电二极管的阱区．接着施加于电极和上述区域的电压将引起新的光生电荷被转移到重掺杂掩埋层中并储存在其中．一旦被收集在重掺杂掩埋层中，这些电荷就不容易从重掺杂掩埋层中出去或扩散出，因为其电势低．这样，光生电荷被有效地储存在重掺杂掩埋层中．

储存在重掺杂掩埋层中的光生电荷可以通过给栅极、漏扩散区和源扩散区施加高于工作电压的电压而从中除去，由此增强通过阱区的电场．

在光生电荷储存在重掺杂掩埋层中时，重掺杂掩埋层中的费米能级改变了，并且与储存电荷的量对应，其中的空间电荷减少了，从而晶体管的阈值电压降低了．同时，在重掺杂掩埋层中的储存电荷增加时，根据电荷转换规则在沟道区域中产生具有相对于重掺杂掩埋层中的储存电荷相反的导电类型的载流子，由此部分地产生恰位于重掺杂掩埋层上的反型区域，从而沟道的导电率增加了．

既然光生电荷只储存在重掺杂掩埋层中而没有储存在其它区域中，这是由于重掺杂掩埋层外边是高电势的原因，所以没有在栅极下面的阱区表面中而不是恰在重掺杂掩埋层上形成另外的反型区域，但是其中产生了强电场（该区域称之为强电场区域）．

由于反型区域和强电场区域形成在相同的沟道区域中，所以晶体管可在饱和条件下工作．这样，如果给用在源跟随器连接中的晶体管的源输送恒定电流和如果给栅极施加合适的栅电压，则晶体管将跟随晶体管的阈值电压的变化而变化，并相应地改变源扩散区中的电势．

另外，由于晶体管可在饱和条件下工作，则穿过它的电流仅取决于栅极和源扩散区之间的电压差．因而，源电势的变化仅取决于光生电荷所储存的电荷量．

通过输出该源电势作为视频信号，可以得到有利的线性光电电荷-电压转换．

由于储存在重掺杂掩埋层中的电荷量通过在反型区域中感应的电荷平衡，所以储存在重掺杂掩埋层中的电荷量与输送给栅绝缘膜（作为电容器）的电荷量相同．因此，晶体管的输出对应于阈值电压的变化．

注入的载流子被分布到每个晶体管结（ node ）的电容共用，并与其它的电容分量对应，例如引起阈值调制灵敏度损失的到漏和衬底的电容．因此，重掺杂区应该位于栅极附近并与漏边缘分离，以提高调制灵敏度．

将光生电荷储存到栅绝缘膜的电容器受到位于作为载流子袋的重掺杂掩埋层正上方的栅绝缘膜的电容值的限制．因此，图象传感器的检测灵敏度是从栅绝缘膜的厚度、重掺杂掩埋层的面积和深度决定的．而且，电容量可以看作是常数，从而使图象传感器能够以优异的线性电荷-电压转换特性为基础对光进行灵敏的检测．

一般情况下，如果半导体层的表面被耗尽，则耗尽区域作为对空穴的阻挡层．

如果晶体管具有普通的光电栅极，则用光生电荷填充的半导体层的表面将达到静电平衡状态．传感器将面临例如由于热激励引起暗流的产生和由于寄生空穴的积累引起的电势调制等的严重问题．

另一方面，本发明的晶体管的沟道区域适于在晶体管的初始化之后保持其中的耗尽条件，用于清除剩余的电荷．另外，由于晶体管对光是屏蔽的，所以其中不会明显形成载流子．如果某些载流子被捕获在晶体管半导体层的表面上，则它们不可能越过该势垒以成为该表面上的暗电流或噪声．

简言之，本发明使控制通过检测晶体管电流的光生电荷储存在位于沟道区域下的阱区中的隔离区中，从而使电荷不与 MOS 晶体管的表面层相互作用.

通过在源扩散区的附近收集光生电荷，可以控制晶体管的阈值电压，由此可以实现具有线性特性和高检测灵敏度且不产生明显噪声的理想阈值电压调制 CMOS 图象传感器.

附图说明

下面结合附图说明本发明的优选实施例，其中:

图 1A 是具有 BCMD 结构的现有技术固态成象器件的主要部分的截面图;

图 1B 是表示图 1A 的固态成象器件的电流-电压特性的曲线;

图 2 是表示根据本发明用于固态成象器件的单元象素的布局的平面示意图;

图 3 是表示沿着图 2 的 A-A 线截取的图 2 的固态成象器件的单元象素结构的截面图;

图 4A 是表示载流子袋的结构及其在图 2 所示的固态成象器件的单元象素中周围区域的细节截面图;

图 4B 是表示在包括载流子袋区的栅区周围的等效电路的截面图;

图 5 是沿着图 2 的 B-B 线截取的截面图，表示图 2 的单元象素内的光电二极管的结构;

图 6 是沿着图 2 的 C-C 线截取的截面图，表示在图 2 的单元象素内用于感光的 CMOS 晶体管的结构;

图 7A 是图 2 的固态成象器件的电路图;

图 7B 是用于图 7A 所示的电路工作的时序曲线;

图 8A 是在初始化操作期间沿着图 5 的 D-D 线截取的截面的电势分布图;

图 8B 是在初始化操作期间沿着图 5 的 E-E 线截取的截面的电势分布图;

图 9A 是在充电操作期间沿着图 5 的 D-D 线截取的截面的电势分布图;

图 9B 是在充电操作期间沿着图 5 的 E-E 线截取的截面的电势分布图;

图 10A 是在读操作期间沿着图 5 的 D-D 线截取的截面的电势分布图;

图 10B 是在读操作期间沿着图 5 的 E-E 线截取的截面的电势分布图;

图 11 是表示在图 2 所示的固态成象器件的单元象素内的光信号检测 MOS 晶体管的电流-电压特性的曲线;

图 12A 是在初始化之后图 2 所示的固态成象器件的沟道区域中的表面电势分布图;

图 12B 是在光被屏蔽时图 2 所示的固态成象器件的沟道区域中的表面电势分布图;

图 12C 是在照射光之后现有技术固态成象器件的沟道区域中的表面电势分布图;

图 13A 是在充电和读操作过程中图 2 中所示的固态成象器件中的电荷分布;

图 13B 是在解释图 13A 时使用的、在载流子袋附近图 6 所示的部分 MOS 晶体管的截面图;

图 14 是表示固态成象器件的单元象素的另一结构的截面图.

具体实施方式

下面参照附图详细说明本发明的实施例.

图 2 是表示根据本发明的实施例 CMOS 图象传感器的单元象素的布局的平面图.

如图 2 所示，单元象素 101 包括光电二极管 111 和用于检测光信号的光电检测器 112，其中该光电检测器 112 是邻近光电二极管 111 设置的 MOS 晶体管. 光电二极管 111 和 MOS 晶体管 112 共用阱区 15，从而阱区 15 一方面在它用光照射时为光电二极管起产生电荷的区域的作用，另一方面起 MOS 晶体管 112 的栅区的作用.

光电二极管 111 具有与阱区 15 上的 MOS 晶体管 112 的漏扩散区 17a 成一体形成的杂质扩散区 17 . 所形成的漏扩散区 17a 围绕环形栅 19 . 形成在被环形栅 19 包围的中心区中的是源扩散区 16 . 形成在环形栅 19 下面并包围源扩散区 16 的阱区 15 内的是载流子袋（重掺杂掩埋层）25 .

应该明白，在 MOS 晶体管 112 的沟道区域中形成 n 型杂质层（相反导电类型杂质层），从而使沟道区被耗尽，或被反型，同时 MOS 晶体管 112 处于工作状态中.

漏扩散区 17a 与漏电压（ VDD ）输送线 22 连接，栅极 19 与垂直扫描

信号（ VSCAN ）输送线 21 连接，源扩散区 16 与垂直输出线 20 连接。

在光电二极管 111 的感光窗口 24 以外的区域中，光信号被金属光屏蔽膜 23 屏蔽。

下面参照附图说明本发明的 CMOS 图象传感器的器件结构。

图 3 的上部分图是表示根据本发明的 CMOS 图象传感器的结构截面图，其对应于沿着图 2 的 A-A 线截取的截面图。图 3 的下部分图表示沿着半导体衬底的表面的电势分布图。

图 4A 的上部分图是被沟道区域之下的阱区 15 中的载流子袋 25 环绕于中心的区域的细节截面图。图 4A 的下部分图表示在光生空穴被储存在载流子袋 25 中时，沿着对应图 4A 的上部分图的 F-F 线的平面的电势分布图，其中该平面平行于半导体衬底的表面。

实际上，注入的载流子被电容分量平分给单独的晶体管结，它们是到源的电容（ Csp ），到衬底的电容（ Cbp ），到漏的电容（ Cdp ）和到栅的电容（ Cgp ），如图 4B 所示。在这些因素中， Cgp 是除了 Csp 外的重要因素，其中 Csp 是输出结，以增加对注入载流子的电势特性。因此，注入载流子通过减小 Cbp 和 Cdp 而被急剧地分布在重掺杂掩埋区域，这可以通过把重掺杂掩埋层与漏边缘和衬底分离开来实现。同时，由于检测电容（ Cgp ）也是由重掺杂区域的面积决定的，所以在重掺杂区域的较小面积上也可以提高灵敏度。

图 5 和 6 是分别沿着图 2 的 B-B 线和 C-C 线截取的截面图。

如图 3 的上部分所示，在 p 型硅衬底 11 上外延生长 n 型硅层 12 ，形成本发明的半导体衬底。

在 n 型层 12 上形成 p 型阱区 15 。在两相邻象素之间形成场绝缘膜 14 和位于场绝缘膜 14 之下的元件隔离扩散区 13 。

下面参照图 3 和 5 详细说明光电二极管 111 。

光电二极管 111 主要包括阱区 15 和形成在 n 型硅层 12 的表面上以覆盖大部分阱区 15 的杂质扩散区 17 。也就是，光电二极管 111 具有用于空穴的掩埋结构，其中空穴主要在杂质扩散区 17 下面的阱区 15 中产生。

杂质扩散区 17 与漏电压（ VDD ）输送线 22 连接并偏置到正电势，这有利于由入射光产生的空穴收集到杂质扩散区 17 下面的阱区 15 中，由此

通过不与其中存在许多表面陷阱能级的半导体表面相互作用而减少噪声.

下面参照图3和6详细说明光信号检测n-MOS晶体管112. MOS晶体管112具有这样的结构: 环形栅极19被与n+型杂质扩散区17一体形成的n+型漏扩散区17a包围. n+型源扩散区16形成在被栅极19包围的中心区域中.栅极19形成在栅绝缘层18上,栅绝缘层18淀积在在漏扩散区17a和源扩散区16之间延伸的阱区15上. 位于栅极19之下的阱区15的表面层起沟道区域的作用.

P+型载流子袋25形成在阱区15中且载流子袋25包围源扩散区16并仅部分地沿着沟道区域的长度延伸. P+型载流子袋25可以通过例如离子注入方法形成. 应该注意, 载流子袋25形成在阱区15中以位于沟道区域之下而不是在沟道区域本身表面中. 所形成的载流子袋25必须不叠加在沟道区域上. 另外, 为了保持沟道区域在正常工作电压下反型或耗尽, 需要通过在沟道区域中引入适当浓度的n型杂质而形成杂质层15.

上述P+型载流子袋25对于光生空穴的电势比对于电子的电势低, 从而在给漏扩散区17a施加高电压时, 光生空穴被收集在载流子袋25中. 附图中展示了光生空穴被积累在载流子袋25中的方式.

图3的下部分表示的是在光生空穴被积累在载流子袋25中从而在沟道区域中感应电子, 即其中形成反型区域时的电势分布图. 在沟道区域下面的阱区15中的载流子袋25附近元件的配置和相关的电势分布图如图4所示.

接下来, 参照图7A和7B说明利用上述单元象素的CMOS图象传感器.图7A表示根据本发明用于CMOS图象传感器的电路图. CMOS图象传感器具有以矩阵形式, 即按照行和列排列的二维阵列, 如图7A所示. 在图7A所示的例子中, 图象传感器包括简单的2 × 2矩阵.

提供在象素矩阵一侧上的是用于提供带有垂直扫描信号(VSCAN)的矩阵的垂直扫描驱动器电路102, 在矩阵的另一侧上的是用于提供带有漏电压VDD的VDD扫描驱动器电路103.

在每行的单元象素101中的MOS晶体管112的漏经过与该行相关的电压输送线22a和22b与VDD扫描驱动器电路103相连, 以接收漏电压VDD. 在每行的单元象素101中的MOS晶体管112的栅经过与该行相关

的垂直扫描信号线 21a 和 21b 与垂直扫描驱动器电路 102 相连，以接收垂直扫描信号 VSCAN .

在每列的单元象素 101 中的 MOS 晶体管 112 的源连接到与该列相关的垂直输出线 20a 和 20b .

垂直输出线 20a 和 20b 分别与 MOS 晶体管的对应漏（光检测信号输出端）28a 和 29a 相连，作为用于每个列的列开关 105a 和 105b . 开关 105a 和 105b 的栅（水平扫描信号输入端）与用于水平扫描信号（ HSCAN ）的水平扫描驱动器电路 104 相连.

开关 105a 和 105b 的源（光检测信号输出端） 28c 和 29c 经过公共恒定电流输送源 106 与视频信号输出端 107 相连. 换言之，每个单元象素 101 中的 MOS 晶体管 112 的源与恒定电流输送源 106 连接，以形成源跟随器电路. 这样，晶体管的源-栅电压和体-源电压由恒定电流输送源（负载电路） 106 确定.

单元象素中的 MOS 晶体管 112 连续地被垂直扫描信号（ VSCAN ）和水平扫描信号（ HSCAN ）激活，产生一系列表示各象素中二极管 111 所接收的光量的视频信号（ Vout ）.

如上所述，由于每个单元象素 101 由光电二极管 111 和 MOS 晶体管 112 构成，因此成象器件的象素可以沿着扫描驱动器电路 102-104 和包括恒定电流输送源 106 的其它外围电路被 CMOS 工艺一起集成在同一半导体衬底上.

图 7B 是用于本发明的 CMOS 图象传感器工作所要求的各种输入/输出信号的时序图. 该时序图施加于具有 p 型阱区 15 和 n-MOS 型光检测晶体管 112 的图象传感器.

成象器件具有由清除（初始化）、光电载流子产生、电荷储存和读阶段组成的周期.

在该周期过程中，在单元象素 101 中的每个阱区 15 中的电势的变化将在下面参照图 8 、 9 和 10 详细说明. 参照图 11 可以理解每个单元象素 101 中的光检测 MOS 晶体管 112 的电流-电压特性.

在每个图 8-10 中，纵坐标表示电势，而横坐标表示从衬底表面的深度. 图 8A 、 9A 和 10A 表示分别在该周期的清除（初始化）、电荷储存、和读

阶段、沿着图 5 的 D-D 线截取的电势分布．同样，图 8B 、 9B 和 10B 表示分别在该周期的清除（初始化）、电荷储存、和读阶段、沿着图 6 的 E-E 线截取的电势分布．

在清除期间，在读之后保留在半导体中的电荷、平衡受主杂质和施主杂质的空穴和电子、和被捕获在表面状态中的空穴和电子射出半导体。对每一行进行称之为初始化的操作．

清除操作的重要方面是清理载流子袋 25，用于使下面的光生电荷储存在其中．换言之，应该趋于只检测光生电荷，避免拾起由于保留电荷引起的噪声。

在此操作中，把高于正常工作电压的电压施加给漏扩散区 17a 、栅极 19 和源扩散区 16．这是通过把大约+5 伏的 VDD 通过 VDD 输送线 22a 施加给漏扩散区 17a，把大约+5 伏的电压通过 VSCAN 输送线 21a 和 21b 施加给栅极 19 进行的．由于沟道区域通过栅电压而表现为导电，因此源扩散区 16 也被施加与漏扩散区 17a 相同的电压（+5 伏）。

如图 8A 和 8B 所示，此电压作为反向偏置穿过 pn 结，从而阱区 15 中的电场通过 n 和 p 区指向 p+衬底 11，由此保持在阱区 15 和半导体其它部分中的空穴通过 p+衬底 11 清除，同时保持在半导体中的电子通过源扩散区 16 和漏扩散区 17 被清除．应该承认，特别是储存在载流子袋 25 中的光生电荷通过标准栅和漏电压不能从中射出以使晶体管饱和，但是电荷可以通过施加高于标准电压的栅电压和漏电压而从载流子袋 25 射出，例如 5 伏。

在剩余电荷被清除后，阱区 5 被耗尽。

如上所述，由于没有留下在载流子密度中能够导致热噪声（ kTC 噪声）或热波动的电荷，所以为得到成象信号上述初始化操作在清除电荷上是理想的。

应该明白，由于在初始化中不包含电流通路，所以初始化可以借助于在衬底中提供的片上升压电路来进行。

储存阶段需要通过光照射产生电荷并将电荷储存在载流子袋 25 中．在储存期间，在通常进行的水平扫描中可以使用行式快门（ row-wise shutter ）只激活象素的相关行。

这种情况下，大约 2 到 3 伏的电压施加于所有单元象素 101 中的 MOS 晶体管 112 的每个漏扩散区 17，以便在光照射之前通过 VDD 输送线 22a 和 22b 激活 MOS 晶体管。同时，低但足够的电压通过 VSCAN 输送线 21a 和 21b 施加于每列中的 MOS 晶体管的每个栅，以便使 MOS 晶体管截止。这样，为与各个水平扫描信号线耦合的所有传感器进行电荷储存操作。

通过施加电压的漏扩散区 17a， p 型阱区 15 中的多数载流子（空穴）被清除到 P + 型衬底 11，使阱区 15 耗尽，只剩下受主的负充电的空间电荷层。

如果象素被光照射，则在与该象素相关的光电二极管 111 的阱区 15 中产生电子-空穴对。

在 MOS 晶体管的栅设置为低电势的条件下，光生电子被漏电压从漏扩散区 17 中驱除，同时光生空穴被源扩散区 16 中的低电势吸引到源扩散区 16 中，直到它们被捕获或储存在最小电势的载流子袋 25 中，如图 9A 和 9B 所示。

由于在储存期间光生电荷的电荷转移只在 p 型阱区 15 中进行，所以电荷转移不受半导体的表面条件影响，因此不会产生噪声。

注意，如果晶体管的表面被耗尽，则其变为空穴的阻挡层。

在图 12C 所示的现有技术光电栅极结构中，半导体的表面用光生电荷填满，这是处于静电平衡，并且可能是暗流和寄生空穴的源，这将引起电势调制问题。

相反，在这里所示的例子中，晶体管的沟道区域被耗尽并在初始化之后保留，如图 12A 所示。而且，由于栅和附近区域对光屏蔽，所以不会产生过量的载流子层。因此，如果载流子被捕获在晶体管的表面中，如图 12B 所示，不会越过阻挡层，变为通过表面的暗流或噪声。

读期间需要读出与储存在相应象素中的光生电荷有关的视频信号（ Vout ）。视频信号 Vout 可以通过激活作为源跟随器连接的光信号检测 MOS 晶体管 112 而被读出。

在每行中的 MOS 晶体管 112 的每个漏通过 VDD 输送线 22a 和 22b 提供有大约 2 到 3 伏的电压情况下，每行中的 MOS 晶体管 112 的每个栅通过 VSCAN 输送线 21a 和 21b 提供有大约 2 到 3 伏的电压，从而 MOS 晶体管

112 在饱和条件下工作. 与恒定电流输送线 106 连接的光检测 MOS 晶体管 112 的源输送以恒定电流.

在读期间之前的期间内光生载流子被储存在载流子袋 25 中.

当光生载流子被储存在载流子袋 25 中时，阱区 15 中的费米能级相对于储存在其中的电荷量而改变. 然后空间电荷减少，晶体管的阈值电压降低. 同时，根据电荷转换规则，在载流子袋 25 上形成反型区域，其中与储存在载流子袋 25 中的空穴相同数量的电子增加了，结果使沟道导电率提高. 在这种情况下，恰在载流子袋 25 上的表面电势在沟道长度方向近似于常数，电子载流子以均匀密度分布.

另一方面，由于空间电荷密度在阱区 15 的漏扩散区 17a 一侧中足够低，所以在沟道区域的漏扩散区 17a 一侧中没有产生反型区域，而代替的是，在其中产生强电场区域.

由于在沟道区域的一部分中产生反型区域和在其另一部分上产生强电场区域，因此现在光信号检测 MOS 晶体管 112 可以在饱和条件下工作，如图 11 所示.

因此，如果给光信号检测 MOS 晶体管 112 的各个电极施加一组标准工作电压；则处于饱和条件下的晶体管被激活. 与恒定电流源连接的晶体管 112 作为源跟随器工作：通过其负反馈降低栅和源电势之间差值，以便使恒定电流流过晶体管，由此升高源电势，如图 10A 和 10B 所示. 源电势的变化从输出端 107 读出，作为它的视频信号.

下面说明上述的读操作. 由于光信号检测 MOS 晶体管 112 在饱和区域工作，如图 11 所示，所以漏-源电势差由栅极 19 下面的阱区 15 中的电势确定. 该电势差导致在 p 型阱区 15 中产生指向源扩散区 16 的电场.

虽然光生空穴升高了源扩散区 16 附近区域中的费米能级，但是由于电流由恒定电流源 106 确定，所以保存了势垒的高度. 因而，对应于与被注入的光生空穴中和的空间电荷相关的电压差的源电势 Vs 发生变化，如图 10A 和 10B 所示. 换言之，可以通过光生空穴改变半导体的体电势，以便改变源跟随器的输出.

用这种方式，可以得到与照射光量成正比的视频信号（ Vout ）. 由于在这种情况下出现在反型区域中的光生空穴和电子数量平衡，所以光生电

荷量与栅绝缘膜18（作为电容器）中感应的电荷量相同，并且可以检测阈值电压的变化。如图13A和13B所示，光生电荷的充电限制到载流子袋25上的栅绝缘膜18，从而光电传感器的检测灵敏度可以由栅绝缘膜18厚度和载流子袋25的面积和深度决定。由于光生电荷储存在载流子袋25的有限的区域中，因此光电传感器电荷-电压转换的线性很好。

另外，由于检测电容可以看作常数，因此可以得到在极度线性的电荷-电压转换的基础上的光载流子的非常灵敏的检测。

下面参照图7A和7B说明与光检测相关的固态成象器件的工作。

在光检测中，保留在阱区和半导体的其它区域中的电荷被其初始化清除掉，如前所述。

然后给晶体管的栅极19施加低电压；大约2到3伏范围的电压VDD施加于漏扩散区17a，用于激活晶体管，使阱区15被耗尽并且产生从漏扩散区17a指向源扩散区16的电场。

在光照之后，产生电子-空穴对，其中空穴被注入到栅区并储存在载流子袋25中。储存的空穴限制从沟道区域向衬底16延伸的耗尽层的宽度，从而MOS晶体管112的阈值电压被袋25中的载流子改变。

当栅极19输送以大约2-3伏的电压和漏扩散区17a输送以大约2-3伏的电压VDD以使MOS晶体管112在饱和条件下工作时，在沟道区域的反型区域中形成弱电场，并且在沟道区域的剩余区域中形成高电场。

在该阶段，如果MOS晶体管112的源扩散区16与恒定电流源106连接，则MOS晶体管112形成源跟随器电路，由此改变它的源电势，并因此改变跟随由光生空穴引起的MOS晶体管的阈值电压的变化而变化的输出电压。因而得到对应于光照射量的视频信号。

如上所述，根据本发明，可以提供理想的CMOS晶体管成象器件，其中光生电荷可以被清除（初始化）、储存和读，而不受沟道区域和半导体表面中噪声源影响。

应该记得，载流子袋25形成在沟道区域下面，反型区域形成在沟道区域的部分区域中，沟道区域的剩余部分中存在强电场，从而晶体管可以被激活以在饱和条件下工作。而且，MOS晶体管连接在源跟随器中，它的源电压随着对应于储存的光生电荷的阈值电压的变化而变化。这样，通过读

取源电压可以得到很好的线性电荷-电压转换.

本发明的这个特征在与常规 BCMD 型固态成象器件相比时更加明显,该常规 BCMD 型固态成象器件具有三极管式电流-电压特性,并因此很难在饱和条件下工作或达到线性光电转换.

在本发明中,光电传感器具有分离的光电二极管 111 和光信号检测 MOS 晶体管 112 . 因而,可以防止由发生在光电栅极上的入射光的多重干涉引起的光谱灵敏度的变坏.

通过光电二极管 111 和光信号检测 MOS 晶体管 112 的简单结合,光电传感器的填充因子提高了.

也可以通过如上所述改变源跟随器的栅电压抑制固定图形噪声,以便调整源跟随器的增益和源电容.

在前述例子中,光信号是通过在 n-MOS 晶体管(光信号检测 MOS 晶体管) 112 中形成 p+型载流子袋 25 以储存光生空穴而得到的. 但是,本领域技术人员应该理解,光信号的检测同样可以通过在 p-MOS 晶体管(光信号检测 MOS 晶体管)中形成 n+型载流子袋以储存光生电子而很好地检测.

在图 7A 所示的例子中,固态成象器件适于在清除过程中给栅极 19 输送以大约+5 伏的栅电压,其使沟道区域导电,由此在源扩散区 16 上施加与施加给漏扩散区 17a 相同的大约+5 伏的电压. 或者,源扩散区 16 可以经过开关装置连接到电源上,以使电源只在清除期间给源扩散区 16 提供大约+5 伏的电压.

参见图 7A , 所示的恒定电流源将是负载电路. 负载可以使用电容器而由容性负载代替. 在那种情况下,在源电压被收集在载流子袋中的光生电荷改变时,电容器被充电. 穿过电容器的电压可以作为视频信号被读出. 另外,代替这种容性负载,也可以使用高阻抗负载以形成源跟随器.

可以看出,本发明提供了一种新的和有用的阈值电压调制固态成象器件,其包括被光电二极管和绝缘栅型 FET 共用的公共阱区,和形成在沟道区域下面和 FET 的源扩散区附近的阱区中的重掺杂掩埋层(载流子袋).

因而,在光电二极管中产生的光生电荷通过大部分半导体层被转移到晶体管的载流子袋中并随后储存在载流子袋中,由此改变晶体管的阈值.

这种配置有利于在由前述步骤：清除（初始化）；光电转换；在载流子袋中储存光生电荷；和电压读出构成的整个光信号检测中抑制热噪声（kTC）和半导体表面上的电荷捕获产生的噪声.

这样，本发明提供了配备具有超过常规 CCD 图象传感器的运行特性的 MOS 型图象传感器低噪声固态成象器件.

还应该理解，在本发明中 MOS 晶体管的载流子袋提供在晶体管的沟道区域下面，载流子袋可以使反型区域和围绕反型区域的强电场区域在沟道区域中共享形成，从而晶体管可在饱和条件下工作。

另外，晶体管被包括在源跟随器电路中，其源连接到例如恒定电流源的高阻抗负载电路，从而光生电荷的数量有利地线性转换成晶体管的阈值电压的变化，这可以作为源电压而被检测。可以得到优异的线性光-电压转换。

本发明可以通过光电二极管和光信号检测 MOS 晶体管的简单结合来实现. 这样，本发明就能够提供提高了的填充因子。

本发明的特点，即源跟随器的增益和源电容可以容易地调整，有利于抑制固定图形噪声.

本发明的固态成象器件可以以低成本方便地制造，这是因为它可以通过常规 CMOS 制造技术与同一衬底上的外围电路成一体制造。

除此之外，虽然在上述优选实施例中说明了本发明的详细例子，但是也可以考虑如图 14 所示的其它调制例子.

在图 14 中，与图 2-6 不同的地方是，提供有使信号光通过栅极 19a 直接进入栅区 15 的结构. 换言之，没有提供光电二极管，而在栅极 19a 上面部分提供感光窗口 24a，在其它区域中信号光被光屏蔽膜 23a 屏蔽.

由于图 14 的光电传感器在栅极 19 下面的源区 16 附近的阱区 15 内具有载流子袋 25，因此从图 14 所示的结构可以得到与上述实施例相同的优点。

图 1A（ 现有技术 ）

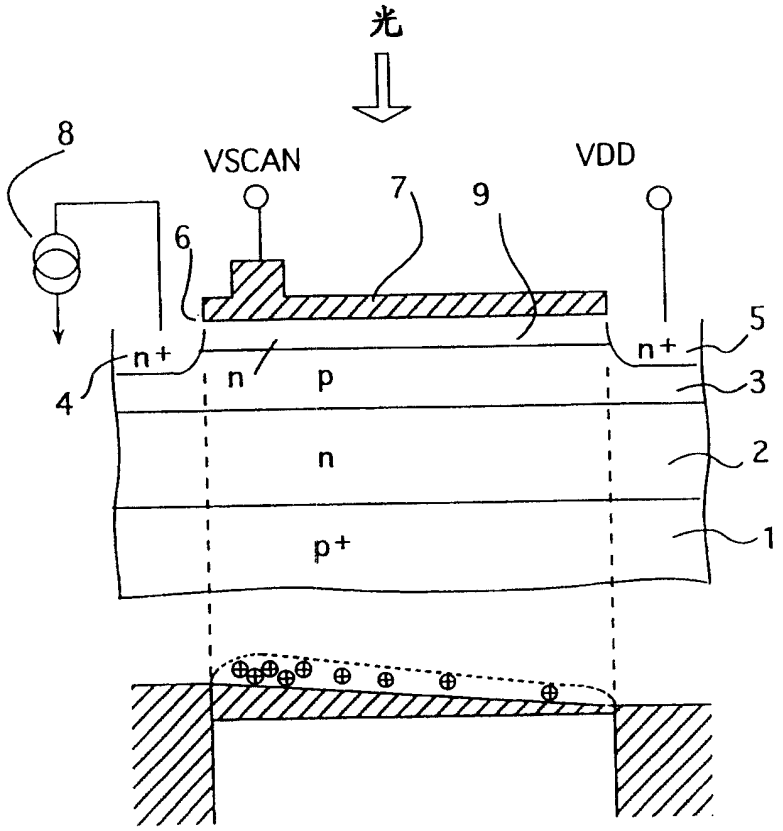


图 1B（ 现有技术 ）

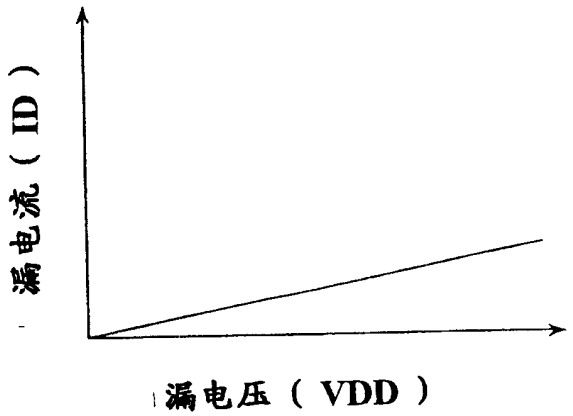


图 2

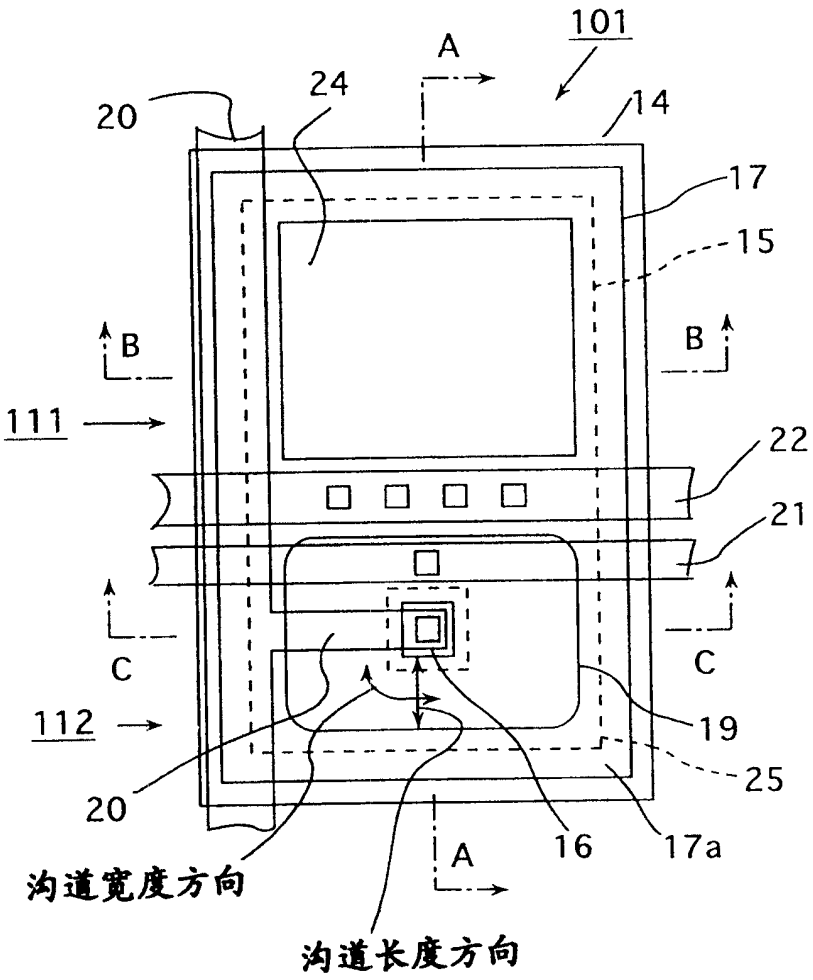

101
A
24
20
14
17
15
B
B
111
22
21
C
C
112
19
25
20
16
17a
A
沟道宽度方向
沟道长度方向

图 3

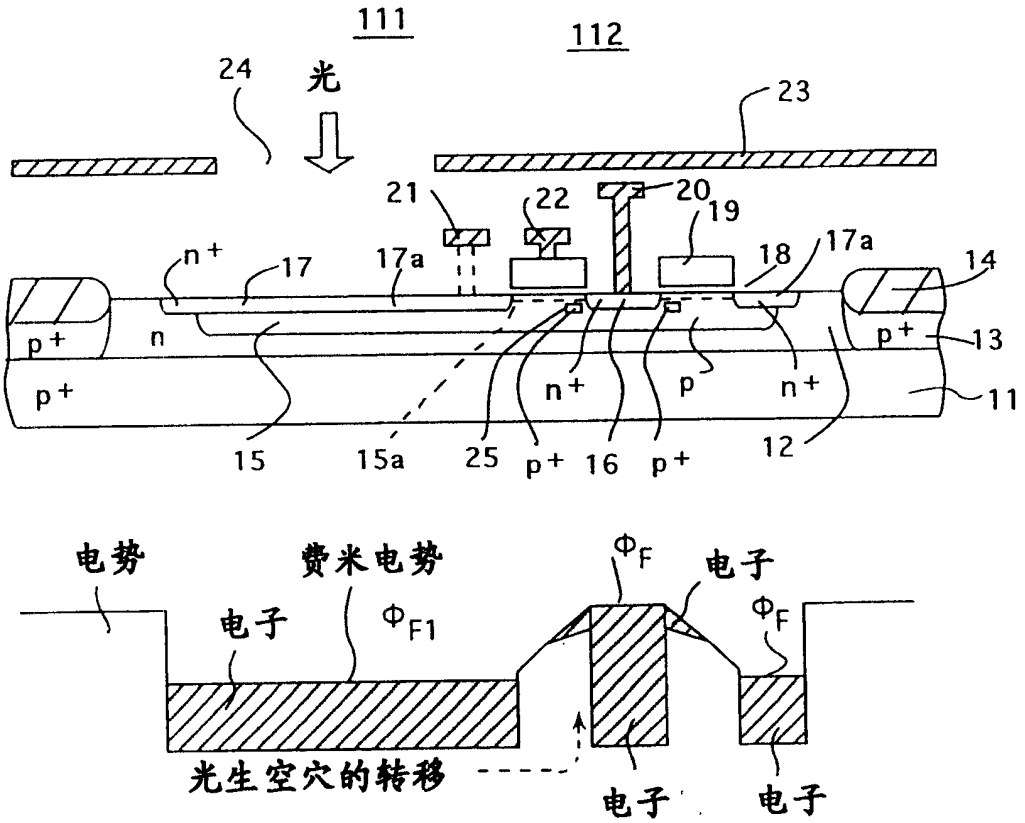

111
112
24
光
23
21
22
20
19
18
17a
17a
17
n+
14
p+
n
p+
13
p+
n+
p
n+
11
15
15a
25
p+
16
p+
12
电势
费米电势
电子
Φ_{F1}
Φ_F
电子
Φ_F
光生空穴的转移
电子
电子

图 4A

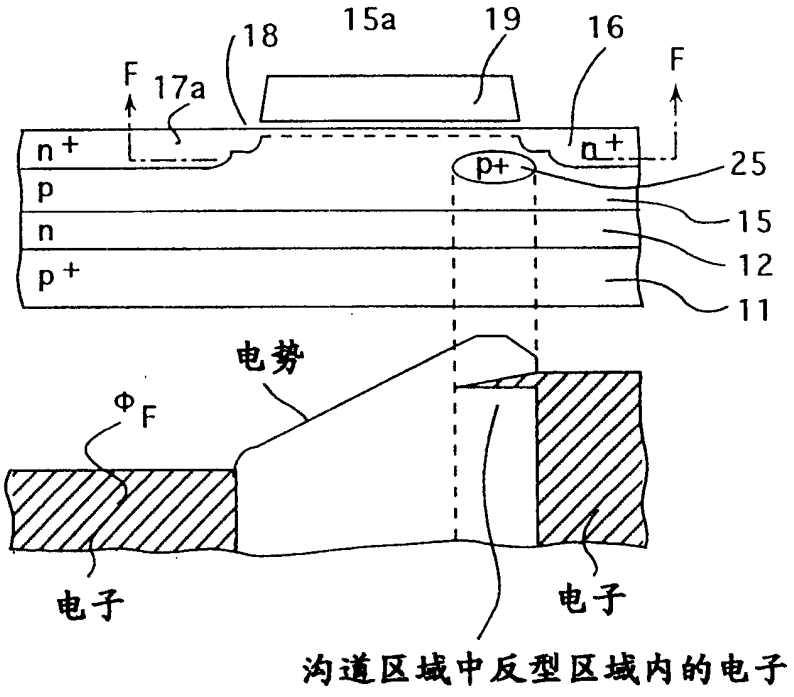

18
15a
19
16
F
17a
F
n+
n+
p+
25
p
15
n
12
p+
11
电势
ΦF
电子
电子
沟道区域中反型区域内的电子

图 4B

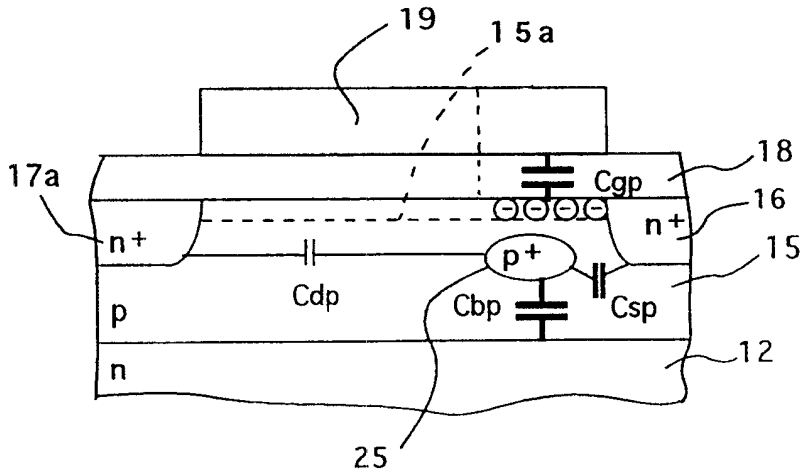

19
15a
17a
18
Cgp
16
n+
n+
15
p+
Cdp
Cbp
Csp
p
12
n
25

图 5

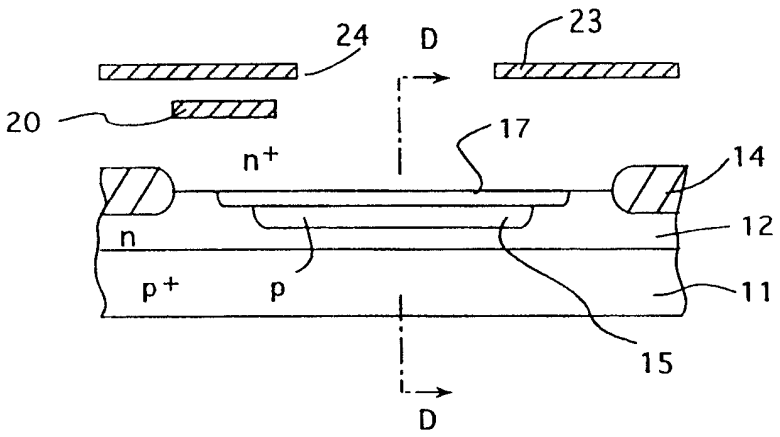

24
D
23
20
17
n+
14
12
n
p+
p
11
15
D

图 6

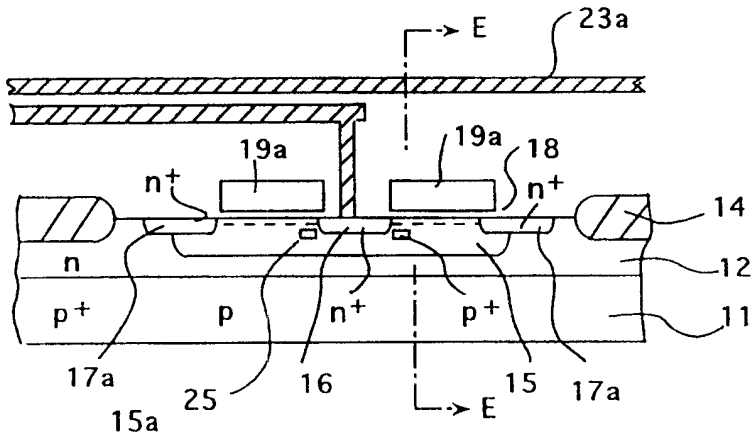

E
23a
19a
19a
18
n+
n+
14
12
n
p+
p
n+
p+
11
17a
15a
25
16
15
17a
E

图 7A

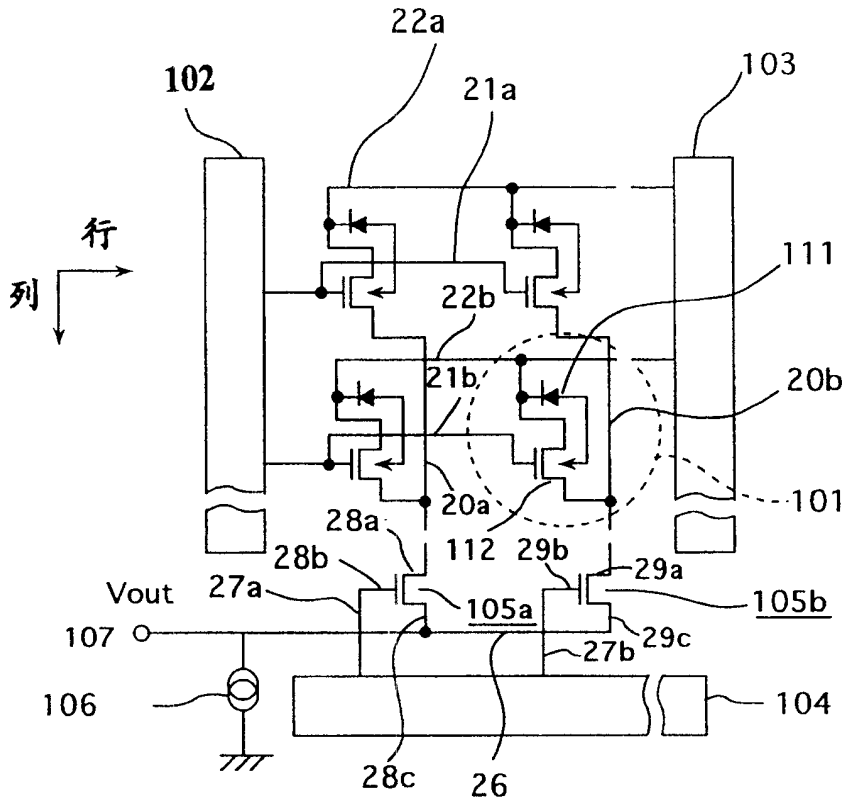

22a
102
21a
103
行
列
111
22b
21b
20b
20a
101
28a
112
29b
28b
29a
Vout
27a
105a
105b
107
29c
27b
106
104
28c
26

图 7B

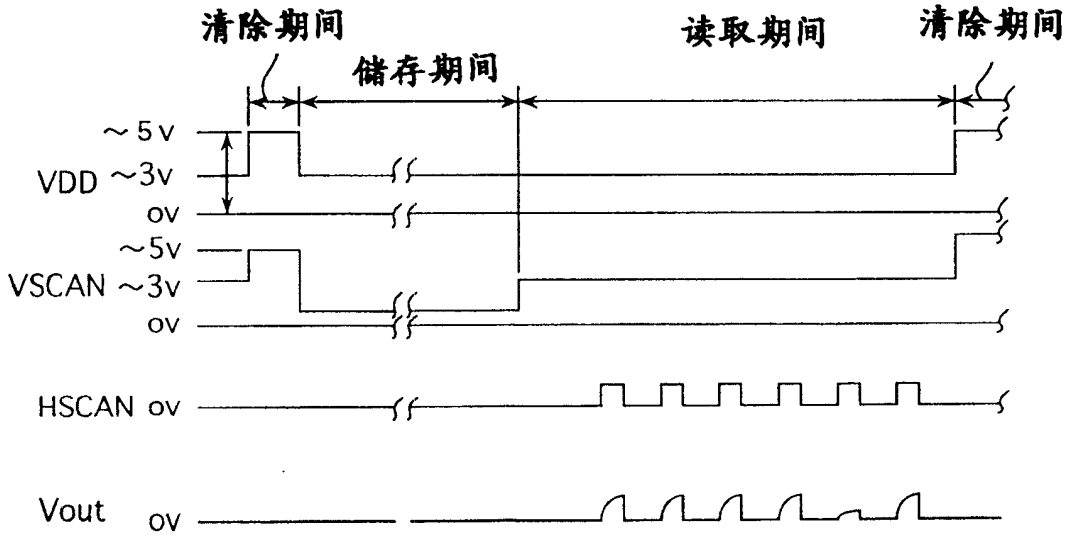

清除期间
储存期间
读取期间
清除期间
~5v
VDD ~3v
ov
~5v
VSCAN ~3v
ov
HSCAN ov
Vout ov

图 8A

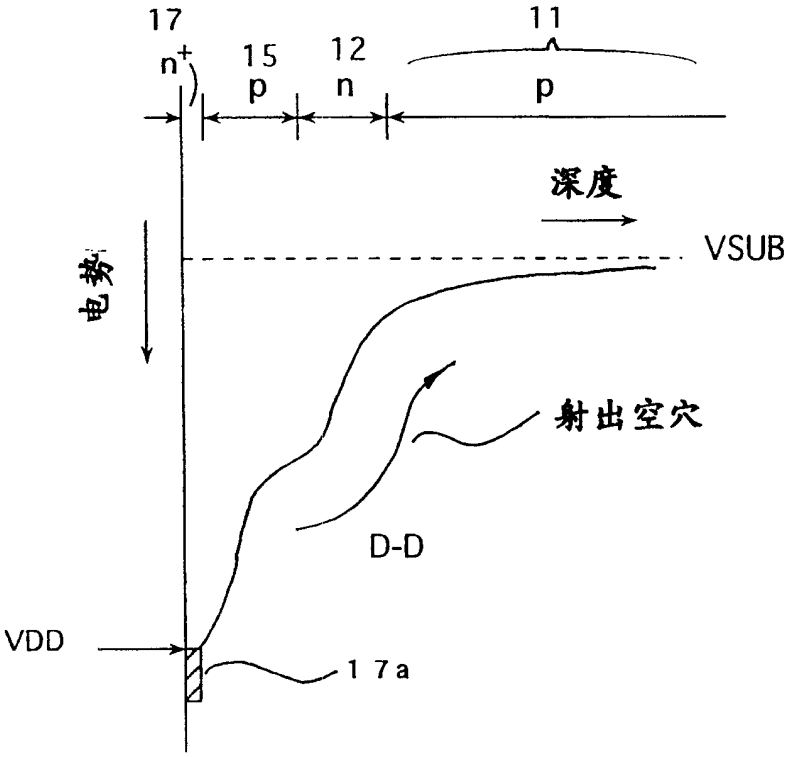

17
n+
15
p
12
n
11
p
深度
VSUB
电势
射出空穴
D-D
VDD
17a

图 8B

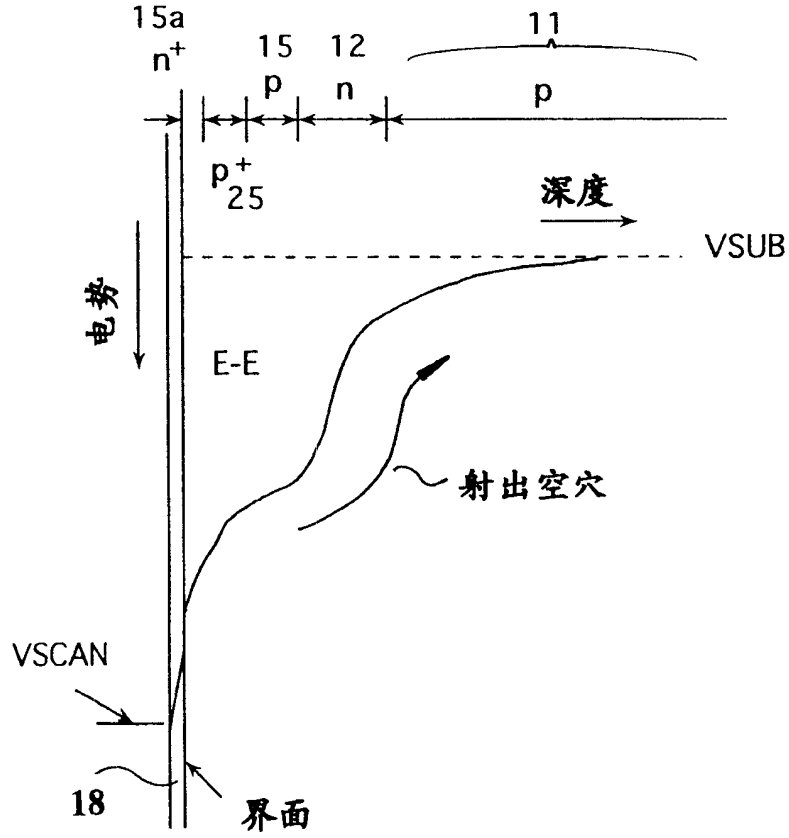

15a
n+
15
p
12
n
11
p
p+
25
深度
VSUB
电势
E-E
射出空穴
VSCAN
18
界面

图 9A

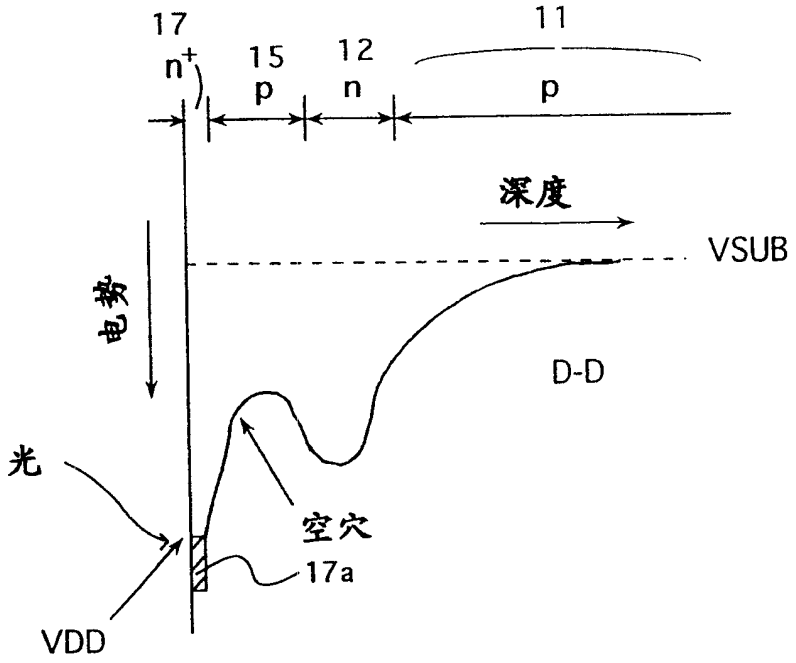

17
n+
15
p
12
n
11
p
深度
VSUB
电势
D-D
光
空穴
17a
VDD

图 9B

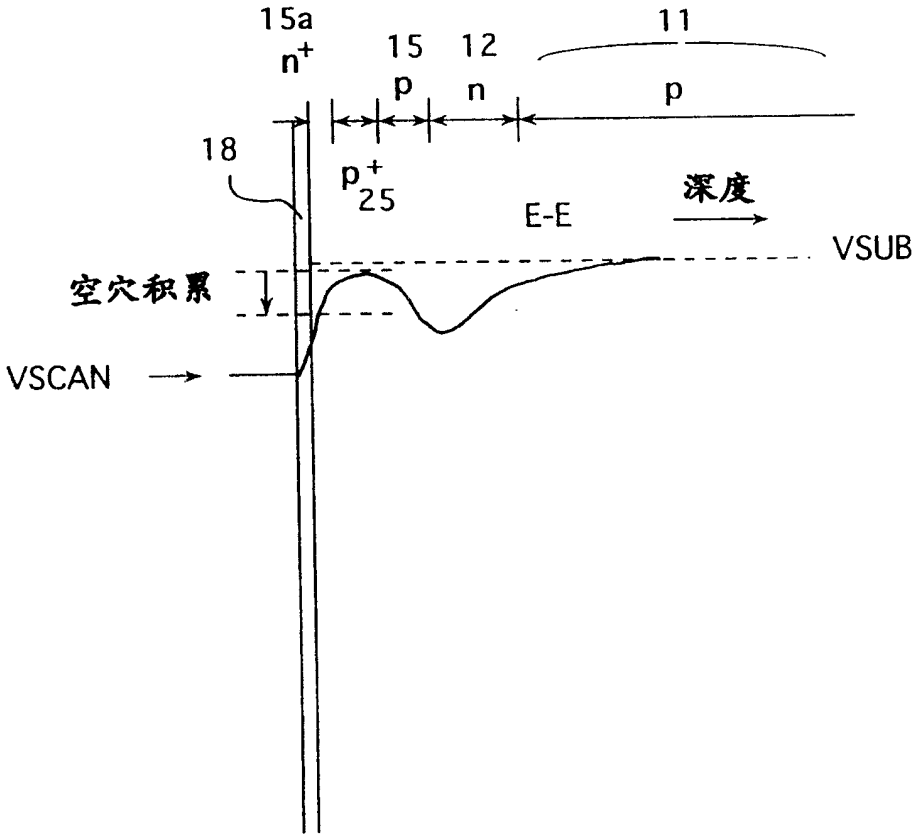

15a
n+
15
p
12
n
11
p
18
p+
25
E-E
深度
VSUB
空穴积累
VSCAN

图 10A

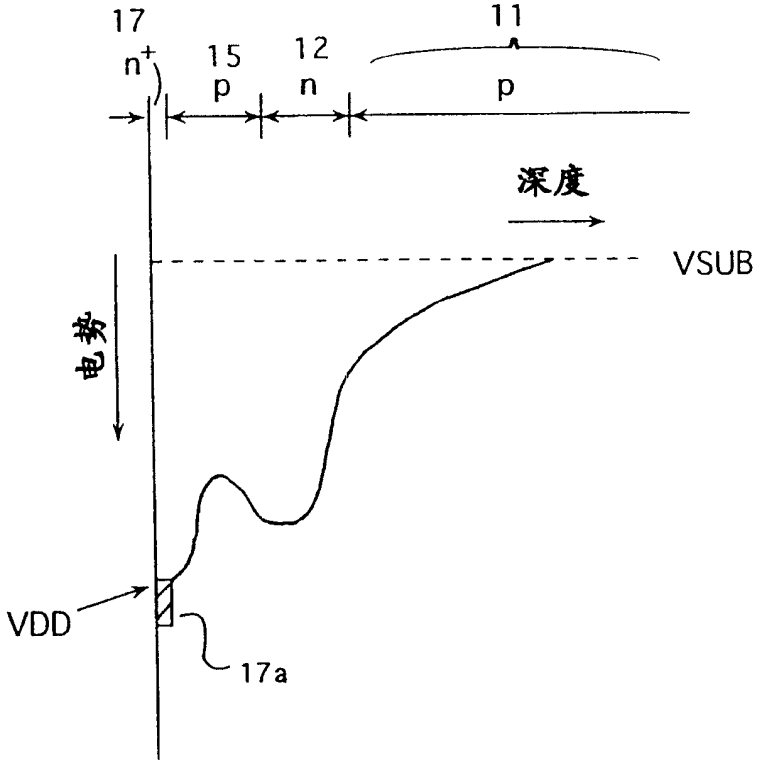

17
n+
15
p
12
n
11
p
深度
VSUB
电势
VDD
17a

图 10B

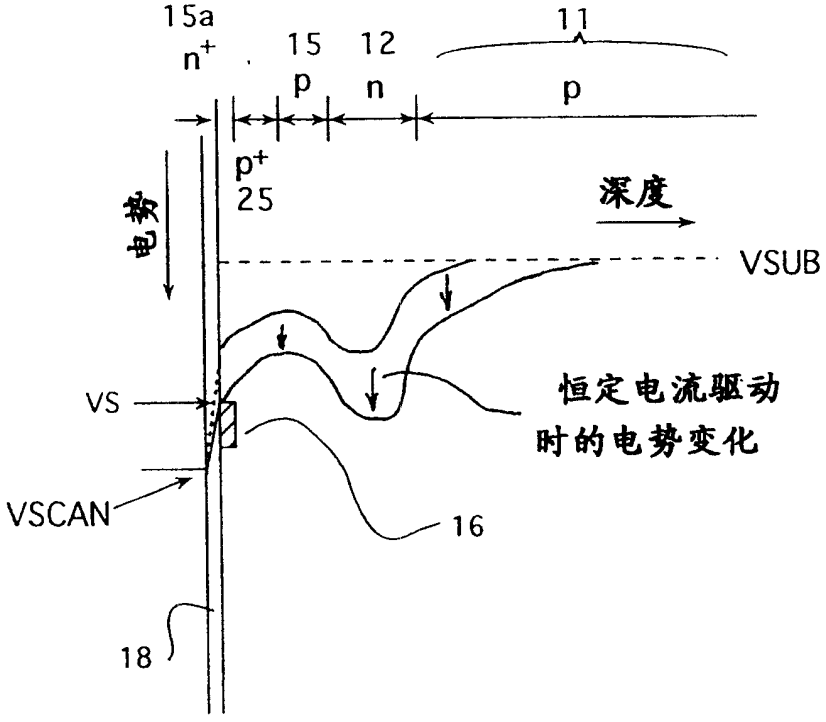

15a
n+
15
p
12
n
11
p
p+
25
深度
VSUB
电势
VS
恒定电流驱动
时的电势变化
VSCAN
16
18

图 11

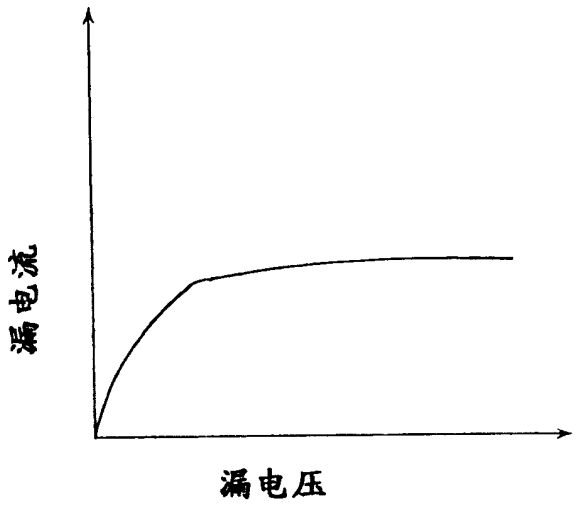
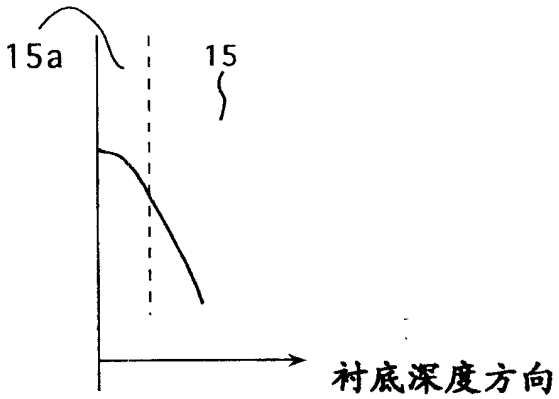
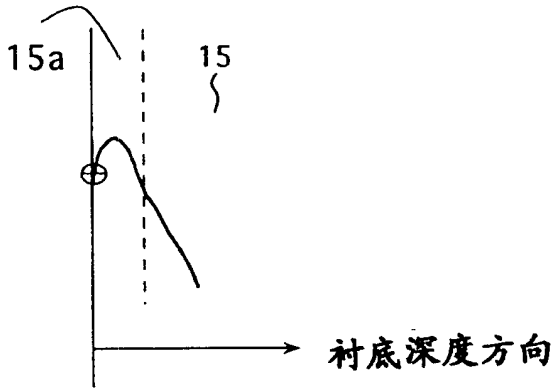


图 12A



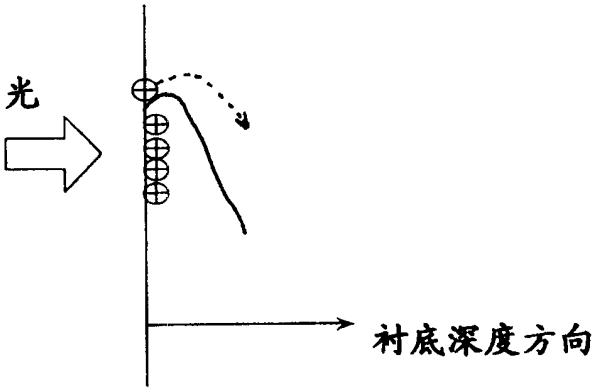
表面电势（初始化之后）
本发明

图 12B



表面电势（屏蔽光）
本发明

图 12C



表面电势（接收光）
现有技术（光电栅型）

图 13A

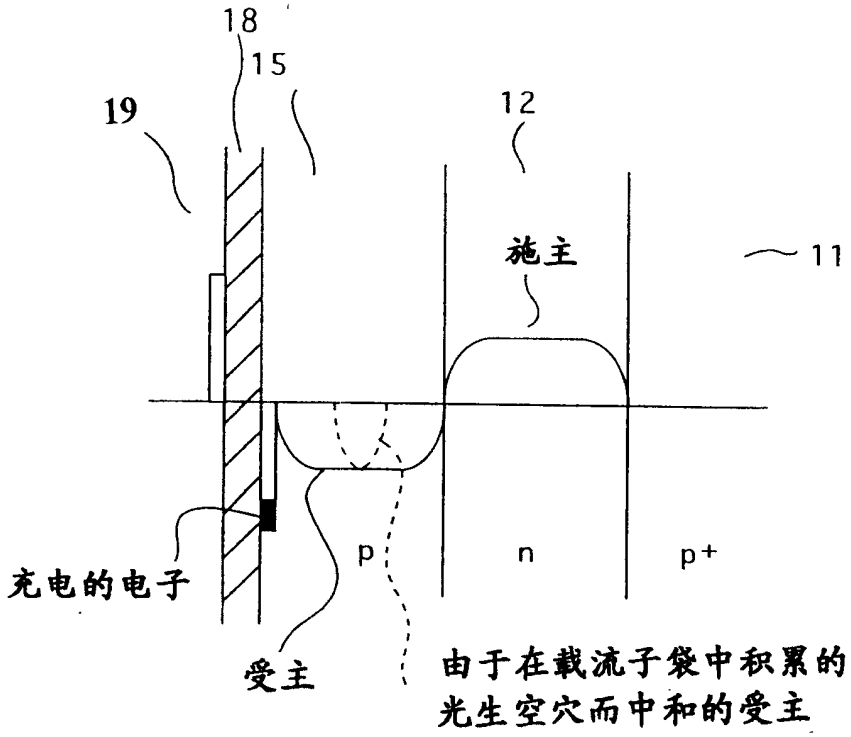

18
15
19
12
施主
11
充电的电子
p
n
p+
受主
由于在载流子袋中积累的
光生空穴而中和的受主

图 13B

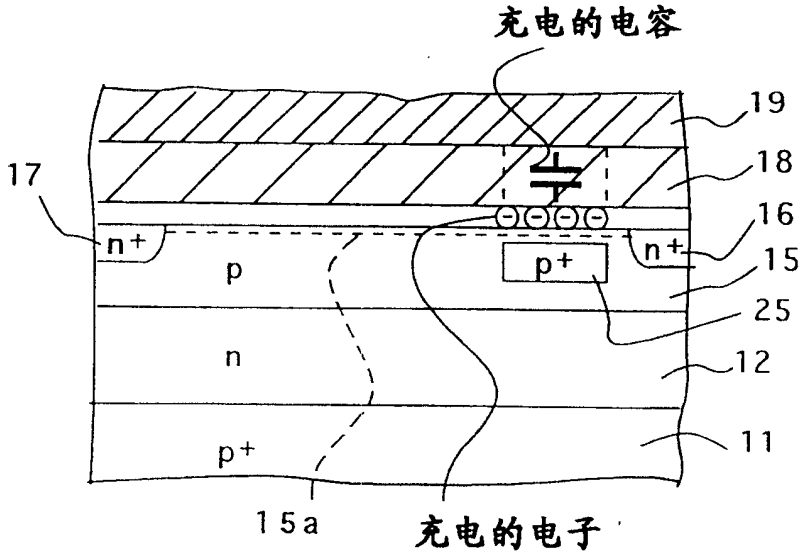

充电的电容
19
17
18
16
n+
n+
15
p
p+
25
n
12
p+
11
15a
充电的电子

图 14

