

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3545200号
(P3545200)

(45) 発行日 平成16年7月21日(2004.7.21)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int.Cl.⁷

F I

H O 1 L 25/085

H O 1 L 25/08

Z

H O 1 L 25/07

H O 1 L 25/18

請求項の数 13 (全 45 頁)

(21) 出願番号	特願平10-103073	(73) 特許権者	000005049
(22) 出願日	平成10年4月14日(1998.4.14)		シャープ株式会社
(65) 公開番号	特開平11-3970		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成11年1月6日(1999.1.6)	(74) 代理人	100080034
審査請求日	平成13年2月2日(2001.2.2)		弁理士 原 謙三
(31) 優先権主張番号	特願平9-100606	(72) 発明者	石尾 俊也
(32) 優先日	平成9年4月17日(1997.4.17)		大阪府大阪市阿倍野区長池町2番2号
(33) 優先権主張国	日本国(JP)		シャープ株式会社内
前置審査		(72) 発明者	中西 宏之
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
		(72) 発明者	丸山 朋代
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、

上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料と、上記半導体チップと上記配線パターンとを絶縁するための絶縁材料とが設けられ、
上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料、上記配線パターン、上記半導体チップと上記配線パターンとを絶縁するための絶縁材料は、この順

10

で積層されて設けられており、
上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電気的に接続されており、

上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、

上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、

上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

20

上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされていることを特徴とする半導体装置。

【請求項2】

リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、

上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、

上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電気的に接続されており、

上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、

上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、

上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴とする半導体装置。

【請求項3】

リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、

上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、

上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電気的に接続されており、

上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、

上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、

上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴とする半導体装置。

【請求項4】

リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、

上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが

10

20

30

40

50

設けられ、

上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、

上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、

上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、

上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされており、

さらに、上記配線パターンは、上記2つのリード群と上記半導体チップの中心を結ぶ直線に対して、略対称な位置にある電極同士を電氣的に接続するようにパターンニングされていることを特徴とする半導体装置。

【請求項5】

上記リードフレームが、上記リードフレームを搬送するためのクレードル部を備え、上記半導体チップ搭載用基板は、少なくとも上記クレードル部の厚さよりも薄く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項6】

ウエハプロセスで上記絶縁材料もしくは絶縁層および上記配線パターンを形成した半導体基板を、リードフレームの上記半導体チップ搭載用基板の少なくとも一方の面に上記半導体チップと並べて搭載し、上記半導体チップの電極パッドが、上記配線パターンおよび上記金属線を介して上記リードと電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項7】

上記半導体チップ搭載用基板上に設けられた上記配線パターン上において、配線同士が、金属線によって電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項8】

上記半導体チップ搭載用基板上に、上記配線パターンを1つ以上含む配線パターン群が2つ以上形成され、上記1つの配線パターン群の少なくとも一部分と、それ以外の上記1つの配線パターン群の少なくとも一部分とが、上記金属線によって電氣的に接続されていることを特徴とする請求項7記載の半導体装置。

【請求項9】

上記配線パターンが、略平面上に設けられて互いに電氣的に独立した第1および第2配線パターンと、1つ以上の配線パターンを有し、上記第1配線パターンと第2配線パターンとの間に設けられた第3配線パターンとを含んでおり、上記第1および第2の配線パターンが、上記金属線によって電氣的に接続されていることを特徴とする請求項7記載の半導体装置。

【請求項10】

上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、

上記半導体チップ搭載用基板上に形成された上記配線パターンの少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴とする請求項1記載の半導体装置。

【請求項11】

上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、

上記半導体チップ搭載用基板と上記封止材とが直接接する面積を減少させるように、上記

10

20

30

40

50

半導体チップ搭載用基板の少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴とする請求項1記載の半導体装置。

【請求項12】

リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、

上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、

上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、

上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、

上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、

上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、

上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターンングされていることを特徴とする半導体装置。

【請求項13】

リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、

上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、

上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、

上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、

上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、

上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、

上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、

上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターンングされていることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、軽量かつ小型な電子機器に搭載し得る半導体装置に関するものである。

【 0 0 0 2 】

【 従来技術 】

従来から、図 3 8 および図 3 9 に示すように、半導体チップ 5 1 を 1 個のみ内蔵する半導体装置が種々提案されている（従来技術 1 とする）。上記半導体装置は、通常、以下のようにして製造される。すなわち、リードフレーム 5 4 に形成されたダイパッド 5 5 の上に、銀ペースト等の熱硬化型のダイアタッチ材料 5 3 を用いて半導体チップ 5 1 を搭載する（以下、ダイボンディングと称する）。次に、上記ダイアタッチ材料 5 3 を熱処理によ

10

【 0 0 0 3 】

その後、半導体チップ 5 1 の素子形成面に形成された電極パッド 5 2 とリードフレーム 5 4 に形成されたインナーリード 5 6 とを金ワイヤ等のボンディングワイヤ 5 9 により電氣的に接続する（ワイヤボンディング工程）。さらにこれらを射止樹脂 6 0 等で射止した後、射止樹脂 6 0 がアウターリード 5 7 間に流れ出ないようにリードフレーム 5 4 に形成されたタイバー（図示せず）や、ダイパッド 5 5 を保持するために形成されたサポートリード 5 8 を切断し、アウターリード 5 7 を所望の形状に折り曲げ（フォーミング）て完成品となる。

【 0 0 0 4 】

20

一方、近年では、電子機器の小型化、軽量化の要求に伴い、半導体装置のメモリの増大化も要求されている。そこで、上記従来技術 1 を進展させ、図 4 0 および図 4 1 に示すように、ダイパッド 5 5 の表裏両面に 2 個の半導体チップ 5 1 a ・ 5 1 b を搭載するようにした半導体装置も提案されている（従来技術 2 とする）。上記半導体装置は、半導体チップ 5 1 a ・ 5 1 b の裏面（半導体チップ 5 1 a ・ 5 1 b の素子形成面とは反対側の面）同士が互いに対向するように、例えば特願平 6 - 2 9 7 0 5 9 号公報等で提案された方法によって製造される。

【 0 0 0 5 】

つまり、まずダイパッド 5 5 の一方の面に、銀または無銀ペースト等のペースト状ダイアタッチ材料 5 3 を用いて半導体チップ 5 1 a を搭載する。そして、上記ダイアタッチ材料 5 3 を熱硬化させて、半導体チップ 5 1 a をダイパッド 5 5 に固定する。続いて、ダイパッド 5 5 の他方の面に対しても同様にペースト状ダイアタッチ材料 5 3 を用いて半導体チップ 5 1 b を搭載し、上記ダイアタッチ材料 5 3 を熱硬化させて半導体チップ 5 1 b をダイパッド 5 5 に固定する。

30

【 0 0 0 6 】

その後、一方の半導体チップ 5 1 a の電極パッド 5 2 a とインナーリード 5 6 とを金ワイヤ等のボンディングワイヤ 5 9 a でワイヤボンディングする。続いて、他方の半導体チップ 5 1 b についても同様に電極パッド 5 2 b とインナーリード 5 6 とをボンディングワイヤ 5 9 b でワイヤボンディングして接続する。その後の工程については、上記従来技術 1 と同様である。

40

【 0 0 0 7 】

【 発明が解決しようとする課題 】

ところで、メモリを 2 倍にする等の目的でダイパッド 5 5 の表裏両面に半導体チップ 5 1 a ・ 5 1 b を搭載する従来の半導体装置では、ボンディングワイヤ 5 9 a ・ 5 9 b の長さや角度は、電極パッド 5 2 a ・ 5 2 b のレイアウトに依存する。つまり、電極パッド 5 2 a ・ 5 2 b の配置位置によっては、ボンディングワイヤ 5 9 a ・ 5 9 b が長くなったり、隣接ワイヤ同士が交差することがある。すると、樹脂射止の際の応力により、例えばボンディングワイヤ 5 9 a が半導体チップ 5 1 a あるいは隣接ワイヤとショートしたり、ボンディングワイヤ 5 9 a のオープン（ボンディングワイヤが切れる等の現象）が発生することがある。

50

【0008】

このため、半導体チップ51a・51bが例えば同種チップ（同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップ）である場合、図40に示すように、半導体チップ51aおよび半導体チップ51bの各素子回路パターン（電極パッド52a・52bも含む）をミラー反転させて形成しなければならない。

【0009】

一方、半導体チップ51a・51bが例えば異なる種類のチップ（異なるチップサイズ、異なる基板電位で動作するチップ等）である場合には、電極パッド52a・52bがそれぞれ無秩序に設けられているため、すなわち、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッド52a・52bが配列されているため、片方または両方の半導体チップ51a・51bの電極パッド52a・52bの配置を変更しなければならない。

10

【0010】

このように、従来の2チップ1パッケージの半導体装置の構成では、電極パッド52a・52bのレイアウト上の問題により、半導体チップ51a・51bの少なくとも一方の設計を変更しなければならない。その結果、装置の開発期間が長くなるという問題が生ずる。

【0011】

なお、半導体チップ51a・51bが同種のチップであるか否かにかかわらず、電極パッド52aまたは電極パッド52bの配置だけを変更して上記不都合を回避する簡易的な方法がある。しかし、この方法では、配線の引き回しが多くなるため、全面的に設計変更を行った場合よりも、さらに半導体チップ51a・51bのサイズが大きくなるという問題が新たに発生する。

20

【0012】

一方、例えば特開平6-151641号公報には、上記のような電極パッド52a・52bのレイアウト上の問題を回避するよう試みた半導体装置が開示されている。この半導体装置では、図42に示すように、1個のアレイ系半導体チップ61を取り囲むようにして、リードフレーム62のアイランド63上に、絶縁回路基板64がペースト等でダイボンディングされている。そして、例えばアレイ系半導体チップ61内の電極パッドである第1パッド65とリードフレーム62とが、絶縁回路基板64上の連結帯66の一部の第1端子67を介して電氣的に接続されている。

30

【0013】

このような構成とすることにより、第1パッド65とリードフレーム62との結線方法に自由度を持たせることができるので、複数チップが搭載されるマルチチップ等に用いられるリードフレーム62の設計を容易に行うことができるようになっている。

【0014】

しかし、上記半導体装置は、あくまでもダイパッドの片面へ半導体チップを搭載したものであり、ダイパッドの片面へ複数個の半導体チップを搭載してメモリの増大化を行っても、ICパッケージの面積も増大してしまう。また、上記半導体装置は、アレイ系半導体チップ61を取り囲むようにして配線を設けているので、配線の本数には制約があるため、チップの種類によっては製造不可能な場合がある。さらに、上記半導体装置は、アレイ系半導体チップ61のみを考慮した構成であり、スタックド構造等において、あらゆる種類の半導体チップを考慮した構成とはなっていない。その結果、半導体装置の汎用性を広げることができないという問題が生ずる。

40

【0015】

本発明は、上記問題点に鑑みなされたものであり、その目的は、あらゆる種類の半導体チップに対して複数チップ1パッケージ化が可能で、しかも、半導体チップの設計を変更しなくても、適正なワイヤボンディングが可能な半導体装置を提供することにある。

【0016】

ここで、複数チップ1パッケージとは、半導体チップ搭載用基板の上下に少なくとも1個

50

ずつの半導体チップがある半導体装置のことであり、例えば上下に1個ずつあれば、2チップ1パッケージとなる。

【0017】

【課題を解決するための手段】

上記の課題を解決するため、本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料と、上記半導体チップと上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料、上記配線パターン、上記半導体チップと上記配線パターンとを絶縁するための絶縁材料は、この順で積層されて設けられており、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されていることを特徴としている。

10

【0018】

上記の構成によれば、半導体チップは、例えば互いに左右反転の関係、あるいは上下反転の関係で裏面同士が対向するようにリードフレームに形成された半導体チップ搭載用基板、あるいは、全く異なる半導体チップを搭載する基板の、表裏両面に搭載され、例えば2チップ1パッケージのような、複数チップ1パッケージの半導体装置が構成される。

20

【0019】

ここで、少なくとも一個の半導体チップの電極パッドは、絶縁材料によって半導体チップ搭載用基板と絶縁された配線パターンと、金属線とを介して所定のリードと電氣的に接続されているので、上記配線パターンが中継点として作用する。これにより、金属線が長くなって半導体チップを跨いだり、隣接ワイヤ同士が交差したりするようなワイヤレイアウトにはならない。その結果、金属線が半導体チップあるいは隣接ワイヤとショートすることや、金属線が切れるオープン等の、不都合を確実に回避することができる。

【0020】

その上、上記配線パターンを設けることによって、リードフレームの各リードにおいて必要とされる電気信号の順番と異なって電極パッドが配列されていても、同一信号が入出力される電極パッドと所定のリードとを電氣的に接続することが可能となる。これにより、複数の半導体チップを搭載した半導体装置を製造する際に、従来のように各半導体チップの電極パッドの配置位置を変更しなくても済む。したがって、上記構成によれば、半導体チップの設計を変更する必要がない分、半導体装置のコストを低減することができると共に、半導体装置の開発期間を従来よりも確実に短縮することができる。

30

【0021】

また、上記構成によれば、アレイ系半導体チップだけではなくあらゆる種類の半導体チップの組み合わせを搭載したスタックド構造が可能となる。すなわち、アレイ系半導体チップだけではなくあらゆる種類の半導体チップの組み合わせを、スタックド構造に適用することができる。このため、複数チップ1パッケージの半導体装置の汎用性を広げることができる。

40

【0022】

本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、互に対向するように配置された、複数のリードからなる

50

2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴としている。

【0023】

上記の構成によれば、配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンは存在しないので、薄型の半導体装置を提供することができる。

10

【0024】

本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴としている。

20

【0025】

上記の構成によれば、配線パターンおよび絶縁材料は、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンおよび絶縁材料は存在しないので、上記の構成の場合よりもさらに薄型の半導体装置を提供することができる。

30

【0026】

本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンングされており、さらに、上記配線パターンは、上記2つのリード群と上記半導体チップの中心を結ぶ直線に対して、略対称な位置にある電極同士

40

50

を電氣的に接続するようにパターンニングされていることを特徴としている。

【0027】

上記の構成によれば、リードフレームは、互いに対向する2つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記2つのリード群の間に配置される。

【0028】

このとき、配線パターンによって、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なって配列された電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続される。したがって、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いても、上記半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができる。

10

【0029】

本発明に係る半導体装置は、上記の構成において、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記2つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターンニングされていることを特徴としている。

20

【0030】

上記の構成によれば、リードフレームは、互いに対向する2つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記2つのリード群の間に配置される。

【0031】

このとき、配線パターンによって、リード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続される。したがって、半導体チップが同種チップ（同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップ）の場合、通常では、一方の半導体チップの素子回路パターンをミラー反転させたものを用いるが、上記構成では、上記ミラー反転させた半導体チップを形成することなしに、複数チップ1パッケージの半導体装置を得ることができる。

30

【0032】

それゆえ、上記の構成による効果に加えて、半導体チップが同種（同一のチップサイズで電極パッドの配置が同じ）の場合では、素子回路パターンをミラー反転した半導体チップの作製なしに、複数チップ1パッケージの半導体装置を得ることができ、互いに全く関係のない配置で設けられた電極パッドを有する半導体チップの場合でも、上記半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができる。

40

【0033】

本発明に係る半導体装置は、上記の構成において、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と

50

対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターニングされていることを特徴としている。

【0034】

上記の構成によれば、リードフレームは、2組の互いに対向する4つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記4つのリード群に囲まれて配置される。

【0035】

このとき、上記配線パターンによって、リード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続される。したがって、異なる種類の半導体チップを用いて例えばQFP(Quad Flat Package)タイプの半導体装置を製造する場合でも、各半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を実現することができる。

10

【0036】

本発明に係る半導体装置は、上記の構成において、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうち上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターニングされていることを特徴としている。

20

【0037】

上記の構成によれば、リードフレームは、2組の互いに対向する4つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記4つのリード群に囲まれて配置される。

【0038】

このとき、配線パターンによって、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なった電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続される。したがって、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いた場合でも、各半導体チップの設計を変更することなしに、例えばQFPタイプで複数チップ1パッケージの半導体装置を得ることができる。

30

【0039】

本発明に係る半導体装置は、上記の構成において、上記リードフレームが、上記リードフレームを搬送するためのクレードル部を備え、上記半導体チップ搭載用基板は、少なくとも上記クレードル部の厚さよりも薄く形成されていることを特徴としている。

40

【0040】

上記の構成によれば、半導体チップ搭載用基板は、少なくともクレードル部の厚さよりも薄く形成されているので、この半導体チップ搭載用基板の表裏両面に半導体チップを搭載した場合に、薄型の複数チップ1パッケージの半導体装置を提供することができる。

【0041】

本発明に係る半導体装置は、上記の構成において、ウエハプロセスで上記絶縁材料もしくは絶縁層および上記配線パターンを形成した半導体基板を、リードフレームの上記半導体チップ搭載用基板の少なくとも一方の面に上記半導体チップと並べて搭載し、上記半導体チップの電極パッドが、上記配線パターンおよび上記金属線を介して上記リードと電氣的に接続されていることを特徴としている。

50

【 0 0 4 2 】

上記の構成によれば、ウエハプロセスで配線パターンを形成するので、より微細な配線の形成が可能になる。また、ダイボンディング工程では、絶縁材料（絶縁層）および配線パターンを形成した上記半導体基板を半導体チップ搭載用基板上に搭載できるので、半導体チップ搭載用基板上に、新たな配線パターン（および絶縁材料）を形成する新規の工程を必要としない。またさらに例えば、（配線パターンが形成された）Si基板等の半導体基板は、絶縁材料として樹脂を用いた配線パターンに比べて、その熱膨張係数が、42アロイ製のダイパッド（半導体チップ搭載用基板）の熱膨張係数と比較的近いため、ダイパッドに配線パターンを形成した後の反りが低減できる。それゆえ、より汎用性が高く安価な複数チップ1パッケージの半導体装置を得ることができる。

10

【 0 0 4 3 】

本発明に係る記載の半導体装置は、上記の構成において、上記半導体チップ搭載用基板上に設けられた上記配線パターン上において、配線同士が、金属線によって電氣的に接続されていることを特徴としている。

【 0 0 4 4 】

それゆえ、配線パターンの配置等の自由度を向上させることができる。

【 0 0 4 5 】

本発明に係る半導体装置は、上記の構成において、上記半導体チップ搭載用基板上に、上記配線パターンを1つ以上含む配線パターン群が2つ以上形成され、上記1つの配線パターン群の少なくとも一部分と、それ以外の上記1つの配線パターン群の少なくとも一部分とが、上記金属線によって電氣的に接続されていることを特徴としている。

20

【 0 0 4 6 】

上記の構成によれば、例えば、図7、図8のダイパッド（半導体チップ搭載用基板）の反りを低減を目的として配線パターン領域を分割する場合、配線パターンと交差する方向、すなわち配線パターンを切断する方向には分割できない。しかしながら、図11、図12に示すように、配線パターン同士を金属線（第3導線）70で電氣的に接続した構成とすれば、配線パターンを交差する方向すなわち配線パターンを切断する方向においても分割できる。それゆえ、配線パターンの配置等の自由度をさらに向上させることができる。

【 0 0 4 7 】

本発明に係る半導体装置は、上記の構成において、上記配線パターンが、略平面上に設けられて互いに電氣的に独立した第1および第2配線パターンと、1つ以上の配線パターンを有し、上記第1配線パターンと第2配線パターンとの間に設けられた第3配線パターンとを含んでおり、上記第1および第2の配線パターンが、上記金属線によって電氣的に接続されていることを特徴としている。

30

【 0 0 4 8 】

上記の構成によれば、例えば図32内のA部に示すように、配線同士を金属線（第3導線）71によって接続することにより、多層配線を用いなくても、一層配線等、より少ない数の層からなる配線で引き回しが可能となる。それゆえ、より汎用性が高い複数チップ1パッケージの半導体装置を得ることができる。

【 0 0 4 9 】

本発明に係る半導体装置は、上記の構成において、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板上に形成された上記配線パターンの少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴としている。

40

【 0 0 5 0 】

例えば、上記コーティング被膜には、上記封止材としての射止樹脂（封止樹脂）よりも配線パターンを構成する材料との接着力が高く、吸水率が低く、ガラス転移温度（T_g）が高いもの等を使用すればよい。なお、射止樹脂（封止樹脂）は通常、エポキシ系樹脂等からなる。上記コーティング被膜としては、例えばポリイミド樹脂等を用いることができる。

50

【0051】

上記の構成によれば、通常よりも厳しい条件で本半導体装置を実装用基板へと半田実装しても、半田実装時における配線パターンと上記封止材との界面での剥離の発生を抑えることができる。それゆえ、より高品質の複数チップ1パッケージの半導体装置を得ることができる。

【0052】

本発明に係る半導体装置は、上記の構成において、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板と上記封止材とが直接接する面積を減少させるように、上記半導体チップ搭載用基板の少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴としている。

10

【0053】

例えば、上記コーティング被膜には、射止樹脂（封止樹脂）よりも半導体チップ搭載用基板を構成する材料との接着力が高く、吸水率が低く、ガラス転移温度（ T_g ）が高いもの等を使用すればよい。

【0054】

上記の構成によれば、通常よりも厳しい条件で本半導体装置を実装用基板へと半田実装しても、半田実装時における半導体チップ搭載用基板と上記封止材との界面での剥離の発生を抑えることができる。それゆえ、より高品質の複数チップ1パッケージの半導体装置を得ることができる。

【0055】

20

また、本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターンニングされていることを特徴としている。

30

【0056】

上記の構成によれば、配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンは存在しないので、薄型の半導体装置を提供することができる。

40

【0057】

また、本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続

50

されており、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターンニングされていることを特徴としている。

10

【0058】

上記の構成によれば、配線パターンおよび絶縁材料は、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンおよび絶縁材料は存在しないので、上記の構成の場合よりもさらに薄型の半導体装置を提供することができる。

【0059】

【発明の実施の形態】

20

〔参考の形態1〕

本発明の参考の一形態について、図1ないし図6(d)に基づいて説明すれば、以下の通りである。

【0060】

本参考形態における半導体装置は、図1および図2に示すように、板状のリードフレーム4におけるダイパッド5の表裏両面に、ペースト状の熱硬化型のダイアタッチ材料3を用いて2個の半導体チップ1a・1bを搭載した構造となっている。本参考形態では、半導体チップ1a・1bは、同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップである。

【0061】

30

ダイアタッチ材料3は、半導体チップ1a・1bが同一種類のチップで構成される場合、一般に鱗片状銀粉を混入させた熱硬化型の銀ペーストで構成される。ただし、コスト等の兼ね合いで、球状シリカ粉末等を混入させた無銀ペースト等で構成されることもある。

【0062】

一方、半導体チップ1a・1bが互いに異なる種類のチップである場合、ダイアタッチ材料3の種類としては、以下のように2つに場合分けされる。なお、ここで、異なる種類のチップである場合としては、チップサイズが異なる(電極パッド2a・2bの配置が異なる)場合を考えている。

【0063】

半導体チップ1a・1bが、同一シリコン基板であり、同一基板電位で動作するチップである場合は、一般に、鱗片状銀粉を混入させた熱硬化型の銀ペーストで構成される。ただし、コスト等の兼ね合いで、球状シリカ粉末等を混入させた無銀ペースト等で構成されることもある。

40

【0064】

一方、半導体チップ1a・1bが、異なるシリコン基板であるか、または異なる基板電位で動作するチップである場合には、一般に、無銀ペーストで構成される。

【0065】

図1および図4に示すように、封止部22aよりも内側に、ダイパッド5およびインナーリード6が形成され、封止部22aよりも外側に、アウターリード7が形成されている。リードフレーム4は、ダイパッド5、インナーリード6、アウターリード7、サポートリ

50

ード8、クレードル部9で構成されている。ダイパッド5は、その表裏両面に半導体チップ1a・1bが搭載される半導体チップ搭載用基板である。このダイパッド5およびインナーリード6は、後述の射止樹脂22等で半導体チップ1a・1bと共に封止（モールド）されるようになっている。サポートリード8は、ダイパッド5を支持するためのものであり、クレードル部9は、リードフレーム4を搬送する際に用いられる。

【0066】

なお、本参考形態では、リードフレーム4は、図1に示すように、複数のインナーリード6および複数のアウターリード7からなり、互いに対向して設けられる2つのリード群4a・4bを有している。半導体チップ1a・1bが搭載されるダイパッド5は、この2つのリード群4a・4bの間に設けられるようになっている。

10

【0067】

図2に示すように、ダイパッド5の少なくとも一方の面（本参考形態では、ダイパッド5における半導体チップ1aが搭載される側の面）には、絶縁材料11、絶縁材料10、配線パターン12、および絶縁材料13がこの順で積層されている。したがって、配線パターン12は、絶縁材料10・11によってダイパッド5と絶縁されると共に、絶縁材料13によって半導体チップ1aと絶縁されることになる。

【0068】

絶縁材料10は、例えばポリイミド系樹脂であり、絶縁材料11は、一般にダイアタッチ材料3としても使用される熱可塑性の絶縁材料である。絶縁材料13は、例えばポリイミド系樹脂製の絶縁膜である。

20

【0069】

図1に示すように、配線パターン12は、銅箔等の金属箔で所定のパターンに形成された配線12aと、電極12bとを有している。なお、上記所定のパターンについては後述する。上記電極12bは、半導体チップ1aの電極パッド2aと配線12aとを後述のボンディングワイヤ14a・14bで電氣的に接続し易い様に、また、上記配線12aとインナーリード6とをボンディングワイヤ15a・15bで電氣的に接続し易いように、上記配線12aと電氣的に接続されて設けられている。また、配線パターン12におけるリード群4a・4bとそれぞれ対向した位置には、複数の電極12bからなる電極群12b₁・12b₂がそれぞれ形成されている。

【0070】

30

ここで、以下での説明の便宜上、図3(a)および図3(b)に示すように、略四辺形を成す半導体チップ1a・1bの素子形成面上から見て、当該半導体チップ1a・1bの4つの頂点を、反時計回りにそれぞれ1a₁、1a₂、1a₃、1a₄、および1b₁、1b₂、1b₃、1b₄とする。つまり、同一位置の頂点には同一の添え数字を付して表すことにする。

【0071】

半導体チップ1aは、その素子形成面上で、側辺(1a₁ - 1a₂)の近傍に複数の電極パッド2aからなる電極パッド群2a₁を備えている一方、側辺(1a₄ - 1a₃)の近傍に複数の電極パッド2aからなる電極パッド群2a₂を備えている。同様に半導体チップ1bは、その素子形成面上で、側辺(1b₁ - 1b₂)の近傍に複数の電極パッド2bからなる電極パッド群2b₁を備えている一方、側辺(1b₄ - 1b₃)の近傍に複数の電極パッド2bからなる電極パッド群2b₂を備えている。

40

【0072】

一般的に、半導体装置がメモリデバイスである場合、チップイネイブル端子（スタンバイ状態またはアクティブ状態を選択するために設けられた電極パッド）以外においては、同一信号が入出力される電極パッドを同一のインナーリードに電氣的に接続すればよい。

【0073】

そこで、本参考形態では同一種類の半導体チップ1a・1bが、互いに左右反転した状態で、その裏面同士が対向するようにダイパッド5上に設けられている。つまり、半導体チップ1a・1bは、その裏面同士（素子形成面と反対側の面同士）を対向させたときに、

50

半導体チップ 1 a の側辺 (1 a₁ - 1 a₂) が、半導体チップ 1 b の側辺 (1 b₄ - 1 b₃) に、また、半導体チップ 1 a の側辺 (1 a₄ - 1 a₃) が、半導体チップ 1 b の側辺 (1 b₁ - 1 b₂) にそれぞれ重なるように設けられる。

【 0 0 7 4 】

なお、入出力端子 (電極パッド) がある程度共用できる半導体チップを用いた場合には、配線の本数が減るか否かで、各半導体チップを互いに左右反転させるか、上下反転させる (後述の実施形態で説明する) かを決めればよい。

【 0 0 7 5 】

そして、後に詳述するが、上記配線パターン 1 2 の配線 1 2 a が、以下のようにパターンニングされている。すなわち、半導体チップ 1 a の側辺のうち、側辺 (1 a₁ - 1 a₂) は 10 リード群 4 a と対向し、側辺 (1 a₄ - 1 a₃) はリード群 4 b と対向している。電極パッド 2 a ... には、半導体チップ 1 a の側辺のうち、リード群 4 a と対向している側辺 (1 a₁ - 1 a₂) の近傍の素子形成面上に配置されたもの (図 3 (a) 中、電極パッド群 2 a₁) と、この側辺を除く側辺の近傍の素子形成面上に配置されたもの (図 3 (a) 中、電極パッド群 2 a₂) とがある。

【 0 0 7 6 】

そして、リード群 4 a のほうに含まれている少なくとも 1 つのインナーリード 6 が、上記のうちの後者、すなわちリード群 4 a と対向する半導体チップ 1 a の側辺 (1 a₁ - 1 a₂) を除く側辺 (ここでは (1 a₄ - 1 a₃)) の近傍に配置された電極パッド 2 a に、 20 電氣的に接続される。同様に、リード群 4 b のほうに含まれる少なくとも 1 つのインナーリード 6 が、上記リード群 4 b と対向する半導体チップ 1 a の側辺 (1 a₄ - 1 a₃) を除く側辺 (ここでは (1 a₁ - 1 a₂)) の近傍の素子形成面上に配置された電極パッド 2 a に、電氣的に接続される。配線 1 2 a は、このようにパターンニングされている。

【 0 0 7 7 】

より詳細には、電極パッド群 2 a₁ の電極パッド 2 a が、リード群 4 b のインナーリード 6 に電氣的に接続されるようになっている。その接続を実現するために、上記電極パッド群 2 a₁ の電極パッド 2 a が、ボンディングワイヤ 1 4 a を介して電極群 1 2 b₁ の電極 1 2 b に電氣的に接続され、その電極群 1 2 b₁ の電極 1 2 b が、配線 1 2 a を介して電極群 1 2 b₂ の電極 1 2 b に電氣的に接続され、その電極群 1 2 b₂ の電極 1 2 b が、ボンディングワイヤ 1 5 a を介してリード群 4 b のインナーリード 6 に電氣的に接続されて 30 いる。

【 0 0 7 8 】

また、同様に、電極パッド群 2 a₂ の電極パッド 2 a が、リード群 4 a のインナーリード 6 に電氣的に接続されるように、上記電極パッド 2 a が、電極群 1 2 b₂ の電極 1 2 b にボンディングワイヤ 1 4 b によって電氣的に接続され、電極群 1 2 b₂ の電極 1 2 b が、配線 1 2 a を介して電極群 1 2 b₁ の電極 1 2 b に電氣的に接続され、電極群 1 2 b₁ の電極 1 2 b が、リード群 4 a のインナーリード 6 にボンディングワイヤ 1 5 b によって電氣的に接続されている。

【 0 0 7 9 】

一方、半導体チップ 1 b の電極パッド 2 b のうち、電極パッド群 2 b₁ のほうに含まれる 40 電極パッド 2 b は、それらの電極パッドに入出力されるのと同じの信号が入出力される電極パッドである、電極パッド群 2 a₁ のほうに含まれる電極パッド 2 a に電氣的に接続された、リード群 4 b のほうのインナーリード 6 に、ボンディングワイヤ 1 6 a によって電氣的に接続されている。

【 0 0 8 0 】

また、同様に、半導体チップ 1 b の電極パッド 2 b のうち、電極パッド群 2 b₂ のほうに含まれる電極パッド 2 b は、それらの電極パッドに入出力されるのと同じの信号が入出力される電極パッドである、電極パッド群 2 a₂ のほうに含まれる電極パッド 2 a に電氣的に接続された、リード群 4 a のほうのインナーリード 6 に、ボンディングワイヤ 1 6 b によって電氣的に接続されている。

【 0 0 8 1 】

次に、本参考形態の半導体装置の製造方法について、図 5 (a) ~ 図 6 (d) に基づいて説明する。なお、ダイパッド 5 上に配線パターン 1 2 を形成する手段としては、ダイパッド 5 上に絶縁層と配線パターン 1 2 とを順次積層させていく方法をはじめ、あらゆる方法が考えられる。本参考形態では、T C P (Tape Carrier Package) 等で用いられるキャリアテープのうちから、二層テープ (T C P 等では一般に二層テープと呼ばれている) をダイパッド 5 に貼り付ける方法を例に挙げて説明する。

【 0 0 8 2 】

まず、図 5 (a) に示すように、C u 箔等の金属箔 2 0 上に、ワニス状ポリイミド系樹脂からなる絶縁材料 1 0 を均一に塗布し、加熱処理を行って溶剤分を蒸発させ薄膜を形成する。次に、図 5 (b) に示すように、一般に L O C (Lead On Chip) 等においてダイアタッチ材料としても使用される熱可塑性の絶縁材料 1 1 を、ワニス状で絶縁材料 1 0 の上に均一に塗布し、加熱処理を行って薄膜を形成する。そして、次に、送り穴としてのスプロケットホール 2 1 も形成する。なお、このとき、熱応力の緩和のためにスリット等を設けても良い。

10

【 0 0 8 3 】

続いて、図 5 (c) に示すように、金属箔 2 0 をエッチングし、所定のパターンの配線 1 2 a および電極 1 2 b 等からなる配線パターン 1 2 を形成する。本参考形態ではさらに、上記配線パターン 1 2 上に電解 N i メッキを施し、さらにその上に電解 A u メッキを施す。

20

【 0 0 8 4 】

上記配線 1 2 a は、複数本形成され (図 1 参照) 、すべて、後に載置される半導体チップ 1 a の所定の側辺に平行になっている。

【 0 0 8 5 】

なお、以後では、絶縁材料 1 0 と配線パターン 1 2 とから成る二層のテープ状材料 (ただし絶縁材料 1 1 は含まない) を、一層配線テープ (T C P 等では一般に二層テープと呼ばれている) と記載する。また、一層配線テープを所望の形状に切断したものをここで一層配線基板と記載する。

【 0 0 8 6 】

次に、図 5 (d) に示すように、配線パターン 1 2 における、絶縁材料 1 0 および絶縁材料 1 1 が積層された面とは反対の面、すなわちダイパッド 5 への接着面とは反対側の面上に、ポリイミド系樹脂製の絶縁材料 1 3 を形成する。これにより、配線パターン 1 2 と後述の半導体チップ 1 a とが絶縁されるようになる。そして、絶縁材料 1 1 と絶縁材料 1 3 とが形成された、絶縁材料 1 0 と配線パターン 1 2 とから成る一層配線テープを、所望の形状に切断して一層配線基板とし、ダイパッド 5 に貼り付ける。

30

【 0 0 8 7 】

続いて、図 5 (e) に示すように、ダイパッド 5 の片面、すなわちここでは、絶縁材料 1 3 が形成された面の上に、ペースト状のダイアタッチ材料 3 を用いて 1 個目の半導体チップ 1 a をダイボンディングし、1 8 0 で 1 時間の条件で上記ダイアタッチ材料 3 を熱硬化させる。なお、半導体チップ 1 a よりも半導体チップ 1 b を先にダイボンディングしても構わない。

40

【 0 0 8 8 】

本参考形態では、半導体チップ 1 a ・ 1 b が、同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップであるので、上記ダイアタッチ材料 3 としては、鱗片状銀粉を混入させた銀ペーストを用いる。

【 0 0 8 9 】

次に、図 6 (a) に示すように、リードフレーム 4 (図 4 参照) を裏返し、ダイパッド 5 の反対面も同様にして 2 個目の半導体チップ 1 b をダイボンディングする。このとき、すでにダイボンディングを終えた半導体チップ 1 a を弾性体で支える等により、半導体チップ 1 a にダメージを与えないようにする。そして、1 8 0 で 1 時間の条件でダイアタッ

50

チ材料 3 を熱硬化させる。

【 0 0 9 0 】

続いて、半導体チップ 1 a の電極パッド 2 a と配線パターン 1 2 の電極 1 2 b とをボンディングワイヤ 1 4 a ・ 1 4 b により電氣的に接続（ワイヤボンディング）する。

【 0 0 9 1 】

その後、図 6（b）に示すように、電極 1 2 b とリードフレーム 4 のインナーリード 6 とをボンディングワイヤ 1 5 a ・ 1 5 b により電氣的に接続（ワイヤボンディング）する。

【 0 0 9 2 】

なお、ダイボンディング時と同様、半導体チップ 1 a よりも先に半導体チップ 1 b においてワイヤボンディングを行っても構わない。また、ボンディングワイヤ 1 5 a ・ 1 5 b によるワイヤボンディングを、ボンディングワイヤ 1 4 a ・ 1 4 b によるワイヤボンディングよりも先に行っても良い。

10

【 0 0 9 3 】

次に、図 6（c）に示すように、リードフレーム 4 を裏返し、同様にして半導体チップ 1 b の電極パッド 2 b とインナーリード 6 とをボンディングワイヤ 1 6 a ・ 1 6 b で電氣的に接続（ワイヤボンディング）する。

【 0 0 9 4 】

ワイヤボンディング時においては、超音波と加熱を併用した超音波熱圧着法を用い（加熱温度 250 ）、ダイボンディング時と同様に、弾性体により半導体チップ 1 a ・ 1 b の素子形成面を支えてワイヤボンディングを行う。

20

【 0 0 9 5 】

その後、図 6（d）に示すように、これらを射止樹脂 2 2 等で射止した後、射止樹脂 2 2 がアウターリード 7 間に流れ出ないようにリードフレーム 4 に形成されたタイバー（図示せず）や、ダイパッド 5 を保持するために形成されたサポートリード 8（図 4 参照）を切断し、アウターリード 7 を所望の形状に折り曲げる。

【 0 0 9 6 】

上記の構成によれば、各半導体チップ 1 a ・ 1 b がダイパッド 5 の表裏両面に搭載されて、2 チップ 1 パッケージの半導体装置が構成される。これにより、1 チップ 1 パッケージの半導体装置に比べ、メモリ容量が増加するので、電子機器内に搭載される部品の点数を減少させることができる。したがって、軽量かつ小型の電子機器の製造に大きく貢献できる半導体装置を提供することができる。

30

【 0 0 9 7 】

また、配線パターン 1 2 が、電極パッド 2 a とインナーリード 6 との中継点として作用するので、上記配線パターン 1 2 と上記インナーリード 6 とを電氣的に接続するボンディングワイヤ 1 4 a ・ 1 4 b の長さを短くできる。このため、樹脂射止の際の応力等が原因で、ボンディングワイヤが半導体チップ 1 a あるいは隣接ワイヤとショートしたりボンディングワイヤのオープン（ボンディングワイヤが切れる）が起こったりする等の不都合を、上記構成によって確実に回避することができる。

【 0 0 9 8 】

さらに、配線パターン 1 2 を設けている。このため、リードフレーム 4 の各インナーリード 6 において必要とされる電気信号の順番が異なって電極パッド 2 a ・ 2 b が配列されていても、同一信号が入出力される電極パッド 2 a ・ 2 b と所定のインナーリード 6 とを電氣的に接続することが可能となる。これにより、複数の半導体チップ 1 a ・ 1 b を搭載した半導体装置を製造する際に、各半導体チップ 1 a ・ 1 b の電極パッド 2 a ・ 2 b の配置位置を変更しなくても済む。したがって、上記構成によれば、半導体チップ 1 a ・ 1 b の設計を変更する必要がない分、半導体装置のコストを低減することができると共に、半導体装置の開発期間を従来よりも確実に短縮することができる。

40

【 0 0 9 9 】

なお、本発明によれば、アレイ系半導体チップのみならずあらゆる種類の半導体チップ同士を搭載してスタックド構造とした複数チップ 1 パッケージの半導体装置を構成すること

50

ができる。したがって、複数チップ１パッケージの半導体装置の汎用性を広げることができる。

【０１００】

〔実施の形態２〕

本発明の実施の他の形態について、図７ないし図１２に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態１の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【０１０１】

実施の形態１における半導体装置と比較して異なるところは、図７および図８に示すように、ダイパッド５上の少なくとも配線パターン１２が、上記半導体チップ１ａの存在領域を避けるように、つまり、半導体チップ１ａの周辺部のみに設けられていることである。本実施形態では、ダイパッド５上の絶縁材料１０・１１もまた、半導体チップ１ａの存在領域を避けるように設けられている。このような半導体装置の製造方法について、図９（ａ）～図１０（ｄ）に基づいて説明する。

【０１０２】

まず、図９（ａ）に示すように、実施の形態１と同様、Ｃｕ箔等の金属箔２０上に絶縁材料１０をワニス状で均一に塗布し、加熱処理を行って溶剤分を蒸発させ薄膜を形成する。

【０１０３】

次に、図９（ｂ）に示すように、ワニス状の絶縁材料１１を絶縁材料１０の上に均一に塗布し、加熱処理を行って薄膜を形成する。そして、金属箔２０および絶縁材料１０・１１において、半導体チップ１ａが搭載される領域を金型により打ち抜き、半導体チップ搭載用逃げ穴２３を形成すると共に、送り穴としてのスプロケットホール２１も形成する。なお、このとき、熱応力の緩和のためにスリット等を設けても良い。

【０１０４】

続いて、図９（ｃ）に示すように、金属箔２０をエッチングし、所定のパターンの配線１２ａおよび電極１２ｂ等を含む配線パターン１２を形成する。このとき、配線１２ａは、半導体チップ１ａの存在領域を避けるようにパターンングされ、半導体チップ搭載用逃げ穴２３の周辺部に形成される。その後、上記配線パターン１２上に電解Ｎｉメッキを施し、さらにその上に電解Ａｕメッキを施す。

【０１０５】

上記配線１２ａは、複数本形成され（図７参照）、同一配線内の２つの電極１２ｂ・１２ｂを結ぶ直線は、すべて、後に載置される半導体チップ１ａの所定の側辺に平行になっている。

【０１０６】

次に、図９（ｄ）に示すように、熱圧着により、絶縁材料１１によって基板をダイパッド５上に貼り付ける。

【０１０７】

その後は、実施の形態１と全く同様である。図９（ｅ）に示すように、ダイアタッチ材料３を用いて半導体チップ１ａ・１ｂをダイボンディングする。その後、図１０（ａ）～図１０（ｄ）に示すように、半導体チップ１ａの電極パッド２ａと配線パターン１２の電極１２ｂとのワイヤボンディング、および、電極１２ｂとリードフレーム４のインナーリード６とのワイヤボンディングを行う。ダイパッド５の裏面に搭載される半導体チップ１ｂに対しても同様にワイヤボンディングを行う。その後、樹脂射止を行う。

【０１０８】

上記の構成によれば、配線パターン１２となる金属箔２０、および、絶縁材料１０・１１について、例えば半導体チップ１ａの存在領域の部分を打ち抜いて形成することにより、半導体チップ１ａの存在領域に配線パターン１２および絶縁材料１０・１１が存在しない分、薄型の半導体装置を実現することができる。

【０１０９】

なお、本実施形態では、配線基板として、半導体チップ１ａの搭載領域が打ち抜かれた１

10

20

30

40

50

枚の一層配線基板を用いているが、図 1 1 および図 1 2 に示すように、一層配線基板を 2 分割した 2 分割配線基板 1 2'・1 2' を設けるようにしてもよい。1 枚の一層配線基板を用いた場合には、一層配線基板とダイパッド 5 とを接着した後、熱膨張係数の差によって一層配線基板に反りが生じていたが、2 分割配線基板 1 2'・1 2' を用いた場合には、このような反りは低減された。このように配線パターンと交差する方向に配線基板を分割する場合には、金属線 7 0 (第 3 導線)を用いたワイヤボンディングにより、配線パターン群 1 2 x1 を構成する配線 1 2 a1 と、配線パターン群 1 2 x2 を構成する配線 1 2 a2 との間を接続する。

【0 1 1 0】

〔実施の形態 3〕

本発明の実施のさらに他の形態について、図 1 3 ないし図 1 8 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態 1 または 2 の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【0 1 1 1】

本実施形態では、図 1 3 および図 1 4 に示すように、同一種類の半導体チップ 1 a・1 b が、互いに上下反転した状態で、その裏面同士が対向するようにダイパッド 5 上に設けられている。つまり、半導体チップ 1 a・1 b は、その裏面同士(素子形成面と反対側の面同士)を対向させたときに、図 3 において、半導体チップ 1 a の側辺(1 a₁ - 1 a₄) が、半導体チップ 1 b の側辺(1 b₂ - 1 b₃) に、半導体チップ 1 a の側辺(1 a₂ - 1 a₃) が、半導体チップ 1 b の側辺(1 b₁ - 1 b₄) にそれぞれ重なるように設けら

【0 1 1 2】

すなわち、電極パッド群 2 a₁ 内の電極パッド 2 a... は、半導体チップ 1 a の素子形成面における側辺近傍に配置されており、リード群 4 a のインナーリード 6 で必要とされている電気信号の順番と、電極パッド 2 a の順番とが、異なって配列されている。同様に、電極パッド群 2 a₂ 内の電極パッド 2 a... は、半導体チップ 1 a の素子形成面における側辺近傍に配置されており、リード群 4 b のインナーリード 6 で必要とされている電気信号の

【0 1 1 3】

すなわち、配線 1 2 a は、図 1 3 に示す対称軸 L L' に対して互に対称な位置にある電極 1 2 b 同士を電気的に接続するようにパターンニングされている。なお、半導体チップによっては入出力端子(電極パッド)をある程度共用できるが、その場合においては対称な位置関係とはならないことが多い。

【0 1 1 4】

そして、電極パッド群 2 a₁ の電極パッド 2 a が、リード群 4 a のインナーリード 6 と電気的に接続されるように、上記電極パッド 2 a と電極 1 2 b とがボンディングワイヤ 1 4 a でボンディングされていると共に、上記電極 1 2 b と対称軸 L L' に対して対称な位置にある電極 1 2 b と、上記インナーリード 6 とが、ボンディングワイヤ 1 5 b でボンディングされている。

【0 1 1 5】

また、電極パッド群 2 a₂ の電極パッド 2 a が、リード群 4 b のインナーリード 6 と電気的に接続されるように、上記電極パッド 2 a と電極 1 2 b とがボンディングワイヤ 1 4 b でボンディングされていると共に、上記電極 1 2 b と対称軸 L L' に対して対称な位置に

10

20

30

40

50

ある電極 1 2 b と、上記インナーリード 6 とが、ボンディングワイヤ 1 5 a でボンディングされている。

【 0 1 1 6 】

一方、半導体チップ 1 b の電極パッド群 2 b₁ の電極パッド 2 b は、同一信号が入出力される電極パッド群 2 a₁ の電極パッド 2 a と電氣的に接続されたリード群 4 a のインナーリード 6 に、ボンディングワイヤ 1 6 b によって電氣的に接続されている。一方、電極パッド群 2 b₂ の電極パッド 2 b は、同じく、同一信号が入出力される電極パッド群 2 a₂ の電極パッド 2 a と電氣的に接続されたリード群 4 b のインナーリード 6 に、ボンディングワイヤ 1 6 a によって電氣的に接続されている。

【 0 1 1 7 】

次に、本実施形態の半導体装置の製造方法について、図 1 5 (a) ~ 図 1 6 (d) に基づいて説明する。

【 0 1 1 8 】

まず、図 1 5 (a) に示すように、実施の形態 1 と同様に、Cu 箔等の金属箔 2 0 上に絶縁材料 1 0 をワニス状態で均一に塗布し、加熱処理を行って溶剤分を蒸発させ薄膜を形成する。

【 0 1 1 9 】

次に、図 1 5 (b) に示すように、金属箔 2 0 および絶縁材料 1 0 において、半導体チップ 1 a が搭載される領域を金型により打ち抜き、半導体チップ搭載用逃げ穴 2 3 を形成すると共に、送り穴としてのスプロケットホール 2 1 も形成する。なお、このとき、熱応力の緩和のためにスリット等を設けても良い。

【 0 1 2 0 】

続いて、図 1 5 (c) に示すように、金属箔 2 0 をエッチングし、所定のパターンの配線 1 2 a および電極 1 2 b 等を含む配線パターン 1 2 を形成する。その後、上記配線パターン 1 2 上に電解 Ni メッキを施し、さらにその上に電解 Au メッキを施す。

【 0 1 2 1 】

次に、図 1 5 (d) に示すように、ダイパッド 5 の半導体チップ 1 a が搭載される側の表面に、ダイパッド 5 とほぼ同じサイズでシート状の絶縁材料 1 1 をあらかじめ貼り付けた後、配線パターン 1 2 および絶縁材料 1 0 からなる一層配線基板を熱圧着によってダイパッド 5 に接合する。なお、絶縁材料 1 1 は、一層配線基板をダイパッド 5 に接合するための接着材料として働くとともに、半導体チップ 1 a と半導体チップ 1 b とを絶縁する役割も果たすことができる。本実施形態では、同じ種類の半導体チップ 1 a と 1 b とを用いているが、異なる基板電位等の条件下で動作する半導体チップを組み合わせる場合に、上記絶縁材料 1 1 が役立つ。

【 0 1 2 2 】

その後は、実施の形態 1 または 2 と同様である。図 1 5 (e) に示すように、ダイアタッチ材料 3 を用いて半導体チップ 1 a ・ 1 b をダイボンディングする。その後、図 1 6 (a) ~ 図 1 6 (d) に示すように、半導体チップ 1 a の電極パッド 2 a と配線パターン 1 2 の電極 1 2 b とのワイヤボンディング、および、電極 1 2 b とリードフレーム 4 のインナーリード 6 とのワイヤボンディングを行う。ダイパッド 5 の裏面に搭載される半導体チップ 1 b に対しても同様にワイヤボンディングを行う。その後、樹脂射止を行う。

【 0 1 2 3 】

上記の構成によれば、少なくとも 1 つのリード群 4 a と、半導体チップ 1 a の素子形成面における側辺近傍に配置され、上記リード群 4 a のインナーリード 6 において必要とされる電気信号の順番と異なって配列された電極パッド 2 a からなる電極パッド群 2 a₁ とが、配線パターン 1 2 によって、リード群 4 a の各インナーリード 6 において必要とされる電気信号を導くように接続される。したがって、電極パッド 2 a ・ 2 b が無秩序に配列された半導体チップ 1 a ・ 1 b を用いても、すなわち、複数チップ 1 パッケージという実装形態を想定せずに、各チップがそれぞれ 1 チップ 1 パッケージの実装形態で最適となるように電極パッド 2 a ・ 2 b が配列された半導体チップ 1 a ・ 1 b を用いた場合であっても

10

20

30

40

50

、半導体チップ 1 a ・ 1 b の設計を変更することなしに、2 チップ 1 パッケージの半導体装置を得ることができる。

【 0 1 2 4 】

なお、本実施形態では、配線基板として、半導体チップ 1 a の搭載領域が打ち抜かれた 1 枚の一層配線基板を用いているが、図 1 7 および図 1 8 に示すように、一層配線基板を 2 分割した 2 分割配線基板 1 2 ' ・ 1 2 ' を設けるようにしてもよい。1 枚の一層配線基板を用いた場合には、一層配線基板とダイパッド 5 とを接着した後、熱膨張係数の差によって一層配線基板に反りが生じていたが、2 分割配線基板 1 2 ' ・ 1 2 ' を用いた場合には、このような反りは低減された。なお、異なる基板電位で動作する半導体チップ等を搭載する場合は、絶縁材料 1 1 を、半導体チップ (1 a または 1 b) の裏面にも設ける必要が

10

【 0 1 2 5 】

〔実施の形態 4〕

本発明の実施のさらに他の形態について、図 1 9 ないし図 3 3 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態 1 ないし 3 の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。なお、本実施形態では、互いに異なる種類の半導体チップ 1 a ・ 1 b を用いた Q F P (Quad Flat Packag e) タイプの半導体装置について説明する。

【 0 1 2 6 】

本実施形態では、図 1 9 および図 2 0 に示すように、リードフレーム 4 (図 4 参照) が 4 つのリード群 4 a ・ 4 b ・ 4 c ・ 4 d を有して構成され、上記 4 つのリード群 4 a ・ 4 b ・ 4 c ・ 4 d に囲まれるようにしてそのほぼ中央に、絶縁材料 1 0 ・ 1 1 ・ 1 3 と配線パターン 2 5 ・ 2 6 とを備えたダイパッド 5 が設けられている。上記 4 つのリード群 4 a ・ 4 b ・ 4 c ・ 4 d のうち、リード群 4 a とリード群 4 b 、リード群 4 c とリード群 4 d とは、それぞれ互いに対向するように配置されている。

20

【 0 1 2 7 】

本実施形態における半導体チップ 1 a ・ 1 b は、図 2 1 (a) および図 2 1 (b) に示すように、異なるチップサイズ (電極パッド 2 a ・ 2 b の配置が異なる) であり、かつ、異なる基板電位で動作するチップである。

【 0 1 2 8 】

半導体チップ 1 a は、絶縁材料 1 3 (図 2 0 参照) およびダイアタッチ材料 3 を介して二層配線基板 2 4 上に搭載されている。一方、半導体チップ 1 b は、ダイパッド 5 の裏面、すなわち、半導体チップ 1 a の搭載側と反対側の面にダイアタッチ材料 3 を介して搭載されている。

30

【 0 1 2 9 】

上記配線パターン 2 5 は、所定のパターンで形成された配線 2 5 a (図 1 9 参照) および電極 2 5 b からなっている。また、上記配線パターン 2 6 は、所定のパターンで形成された配線 2 6 a および電極 2 6 b からなっている。そして、絶縁材料 1 0 が上記配線パターン 2 5 ・ 2 6 によって挟持されて、二層配線基板 2 4 が形成されている。この二層配線基板 2 4 は、ダイパッド 5 上に、絶縁材料 1 1 を介して設けられる。

40

【 0 1 3 0 】

上記配線 2 5 a および上記配線 2 6 a は、以下のようにパターニングされている。すなわち、上記 4 つのリード群 4 a ・ 4 b ・ 4 c ・ 4 d に含まれる少なくとも 1 つのインナーリード 6 が、このインナーリード 6 が含まれるリード群と対向する半導体チップの側辺を除く、側辺の近傍の、素子形成面上に配置されている電極パッド 2 a と電氣的に接続されるように、上記配線 2 5 a および上記配線 2 6 a がパターニングされている。例えば、リード群 4 a を例にとると、リード群 4 a に含まれているインナーリード 6 と、半導体チップ 1 a の、側辺 (1 a₁ - 1 a₂) を除く側辺の近傍の、素子形成面上に配置されている電極パッド 2 a とが互いに電氣的に接続されるように、上記配線 2 5 a および配線 2 6 a がパターニングされている。

50

【0131】

また、上記配線25aおよび上記配線26aは、以下のようにパターニングされている。すなわち、まず、少なくとも1つのリード群、例えばリード群4aに、複数本のインナーリード6が設けられ、それぞれ、所定の電気信号を受け持っている。一方、電極パッド群を構成する電極パッド2aは、上述のように半導体チップ1aの素子形成面における側辺近傍に複数個配置されており、また、それら複数個の電極パッド2aは、自身の電気信号の順番と、上記リード群4aのインナーリード6に割り振られた電気信号の順番とが、互いに異なるような配列で並べられている。そして、このような配列にもかかわらず、上記のリード群4aと、このような電極パッド2aからなる電極パッド群とが、電気信号の順番が一致して接続されるような配線パターンとなるように、上記配線25aおよび上記配線26aがパターニングされている。

10

【0132】

なお、図19では、配線パターン25・26（図20参照）が、絶縁材料13を介して半導体チップ1aの存在領域を避けるようにして設けられているが、半導体チップ1aの存在領域に設けられていてもよい。

【0133】

そして、半導体チップ1a上の電極パッド2aと、所定のインナーリード6とが電氣的に接続されるように、半導体チップ1a上の電極パッド2aと電極25b（または電極26b）とがボンディングワイヤ14でボンディングされていると共に、配線25a（または配線26a）によって上記電極25b（または電極26b）と電氣的に接続された別の電極25b（または電極26b）と、所定のインナーリード6とが、ボンディングワイヤ15でボンディングされている。

20

【0134】

一方、ダイパッド5の裏面に搭載される半導体チップ1bの電極パッド2bは、ボンディングワイヤ16で、所定のインナーリード6と電氣的に接続されている。

【0135】

次に、本実施形態の半導体装置の製造方法について、図22（a）ないし図22（e）に基づいて説明する。

【0136】

ダイパッド5の上に多層の配線パターンを形成する手段としてあらゆる方法が考えられるが、ここは、ポリイミド系絶縁材料10と金属箔20とを組み合わせた構造の二層配線基板24をダイパッド5に貼り付けたものについて記載する。

30

【0137】

まず、図22（a）に示すように、Cu箔などの金属箔20の上にワニス状ポリイミド系樹脂等の絶縁材料10を均一に塗布し、加熱処理を行って溶剤分を蒸発させ薄膜とする。ただし、ここでは溶剤分を完全には蒸発させない。

【0138】

次に、図22（b）に示すように、先ほど完全には溶剤を蒸発させなかった絶縁材料10上に同じくCu箔などの金属箔20を貼り付け、ここで完全に溶剤分を蒸発させる。続いて、図22（c）に示すように、絶縁材料10の両面に存在する金属箔20をエッチング処理することにより、配線パターン25・26をそれぞれ形成する。

40

【0139】

その後、図22（d）に示すように、絶縁材料10についてもエッチングすることにより、1層目の配線パターン25の電極25bの位置に窓開けを行った。これは、その後のワイヤボンディング工程において、2層目の配線パターン26側から上記電極25bに対してワイヤボンディングを行うためである。

【0140】

次に、配線パターン25・26に電解Niメッキと電解Auメッキとを順に施す。以後、絶縁材料10の両面に配線パターン25・26を形成したテープ状材料（ただし、絶縁材料11は含まない）を二層配線テープと記載する。また、二層配線テープを所望の形状に

50

切断したもの（絶縁材料 11 は含まない）をここでは既出のように二層配線基板 24 と記載している。

【0141】

続いて、図 22 (e) に示すように、一般に LOC (Lead On Chip) 等においてダイアタッチ材料としても使用される熱可塑性の絶縁材料 11 を、ワニス状で配線パターン 25 上に塗布し、加熱処理を行う。なお、この塗布を行う際には、加熱処理後において絶縁材料 11 の表面が凹凸にならないように、半導体チップ 1a の搭載領域となる部分には厚めに塗布しておく。

【0142】

その後、実施の形態 1 と同様にして（図 5 (b) 参照）、送り穴としてのスプロケットホール 21 を形成し、次いで、配線パターン 26 の、半導体チップ 1a 搭載側にポリイミド系樹脂製の絶縁材料 13 を形成し、所望の形状とした二層配線基板 24 を、絶縁材料 11 を介してダイパッド 5 に熱圧着により貼り付ける。次いで、二層配線基板 24 を貼り付けたダイパッド 5 の表裏両面に、それぞれダイアタッチ材料 3 を用いて、半導体チップ 1a・1b をダイボンディングする。なお、本実施形態では、互いに異なる種類であり、しかも異なる基板電位で動作する半導体チップ 1a・1b を用いたので、上記ダイアタッチ材料 3 としては、球状シリカ粉末を混入させた熱硬化型の無銀ペーストを用いる。

【0143】

そして、電極パッド 2a と所望の電極 25b（または電極 26b）とをボンディングワイヤ 14 で、また、インナーリード 6 と所望の電極 25b（または電極 26b）とをボンディングワイヤ 15 で、それぞれワイヤボンディングする。一方、ダイパッド 5 の裏面に搭載された半導体チップ 1b の電極パッド 2b についても、ボンディングワイヤ 16 で、所望のインナーリード 6 とワイヤボンディングする。

【0144】

上記の構成によれば、半導体チップ 1a・1b が、互いに異なる種類のチップであり、電極パッド 2a・2b が、それぞれ無秩序に配列されていても、すなわち、複数チップ 1 パッケージという実装形態を想定せずに、各チップがそれぞれ 1 チップ 1 パッケージの実装形態で最適となるように電極パッド 2a・2b が配列された半導体チップ 1a・1b を用いた場合でも、1 層目の配線パターン 25 と 2 層目の配線パターン 26 とを自由に引き回すことによって、電極パッド 2a・2b と、それと接続すべきインナーリード 6 とを、電氣的に接続することができる。したがって、実際、インナーリード 6 と接続が困難なように電極パッド 2a・2b が配置されていても、適正なワイヤボンディングによって、実施の形態 1 ないし 3 と同様の効果を得ることができる。

【0145】

また、例えば図 23 および図 24 に示すように、配線パターン 25・26 および絶縁材料 10・13・11 が、半導体チップ 1a の存在領域を避けるように、半導体チップ 1a の周囲に設けられるようにしてもよい。

【0146】

この場合には、図 22 (e) の工程において、二層配線テープの表裏面に絶縁材料 11・13 を形成した後、上記二層配線テープにおける半導体チップ 1a が搭載される領域およびその近傍を金型により打ち抜き、さらに、上記二層配線テープを所定の形状に切断して二層配線基板 24 とし、この二層配線基板 24 を、熱圧着によってダイパッド 5 に貼り付ければよい。このような場合には、半導体チップ 1a の存在領域に配線パターン 25・26 および絶縁材料 10・13・11 がない分、装置の厚さを薄くすることができる。

【0147】

その場合、半導体チップ 1a・1b は、異なるチップサイズ（電極パッド 2a・2b の配置が異なる）ではあるが、同一のシリコン基板であり、かつ同一基板電位で動作するものである必要がある。ところが、半導体チップ 1a・1b が互いに異なるシリコン基板であるか、または異なる基板電位で動作する場合においては、半導体チップ 1a・1b 間を絶縁しなければならない。

10

20

30

40

50

【0148】

そこで、図25および図26に示すように、あらかじめダイパッド5上に設けた絶縁材料11を介して二層配線基板24を設けるようにした半導体装置を構成してもよい。この場合は、二層配線基板24において半導体チップ1aの搭載領域に該当箇所を窓開けした後で絶縁材料11を絶縁材料10上に塗布するのではなく、ダイパッド5上に当該ダイパッド5とほぼ同じサイズのシート状の絶縁材料11を熱圧着により貼り付け、この絶縁材料11を介して二層配線基板24をダイパッド5に貼り付けられよい。

【0149】

なお、異なる種類の半導体チップ（異なるシリコン基板であるか、または異なる基板電位で動作する半導体チップ）1a・1b間を絶縁するのに、シート状ポリイミド系絶縁材料11を用いず、図27および図28に示すように、ダイパッド5上にポリイミド系の絶縁樹脂27を点または線状に描画するようにした半導体装置を構成してもよい。この半導体装置の製造方法は、以下の通りとなる。

【0150】

二層配線基板24の配線パターン25側の面に絶縁材料11を形成するまで（図22（e）の工程まで）は、上記と同様である。その後、図29（a）に示すように、二層配線基板24および絶縁材料11において、半導体チップ1aが搭載される領域およびその外周部近傍を金型により打ち抜いて、半導体チップ搭載用逃げ穴23およびスプロケットホール21を形成する。

【0151】

ところで、二層配線テープから所望の形状に切断した二層配線基板24は電解メッキで作製されており、メッキを付ける際に用いた引き出し用の配線が上記二層配線基板24の外周部まで続いている。したがって、その配線を切断することによって発生する切れ端が、ダイパッド5に接触する可能性がある。

【0152】

そこで、そのような不都合を回避するために、図29（b）で示すように、上記二層配線テープをダイパッド5よりもわずかに大きく、かつ、インナーリード6に接触しない程度のサイズに切断し、熱圧着によりダイパッド5に貼り付ける。

【0153】

次に、図29（c）に示すように、半導体チップ1aと半導体チップ1bとを互いに絶縁するためのワニス状ポリイミド系樹脂27をダイパッド5上に描画し、熱処理により溶剤分を蒸発させる。ここでは二層配線基板24をダイパッド5に貼り付けてからポリイミド系樹脂27を形成したが、この順番はどちらが先になっても構わない。次に、半導体チップ1a・1bをダイボンディングする際には、半導体チップ1a・1b間を絶縁しなければならないので、無銀ペースト等からなるダイアタッチ材料3を用いて、半導体チップ1a・1bをダイボンディングする。以降については、上記と全く同様である。

【0154】

この方法によると、シート状ポリイミド系絶縁材料11を使用した場合と同様の絶縁効果が得られるだけでなく、高さ方向において半導体装置を薄く形成することができるという利点がある。

【0155】

なお、図30および図31に示すように、ダイパッド5の、半導体チップ1b搭載側にも、電極30bを有し、ボンディングワイヤ17・18の長さを短くするための中継点としての一層または二層の配線基板30を設けるようにしてもよい。これにより、ダイパッド5の裏面（半導体チップ1b搭載側）においても、配線の引き回しの自由度を高くすることができる。

【0156】

ここまで、QFPタイプでは、二層の配線パターンを用いた例を挙げた。しかしながら、配線パターン同士を金属線によって電氣的に接続することによって、一層配線パターンでも置き換えられる場合がある。図27、図28においては二層の配線パターンを用いてい

10

20

30

40

50

たが、例えば、図 3 2 および図 3 3 に示すように、図 3 2 の図中 A 部（A 部として円で囲まれた領域）の両端に存在する配線（配線パターン）を第 1 または第 2 の配線（配線パターン）B・C とし、これら第 1 および第 2 の配線（配線パターン）B・C に挟まれた配線（配線パターン）群を、第 3 の配線（配線パターン）群 D とする。ここで、第 3 の配線（配線パターン）群 D を飛び越えるように、第 1 と第 2 の配線（配線パターン）B・C 同士を金属線 7 1（第 3 導線）で電氣的に接続する。このようにすることで、配線パターンの層の数を少なくすることができる。

【0157】

〔実施の形態 5〕

本発明の実施のさらに他の形態について、図 3 4 および図 3 5 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態 1 ないし 4 の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【0158】

実施の形態 1 ~ 4 では、ダイパッド 5 上に配線パターン 1 2 を形成するために、ポリイミド系樹脂製の絶縁材料を配線パターン 1 2 とダイパッド 5 との間に設けた。本実施形態では、図 3 4 および図 3 5 に示すように、絶縁層および配線パターンをウエハプロセスにより形成した半導体基板を、ダイパッド 5 上に搭載する。

【0159】

以下に製造方法を説明する。本実施形態では、ダイパッド 5 とリード等とを形成したリードフレーム 4 を準備する。ダイボンディング工程において、ダイパッド 5 の一方の面に、ペースト状のダイアタッチ材料 3 を用いて半導体チップ 1 a を搭載し、また、配線パターン 1 2 が形成された半導体基板 1 2 " も同様に、ペースト状のダイアタッチ材料 3 を用いて搭載する。ここで、配線パターン 1 2 は A u で形成したものをを用いる。A 1 の配線パターンでも製造は可能であるが、信号の伝達スピードが遅延する可能性がある。パターン形状は、図 1 7 および図 1 8 に示した構成例と同じとした。このときの搭載の順番は、半導体基板 1 2 " からでも構わない。上記ダイアタッチ材料 3 の硬化は 1 8 0 ° で 1 時間の条件で行う。

【0160】

次に、リードフレーム 4 を裏返し、ダイパッド 5 の反対の面も、ダイアタッチ材料 3 を用いて半導体チップ 1 b を搭載（ダイボンディング）する。このとき、すでにダイボンディングを終えた半導体チップ 1 a を弾性体で支える等によって、半導体チップ 1 a にダメージが加わるのを防ぐようにする。そして、1 8 0 °、1 時間の条件でダイアタッチ材料 3 を熱硬化させる。

【0161】

ワイヤボンディング工程以降は、図 1 7、図 1 8 等 に示した構成例における製造方法と同じである。本実施形態では、同一の半導体チップをダイパッド 5 の表裏に搭載したが、互いに異なる 2 種類の半導体チップの搭載も可能である。2 つの半導体チップが異なる基板電位で動作する場合には、一方の半導体チップとダイパッド 5 との間に絶縁材料を挿入すると良い。また、本実施形態では、ウエハプロセスで絶縁材料（絶縁層）と配線パターンとを形成しているので、二層配線以上も形成が可能である。

【0162】

〔実施の形態 6〕

本発明の実施のさらに他の形態について、図 3 6 および図 3 7 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態 1 ないし 5 の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【0163】

本実施形態を図 3 6 および図 3 7 に示す。ここでは、図 1 7、図 1 8 の構成において、半導体チップ搭載基板であるダイパッド 5 の表裏面でのワイヤボンディング後に、ダイパッド 5 に形成された配線パターン 1 2 上と、配線パターンが形成されていない領域の半導体チップ周辺とに、ポリイミド系樹脂であるコーティング樹脂 8 0 a、8 0 b をポッティン

10

20

30

40

50

グにより形成している。コーティング樹脂 80 a、80 b の加熱は、ポッティング後、180 で 1 時間、次いで 260 で 1 時間の条件で行った。

【0164】

配線パターン 12 上へのコーティング樹脂 80 a の形成方法としては、リードフレーム 4 への配線パターン 12 の形成後に、ワニス状での塗布や、シート状での貼り付け等も可能である。

【0165】

また、ダイパッド 5 の、配線パターン 12 が形成されていない側の面についても、コーティング樹脂 80 b の形成方法としては、ワニス状での塗布や、シート状での貼り付け等も可能である。この場合は、ダイパッド 5 上への配線パターン 12 の形成前でもよい。

10

【0166】

また、実施の形態 1 で示した図 1、図 2 においては、絶縁材料 13 が配線パターン 12 の一部を覆う構造になっている。例えば、射止樹脂（封止樹脂）22 と配線パターン 12 構成材料との接着力よりも、この絶縁材料 13 と配線パターン 12 構成材料との接着力が高く、また、絶縁材料 13 として吸水率が低くてガラス転移温度 T_g が高いものを使用すると、半田実装において、射止樹脂（封止樹脂）22 と配線パターン 12 との剥離を抑制する効果がある。

【0167】

なお、実施の形態 1 ないし 6 では全て、ダイパッド 5 の厚さを、少なくとも、リードフレーム 4 を構成するクレードル部 9（図 4 参照）の厚さよりも薄く形成している。ダイパッド 5 を薄く形成する方法としてはあらゆる方法が考えられるが、上記各実施形態においては、ダイパッド 5 にハーフエッチングを行っている。これにより、ダイパッド 5 の表裏両面に半導体チップ 1 a・1 b を搭載して、半導体装置の 2 チップ 1 パッケージ化を図った際に、薄型の半導体装置を容易に実現することができた。また、薄型の半導体装置を製造するにあたり、樹脂射止の際の歩留まりがさらに向上した。

20

【0168】

また、実施の形態 1～4、6 では、配線パターン 12 または二層配線基板 24 を、約 350 の温度でダイパッド 5 に接合している。また、リードフレーム 4 のインナーリード 6 には、ボンディングワイヤ 15・16・18 との接合に適したメッキ（例えば Au ワイヤでは Ag メッキ）を施している。さらに、ダイパッド 5 には、ワイヤボンディングを行う必要がある場合等、必要に応じて、ボンディングワイヤ 15・16・18 との接合に適したメッキを施している。この場合、メッキ領域が配線パターン 12 または二層配線基板 24 で覆われないようにする必要がある。一方、リードフレーム 4 のアウターリード 7 には、基板実装に必要なメッキ（ハンダメッキ等）を施している。

30

【0169】

なお、上記各実施形態では、ダイパッド 5 の上下に半導体チップが 1 チップずつ搭載されたパッケージについて説明した。しかしながら、ダイパッド 5 の上下のうち少なくとも一方に、複数個の半導体チップが搭載された構成とすることもできる。

【0170】

例えば、図 1 や図 13 に示したダイパッド 5 および配線パターン 12 等を図中、縦方向に拡張し、リード（インナーリード 6 およびアウターリード 7）も増やす。そして、ダイパッド 5 の表の面に、ここまで説明した本発明が採用した接続方式の半導体チップを 1 個増やし、計 2 個を図中、縦に並べ、それぞれの半導体チップを配線パターン 12 にて上述のように接続した構成とすることができる。また、このようにダイパッド 5 の少なくとも一方の側に搭載した複数個の半導体チップとそれに接続されたリードとのセットのうち、いくつかを、本発明の接続方式とは異なる方式、例えば図 38 に示したような従来通りの接続方式で配設することもできる。

40

【0171】

このように、ダイパッド 5 の少なくとも一方の側に設ける複数チップは平面的に複数個配置してもよいし、他の例として、ダイパッド 5 の少なくとも一方の側に複数のチップを三

50

次元的に積層する構成も考えられる。

【0172】

また、図1や図7に示した例では、同一配線内の2つの電極12b・12bを結ぶ配線12aは、すべて、半導体チップ1aの所定の側辺に平行になっている。しかしながら、これに限定されず、配線12aは、湾曲形状または斜めに伸びる形状を有していてもよい。

【0173】

また、図13に示した例では、配線12aは、対称軸LL'に対して互いに対称な位置にある電極12b同士を電氣的に接続するようにパターンニングされている。また、配線12aは、四辺形の半導体チップの所定の辺（ここでは側辺1a₁ - 1a₂）に平行である。また、配線12aは、電極群12b₁の並んだ方向に平行に伸びている。しかしながら、これに限定されず、配線12aは、配線パターン12が、一方の半導体チップ1aの一つの辺に対向する電極群12b₁の並んだ方向に沿って伸びる部分を含んだ構成とすることもできる。

【0174】

【発明の効果】

以上のように、本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料と、上記半導体チップと上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料、上記配線パターン、上記半導体チップと上記配線パターンとを絶縁するための絶縁材料は、この順で積層されて設けられており、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されている構成である。

【0175】

それゆえ、金属線が半導体チップあるいは隣接ワイヤとショートすることや、金属線が切れるオープン等の、不都合を確実に回避することができるという効果を奏する。

【0176】

また、半導体チップの設計を変更する必要がある分、半導体装置のコストを低減することができると共に、半導体装置の開発期間を従来よりも確実に短縮することができるという効果を奏する。

【0177】

また、複数チップ1パッケージの半導体装置の汎用性を広げることができるという効果を奏する。

【0178】

本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記配線パターンが存在する面に搭

載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられている構成である。

【0179】

それゆえ、上記の構成による効果に加えて、半導体チップの存在領域に配線パターンは存在しないので、薄型の半導体装置を提供することができるという効果を奏する。

【0180】

本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられている構成である。

【0181】

それゆえ、上記の構成による効果に加えて、半導体チップの存在領域に配線パターンおよび絶縁材料は存在しないので、上記の構成の場合よりもさらに薄型の半導体装置を提供することができるという効果を奏する。

【0182】

本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされており、さらに、上記配線パターンは、上記2つのリード群と上記半導体チップの中心を結ぶ直線に対して、略対称な位置にある電極同士を電氣的に接続するようにパターンニングされている構成である。

【0183】

それゆえ、上記の構成による効果に加えて、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いても、上記の半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0184】

本発明に係る半導体装置は、上記の構成に加えて、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記2つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続されるようにパターンニングされている構成である。

【0185】

10

それゆえ、上記の構成による効果に加えて、半導体チップが同種（同一のチップサイズで電極パッドの配置が同じ）の場合では、素子回路パターンをミラー反転した半導体チップを作製することなしに、複数チップ1パッケージの半導体装置を得ることができ、互いに全く関係のない配置で設けられた電極パッドを有する半導体チップの場合でも、上記半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0186】

本発明に係る半導体装置は、上記の構成に加えて、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続されるようにパターンニングされている構成である。

20

【0187】

それゆえ、上記の構成による効果に加えて、異なる種類の半導体チップを用いて例えばQFP（Quad Flat Package）タイプの半導体装置を製造する場合でも、各半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を実現することができるという効果を奏する。

30

【0188】

本発明に係る半導体装置は、上記の構成に加えて、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされている構成である。

40

【0189】

それゆえ、上記の構成による効果に加えて、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いた場合でも、各半導体チップの設計を変更することなしに、例えばQFPタイプで複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0190】

本発明に係る半導体装置は、上記の構成に加えて、上記リードフレームが、上記リードフ

50

レーンを搬送するためのクレードル部を備え、上記半導体チップ搭載用基板は、少なくとも上記クレードル部の厚さよりも薄く形成されている構成である。

【0191】

それゆえ、上記の構成による効果に加えて、半導体チップ搭載用基板の表裏両面に半導体チップを搭載した場合に、薄型の複数チップ1パッケージの半導体装置を提供することができるという効果を奏する。

【0192】

本発明に係る半導体装置は、上記の構成に加えて、ウエハプロセスで上記絶縁材料もしくは絶縁層および上記配線パターンを形成した半導体基板を、リードフレームの上記半導体チップ搭載用基板の少なくとも一方の面に上記半導体チップと並べて搭載し、上記半導体チップの電極パッドが、上記配線パターンおよび上記金属線を介して上記リードと電氣的に接続されている構成である。

10

【0193】

それゆえ、上記の構成による効果に加えて、より汎用性が高く安価な複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0194】

本発明に係る半導体装置は、上記の構成に加えて、上記半導体チップ搭載用基板上に設けられた上記配線パターン上において、配線同士が、金属線によって電氣的に接続されている構成である。

【0195】

それゆえ、上記の構成による効果に加えて、配線パターンの配置等の自由度を向上させることができるという効果を奏する。

20

【0196】

本発明に係る半導体装置は、上記の構成に加えて、上記半導体チップ搭載用基板上に、上記配線パターンを1つ以上含む配線パターン群が2つ以上形成され、上記1つの配線パターン群の少なくとも一部分と、それ以外の上記1つの配線パターン群の少なくとも一部分とが、上記金属線によって電氣的に接続されている構成である。

【0197】

それゆえ、上記の構成による効果に加えて、配線パターンの配置等の自由度をさらに向上させることができるという効果を奏する。

30

【0198】

本発明に係る半導体装置は、上記の構成に加えて、上記配線パターンが、略平面上に設けられて互いに電氣的に独立した第1および第2配線パターンと、1つ以上の配線パターンを有し、上記第1配線パターンと第2配線パターンとの間に設けられた第3配線パターンとを含んでおり、上記第1および第2の配線パターンが、上記金属線によって電氣的に接続されている構成である。

【0199】

それゆえ、上記の構成による効果に加えて、より汎用性が高い複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0200】

本発明に係る半導体装置は、上記の構成に加えて、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板上に形成された上記配線パターンの少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含む構成である。

40

【0201】

それゆえ、上記の構成による効果に加えて、より高品質の複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0202】

本発明に係る半導体装置は、上記の構成に加えて、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板と上記封止材とが直

50

接接する面積を減少させるように、上記半導体チップ搭載用基板の少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含む構成である。

【0203】

それゆえ、上記の構成による効果に加えて、より高品質の複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0204】

また、本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターンニングされている構成である。

【0205】

それゆえ、配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンは存在しないので、薄型の半導体装置を提供することができるという効果を奏する。

【0206】

また、本発明に係る半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電氣的に接続されており、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられており、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電氣的に接続されるようにパターンニングされている構成である。

【 0 2 0 7 】

それゆえ、配線パターンおよび絶縁材料は、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンおよび絶縁材料は存在しないので、上記の構成の場合よりもさらに薄型の半導体装置を提供することができるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の実施の一形態における半導体装置の一構成例を示す平面透視図である。

【図 2】上記半導体装置の側面透視図である。

【図 3】図 3 (a) および図 3 (b) は、各半導体チップの平面図である。

【図 4】リードフレームを示す平面図である。

10

【図 5】図 5 (a) ~ 図 5 (e) は、上記半導体装置の製造工程を示す側面透視図である。

【図 6】図 6 (a) ~ 図 6 (d) は、上記半導体装置の、図 5 (e) の後の製造工程を示す側面透視図である。

【図 7】本発明の他の実施の形態を示し、半導体チップ搭載領域およびその外周部近傍に窓開けを行った一層配線基板を接合したダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

【図 8】上記半導体装置の側面透視図である。

【図 9】図 9 (a) ~ 図 9 (e) は、上記半導体装置の製造工程を示す側面透視図である。

20

【図 10】図 10 (a) ~ 図 10 (d) は、上記半導体装置の、図 9 (e) の後の製造工程を示す側面透視図である。

【図 11】本発明のさらに他の実施の形態を示し、半導体チップ搭載用基板上に、配線パターンが 2 つの配線パターン群に区切られて形成され、上記 1 つの配線パターン群を構成する配線パターンと、それ以外の配線パターン群を構成する配線パターンとを電氣的に接続した金属線を含む構造の半導体装置の平面透視図である。

【図 12】上記半導体装置の側面透視図である。

【図 13】本発明のさらに他の実施の形態を示し、あらかじめダイパッドに設けられた絶縁材料を介して、半導体チップ搭載領域およびその外周部近傍に窓開けを行った一層配線基板をダイパッドに接合した構造の半導体装置の平面透視図である。

30

【図 14】上記半導体装置の側面透視図である。

【図 15】図 15 (a) ~ 図 15 (e) は、上記半導体装置の製造工程を示す側面透視図である。

【図 16】図 16 (a) ~ 図 16 (d) は、上記半導体装置の、図 15 (e) の後の製造工程を示す側面透視図である。

【図 17】2 分割配線基板が接合されたダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

【図 18】上記半導体装置の側面透視図である。

【図 19】本発明のさらに他の実施の形態を示し、二層配線基板を接合したダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

40

【図 20】上記半導体装置の側面透視図である。

【図 21】図 21 (a) および図 21 (b) は、各半導体チップの平面図である。

【図 22】図 22 (a) ~ 図 22 (e) は、上記半導体装置の製造工程を示す側面透視図である。

【図 23】半導体チップ搭載領域およびその外周部近傍に窓開けを行った二層配線基板を接合したダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

【図 24】上記半導体装置の側面透視図である。

【図 25】あらかじめダイパッドに設けられた絶縁材料を介して、半導体チップ搭載領域およびその外周部近傍に窓開けを行った二層配線基板をダイパッドに接合した構造の半導

50

体装置の平面透視図である。

【図 2 6】上記半導体装置の側面透視図である。

【図 2 7】半導体チップ同士を絶縁するためにワニス状の絶縁材料が用いられ、配線基板のサイズがダイパッドよりも大きい構造の半導体装置の平面透視図である。

【図 2 8】上記半導体装置の側面透視図である。

【図 2 9】図 2 9 (a) ~ 図 2 9 (c) は、上記半導体装置の製造工程を示す断面図である。

【図 3 0】ダイパッドの表裏両面に配線基板を接合した構造の半導体装置の平面透視図である。

【図 3 1】上記半導体装置の側面透視図である。

10

【図 3 2】本発明のさらに他の実施の形態を示し、半導体チップ搭載用基板上の配線パターンが、略水平面上に、互いに電氣的に独立した第 1・第 2 配線群を含み、第 1 と第 2 の配線とを電氣的に接続するための金属線を含む構造の半導体装置の平面透視図である。

【図 3 3】上記半導体装置の側面透視図である。

【図 3 4】本発明のさらに他の実施の形態を示し、ウエハプロセスで絶縁層および配線パターンを形成した半導体基板をリードフレームの半導体チップ搭載用基板の一方の面に半導体チップと並べて搭載した構造の半導体装置の平面透視図である。

【図 3 5】上記半導体装置の側面透視図である。

【図 3 6】本発明のさらに他の実施の形態を示し、封止樹脂とは異なるコーティング樹脂被膜を、半導体チップ搭載用基板に形成された配線パターンの一部と、半導体チップ搭載用基板が直接封止樹脂と接する面積が少なくなるように半導体チップ搭載用基板の一部を覆うように形成した構造の半導体装置の平面透視図である。

20

【図 3 7】上記半導体装置の側面透視図である。

【図 3 8】従来の 1 チップ 1 パッケージの半導体装置の平面透視図である。

【図 3 9】上記従来の半導体装置の側面透視図である。

【図 4 0】従来の 2 チップ 1 パッケージの半導体装置の平面透視図である。

【図 4 1】上記従来の半導体装置の側面透視図である。

【図 4 2】従来の他の 1 チップ 1 パッケージの半導体装置の平面図である。

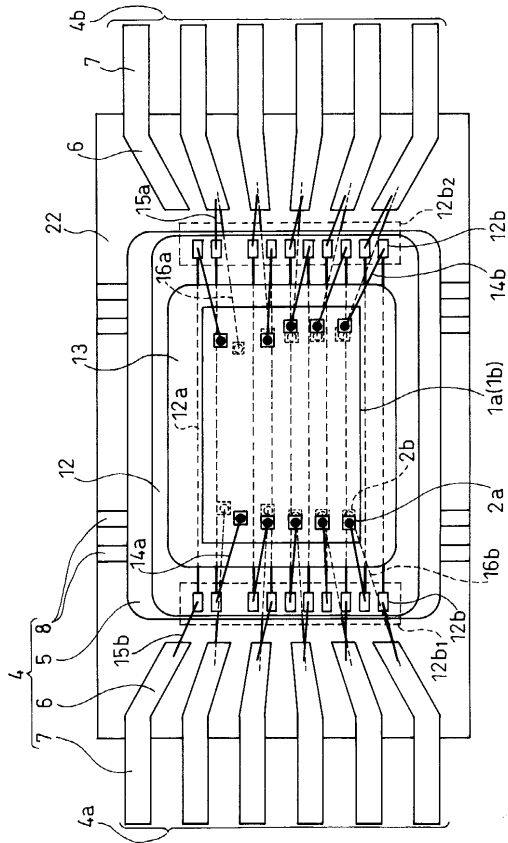
【符号の説明】

- 1 a 半導体チップ
- 1 b 半導体チップ
- 2 a 電極パッド
- 2 a₁ 電極パッド群
- 2 a₂ 電極パッド群
- 2 b 電極パッド
- 2 b₁ 電極パッド群
- 2 b₂ 電極パッド群
- 4 リードフレーム
- 4 a リード群
- 4 b リード群
- 4 c リード群
- 4 d リード群
- 5 ダイパッド (半導体チップ搭載用基板)
- 9 クレードル部
- 1 0 絶縁材料
- 1 1 絶縁材料
- 1 2 配線パターン
- 2 5 配線パターン
- 2 6 配線パターン

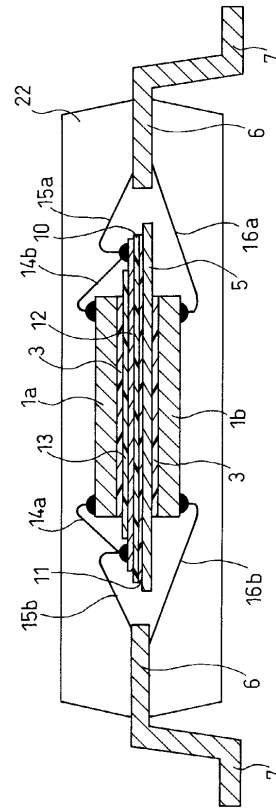
30

40

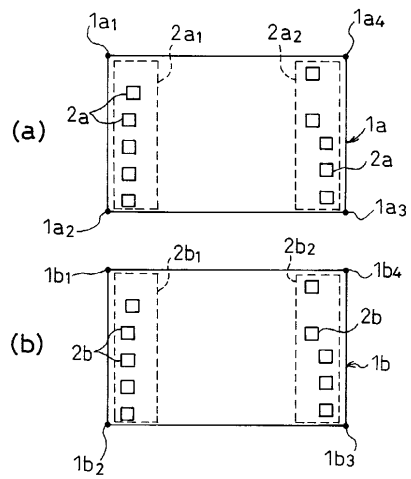
【図 1】



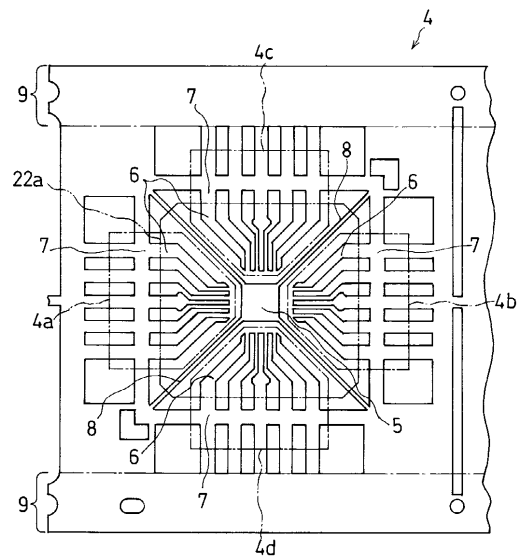
【図 2】



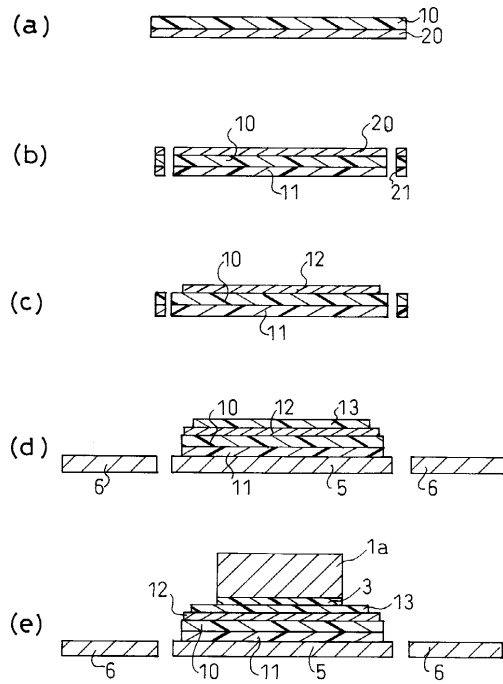
【図 3】



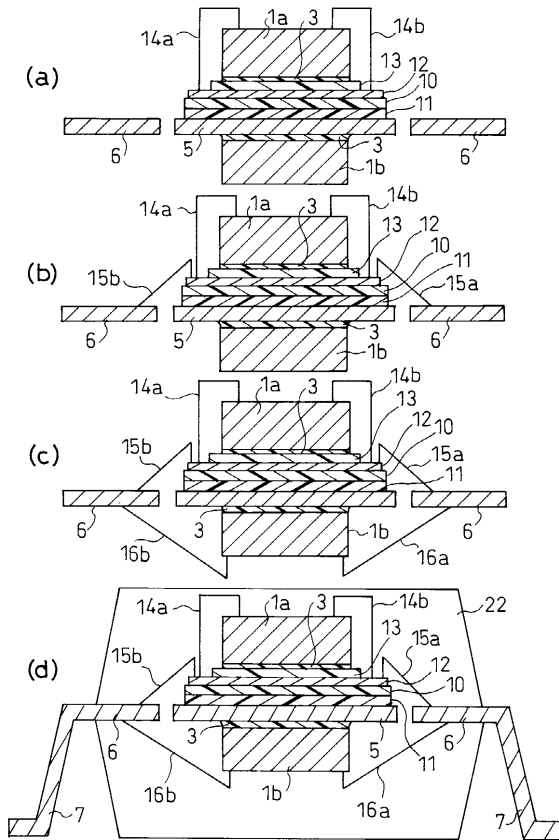
【図 4】



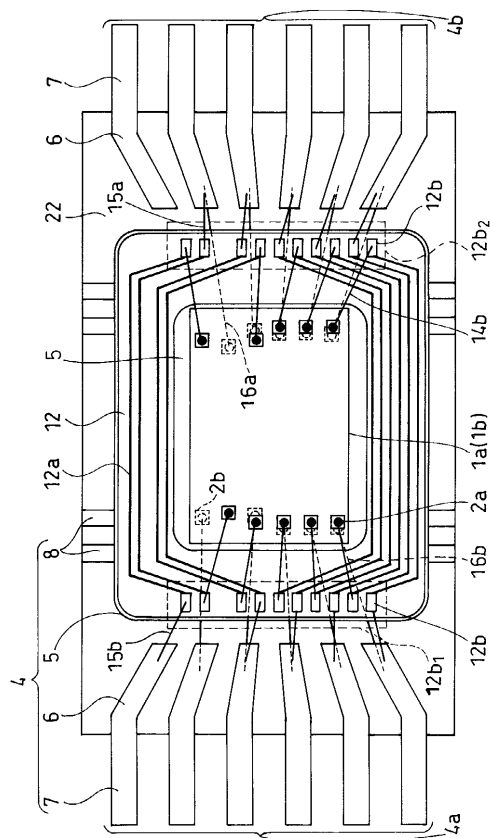
【図 5】



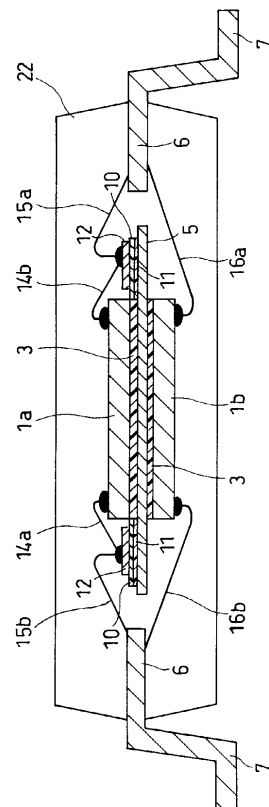
【図 6】



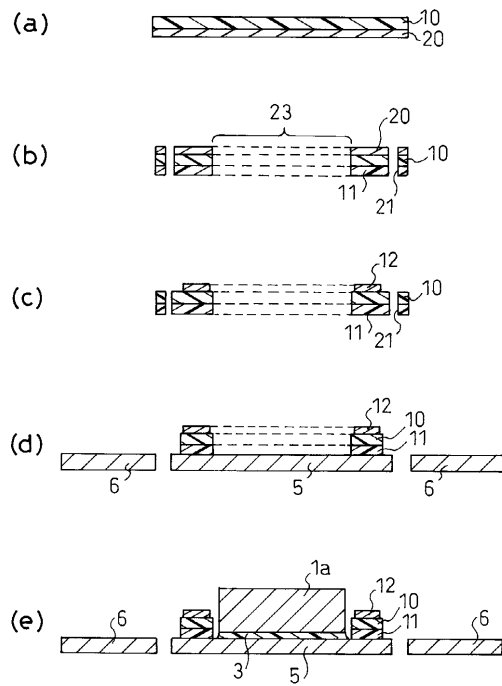
【図 7】



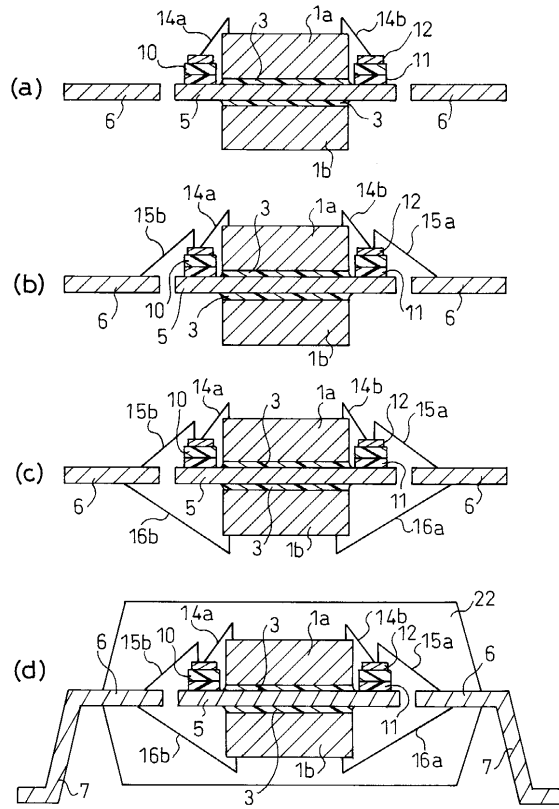
【図 8】



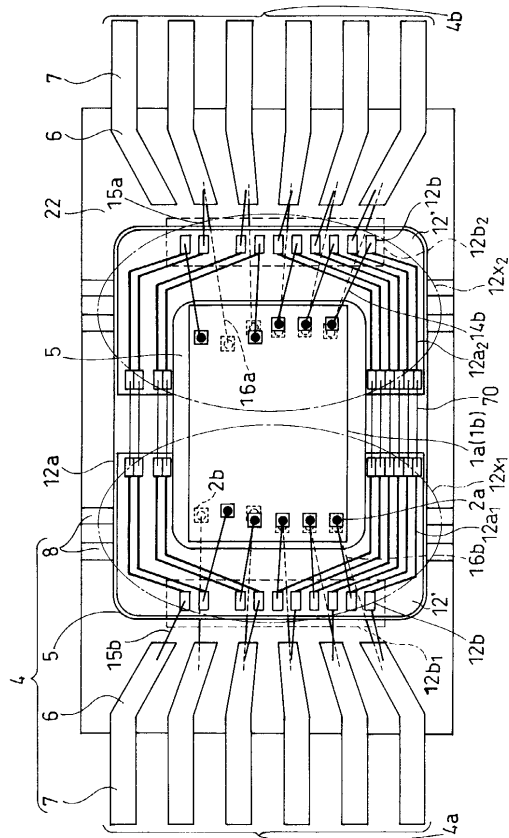
【図 9】



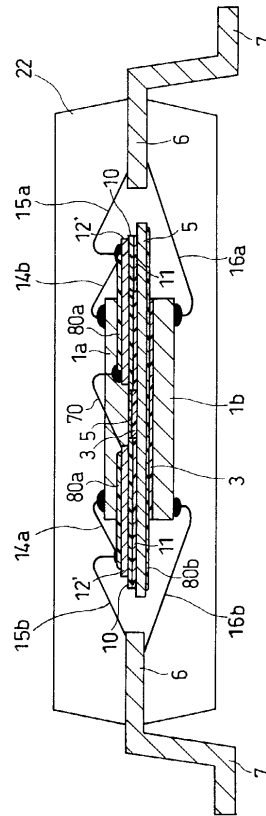
【図 10】



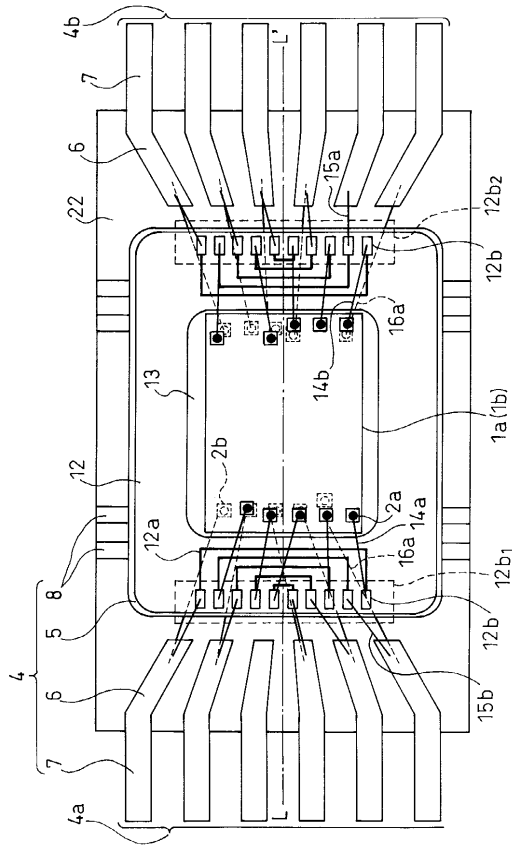
【図 11】



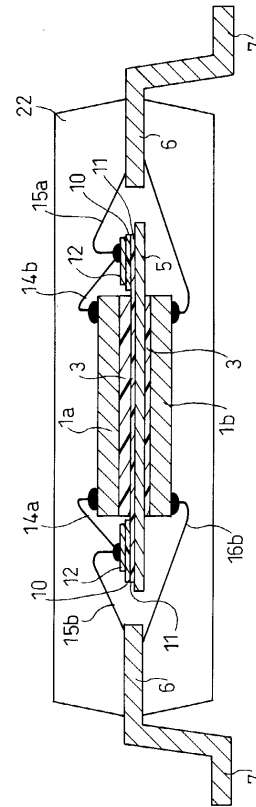
【図 12】



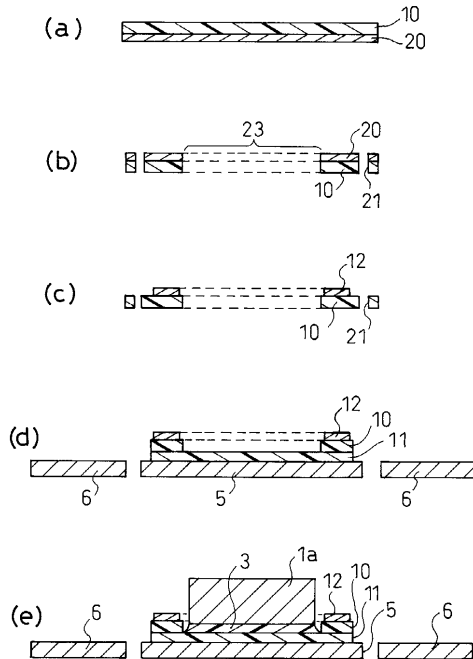
【図 13】



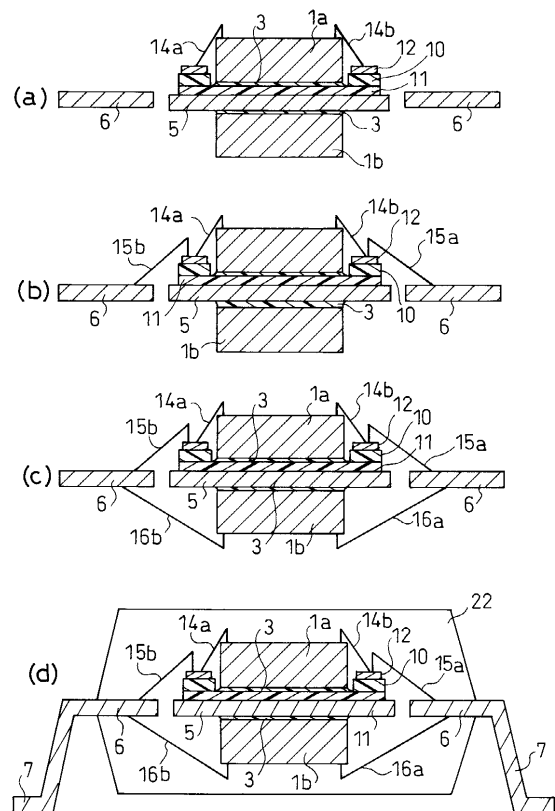
【図 14】



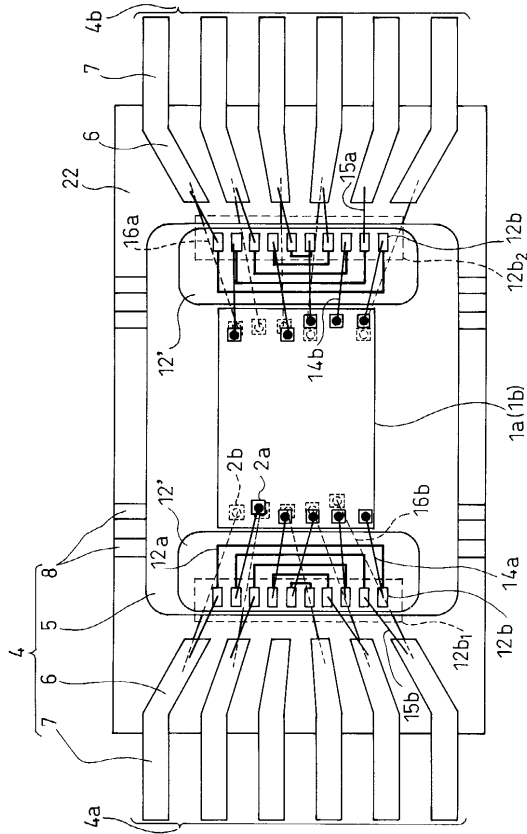
【図 15】



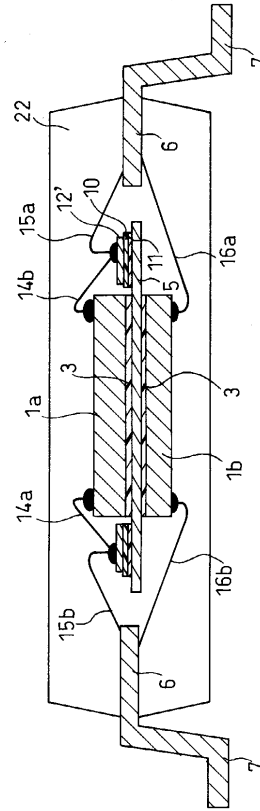
【図 16】



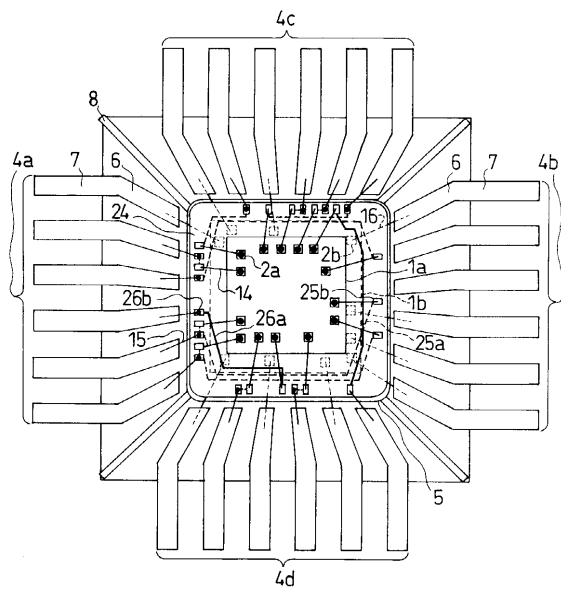
【図 17】



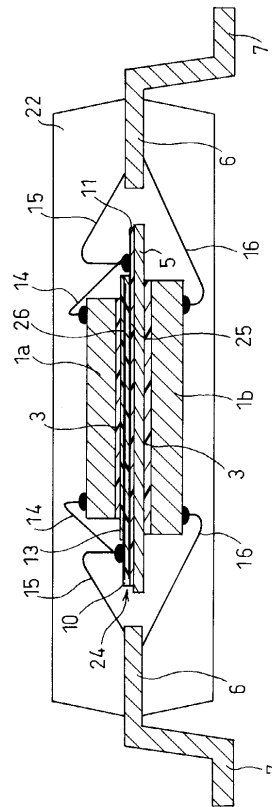
【図 18】



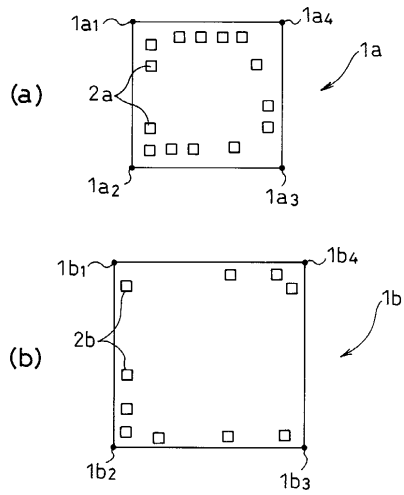
【図 19】



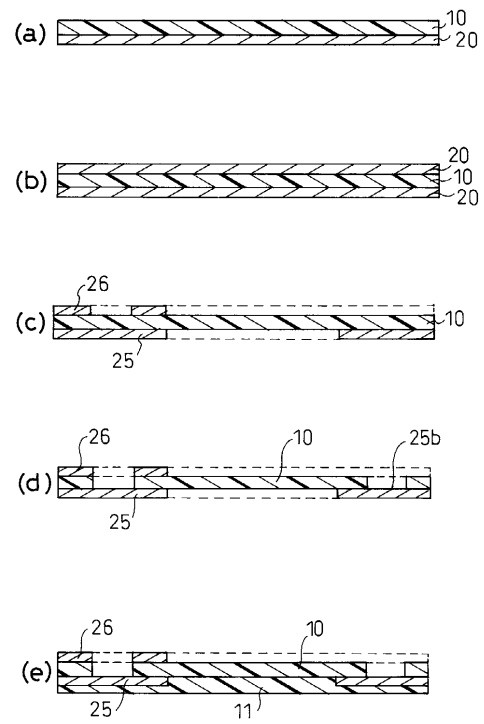
【図 20】



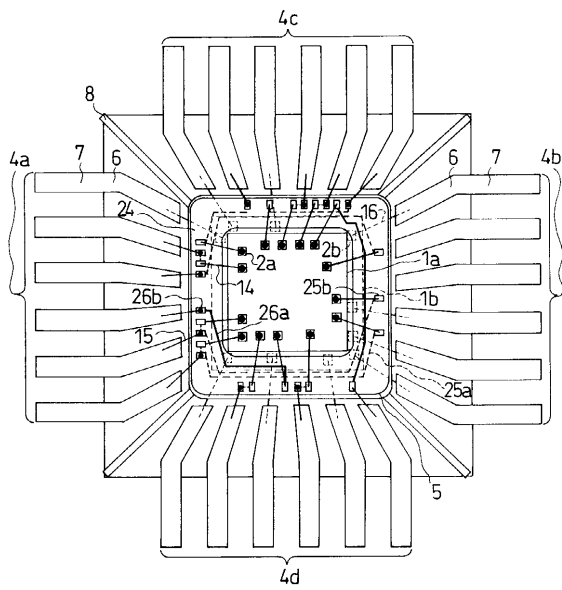
【図 2 1】



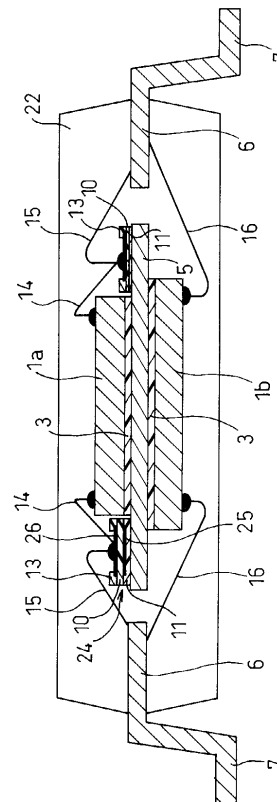
【図 2 2】



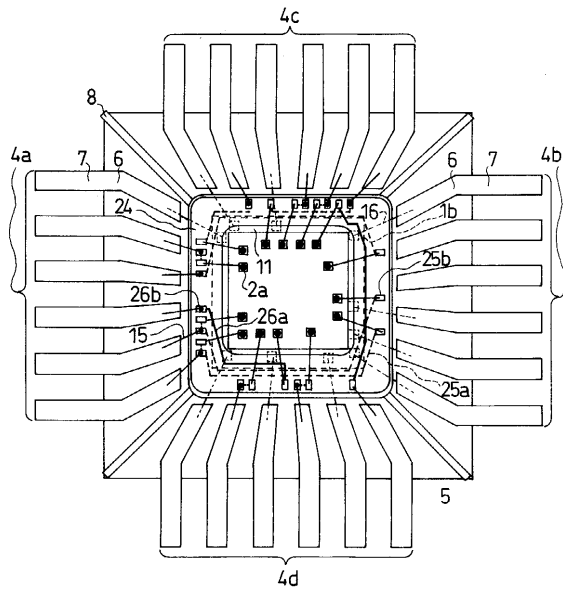
【図 2 3】



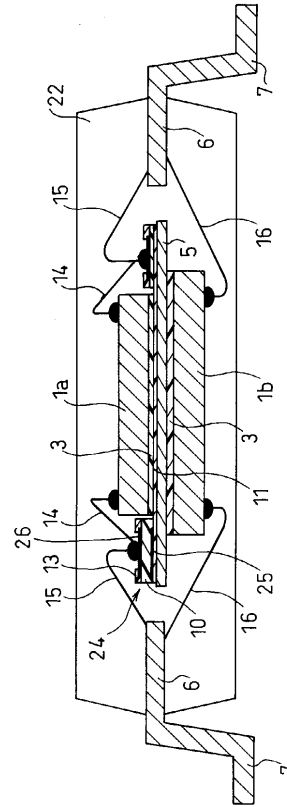
【図 2 4】



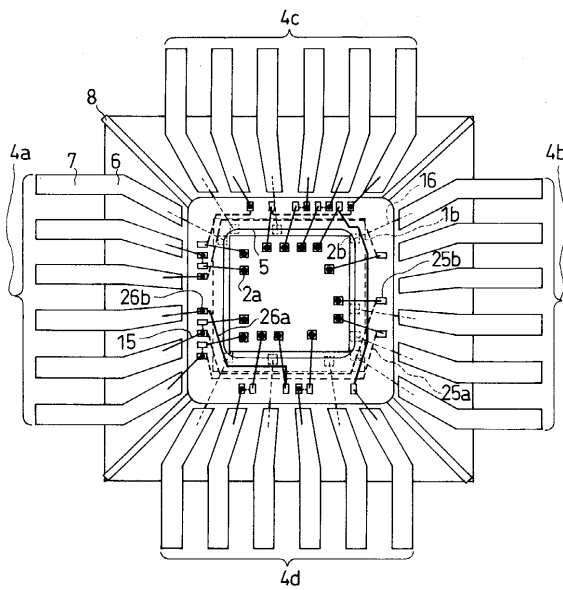
【図 25】



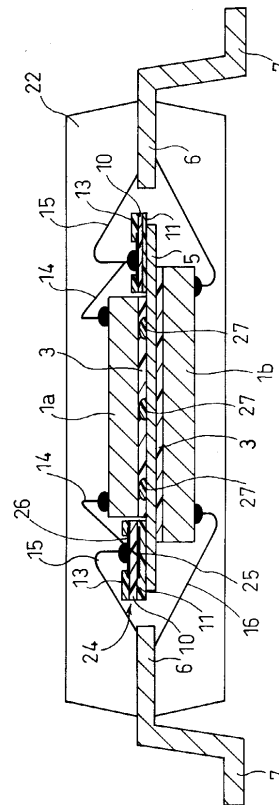
【図 26】



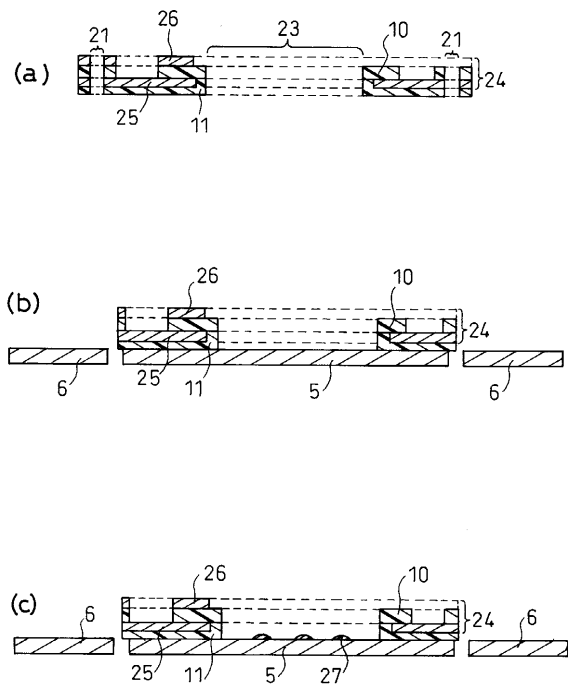
【図 27】



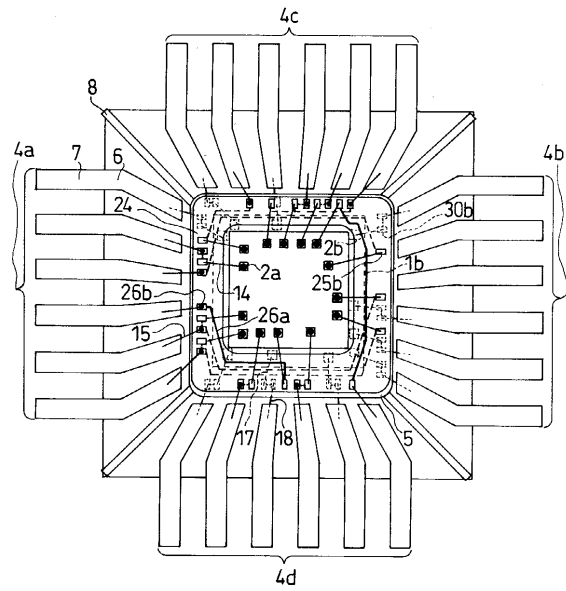
【図 28】



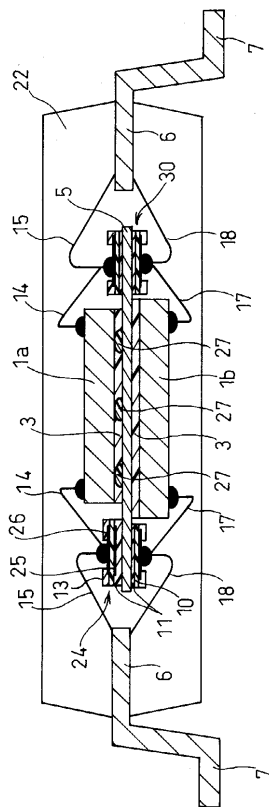
【図 29】



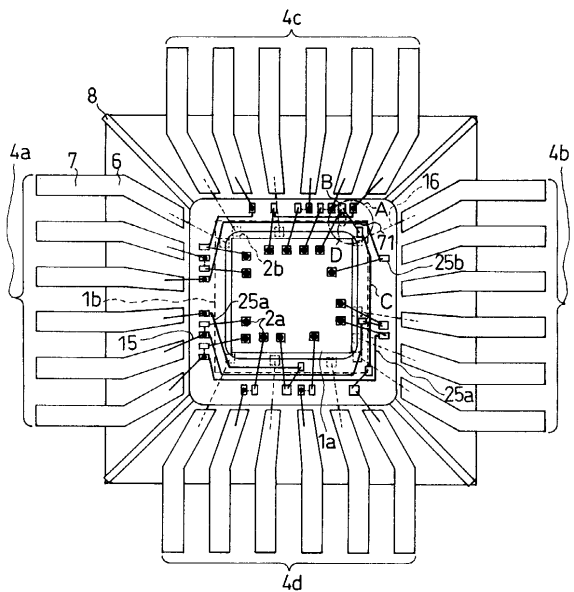
【図 30】



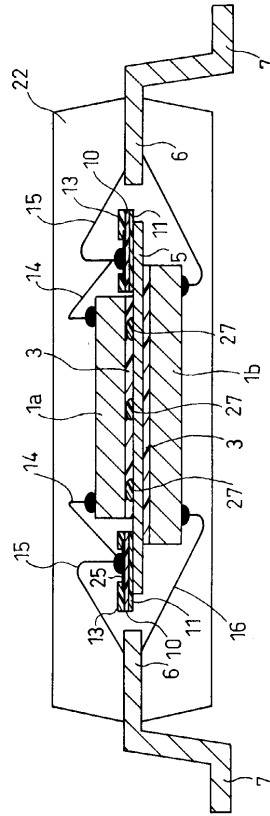
【図 31】



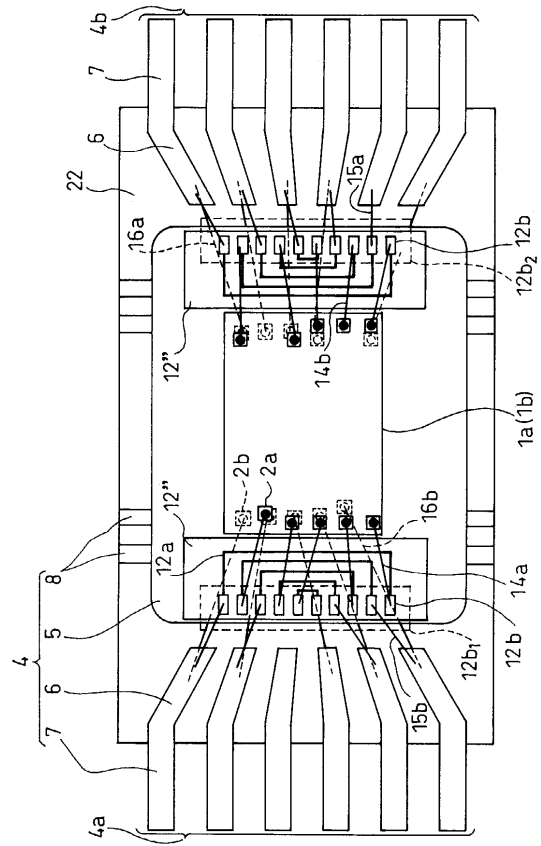
【図 32】



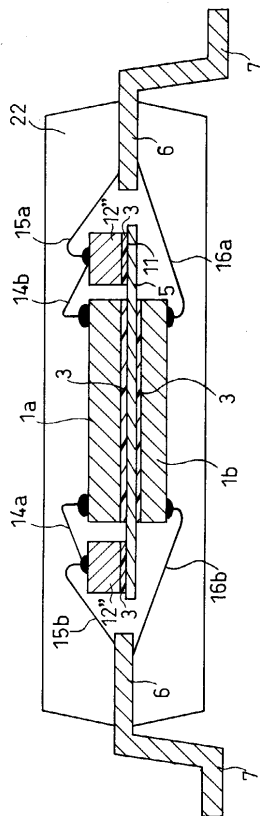
【図 3 3】



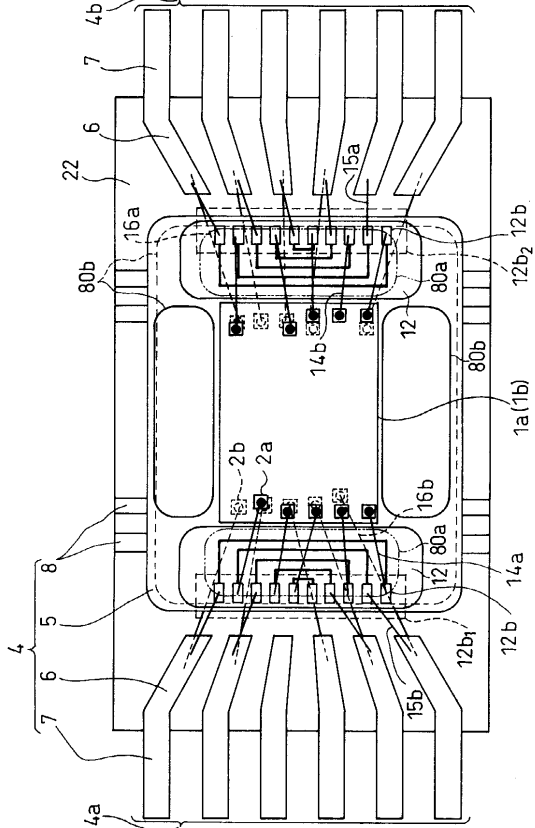
【図 3 4】



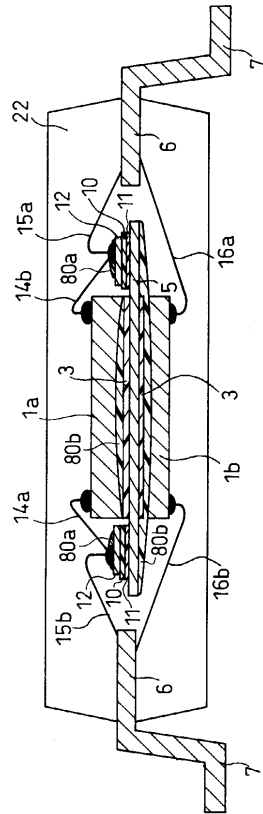
【図 3 5】



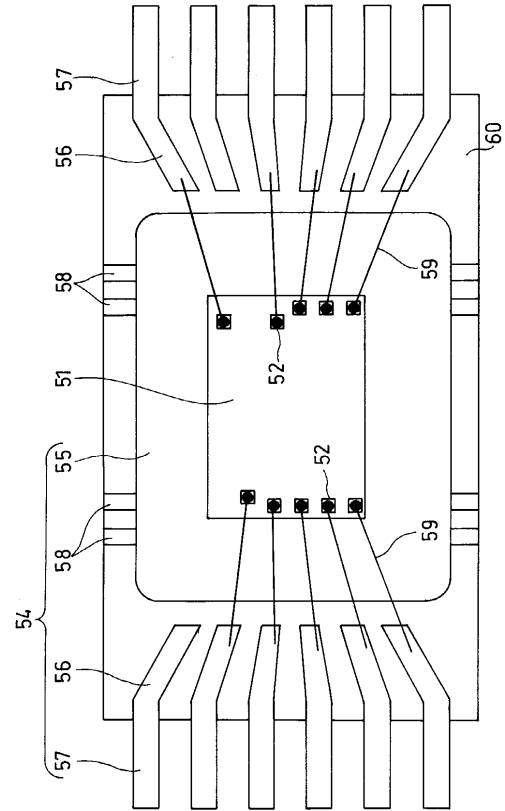
【図 3 6】



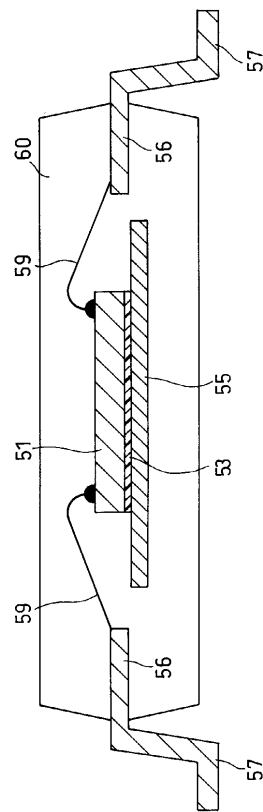
【図 37】



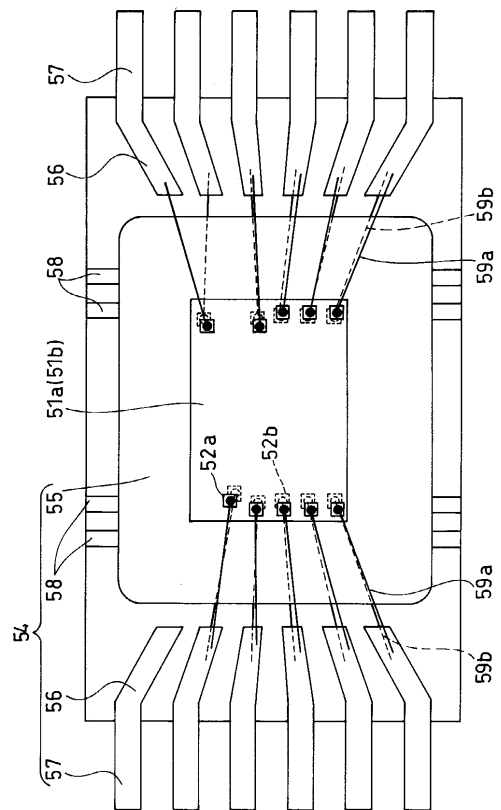
【図 38】



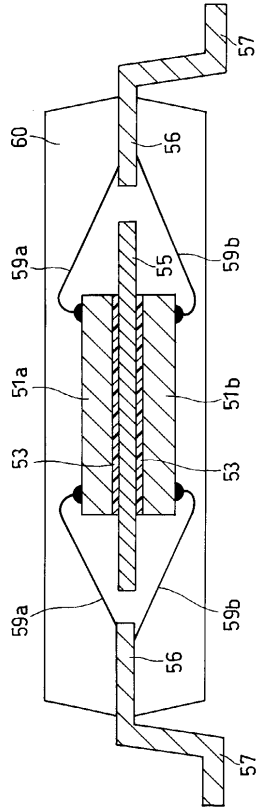
【図 39】



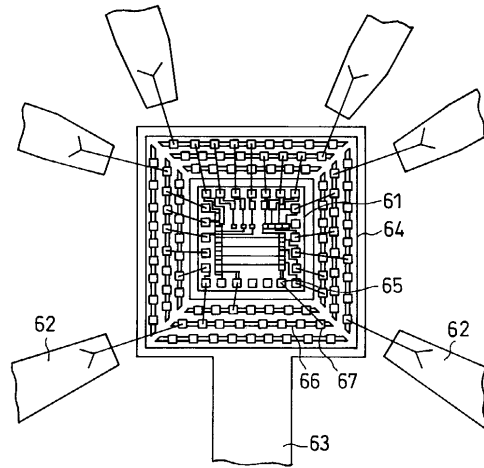
【図 40】



【図 4 1】



【図 4 2】



フロントページの続き

- (72)発明者 森 勝信
大阪府大阪市阿倍野区長池町2番22号 シャープ株式会社内
- (72)発明者 樽井 克行
大阪府大阪市阿倍野区長池町2番22号 シャープ株式会社内

審査官 今井 拓也

- (56)参考文献 特開平06-045476(JP,A)
特開平08-204119(JP,A)
特開平08-213545(JP,A)
実開平05-048359(JP,U)
特開平06-204390(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)

H01L 25/065

H01L 25/07

H01L 25/18