

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G05B 15/02

B60L 3/00



[12] 发明专利说明书

[21] ZL 专利号 95120944.2

[43] 授权公告日 2003 年 3 月 5 日

[11] 授权公告号 CN 1102765C

[22] 申请日 1995.12.28 [21] 申请号 95120944.2

[30] 优先权

[32] 1994.12.28 [33] JP [31] 326645/1994

[32] 1995.7.20 [33] JP [31] 183803/1995

[71] 专利权人 株式会社日立制作所

地址 日本国东京都

[72] 发明人 佐藤宽 金川信康 能见诚

田代维史

审查员 宋红明

[74] 专利代理机构 上海专利商标事务所

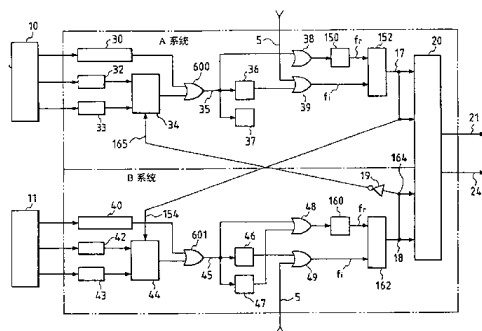
代理人 赵国华

权利要求书 4 页 说明书 48 页 附图 24 页

[54] 发明名称 具有失效保护功能的控制器

[57] 摘要

一种具有高可靠性失效保护功能的控制器和系统。其中，ATP 装置根据 ATP 指令速度信号产生用于两系统的控制数据，使所含逻辑单元双重化以处理各控制数据，并提供至少两种 CRC 数据校验各系统的控制数据。根据各逻辑单元故障检测信号的内容，改变其 CRC 数据，或从中选择一逻辑单元。可检验各逻辑电路操作和控制数据，仅当所有数据、电路和元件工作正常时输出信号，进行所需控制。当某部分检测到故障时输出制动信号。



ISSN 1008-4274

1. 一种控制器，其特征在于，所述控制器具有多个处理器，用以输入和输出执行多个操作产生的输入信号和输出信号，该控制器将所述多个处理器中的第一处理器的输出信号输入到至少包含所述多个处理器中的一个处理器的第二处理器，并将所述第二处理器的输出信号输入到所述第一处理器，所述第二处理器的所述输出信号中的某一信号的极性与所述第一处理器的所述输入信号的极性相反。

2. 如权利要求 1 所述的控制器，其特征在于，所述控制器进一步包括：将并行信号转换成串行信号的第一串行变换器，将所述第一串行变换器的输出信号作为输入信号进行处理的第一处理器，将所述第一处理器的串行输出信号转换成并行信号的第一并行变换器，将并行输入信号转换成串行信号的第二串行变换器，将所述第二串行变换器的输出信号作为输入信号进行处理的第二处理器，以及将所述第二处理器的串行信号转换成并行信号的第二并行变换器；所述控制器将所述第一并行变换器输出信号中的某一信号连同其它并行输入信号输入到所述第二串行变换器将它变为串行信号；输入到所述第一串行变换器的并行输入信号中的某一信号经反相器使所述第二并行变换器的输出信号中的某一信号与输入到所述第一串行变换器的其它并行输入信号极性相反。

3. 如权利要求 1 所述的控制器，其特征在于，所述控制器进一步包括将所述多个处理器中一处理器的一个输出信号与一可选值相加的加法器；所述控制器将输入信号相应地输入到所述多个处理器，将所述第二处理器的某一输出信号输入到所述加法器，并将所述加法器的输出信号输入到所述第一处理器。

4. 如权利要求 1 所述的控制器，其特征在于，所述控制器进一步包括将所述第一处理器的某个输出信号与一可选值相加的加法器，以及从所述第二处理器的某一输出信号中减去一可选值的减法器；所述控制器将输入信号相应地输入到所述第一处理器和所述第二处理器，将所述第一处理器的某个输出信号输入到所述加法器，将所述加法器的输出信号输入到所述第二处理器，将所述第二处理器的某一输出信号输入到所述减法器，并将所述减法器的输出信号输入到所述第一处理器。

5. 如权利要求 2 所述的控制器，其特征在于，所述控制器进一步包括：用于识别所述第一串行变换器、所述第一处理器和所述第一并行变换器状态的第一状态识别信号，用于识别所述第二串行变换器、所述第二处理器和所述第二并行变换器状态的第二状态识别信号，通过所述第一状态识别信号表示所述第一串行变换器、所述第一处理器和所述第一并行变换器状态的第一故障检测信号，通过所述第二状态识别信号表示所述第二串行变换器、所述第二处理器和所述第二并行变换器状态的第二故障检测信号，用于将所述第二故障检测信号输入到反相器并在其中将所述第二故障检测信号的输出极性反转的反转故障检测信号，将所述第一状态识别信号和所述反转故障检测信号相加的第一加法器，以及将所述第二状态识别信号与所述第一故障检测信号相加的第二加法器；该控制器将所述第一加法器的输出信号连同所述并行输入信号一起输入到所述第一串行变换器，并将所述第二加法器的输出信号连同所述并行输入信号一起输入到所述第二串行变换器。

6. 如权利要求 1 所述的控制器，其特征在于，所述第一处理器输出第一输出信号；该第一输出信号经输入和处理第一输入信

号和第一检测信号产生，第二处理器输出第二输出信号；该第二输出信号经输入和处理第二输入信号和第二检测信号产生，所述控制器进一步包括：将所述第一检测信号发送给所述第二处理器的第一发送器，以及将所述第二处理器第二检测信号发送给所述第一处理器的第二发送器；所述第二处理器根据经所述第一发送器输入的所述第一检测信号，输出所述第二检测信号；所述第二发送器输出所述第二检测信号，该信号极性与所述第一处理器的所述第一输入信号极性相反；所述第一处理器根据所述第二发送器的所述经极性反转的信号输出所述第一检测信号。

7. 如权利要求 6 所述的控制器，其特征在于，所述第二发送器包含一逻辑单元，它用于使所述第二处理器输出的所述第二检测信号的极性与所述第一输入信号的极性相反。

8. 如权利要求 6 所述的控制器，其特征在于，所述第二处理器包含一逻辑单元，它使按所述第一检测信号处理后的所述第二检测信号的极性与所述第一输入信号极性相反。

9. 如权利要求 6 至 8 中任一项所述的控制器，其特征在于，所述第一输入信号或所述第二输入信号包含所述第一处理器和所述第二处理器的处理数据和用以校验所述第一和第二处理器操作的校验数据。

10. 如权利要求 9 所述的控制器，其特征在于，所述输入信号的处理数据与所述第二输入信号的相同。

11. 如权利要求 9 所述的控制器，其特征在于，所述校验数据校验所述第一处理数据或所述第二处理数据的内容。

12. 如权利要求 9 所述的控制器，其特征在于，所述第一处理器或所述第二处理器包含一逻辑单元，用以执行所述第一检测信号或所述第二检测信号的逻辑；还包含所述输入信号或所述第二输入信号的校验数据。

具有失效保护功能的控制器

本发明涉及具有失效保护功能的电路及使用该电路的控制器和系统；尤其涉及具有失效保护功能、适合列车保安系统的列车控制设备例如 ATP (automatic train protection) (自动列车保护) 装置、ATS (automatic train stop) (自动列车停止) 装置和 ATO (automatic train operation) (自动列车运行) 装置，及使用这些装置的控制器和系统。

由于近来电子技术的发展，已需要先进和复杂的控制以改进能量(燃料)效率、可操作性、乘车舒适感和安全性，以及增加交通工具例如飞机、火车和汽车的速度。

另一方面，这些交通工具必须安全运行，强烈要求控制器具有可靠性及失效保护(当故障发生时，必须危险方无输出)。

例如，通过例如 ATC (自动列车控制) 装置和 ATS 装置之类的高级保安系统可确保列车运行的安全性。

如用于超高速列车保安系统的 ATP 装置的例子所示，在国内、外，其可靠性和失效保护均获好评。

列车的 ATP 装置和 ATS 装置包括以具有自检功能的 LSI 为主体的控制电路和继电器。用于这些装置的主信号是其中逻辑电平交替变为“H”或“L”的频率信号(以后称为交变信号)。

控制电路比较和处理来自地面的 ATP 速度指令信号和接收该 ATP 信号时的列车实际速度信号，由速度控制信号(即，根据 ATC 信号和实际速度信号的差的制动指令信号)控制制动力，并控制列车

速度。

用于产生这种交变信号的装置已在公开号为 57—62702 的日本专利申请中加以描述。

近来,正在建设中央控制指令室和列车之间传送列车运行信息(例如,列车速度和位置)和列车之间交换信息的系统,以改进运输服务,因而要求高密度列车运行及高速度列车运行的控制。

为了响应这些要求,仅靠目前使用的控制器及其使用的 LSI,在处理速度和数据存储容量方面显得不足,为了弥补其缺陷,必须增加许多外围电路,从而该控制器变得复杂。

由于近来半导体技术的显著进步并已实现了高集成度及高处理速度,具有各种功能的控制电路已能包括在一块 LSI 芯片中。

但是,在这样构成的 LSI 中,存在一个问题:由于内部形成的布线间的混合接触,输出错误的控制信号或输出经发生断线故障的布线及与其邻近布线间的分布电容而产生的信号,这时,尽管 LSI 本身已产生故障,但控制信号仍会被认为正常而加以输出。

何况,对于列车控制,LSI 的使用环境与 LSI 用于公共福利时的使用环境相比是极其恶劣的。

当由于 LSI 制造过程中内部混合接触或断线或由于使用期间内部混合接触或断线而输出错误信号或作为速度控制关键的制动指令信号不输出时,产生一系列问题,引起一系列意外。

必须以与未来各种控制相应的 LSI 构成控制电路,它满足与这些控制相应的功能,改进检测 LSI 自身故障的自检功能且当故障产生时满足用于在安全侧进行控制的失效保护控制。

因而,本发明的目的在于提供一种控制电路及使用该控制电路的控制器和系统,该控制电路改进检测控制器故障的自检功能且具有当故障产生时在安全侧进行控制的失效保护功能。

本发明包括:把 ATP 指令速度信号转换成频率的指令速度频

率转换装置;把所述指令速度频率转换装置的输出信号转换成数字数据的第一数据转换装置;把电动机车的实际速度转换成频率的速度频率转换装置;把所述速度频率转换装置的输出信号转换成数字数据的第二数据转换装置;根据所述第一数据转换装置的输出数据和所述第二数据转换装置的输出数据间的差,输出制动指令信号的制动指令输出装置;把制动指令输出装置双重化为 LSI 内部的系统 A 和系统 B 的装置;把相应于 ATC 指令速度信号的第一数据和相应于电动机车实际速度的第二数据同时输入至双重化 LSI 的系统 A 和系统 B 的电路的装置;产生第一控制数据和第二控制数据的装置,第一控制数据在第一数据的基础上附加当把生成多项式设成 $G_0(X)$ 时的 CRC 数据,第二控制数据在第一数据的基础上附加当把生成多项式设成 $G_1(X)$ 时的 CRC 数据;选择第一控制数据和第二控制数据之一的切换装置;用相应于生成多项式 $G_0(X)$ 且并联连接的第一故障检测器和相应于生成多项式 $G_1(X)$ 的第二故障检测器校验切换装置的输出信号错误的装置;比较系统 A 的第一故障检测器的输出和第二故障检测器输出的比较装置;比较系统 B 的第一故障检测器输出和第二故障检测器输出的比较装置;用系统 A 的比较装置的输出信号控制系统 B 的切换装置并选择第一控制数据或第二控制数据的装置;使系统 B 的比较装置输出信号的符号反转的符号反转装置;用系统 B 的符号反转装置的输出信号控制系统 A 的切换装置并选择第一控制数据或第二控制数据的装置。

本发明还包括:使双重化电路的系统 A 和系统 B 相互分开的装配和布线装置;拓宽系统 A 的比较装置的输出信号和系统 B 的比较装置的输出信号配置间隔及布线间隔的装置。

系统 A 和系统 B 的第一控制数据由第一故障检测器判定为正常,其输出信号为“L”,反之,由第二故障检测器判定为异常,则其输出信号为“H”。第二控制数据由第一故障检测器判定为异常,其输出

信号为“H”，反之由第二故障检测器判定为正常，则其输出信号为“L”。

在动作开始时，在系统 A 中，选择第一控制数据，在系统 B 中，选择第二控制数据。

因而，系统 A 的第一控制数据由第一故障检测器和第二故障检测器校验，第一故障检测器的输出信号“L”和第二故障检测器的输出信号“H”由系统 A 的比较装置比较；系统 B 的切换装置由上述条件下获得的比较输出信号“H”控制，并将第二控制数据切换至第一控制数据。

当第二控制数据切换至第一控制数据时，第一故障检测器的输出信号“L”和第二故障检测器的输出信号“H”，由系统 B 的比较装置比较，在该条件下获得的比较输出信号“H”由符号反转装置将符号反转变为“L”；控制系统 A 的切换装置，并将第一控制数据切换为第二控制数据。

当第一控制数据切换为第二控制数据时，第一故障检测器的输出信号“H”和第二故障检测器的输出信号“L”，由系统 A 的比较装置比较；系统 B 的切换装置由在该条件下获得的比较输出信号“L”控制，并将第一控制数据切换成第二控制数据。

当第一控制数据切换成第二控制数据时，第一故障检测器的输出信号“H”和第二故障检测器的输出信号“L”由系统 B 的比较装置比较，且在该条件下获得的比较输出信号“L”由符号反转装置将符号反转变为“H”；控制系统 A 的切换装置，并将第二控制数据切换成第一控制数据。

当第二控制数据切换为第一控制数据时，第一故障检测器的输出信号“L”和第二故障检测器的输出信号“H”，由系统 A 的比较装置比较；系统 B 的切换装置由在该条件下获得的比较输出信号“H”控制，并将第二控制数据切换为第一控制数据。

当第二控制数据切换为第一控制数据时,第一故障检测器的输出信号“L”和第二故障检测器的输出信号“H”由系统B的比较装置比较;该条件下获得的比较输出信号“H”的符号由符号反转装置反转变为“L”;控制系统A的切换装置,并将第二控制数据切换为第一控制数据。

如上所述,通过由系统自身的动作而获得的信号,控制对立系统的切换装置。因而,若控制数据、故障检测器、比较装置和切换装置正常,系统A和系统B的切换装置的输出信号以固定周期交替变化。但是,若其中之一产生故障,系统A和系统B的切换装置的交变信号停止。

监测切换装置的交变信号的变化。

当双重化电路的系统A和系统B相互分开配置和布线且加宽用于比较系统A的比较装置的输出信号和系统B的比较装置的输出信号的另一比较装置的设置间隔和布线间隔时,能防止例如系统A的故障影响系统B(它们工作得似乎是正常的),或应输出的制动指令信号不输出,而输出不要求输出的制动指令信号。

本发明的其他目的和形态在下面参照下列附图对实施例作说明之后将会清楚。

图1是本发明实施例的示意图;

图2是本发明控制器实施例的示意图;

图3是数据配置图;

图4是频率比较操作的概念图;

图5示意操作序号和故障信号波形;

图6是频率核对器的示意图;

图7是频率核对器的时间图;

图8是本发明另一实施例的示意图;

图9是各个存储器的数据配置图;

图 10 是故障检测信号和存储器切换运行的说明图；
图 11 是频率变换器的示意图；
图 12 是频率变换操作的说明图；
图 13 是频率比较器的示意图；
图 14 是频率比较操作的时间图；
图 15 是多重频率比较操作的说明图；
图 16 是本发明另一实施例的示意图；
图 17 是本发明另一实施例的示意图；
图 18 是本发明又一实施例的示意图；
图 19 是本发明大规模集成电路(LSI)布局的说明图；
图 20 是本发明另一实施例的示意图；
图 21 是本发明另一实施例的示意图；
图 22 是本发明另一实施例的示意图；
图 23 是本发明另一实施例的示意图；
图 24 是本发明又一实施例的示意图；
图 25 是本发明一编程实例的示意图。

下面说明本发明应用于机车控制器 ATP 的例子。

ATP 根据地面送来的 ATP 指令速度信号与当时列车(此后称为电动机车)行驶速度之间的偏差,给列车以制动作用,控制电动机车行驶速度低于该指令速度。

图 1 是利用本发明 ATP 系统的框图。

图 1 中,标号 1 表示其上面有电动机车行驶的路轨,23 表示电动机车的车身,2 表示电动机车的轮子,3 表示加装在轮子 2 的轴上、检测速度的速度发生器,4 表示对速度发生器 3 的输出电压波形整形并输出与电动机车的速度成正比的速度频率信号 5 的波形整形器(或信号变换器),6 表示接收地面来的调频 ATP 指令速度信号的天线,7 表示对天线 6 接收到的调频 ATP 指令速度信号进行解调、随

后对该波形整形放大的车载接收机,8表示作为车载接收机7输出信号的ATP指令速度信号,9表示根据ATP指令速度信号和电动机车的实际速度来控制电动机车速度的ATP设备。还有,22表示从ATP设备接收制动指令信号21并向电动机车提供实际制动作用的制动设备。

利用此构成,电动机车的速度便得到控制,从而消除ATP指令速度与电动机车实际速度之间的偏差,或防止电动机车的实际速度超过ATP指令速度。

下面参照图2说明前面提及的ATP设备控制器的故障保护技术。

标号1800表示一控制器,1810表示输入处理第一输入数据、输出第一输出数据1860和第一检测信号1880的第一处理器,1820表示输入处理第二输入数据、输出第二输出数据1870和反相的第二检测信号1890的第二处理器,1830表示将第二处理器处理的检测信号反相的信号反相器,1900表示将第一处理器1810输出的第一检测信号1880发送至第二处理器1820的第一发送器,1910表示将第二处理器输出的第二检测信号1890通过信号反相器1830发送至第一处理器1810的第二发送器。

第一输入数据和第二输入数据均为微型计算机产生和提供的,或是从存储器读出的数据。

就第一输入数据而言,有时它有处理第一输出数据用的数据和校验上述数据的校验数据,有时它没有校验数据,校验数据通过第一处理器的处理产生,而且还产生第一检测信号。

就第二输入数据而言,有时数据内容与第一输入数据的内容相同,有时此内容不同于第一输入数据。

就第二输入数据而言,有时它具有与前面提及的第一输入数据相同方式的校验数据,有时则没有校验数据。当第二输入数据没有校

验数据时,有时校验数据由第二处理器以与前面提及的第一输入数据相同的方式产生,有时甚至第二处理器也不产生校验数据。

而且,本实施例中第一输入数据和第二输入数据是互相独立的。但任一输入数据都可以很方便地输入两处理器。

第一处理器和第二处理器对串行处理型环处理器顺序输入的第一或第二输入数据进行处理,或在微机中并行读取这两种数据,执行并行处理。

第一和第二检测信号指示第一处理器和第二处理器运行是否正常。当有规定周期的交变信号输出时,该检测信号表明处理器运行正常。

这些检测信号还可以用作指示输入数据内容的校验结果是否正确的检测信号。

另一设备则由第一输出数据和第二输出数据控制。

输出至另一设备之前,由一检测第一输出数据与第二输出数据之间符合或输出利用第一或第二检测信号的最终输出数据的输出部,对所要控制的另一设备进行控制。

具有上述构成的控制器的处理过程叙述如下:

该处理过程的第一个例子是一种先将第一检测信号输出,再通过重复使此信号反相来产生交变信号的情形。

第一输入数据经第一处理器输入处理之后,输出第一输出数据和第一检测信号。第一检测信号输入至第二处理器,与第二输入数据一起处理,产生和输出第二输出数据和第二检测信号。

第二检测信号由信号反相器反相,输入至第一处理器。当第一处理器处理的第一检测信号为高(此后记为 H)电平信号时,第二处理器处理的第二检测信号也变成 H 电平信号,而当第一处理器的第一检测信号为低(此后记为 L)电平信号时,第二处理器处理的第二检测信号也变成 L 电平信号。

H 电平的第二检测信号由信号反相器反相,所得的 L 电平的检测信号输入至第一处理器。

因而,当第一处理器处理的第一检测信号为 L 电平信号时,L 电平信号就输入至第二处理器,第二处理器的检测信号就变成 L 电平信号。但因为该信号由信号反相器反相,所以是 H 电平的第二检测信号输入至第一处理器,只要第一处理器和第二处理器正常运行,第一和第二检测信号就变成 H、L、H、..... 电平的交变信号。

第一或第二处理器检测信号的上述处理过程是输出一与输入信号相同电平的信号。也就是说,当从第一处理器先输出 H 或 L 电平的第一检测信号,只要第一和第二处理器运行正常,第一和第二检测信号此后就变成交变信号。

处理过程的第二个例子是一种在第一处理器输出的第一检测信号与第二输入数据的校验数据(或是由第二输入数据产生的校验数据)之间进行逻辑运算,从第二处理器输出检测信号的情形。

这样,本发明不仅检测第一或第二处理器是否运行正常,而且还能检查第一或第二输入数据是否正常。

也就是说,当第一检测信号与第二输入数据的校验数据不符合时,是不同于第一检测信号电平的信号从第二处理器输出作为检测信号。这样,经过信号反相器的第二检测信号就变成与第一检测信号相同电平的信号,从而没有交变信号输出。

对于第一处理器的第二检测信号和第一输入数据的校验数据也是同样如此。在此处理过程的例子中采用一具有逻辑单元的构成来执行逻辑运算。

接下来说明图 1 所示的 ATP 设备 9 的构成,它具有自动机车控制系统控制器的上述特性。

ATP 设备 9 包括:将 ATP 指令速度信号 8 变换成第一微机控制数据 12 的第一微机 10;通过执行与第一微机相同的处理、将 ATP

指令速度信号 8 变换成第二微机控制数据 13 的第二微机 11;在第一微机 10 的控制数据 12 与速度频率信号 5 之间进行逻辑运算、输出 A 系统逻辑输出信号 17 的 A 系统逻辑电路 15;在第二微机 11 的控制数据 13 与速度频率信号 5 之间进行逻辑运算、输出 B 系统逻辑输出信号 18 的 B 系统逻辑电路 16;以及,具有 A 系统逻辑电路 15 和 B 系统逻辑电路 16 双重逻辑构成的控制器 14。

A 系统逻辑电路 15 包括:将第一微机的控制数据 12 变换成 ATP 指令速度频率(信号)151 的频率变换器 150;将 ATP 指令速度频率信号 2150 送至第三处理器 2030 的第二发送器;将第三检测信号 2160 送至第四处理器 2040 的第三发送器 2200;以及,将第四处理器 2040 输出的第四检测信号 2170 经过一符号反转器 2050 送至第一处理器 2010 的第四发送器 2210。

第一输入数据 2060、第二输入数据 2070、第三输入数据 2080、和第四输入数据 2090 均为微机产生和提供的,或是从存储器读出的数据。

就第一输入数据 2060 而言,有时它有处理第一输出数据 2100 用的数据和校验上述数据的校验数据,有时它没有校验数据,校验数据通过第一处理器 2010 的处理产生,而且还产生第一检测信号 2140。

就第二输入数据 2070 而言,有时它有处理第二输出数据 2110 用的数据和校验上述数据的校验数据,有时它没有校验数据,校验数据通过第二处理器 2020 的处理产生,而且还产生第二检测信号 2150。

就第三输入数据 2080 而言,有时它有处理第三输出数据 2120 用的数据和校验上述数据的校验数据,有时它没有校验数据,校验数据通过第三处理器 2030 的处理产生,而且还产生第三检测信号 2160。

就第四输入数据 2090 而言,有时它有处理第四输出数据 2130 用的数据和校验上述数据的校验数据,有时它没有校验数据,校验数据通过第四处理器 2040 的处理产生,而且还产生第四检测信号 2170。

第一处理器 2010 对专用的串行处理型环处理器顺序输入的第一输入数据 2060 进行处理,或在微机中并行读取此数据,执行并行处理。

第二处理器 2020 也对专用的串行处理型环处理器顺序输入的第二输入数据 2070 进行处理,或在微机中并行读取此数据,执行并行处理。

第三处理器 2030 也对专用的串行处理型环处理器顺序输入的第三输入数据 2080 进行处理,或在微机中并行读取此数据,执行并行处理。

第四处理器 2040 也对专用的串行处理型环处理器顺序输入的第四输入数据 2090 进行处理,或在微机中并行读取此数据,执行并行处理。

第一检测信号 2140 指示第一处理器 2010 是否运行正常,第二检测信号 2150 指示第二处理器 2020 是否运行正常,第三检测信号 2160 指示第三处理器 2030 是否运行正常,第四检测信号 2170 指示第四处理器 2040 是否运行正常。它们分别是按规定周期交替的交变信号。

这些检测信号还可以用作表明输入数据内容的校验结果是否正确的信号。

也就是说,第一处理器 2010 输出用于校验输入数据 2060 内容的处理结果作为检测信号 2140,第二处理器 2020 输出用于校验输入数据 2070 内容的处理结果作为检测信号 2150,第三处理器 2030 输出用于校验输入数据 2080 内容的处理结果作为检测信号 2160,

第四处理器 2040 输出用于校验输入数据 2090 内容的处理结果作为检测信号 2170。

第一处理器 2010 的输出数据 2100、第二处理器 2020 的输出数据 2110、第三处理器 2030 的输出数据 212、和第四处理器 2040 的输出数据 2130 均输出至另一设备,来对它进行控制。

输出至另一设备之前,由一例如检测第一输出数据 2100、第二输出数据 2110、第三输出数据 2120 与第四输出数据 2130 之间符合,检测第一输出数据 2100 与第二输出数据 2110 之间符合,检测第三输出数据 2120 与第四输出数据 2130 之间符合,或进而输出利用第一检测信号 2140、第二检测信号 2150、第三检测信号 2160 和第四检测信号 2170 的最终输出数据的输出部,对所要控制的另一设备进行控制。

具有上述构成的控制器 2000 的处理过程叙述如下:

第一输入数据 2060 输入至第一处理器 2010,第二输入数据 2070 输入至第二处理器 2020,第三输入数据 2080 输入至第三处理器 2030,第四输入数据 2090 输入至第四处理器 2040,分别执行运算。

第一输出数据 2100 和第一检测信号 2140 从第一处理器 2010 输出。

第一检测信号 2140 输入至第二处理器 2020,与第二输入数据 2070 一起处理,产生第二输出数据 2110 和第二检测信号 2150。第二检测信号 2150 输入至第三处理器 2030,与第三输入数据 2080 一起处理,产生第三输出数据 2120 和第三检测信号 2160。第三检测信号 2160 输入至第四处理器 2040,与第四输入数据 2090 一起处理,产生第四输出数据 2130 和第四检测信号 2170。第四检测信号 2170 则由符号反转器 2050 将其符号反转,输入至第一处理器 2010。

当第一处理器 2010 的第一检测信号 2140 为 H 电平信号时,第

二处理器 2020 的第二检测信号 2150 也变成 H 电平信号,而当第一检测信号 2140 为 L 电平信号时,第二处理器 2020 的第二检测信号 2150 也变成 L 电平信号。

假定所有的处理器的检测信号输出起先都是 L 电平。因而,第四处理器 2040 的第四检测信号 2170 的符号反转信号 2210 变成 H 电平信号,输入至第一处理器 2010。

结果,经第一处理器 2010 的处理,第一检测信号 2140 的输出电平变成 H,再经第二处理器 2020 的处理,第二检测信号 2150 的输出电平变成 H,接下来经第三处理器 2030 的处理,第三检测信号 2160 的输出电平变成 H,接着经第四处理器 2040 的处理,第四检测信号 2170 的输出电平变成 H。

因为第四检测信号 2170 输出的符号经符号反转器 2050 反转,所以符号反转信号 2210 的输出电平从 H 变为 L。

因而,第一处理器 2010 的第一检测信号 2140 的输出电平从 H 变为 L,第二处理器 2020 的第二检测信号 2150 的输出电平从 H 变为 L,接下来第三处理器 2030 的第三检测信号 2160 的输出电平从 H 变为 L,最后第四处理器 2040 的第四检测信号 2170 的输出电平从 H 变为 L。

因为,第四检测信号 2170 输出的符号经符号反转器 2050 反转,故而符号反转信号 2210 的输出电平从 H 变为 L,回到初始状态。

检测信号如上所述从第一处理器至第四处理器连接成环,因而第一输入数据至第四输入数据和第一处理器至第四处理器都是正常的。它们运行正确时,第一检测信号 2140 至第四检测信号 2170 成为按固定周期交替的交变信号,而当某一处理器发生故障时,该相应检测信号就固定为 H 或 L,构成循环的检测信号便停止交变。

因而,需要对循环的故障检测信号进行监视,并在交变停止时采取应急动作。若对所有的故障检测信号进行监视,就可以知道出故障

的处理器,并且可以更为简明地对故障作分析。

图 20 中说明的是具有四个处理器的实施例。不过,即便是有任意个数的处理器,也可以以相同方式连接故障检测信号,对处理器个数没有限制。

图 21 是本发明另一实施例的示意图。图 21 示出的是共享处理器的实施例,其中输入部包含一时分操作型的并串行变换器,输出部则包含一时分操作型的串并行变换器。

控制器 3000 包括:一包含时分操作型并串行变换器 3020、第一处理器 3030、和时分操作型串并行变换器 3040 在内的第一控制电路 3010;一包含时分操作型并串行变换器 3210、第二处理器 3220、和时分操作型串并行变换器 3230 在内的第二控制电路 3200。第一控制电路 3010 的故障检测信号 3130 输入至第二控制电路 3200 的并串行变换器 3210,第二控制电路 3200 的故障检测信号 3320 由符号反转器 3330 将其符号反转,所得的符号反转信号 3340 输入至第一控制电路 3010 的并串行变换器 3020。

第一输入数据 3050,第二输入数据 3060,和第三输入数据 3070 均输入至第一控制电路 3010 的并串行变换器 3020,第四输入数据 3240,第五输入数据 3250,和第六输入数据 3260 均输入至第二控制电路 3200 的并串行变换器 3210。

假定第一控制电路 3010 的故障检测信号 3130 和第二控制电路 3200 的故障检测信号 3320 其输出电平起先为 L。

第一输入数据 3050 由第一控制电路 3010 的并串行变换器 3020 变换成串行信号 3080,经第一处理器 3030 的处理,输出一串行输出信号 3090,接着由串并行变换器 3040 变换成并行信号,再作为输出信号 3100 输出。

第四输入数据 3240 则由第二控制电路 3200 的并串行变换器 3210 变换成串行信号 3270,经第二处理器 3220 的处理,输出一串行

输出信号 3280,接着由串并行变换器 3230 变换成并行信号,再作为输出信号 3290 输出。

同样,第二输入数据 3060 输入至第一控制电路 3010,经第一处理器 3030 的处理,输出一输出信号 3110。第五输入数据 3250 输入至第二控制电路 3200,经第二处理器 3220 的处理,输出一输出信号 3300。第三输入数据 3070 输入至第一控制电路 3010,经第一处理器 3030 的处理,输出一输出信号 3120。第六输入数据 3260 输入至第二控制电路 3200,经第二处理器 3220 的处理,输出一输出信号 3310。

接着,第二控制电路 3200 的故障检测信号 3320 由符号反转器 3330 将其符号反转,H 电平的该符号反转信号 3340 输入至第一控制电路 3010 的并串行变换器 3020,这时按上面提及的相同动作输出 H 电平的故障检测信号 3130。

第一控制电路 3010 的 H 电平的故障检测信号 3130 输入至第二控制电路 3200 的并串行变换器 3210,因而,按上面提及的相同动作输出 H 电平的故障检测信号 3320。

这 H 电平的故障检测信号 3320 由符号反转器 3330 将其符号反转,所得 L 电平的故障检测信号输入至第一控制电路 3010 的并串行变换器 3020,因而,按上面提及的相同动作输出 H 电平的故障检测信号 3130。

因此,只要第一控制电路 3010 和输入数据以及第二控制电路 3200 和输入数据正常,第一控制电路 3010 的故障检测信号 3130 和第二控制电路 3200 的故障检测信号 3320 就变成为按固定周期交替的交变信号。

图 21 中,第一处理器 3020 和第二处理器 3210 可以采用微机。在这种情况下,可以由程序选定各种方法。例如,可以通过在输入数据处理之后执行故障检测处理这种方法,或并行执行输入数据处理和故障检测处理这种方法,来实现上面提及的相同动作。

不用说,当然可以由复接器和分接器来替换并串行变换器和串并行变换器,实现上面提及的相同动作。

图 22 是本发明另一实施例的示意图。差异在于,图 20 所示的实施例中的符号反转器 2050 在图 22 所示的实施例中是一 1 位加法器 2220。除此之外全部相同,故而省略其动作说明,仅仅对图 22 示出的加法器 2220 的动作进行说明。

假定构成控制器 2000 的第一处理器 2010、第二处理器 2020、第三处理器 2030 和第四处理器 2040 均正常,第一检测信号 2140、第二检测信号 2150、第三检测信号 2160 和第四检测信号 2170 其输出电平均为 L。

第一输入数据 2060 输入后经第一处理器 2010 的处理,输出 L 电平的第一检测信号 2140。第一检测信号 2140 输入至第二处理器 2020,与第二输入数据 2070 一起处理,输出 L 电平的检测信号 2150。第二检测信号 2150 输入至第三处理器 2030,与第三输入数据 2080 一起处理,输出 L 电平的检测信号 2160。第三检测信号 2160 输入至第四处理器 2040,与第四输入数据 2090 一起处理,输出 L 电平的检测信号 2170。

第四检测信号 2170 输入至加法器 2220,与 H 电平数据相加,因而,其输出信号 2210 的输出电平变为 H,该信号输入至第一处理器 2010。

此 H 电平输出信号 2210 与第一输入数据 2060 一起处理,第一检测信号 2140 变为 H 电平信号,此后由相同的动作,第二处理器 2020 的第二检测信号 2150 变为 H 电平信号,第三处理器 2030 的第三检测信号 2160 变为 H 电平信号,第四处理器 2040 的第四检测信号 2170 变为 H 电平信号。

此第四检测信号 2170 输入至加法器 2220,与 H 电平数据相加时,其输出信号 2210 的输出电平变为 L。此输出信号 2210 输入至第

一处理器 2010,与第一输入数据一起处理。也就是说,又回到初始状态。

因而,只要控制器 2000 各单元正常,构成循环的第一检测信号 2140、第二检测信号 2150、第三检测信号 2160、和第四检测信号 2170 均成为 H 或 L 电平按固定周期交替的交变信号,从而可以期望提供一种对任一这些信号监视,当交变停止时执行应急控制的构成。

如同图 20,图 22 说明的是四个处理器的例子。但即便是有任意个数的处理器,也可以按相同方法将它们连接,对处理器个数没有限制。

图 23 是本发明另一实施例的示意图。与图 20 不同之处在于,图 23 所示的实施例中,是 2 位数据“0”“1”(表示十进制 1)与处理器的 2 位检测信号相加,加法器输出信号输入至下一个处理器,与输入至该处理器的信号一起处理。

图 23 中,第一处理器 2010、第二处理器 2020、第三处理器 2030、和第四处理器 2040,以及第一加法器 2220、第二加法器 2230、第三加法器 2240、以及第一减法器 2250 分别正常,表明状态的第一检测信号 2140 的输出为 2 位长度“0”“0”(表示十进制 0),第二检测信号 2150 的输出也是“0”“0”,第三检测信号 2160 的输出也是“0”“0”,第四检测信号 2170 的输出也是“0”“0”。

第一输入数据 2060 输入后,经第一处理器的处理,输出第一输出数据 2100 和第一检测信号 2140 的“0”“0”。

第一检测信号 2140 的输出“0”“0”由第一加法器 2220 与 2 位数据“0”“1”(表示十进制 1)相加,因而加法器输出 2260 变成“0”“1”。

加法器输出 2260 的“0”“1”输入至第二处理器 2020,与第二输入数据 2070 一起处理,输出第二输出数据 2110 和第二检测信号 2150 的“0”“1”。

第二检测信号 2150 的输出“0”“1”由第二加法器 2230 与数据“0”“1”相加,因而加法器输出 2270 变成“1”“0”(表示十进制 2)。

加法器输出 2270 的“1”“0”输入至第三处理器 2030,与第三输入数据 2080 一起处理,输出第三输出数据 2120 和第三检测信号 2160 的“1”“0”。

第三检测信号 2160 的输出“1”“0”由第三加法器 2240 与数据“0”“1”相加,因而加法器输出 2280 变成“1”“1”(表示十进制 3)。

加法器输出 2280 的“1”“1”输入至第四处理器 2040,与第四输入数据 2090 一起处理,输出第四输出数据 2130 和第四检测信号 2170 的“1”“1”。

第四检测信号 2170 的“1”“1”输入至第一减法器 2250,从数据“1”“1”减去数据“1”“0”(表示十进制 2),因而减法器输出 2290 变成“0”“1”。

减法器输出 2290 的“0”“1”输入至第一处理器 2010,与第一输入数据 2060 一起处理,输出第一输出数据 2100 和第一检测信号 2140 的“0”“1”。

第一检测信号 2140 的“0”“1”由第一加法器 2220 与数据“0”“1”相加,因而加法器输出 2260 变成“1”“0”(表示十进制 2)。

加法器输出 2260 的“1”“0”输入至第二处理器 2020,与第二输入数据 2070 一起处理,输出第二输出数据 2110 和第二检测信号 2150 的“1”“0”。

第二检测信号 2150 的“1”“0”由第二加法器 2230 与数据“0”“1”相加,因而加法器输出 2270 变成“1”“1”(表示十进制 3)。

加法器输出 2270 的“1”“1”输入至第三处理器 2030,与第三输入数据 2080 一起处理,输出第三输出数据 2120 和第三检测信号 2160 的“1”“1”。

第三检测信号 2160 的“1”“1”由第三加法器 2240 与数据“0”“1”

相加,因而加法器输出 2280 变成“0”“0”(表示十进制 0)。

加法器输出 2280 的“0”“0”输入至第四处理器 2040,与第四输入数据 2090 一起处理,输出第四输出数据 2130 和第四检测信号 2170 的“0”“0”。

第四检测信号 2170 的“0”“0”输入至第一减法器 2250,减去数据“1”“0”,因而减法器输出 2290 变成“1”“0”(表示十进制 2)。

减法器输出 2290 的“1”“0”输入至第一处理器 2010,与第一输入数据 2060 一起处理,输出第一输出数据 2100 和第一检测信号 2140 的“1”“0”。

第一检测信号 2140 的“1”“0”由第一加法器 2220 与数据“0”“1”相加,因而加法器输出 2260 变成“1”“1”(表示十进制 3)。

加法器输出 2260 的“1”“1”输入至第二处理器 2020,与第二输入数据 2070 一起处理,输出第二输出数据 2110 和第二检测信号 2150 的“1”“1”。

第二检测信号 2150 的“1”“1”由第二加法器 2230 与数据“0”“1”相加,因而加法器输出 2270 变成“0”“0”(表示十进制 0)。

加法器输出 2270 的“0”“0”输入至第三处理器 2030,与第三输入数据 2080 一起处理,输出第三输出数据 2120 和第三检测信号 2160 的“0”“0”。

第三检测信号 2160 的“0”“0”由第三加法器 2240 与数据“0”“1”相加,因而加法器输出 2280 变成“0”“1”(表示十进制 1)。

加法器输出 2280 的“0”“1”输入至第四处理器 2040,与第四输入数据 2090 一起处理,输出第四输出数据 2130 和第四检测信号 2170 的“0”“1”。

第四检测信号 2170 的“0”“1”输入至第一减法器 2250,减去数据“1”“0”,因而减法器输出 2290 变成“0”“0”(表示十进制 0)。

减法器输出 2290 的“0”“0”输入至第一处理器 2010,与第一输

入数据 2090 一起处理,输出第一输出数据 2100 和第一检测信号 2140 的“0”“0”。

当控制器 2000 构成为,使“0”“1”(十进制 1)与第一处理器的第一故障检测信号的输出信号相加并将加法信号输入至第二处理器;使“0”“1”(十进制 1)与第二故障检测信号的输出信号相加并将加法信号输入至第三处理器;使“0”“1”(十进制 1)与第三故障检测信号的输出信号相加并将加法信号输入至第四处理器;从第四故障检测信号的输出信号减去“1”“0”(十进制 2)并将减法信号输入至第一处理器,这样的话,只要控制器 2000 的各个单元正常,各个处理器的故障检测信号就成为按固定周期交替的交变信号。

如同图 22,图 23 说明的是四个处理器的例子。但即便是有任意个数的处理器,也可以按相同方法将它们连接,对处理器个数没有限制。

图 24 示出本发明另一实施例。图 24 在第二检测信号的处理方法上与图 21 有所不同。

具体来说,图 24 中第一输入数据 3050 全部输入至第一控制电路 3010 后再输入第二输入数据 3060,第二输入数据 3060 全部输入后再输入第三输入数据 3070,第三输入数据 3070 全部输入后,再通过第一加法器 3150 输入校验数据用的 CRC 数据 3140,作为故障检测信号 3160。

这些数据由并串行变换器 3020 顺序变换成串行信号 3080,输入至第一处理器 3030 后按规定进行处理,输出一串行信号 3090。此串行信号 3090 由串并行变换器 3040 变换输出互相并行的输出信号 3100、输出信号 3110 和输出信号 3120,从而对另一设备进行控制,并且输出故障检测信号 3130,将它输入至第二加法器 3340。

当第四输入数据 3240 以相同方法全部输入至第二控制电路 3200 后再输入第五输入数据 3250,第五输入数据 3250 全部输入后

再输入第六输入数据 3260,第六输入数据 3260 全部输入后再通过第二加法器 3340 输入校验数据用的 CRC 数据 3330,作为故障检测信号 3350。

这些数据由并串行变换器 3210 顺序变换成串行信号 3270,输入至第二处理器 3220 后按规定进行处理,输出一串行信号 3280。此串行信号 3280 由串并行变换器 3230 变换输出互相并行的输出信号 3290、输出信号 3300 和输出信号 3310,从而对另一设备进行控制,并且输出故障检测信号 3320,由符号反相器 3350 使之符号反转后,输入至第一加法器 3150 一符号反转故障检测信号 3360。

假定在初始状态第一控制电路 3010 的故障检测信号 3130 和第二控制电路 3200 的故障检测信号 3320 其输出电平均为 L。

第一控制电路 3010 的 L 电平故障检测信号 3130 输入至第二控制电路 3200 的第二加法器 3340,但 CRC 数据 3330 并不会受损。换句话说,输入至第二串并行变换器 3210 的是正常的 CRC 数据 3350。

另一方面,第二控制电路 3200 的故障检测信号 3320 其符号反转信号 3370 的输出电平为 H。H 电平的符号反转信号 3370 输入至第一加法器 3150,使 CRC 数据 3140 破坏。

已破坏的 CRC 数据 3160 输入至第一并串行变换器 3020,从而经第一处理器 3030 处理后,通过第一串并行变换器 3040 输出 H 电平的故障检测信号 3130。

此 H 电平的故障检测信号 3130 输入至第二加法器 3340,使 CRC 数据 3330 破坏。

已破坏的 CRC 数据 3350 输入至第二并串行变换器 3210,从而经第二处理器 3220 处理后,通过第二串并行变换器 3230 输出 H 电平的故障检测信号 3320。

此 H 电平的故障检测信号 3110 由符号反相器 3360 反转其符

号后,输入至第一加法器 3150 — L 电平信号。

也就是说,CRC 数据 3140 未被第一加法器 3150 破坏,因而输入至第一并串行变换器的是正常的 CRC 数据。即回到初始状态,受到控制。

如上所述,只要控制器 3000 的全部单元正常,故障检测信号 3130 和故障检测信号 3320 就按固定周期交替变化。

图 25 是一程序实例,此时图 21 和图 24 示出的第一处理器和第二处理器分别包括一微机。在执行输入处理后执行数据处理,并根据此结果执行输出处理。此处理结束,检测故障的诊断处理便开始。也就是说,故障诊断处理是在执行用以检测故障的输入处理之后,并且此处理结束执行输出处理时执行的。也就是说,只要正常,就没有信号输出。然而,当异常时,有输出信号,执行应急处理。

综上所述,根据本发明,当然可以检测包括多个处理器或逻辑单元的控制器的正常运行和异常运行。

各个处理器处理的输入数据内容均可以得到校验,因而不仅可以检测硬件的运行是否正常,而且可以检测软件的运行是否正常。

将本发明应用于 ATP 设备时,从 ATP 指令速度信号产生两系统的控制数据,ATP 设备中的各个逻辑单元均为双份,从而对各自的控制数据进行处理,各系统至少具有两套校验控制数据用的 CRC 数据。通过改变各个逻辑单元的对立 CRC 数据,或根据各个双份逻辑单元来的故障检测信号的内容两套 CRC 数据中选其一,可以实现对控制数据的校验和对各个逻辑单元运行的校验。

ATP 设备包括:对 ATP 指令速度频率 151 与速度频率 5 进行比较的频率比较器 152;根据 B 系统的故障检测信号,校验第一微机控制数据 12 的内容和逻辑电路 15 的状态,并输出 A 系统故障检测信号 154 的故障检测器 153。

B 系统的逻辑电路 16 包括:将第二处理器的控制数据 13 变换

成 ATP 指令速度频率(信号)161 的频率变换器 160;对 ATP 指令速度频率 151 与速度频率 5 进行比较的频率比较器 162;根据 A 系统的故障检测信号,校验第二微机控制数据 13 的内容和逻辑电路 16 的状态,并输出 B 系统故障检测信号 164 的故障检测器 163。

标号 19 表示一逻辑电路,它产生一与 B 系统故障检测信号 164 的符号相反的符号反转信号 165,并将它输入至 A 系统故障检测器 153。例如可以是一反相电路。此符号反转逻辑电路 19 连接至 A 系统故障检测器 153 输出端与 B 系统故障检测器 163 输入端之间。因而,A 系统的故障检测信号 154 的符号可以被反转。

ATP 指令速度是根据轨道状况等和路轨 1 的流量,按调频信号预置的限速。

ATP 指令速度由行驶的电动机车的接收天线 6 接收,并同时由车载接收机 7 解调、放大和整形,然后再检出。

通过波形整形器 4 对直接连接在电动机车轮轴上的速度发生器 3 的输出电压进行整形,对正比于电动机车速度的速度频率进行检测。

车载接收机 7 的 ATP 指令速度信号 8 分别输入至 ATP 设备 9 的第一微机 10 和第二微机 11,变换为控制数据或加以处理。

具体来说,假定与 ATP 指令速度信号对应的数据长度为 1 字, n 种 ATP 指令速度信号便变换为 n 字数据。

通过微机 10 和 11 变换处理而产生的控制数据被存储在内置于微机 10 和 11 中的存储器,并顺序作为控制数据 12 和 13 输出。

保存控制数据 12 和 13 的存储器可以是内置于微机 10 和 11 的存储器,或是内置于逻辑电路 15 和逻辑电路 16 的存储器或微机(未图示),或是与 ATP 设备分立安装的存储器。

可以用同一存储器或不同的存储器来保存控制数据 12 和 13。

图 1 示出一上述存储器内置于各个微机的例子。

上述各个存储器可以是包含高速缓冲存储器在内的存储器件。

图3中的(1)由第一微机10产生,数据 DI_0 至 DI_{x-1} 存储在存储器地址 AI_0 至 AI_{x-1} 处。同样,图3中的(2)由第二微机11产生,数据 DI_0 至 DI_{x-1} 存储在存储器地址 AI_0 至 AI_{x-1} 处。

在第一微机10的数据 DI_0 至 DI_{x-1} 的末尾加有1字长度的CRC数据 D_{CRC1} 来检测故障。地址为 AI_0 至 AI_n 的数据 DI_0 至 DI_{x-1} 和 D_{CRC1} ,从低位至高位串行输出。输出的串行数据作为第一微机的控制数据12输入至A系统的逻辑电路15。

同样,在第二微机11的数据 DI_0 至 DI_{x-1} 的末尾加有1字长度的CRC数据 D_{CRC2} 来检测故障。地址为 AI_0 至 AI_n 的数据 DI_0 至 DI_{x-1} 和 D_{CRC1} ,从低位至高位串行输出。输出的串行数据作为第二微机的控制数据13输入至B系统的逻辑电路16。

在这种情况下,合意的是A系统和B系统两者的数据 DI_0 至 DI_{x-1} 相同,而本实施例示出这种数据相同的情况。

在A系统的逻辑电路15中,由串行操作型频率变换器150(后面说明的环形算术电路)根据ATP指令速度信号将控制数据12变换成n种ATP指令速度频率151,并以串行方式输出。

串行输出的信号输入至频率比较器152(后面说明)。

同样,在B系统的逻辑电路16中,由串行操作型频率变换器160(后面说明的环形算术电路)根据ATP指令速度信号将控制数据13变换成n种ATP指令速度频率161,并以串行方式输出。

串行输出的信号输入至频率比较器162(后面说明)。

在这种情况下,A系统的 D_{CRC1} 和B系统的 D_{CRC2} 分别具有至少两个不同生成多项式产生的CRC数据,也就是说,A系统有 D_{CRC10} 和 D_{CRC11} ,B系统有 D_{CRC20} 和 D_{CRC21} 。至于这些CRC数据,可以从一套CRC数据产生两套CRC数据。

这些CRC数据不由频率变换器150和160进行频率变换。

速度频率 5 输入至 A 系统另一频率比较器 152, 与 ATP 指令速度频率 151 比较, 以串行方式将比较结果作为输出信号 17 输出。

同样, 速度频率 5 输入至 B 系统另一频率比较器 162, 与 ATP 指令速度频率 161 比较, 以串行方式将比较结果作为输出信号 18 输出。

核对器 20 将逻辑电路 15 的输出信号 17 和逻辑电路 16 的输出信号 18 进行比较对照后, 输出核对相符信号至制动设备 22, 作为制动指令 21。

图 4 是频率比较操作的概念图。这时电动机车停止于规定位置。接下来说明 ATP 指令速度频率、电动机车速度频率、以及制动指令之间的关系。

图 4 中, 纵轴表示 ATP 指令速度频率 f_{ATP} , 横轴表示时间 t , 符号 f_v 表示电动机车的速度频率。

在时刻 t_0 , ATP 指令速度频率 f_{ATP0} 与电动机车速度频率 f_v 之间关系是 $f_{ATP0} > f_v$ 。在时刻 t_0 至 t_1 这段时间内, 既没有行驶指令也没有制动指令提供给电动机车, 电动机车处于靠惯性滑行开始减速的状态。

假定在此状态下 ATP 指令速度频率 f_{ATP0} 在时刻 t_1 改变为 f_{ATP1} , 且 f_{ATP1} 于 f_v , 那么, 附图中示出的 B_1 便作为制动指令信号 21 从符合器 20 输出, 提供给制动设备 22。

由制动设备 22 将与该指令对应的制动作用提供给电动机车, 电动机车便开始减速。

假定 ATP 指令速度频率 f_{ATP1} 在时刻 t_2 改变为 f_{ATP2} , 且 f_{ATP2} 低于 f_v , 那么核对器 20 的制动指令信号 21 就变成图中所示的 B_2 , 电动机车进一步减速。

假定 ATP 指令速度频率以同样方法在时刻 t_3 至 t_5 时改变为 f_{ATP3} 至 f_{ATP5} , 那么图中所示的 B_3 至 B_5 便作为核对器 20 的制动指令

信号 21 以串行方式输出。此制动指令信号 21 便输入至制动设备 22,由制动设备 22 向电动机车提供规定的制动作用。

图 1 中,制动指令信号 $21B_1$ 至 B_5 如图 3 所示从符合器 20 以串行方式输出,制动设备 22 便对它们译码,使制动设备 22 控制成具有图 4 所示的制动作用。

如上所述,ATP 设备是一种保安设备,按地面来的 ATP 指令速度信号向电动机车提供制动作用,对电动机车的速度进行控制,使电动机车停靠于规定站点。

具体来说,当构成 ATP 设备的微机 10 和 11、逻辑电路 15 和 16,以及核对器 20 等单元中的某一个发生故障,而无法输出规定的制动指令时,就会造成严重的事故,因而,在检测出上述电路和设备其中之一出现故障时,必须确保使电动机车停下。

下文说明这方面的故障检测功能。

输入至 A 系统逻辑电路 15 的控制数据 12 由故障检测器 153 校验,其输出信号 154 输入至 B 系统的故障检测器。

输入至 B 系统逻辑电路 16 的控制数据 13 由故障检测器 163 校验,其输出信号 164 由反相器 19 进行符号反转,并作为符号反转故障检测信号 165 输入至 A 系统故障检测器 153。

在这种情况下,假定电路不工作的信号电平为 L,电路工作的信号电平为 H。

当输入至 A 和 B 系统逻辑电路 15 和 16 的控制数据 12 和 13 均正常,故障检测器 153 和 163 其输出信号 154 和 164 就变为 L。B 系统故障检测器 163 的输出信号 164 由反相器 19 进行符号反转,因而符号反转故障检测信号 165 变为 H。

至于输入至逻辑电路 15 的故障检测器 153 的 CRC 数据,是按逻辑电路 16 的 H 电平的符号反转故障检测信号来选择两套 CRC 数据 D_{CRC10} 和 D_{CRC11} 其中之一的,并输入至故障检测器 153,或将原先

输入的CRC数据改为另一CRC数据。例如,通过控制使 $D_{\text{CRC}10}$ 改变为 $D_{\text{CRC}11}$ 。

合意的是各CRC数据含有的数据在各个系统A和B中相同。本实施例中,其前提是全部数据均相同。也就是说,数据 DI_0 至 DI_{x-1} 、各个CRC数据 $D_{\text{CRC}10}$ 、 $D_{\text{CRC}11}$ 、 $D_{\text{CRC}20}$ 、 $D_{\text{CRC}21}$ 均相同。

另一方面,输入至逻辑电路16故障检测器163的CRC数据未改为其它CRC数据,这是因为故障检测信号154处于L状态。

于是,从此状态开始进行处理。

在此例子中,假定各个故障检测器一开始选定的控制数据12和13的CRC数据在A系统中是 $D_{\text{CRC}10}$,在B系统中是 $D_{\text{CRC}20}$ 。

图5描述的是操作次数、故障检测器153的输出信号和故障检测器163的输出信号164之间的操作波形的关系。

通过第一次操作,从微计算机10得到的控制数据12被提供至系统A的逻辑电路15,ATM指令速度信号由逻辑电路15变换成预定的指令速度频率 f_{ATPn} ,并作为输出信号17输出。

对于该控制数据12的CRC数据来说,通过系统B的H电平符号反转故障检测信号165,为故障检测器153来选择出错的CRC数据($D_{\text{CRC}11}$)。因此,在故障检测器153内测出故障,故障检测信号154变为H。

另外,控制数据13从微计算机11提供至系统B的逻辑电路16,ATM指令速度信号由逻辑电路16变换成预定指令速度频率 f_{ATPn} ,并作为输出信号18输出。由于系统A的故障检测信号154处于先前的状态(即L),所以该控制数据13的CRC数据保持不变。因此,故障检测器163的故障检测信号164保持L不变,而符号反转故障检测信号165进入H。

即,在第一次操作的结束时,系统A的故障检测信号154变为H,故障检测信号164变为L。

第二次操作时,ATM 指令速率信号被变换成预定指令速度频率 f_{ATPn} ,输出信号 17 和 18 保持不变。然而,对于要输入到系统 A 的逻辑电路 15 的控制数据 12 的 CRC 数据来说, D_{CRC11} 是由系统 B 的 H 电平符号反转故障检测信号 165 来选择的,逻辑电路 15 的故障检测信号 154 如上所述被保持在 H 状态。

另一方面,对于要输入到系统 B 的逻辑电路 16 的控制数据 13 的 CRC 数据来说, D_{CRC21} 是由故障检测信号 154 来选择的,该信号处于 H 状态,而该 H 状态是系统 A 第一次操作的最终状态。

因此,在故障检测器 163 中测出故障,并且故障检测信号 164 从 L 变化到 H,而符号反转故障检测信号 165 从 H 变为 L。

即,在第二次操作结束时,系统 A 的故障检测信号 154 变为 H,故障检测信号 164 也变为 H。

第三次操作时,ATP 指令速率信号被变换为预定指令速度频率 f_{ATPn} ,输出信号 17 和 18 保持不变。然而,由于系统 B 的符号反转检测信号 165 为 L,系统 A 的 CRC 数据从 D_{CRC11} 变为 D_{CRC10} 。

因此,逻辑电路 15 的故障检测信号 154 从 H 变为 L。

另一方面,对于要输入到系统 B 的逻辑电路 16 的控制数据 13 的 CRC 数据来说, D_{CRC21} 是由故障检测信号 154 来选择的,该信号处于 H 状态,该状态是系统 A 第二次操作的最终状态。

因此,在故障检测器 163 中测出故障,故障检测信号 164 在 H 状态保持不变,符号反转故障检测信号 165 在 L 状态也保持不变。

即,在第三次操作结束时,系统 A 的故障检测信号 154 变为 L,故障检测信号 164 变为 H。

在第四次操作时,ATP 指令速率信号变换成预定指令速度频率 f_{ATPn} ,输出信号 17 和 18 保持不变。然而,由于要输入到逻辑电路 15 的系统 B 的符号反转检测信号 165 为 L,CRC 数据保持不变,为 D_{CRC10} 。

所以,逻辑电路 15 的故障检测信号 154 在 L 保持不变。

另一方面,对于要输入到系统 B 的逻辑电路 16 的控制数据 13 的 CRC 数据来说,因为系统 A 的故障检测信号 154 为 L 状态,而该 L 状态为第三次操作的最终状态,所以选择 $D_{\text{CRC}20}$ 。

即,故障检测信号 164 从 H 变为 L,符号反转故障检测信号 165 从 L 变为 H。

也即,在第四次操作结束时,系统 A 的故障检测信号 154 变为 L,而故障检测信号 164 变为 L。

通过第五次操作,ATM 指令速率信号被变换成预定指令速度频率 f_{ATPn} ,而输出信号 17 和 18 保持不变。然而,因为要输出到系统 A 的逻辑电路 15 的系统 B 符号反转故障检测信号为 H,所以 CRC 数据选择 $D_{\text{CRC}11}$ 。

因此,逻辑电路 15 的故障检测信号 154 从 L 变为 H。

另一方面,对于要输入到系统 B 的逻辑电路 16 的控制数据 13 的 CRC 数据来说,因为系统 A 的故障检测信号 154 处于状态 L,而该状态是第四次操作的最终状态,所以选择 $D_{\text{CRC}20}$ 。结果,故障检测器 163 的故障检测信号 164 保持在 L 状态,而符号反转状态检测信号 165 也保持在 H 状态。

处理过程返回到第一次操作状态,并随后重复上述操作。

在上述例子中,对其施行控制,从而,当故障检测信号 154 和符号反转故障检测信号 165 处在 L 状态时,在系统 A 中选择 $D_{\text{CRC}10}$,在系统 B 中选择 $D_{\text{CRC}20}$,而当该二检测信号处于 H 状态时,在系统 A 中选择 $D_{\text{CRC}11}$,在系统 B 中选择 $D_{\text{CRC}21}$ 。故障检测信号和 CRC 数据选择控制之间的关系可因具体应用而异。

尽管上文中假设了系统 A 中的 $D_{\text{CRC}10}$ 和系统 B 中的 $D_{\text{CRC}20}$ 是 CRC 数据的正确数据,而系统 A 中的 $D_{\text{CRC}11}$ 和系统 B 中的 $D_{\text{CRC}21}$ 为 CRC 数据的出错数据,但是也可以反过来假设。这时,正确和出错包

括 CRC 检验码生成多项式不同。

如上所述,系统 B 的 CRC 数据 D_{CRC2} 是由系统 A 的逻辑电路 15 的故障检测信号 154 来控制的,而系统 A 的 CRC 数据 D_{CRC1} 是由系统 B 的逻辑电路 16 的故障检测信号 164 的符号反转故障检测信号 165 来控制的。

因此,当所有的电路(如微计算机 10 和 11,逻辑电路 15 和 16)以及控制数据是正常的时候;故障检测信号 154 和 164 以固定的周期交替。

另外,逻辑电路 15、故障检测信号 154、逻辑电路 16 以及故障检测信号 164 构成一故障检测环路,从而可以采用监测故障检测信号 154 和 164 中的一个的方法来检测该环路中的故障。

然而,无法检测该故障检测环路以外的部分中的故障。为了防止由于该故障检测环路以外的部分出现故障而输入不正确的信号,或者正确的信号却没有输入,由核对器 20 来将系统 A 的故障检测信号 154 和系统 B 的故障检测信号 164 进行对照。

图 4 描述的是电动机车停止在预定位置上以及由制动指令 B_5 停止在预定位置上的情况,图中示出不加制动时的制动指令 21 和制动作用,用来起动例如系统 A 的逻辑电路 15 并施加制动。

若系统 A 的故障检测信号 154 和系统 B 的故障检测信号 164 停止交替变换,则故障检测核对输出信号 24 的交替变换停止。结果,紧急制动信号 EB 从制动装置 21 输出,从而将最大制动作用施加到电动机车上。

该紧急制动信号 EB 如图 4 中所示,在其他制动指令 B_1 至 B_5 之前运作。

通过监测故障检测信号 154 和 164 中的一个,可以验证系统 A 和系统 B 中哪一个出故障,并可以容易地分析故障,从而可以有效地构筑一个工作可靠的系统。

图 6 描述一种 1 位失效保护核对器,图 7 描述的是其操作波形。

图 6 中,标号 100 表示符号反转器,10 表示第一触发器,102 为第二触发器,103 为“异或”门,104 为核对输出信号,154 为图 1 所示逻辑电路 15 的故障检测信号,164 为图 1 中所示逻辑电路 16 的故障检测信号。

由于故障检测信号 154 和 164 按固定周期交替出现,故障检测信号 154 被输入到第一触发器 101 的时钟端 CK_1 。

当故障检测信号 164 由反相器 100 使其符号反转并输入到第二触发器 102 的时钟端 CK_2 时,第一触发器 101 的 Q_1 输出和第二触发器 102 的负(反转)输出 Q_2 如图 6 所示。

当第一触发器 101 的 Q_1 输出和第二触发器 102 的 Q_2 负输出如图 6 所示被输入至“异”门 103 时,可以获得“异”运算输出信号 104。

当停止故障检测信号 154 和 164 交变的一个或者触发器中的一个停止并且其输出端固定在 H 或 L 时,“异”门 103 的输出信号 104 的交替变化就停止。

由于核对器准确地对二信号进行核对,所以其输出始终在正常状态下交替变化。因此,通过监测输出信号 104,不仅对系统 A 的环路,而且对整个 ATP 装置都可判定是否处在正常状态。反过来说,仅监测这一输出信号 104 就可令人满意。

图 6 描述的是一种用来核对 1 位输出的失效保护核对器。为了失效保护中核对多个二进制位,最好仅制备图 6 中所示的电路勘校。图 1 中的核对器 20 与图 6 中的电路等效,内含多个二进制位。

因此,最好用来从 ATP 装置接收输出信号的控制器或系统具有输出紧急控制信号的结构,这是由于核对器 20 的交替变化信号输出停止,并且可以通过这一结构来构造可靠实现失效保护的系统。

上面描述的是一个实施例,其中,核对器 20 的制动指令是串行输出的。然而,也可以并行分别将制动指令 21 输出至制动装置 22。

换言之,最好将核对器 20 做得使指令成为制动装置 22 必需的信号。

如上所述,当保持控制数据的存储器不构筑在微计算机内,而构筑在 ATP 装置内的,或者独立安装的时候,专用存储读出信号线、写入信号控制电路以及地址信号生成电路是作为控制器 14 的逻辑元件所必需的单元。然而,可以使微计算机和控制器仅通过存储器发送和接收信息,并且微计算机可用作其他控制处理,从而可以提高微计算机的使用效率。

本实施例中,给出了一例有两个提供给一套逻辑电路的 CRC 数据,并且它们是由来自另一逻辑电路的故障检测信号来切换的。然而如图 18 中所述,可以方便地实现不检验数据的内容,而只产生交变信号,并输出逻辑电路是否正常运行的信息。

下面参见图 8 描述另一实施例。

如图 1 一样,在图 8 中,同一电路安装在一个芯片上,作为系统 A 和 B 而双重化。如上所述,ATP 装置是一种使电动列车安全行驶所必需的保安装置,并且始终不会允许由于 ATP 装置中的故障而输出不正确的信号或者不输出预定信号。因此,图 8 中所示实施例中的故障检测功能进一步加强。

图 8 中,每一个图 1 中所示相同的编号,其功能也分别相同,因而描述从略。

图 8 中,标号 30 表示系统 A 的逻辑电路 15 中安装的第一存储器,31 为第二存储器,32 为第一存储器 30 中存储的控制数据 120 的 CRC 数据,33 为第二存储器 31 中存储的控制数据 121 的 CRC 数据,34 为第一存储器 30 和第二存储器 31 的切换电路,35 为存储器切换电路 34 的输出信号,36 为第一存储器 30 中存储的控制数据的第一 CRC 检验电路,37 为第二存储器 31 中存储的控制数据 121 的第二 CRC 检验电路,38 为将切换电路 34 的输出信号 35 和第二 CRC 检验电路 37 的输出信号相加的第一“或”门电路,39 为将第一

CRC 检验电路 36 的输出信号和相应于电动列车行驶速度的速度频率 5 相加的第二“或”门电路。

标号 40 表示系统 B 的逻辑电路 16 中安装的第一存储器,41 为第二存储器,42 为第一存储器 40 中存储的控制数据的 CRC 数据,43 为第二存储器 41 中存储的控制数据 131 的 CRC 数据,44 为第一存储器 40 和第二存储器 41 的切换电路,45 为存储器切换电路的输出信号,46 为第一存储器 40 中存储的控制数据 130 的第一 CRC 检验电路,47 为第二存储器 41 中存储的控制数据 131 的第二 CRC 检验电路,48 为将切换电路 44 的输出信号 45 与第二 CRC 检验电路 47 的输出信号相加的第一“或”门电路,49 为将第一 CRC 检验电路 46 的输出信号与相应于电动列车的行驶速度的速度频率 5 相加的第二“或”门电路。

ATP 指令速度信号 8 是由微计算机 10 和 11 来处理的,各控制数据输入到单片逻辑单元 14 的系统 A 和 B 的逻辑电路。

即,来自微计算机 10 的第一控制数据 120 被存储在系统 A 的第一存储器 30 内,第二控制数据 121 被存储在系统 A 的第二存储器 31 内,而来自微计算机 11 的第三控制数据 130 被存储在系统 B 的第一存储器 40,第二控制数据 131 被储存在系统 B 的第二存储器 41 内。

图 9 描述的是从微计算机 10 和 11 存储到存储器 30、31、40 和 41 内的数据。

微计算机 10 将 ATP 指令速度信号 5 转换成 n 定数据 D_{0x} 至 D_{14x} ,当同时将生成多项式设置为 $G_0(X)$ 时,处理并得到数据 D_{0x} 至 D_{14x} 的 CRC 数据 32(即 D_{CRCx1}),并将该数据存储到图 9 中所示的(1)中,其中,CRC 数据 32(即 D_{CRCx1})在第一存储器 30 的地址 A0S 至 A15S 处被加到数据 D_{0x} 至 D_{14x} 上。

当生成多项式被设置为 $G_1(X)$ 时,微计算机 10 处理并得到数

据 D_{0X} 至 D_{14X} 的 CRC 数据 33 (即 D_{CRCX_2}), 并将该数据存储在图 9 中所示的(2)中, 其中, CRC 数据 33 (即 D_{CRCX_2}) 在第二存储器 31 的地址 A_{0T} 至 A_{15T} 处被加到数据 D_{0X} 至 D_{14X} 。

微计算机 11 将 ATP 指令速度信号 5 转换为 n 字数据 D_{0Y} 至 D_{14Y} , 当同时将生成多项式设定为 $G_2(X)$ 时, 处理并得到数据 D_{0Y} 至 D_{14Y} 的 CRC 数据 42 (即 D_{CRCY_1}), 并将该数据存储在图 9 中所示的(3)中, 其中, CRC 数据 42 (即 D_{CRCY_1}) 在第一存储器 40 的地址 A_{0U} 至 A_{15U} 处被加到数据 D_{0Y} 至 D_{14Y} 上。

当生成多项式被设定为 $G_3(X)$ 时, 微计算机 11 处理并得到数据 D_{0Y} 至 D_{14Y} 的 CRC 数据 43 (即 D_{CRCY_2}), 并将数据存储在图 9 中所示的(4)中, 其中, CRC 数据 43 (即 D_{CRCY_2}) 在第二存储器 41 的地址 A_{0V} 至 A_{15V} 处, 被加到数据 D_{0Y} 至 D_{14Y} 上。

系统 A 的第一存储器 30 的地址 A_{0S} 至 A_{15S} 以及第二存储器 31 的地址 A_{0T} 至 A_{15T} 处存储的数据从并行变换成串行, 从低位至高位依次读取, 并输入到切换电路 34。

以同样的方式, 系统 B 的第一存储器 40 的地址 A_{0U} 至 A_{15U} 以及第二存储器 41 的地址 A_{0V} 至 A_{15V} 处存储的数据从并行变换成串行, 从低位至高位被依次读取, 并输入至切换电路 17。

从读取地址 A_{0n} 至 A_{15n} 到由频率比较器 152 和 162 进行处理的时间间隔是一个处理周期。

系统 A 的第一 CRC 检验电路 36 是与生成多项式 $G_0(X)$ 对应的电路, 而第二 CRC 检验电路 37 是与生成多项式 $G_1(X)$ 对应的电路。

系统 B 的第三 CRC 检验电路 46 是与生成多项式 $G_2(X)$ 对应的电路, 而第四 CRC 检验电路是与生成多项式 $G_3(X)$ 对应的电路。

假设系统 A 的故障检测信号 154 和系统 B 的故障检测信号 164 首先处于 L 状态。于是, 系统 B 的符号反转故障检测信号 165 为 H。

通过系统 B 的 H 状态符号反转信号 165, 系统 A 的切换电路 34 切换至读取第一存储器 30 的数据一端, 系统 B 的切换电路通过系统 A 的 L 状态符号反转信号 154 切换至读取第二存储器 41 的数据一端, 并假设所有数据和内部电路正常。

系统 A 的第一存储器 30 的地址 A0S 至 A14S 处的数据 D_{0X} 至 D_{14X} 以及第二存储器 31 的地址 A0T 至 A14T 处的数据 D_{0X} 至 D_{14X} 通过切换电路 34 和第一逻辑电路 38 输入到频率转换器 150, 并变换成相应于各数据的 ATP 指令速度频率 f_{rn} , 而地址 A0S 至 A14S 以及 A0T 至 A14T 处的数据 D_{0X} 至 D_{14X} 输入到第一 CRC 检验电路 36 和第二 CRC 检验电路 37, 并在地址 A15S 和 A15T 处用 CRC 数据 D_{CRCX1} 和 D_{CRCX2} 进行检验。

因此, 构筑成在地址 A15S 和 A15T 处的 CRC 数据 D_{CRCX1} 和 D_{CRCX2} 全部读取和检验之前, 第一检验电路 36 和第二检验电路 37 的中间检验结果不输出。

地址 A15S 和 A15T 处的 CRC 数据 D_{CRCX1} 和 D_{CRCX2} 构筑成不进行频率转换。

以同样的方式, 系统 B 的第一存储器 40 的地址 A0U 至 A14U 处的数据 D_{0Y} 至 D_{14Y} 以及第二存储器 41 的地址 A0V 至 A14V 处的数据 D_{0Y} 至 D_{14Y} 通过切换电路 44 和第一逻辑电路 48 输入到频率转换器 160, 并变换成与各数据对应的 ATP 指令速度频率 f_{rn} , 而地址 A0U 至 A14U 以及 A0V 至 A14V 处的数据 D_{0Y} 至 D_{14Y} 输入到第一 CRC 检验电路 46 和第二 CRC 检验电路 47, 并在地址 A15U 和 A15V 处, 用 CRC 数据 D_{CRCY1} 进行检验。

因此, 构筑成在地址 A15U 和 A15V 处的 CRC 数据 D_{CRCY1} 和 D_{CRCY2} 全部读取和检验之前, 第一检验电路 46 和第二检验电路 47 的中间检验结果不输出。

地址 A15U 和 15V 处的 CRC 数据 D_{CRCY1} 和 D_{CRCY2} 构筑成不进

行频率转换。

首先,系统 A 的第一存储器 30 的地址 A0S 处的 1 字数据通过“或”门电路输入到频率转换器 150,并转换成与 1 字数据对应的 ATP 指令速度频率 fr_0 。

另一方面,由于第一 CRC 检验电路 36 和第二 CRC 检验电路 37 在检验数据,所以其输出为 L。

随后,地址 A1S 处的 1 字数据通过“或”门电路 38 输入至频率转换器 150,并转换成与地址 A1S 处的 1 字数据对应的 ATP 指令速度频率 fr_1 。另外,作为“或”门电路 39 输出的输入频率 fi_1 为 L。

以后,以同样的方式,每个 1 字数据转换成与地址 A14S 处的数据对应的 ATP 速度频率 f_{r14} 。

最后地址 A15S 处的 1 字 CRC 数据 D_{CRCX1} (生成多项式 $G_0(X)$ 生成的数据)由第一检验电路 36(与生成多项式 $G_0(X)$ 对应的电路)判定为正常,从而其输出为 L。然而,由于 1 字 CRC 数据 D_{CRCX1} 由第二 CRC 检验电路 37(与生成多项式 $G_1(X)$ 对应的电路)判定为异常,所以,其输出为 H。

该第二 CRC 检验电路的输出通过“或”门电路 38 输入到频率转换器 150,作为最大数据,并转换成最大频率 f_{r15} 。

另外,作为“或”门电路 39 输出的输入频率 fi_{15} 是 L。

频率比较器 152 将以这种方式获得的与每一地址处的数据对应的频率 fr_n 与输入频率 fi_n 进行比较。

在频率比较器 152 中,当 ATP 指令速度频率 fr_n 和加入的频率 fi_n 之间的关系为 $fr_n > fi_n$ 时,内部计数器(未图示)值加 1,而当该关系为 $fr_n < fi_n$ 时,计数器值减 1,当 $fr_n = fi_n$ 时,计数器值既没有加上也未减去任何值。

在第一个处理周期中,与地址 A0S 至 A14S 对应的计数器值加 1。在第二个处理周期中,再次从地址 A0S 处读取数据,以上述同样

的操作使频率比较器 152 的计数值递增。

在第四个处理周期过去以后并且频率比较器 152 的计数值达到 4 时,就获得了相应于 A0S 至 A15S 中每一地址的输出信号。

图 10 描述的是由系统 A 的地址 A15S 处的 CRC 检验结果而产生的频率比较器 152 的计数器操作、由系统 B 的地址 A15U 处的 CRC 检验结果而产生的频率比较器 162 的计数器操作以及使故障检测信号 164 的符号反转的符号反转信号 165 之间的关系。

当计数器值由借助递增计数脉冲达到 4 时,就获得了频率比较器的输出信号 17。由于这一输出信号 17 是串行输出的,所以频率比较器 152 检测相应于与定时信号(未图示)同步的地址 A15S 的 H 状态故障检测信号 154,并将其输入至系统 B 的存储器切换电路 44。

切换电路 44 在与下一处理周期开始精确同步的时刻,将存储器 41 切换至存储器 40,从而在第六个处理周期的开始处使系统 B 的存储器实际得到切换。

存储器 40 的地址 A0U 至 A14U 处存储的数据精确地与存储器 41 的地址 A0V 至 A14V 处存储的数据相同,从而即使存储器 41 被切换至存储器 40,ATP 指令速度频率 frn 也不会改变,输入频率 fin 也不会改变。

因此,频率转换器 160 的输出频率不会改变。只有地址 A15U 处存储的 CRC 数据 42(D_{CRCY_1})和地址 A15V 处存储的 CRC 数据 43(D_{CRCY_2})是不同的,所以下面仅描述读取地址 A15U 和 A15V 处的数据时的操作。

当存储器 41 被切换至存储器 40 时,CRC 数据 42(由生成多项式生成的数据)被读取。由于第一 CRC 检验电路 46(对应于生成多项式 $G_2(X)$ 的电路)判定 CRC 数据 42 正常,所以其输出为 L。然而,因为第二 CRC 检验电路 47(与生成多项式 $G_3(X)$ 对应的电路)判定该数据异常,所以其输出为 H。

因为第一 CRC 检验电路 46 的输出是 L, 所以“或”门电路 49 的输出也为 L, 输入频率 f_{i15} 也为 L。

另外, 第二 CRC 检验电路 47 的 H 状态输出通过“或”门电路 48 输入到频率转换器 160, 并转换成最大频率 f_{r15} 。

这一最大频率 f_{r15} 和输入频率 f_{i15} 输入到频率比较器 16 并进行比较。因为最大频率 f_{r15} 和输入频率 f_{i15} 之间的关系为 $f_{r15} > f_{i15}$, 所以频率比较器 162 的计数值递增 1。

随后, 通过系统 A 的同一操作, 频率比较器 162 的计数值递增 1, 并且当计数值达到 4 时, 就得到了与地址 A0U 至 A15U 中每一地址对应的输出信号 18。

频率比较器 162 检测与同步于定时信号(未图示)的输出信号 18 的地址 A15U 对应的 H 状态故障检测信号 164, 并将由反相器 19 进行符号反转的 L 状态符号反转信号 165 加到系统 A 的存储器切换电路 34 上。

当输入符号反转信号 165 时, 系统 A 的存储器开关电路 34 从紧接的第 11 个周期起, 将存储器 30 切换至存储器 31。

在存储器 30 和存储器 31 之间, 只有地址 A15S 处存储的 CRC 数据 32(D_{CRCX1}) 和地址 A15T 处存储的 CRC 数据 33(D_{CRCX2}) 是不同的, 从而当如上所述切换存储器时, 频率是不改变的。

由于存储器 31 的 CRC 数据是生成多项式 $G1(X)$ 的数据, 所以它由 CRC 检验电路 36 判定为异常, 该电路的输出信号变为 H。这一输出信号通过第二“或”门电路 39 输入到频率转换器 152, 作为最大频率 f_{i15} 。

另一方面, 由于存储器 31 的 CRC 数据 33 是由生成多项式 $G1(X)$ 生成的数据, 所以由 CRC 检验电路 37 判定为正常, 该电路的输出信号变成 L, “或”门电路 38 的输出信号也变为 L, 频率转换器 150 的参考频率 f_{r15} 也变成 L。

因此,参考频率 f_{r15} 和输入频率 f_{i15} 之间的关系变成 $f_{r15} < f_{i15}$, 并给出递减计数脉冲,从而频率比较器 152 的计数值减 1,计数值从 4 变为 3。

当频率比较器 152 的计数值变为 0 时,频率比较器 152 的输出信号 17 变为 L,与地址 A15T 对应的故障检测信号 154 也变为 L。

随后通过相同的操作,由自身系统的频率比较器的故障检测信号来交替地切换对立系统的存储器。

当如上所述,系统 A 的存储器 30 和 31 及其读出数据、二 CRC 检验电路 36 和 37、系统 B 的存储器 40 和 41 及其读出数据以及二 CRC 检验电路 46 和 47 为正常时,无论存储器是否改变,故障检测信号 154 和 164 均交替地改变为 H 或 L。

例如,当系统 A 的存储器 30 中的数据出现差错时,会出现下述情况。CRC 检验电路 36 测出存储器 30 中的数据差错,其输出信号变为 H。

另一方面,CRC 检验电路 37 一开始就输入由另一生成多项式生成的 CRC 数据,从而其输出信号也变为 H。即,由于二检验电路的输出信号变为 H,所以频率比较器 152 的计数值和输出均不会改变。

因此,用来将系统 B 的存储器 41 切换到存储器 40 的故障检测信号固定在出现故障的 H 或 L 状态,存储器不会从 41 切换到 40。

结果,频率比较器 162 的计数值将不会递增,故障检测信号固定在 L 状态。因此,符号反转故障检测信号 165 固定在 H,系统 A 的存储器 30 不会切换到存储器 31,CRC 检测电路 36 和 37 的输出信号固定在 H。

上面是数据中出现差错的一个例子。然而,当电路中的一个出现故障时,将使得频率比较器 152 和 162 的计数值固定,故障检测信号 154 和 164 的交替变换停止,因而最好监测故障检测信号 154 和 164 的交替变化。

当将这种产生信号的方法应用于列车 ATP 装置时,如果故障检测信号 154 和 164 的交替变化停止,可以用作指令紧急制动的手段。

当这一电路包含一 LSI 并与包括外围电路的一块芯片组合在一起时,可以实现微型化以及批量生产,并具有 ATP 装置所保持的可靠性。

由于如上所述该 ATP 装置构成一个带有故障检测信号 154 和故障检测信号 164 的故障检测环路,所以通过监测故障检测信号 154 和 164 中的一个,尽管该故障检测环路以外处的故障无法检测,也可以检测环路中的故障。为了防止由于该故障检测环路以外的某一点中的故障而使不正确的信号输出,或者正确的信号却不输出,通过核对器 20 来核对故障检测信号 154 和 164,并且当核对相符时,核对器 20 输出一信号,而当出现不相符时,核对器 20 输出一紧急控制信号。

核对器 20 比较系统 A 的频率比较器 152 的输出信号 17 以及系统 B 的频率比较器 162 的输出信号 18。如上所述,因为输出信号 17 和输出信号 18 以地址信号的顺序依次输出,核对器 20 比较分别与每一地址对应的信号,并且仅输出核对相符信号。当出现不相符时,核对器 20 会输出紧急控制信号,或者将其显示在显示单元上。

因此,通过这一结构,可以构成失效保护系统。

如上所述,本发明提供了一个数据分别采用不同的生成多项式而得的两个 CRC 数据,并产生了加入了 CRC 数据的两种系统的控制数据,提供了与不同的生成多项式对应的两种检验电路。

这种方法用来将两种系统的控制数据同时输入到两种检测电路,并用比较两种检验电路的输出而得到的结果来切换两种系统的数据。

因此,不仅在数据中而且在检测电路中均可以检测差错,并且进

一步核对输出,仅当核对相符时才输出。其优点还在于,可以采用其中每一电路都包含一 LSI 芯片来更加可靠地构筑失效保护系统。

下面描述图 1 和图 8 中所示频率转换器 150(160)的运行。

图 11 描述了将数字数据转换成频率的频率转换器,而图 12 是该频率转换器运行的流程图。

图 11 中,标号 50 表示存储器,51 为时钟信号 C_N ,52 为数据寄存器,53 为数据寄存器 52 的输出信号,54 为 1 位全加器,55 为全加器 54 的全加输出,56 为时钟信号 C_P ,57 为处理移位寄存器,58 为移位寄存器 57 的输出信号,59 为定时调整用的第一触发器,60 为该触发器 59 的输出信号,61 为全加器 54 的进位输出信号,62 为保持进位输出信号 61 的第二触发器,63 为触发器 62 的输出信号,64 为定时信号,65 为从进位输出信号 61 中去除预定输出信号的“与”电路,66 为频率转换器的输出信号。

为了使操作的描述简单,假定数据长度为 4 位,从存储器 50 中周期性地读出同值的数据,数据寄存器 52 和移位寄存器 57 的数据沿图中上方所示的箭头方向移位。

时钟信号 C_N 51 和时钟信号 C_P 56 是如图 12 中(1)和(2)所示的具有 90 度相位差的时钟信号。

在初始状态时,数据寄存器 52 和移位寄存器 57 的初始值为 02 (这就意味着二进制的数值是 0)。

假定在时钟信号 C_P 56 的上升沿,从存储器 50 读取图 12 中(3)所示的数据值 82(二进制的数值是 8)。由于这一数据是在时钟信号 C_N 51 的上升沿处在数据寄存器 52 中设置的,所以最高有效位 DR_3 至最低有效位 DR_0 的设置如图 12 中的(4)所示。

当图 12 中(4)所示的数据在时钟信号 C_N 51 的上升沿移位四次时,数据寄存器 52 的最低有效位 DR_0 的值设值成如图 12 中(7)所示,并作为输出信号 53 加到全加器 54 的输入端 A 上。

本例中,第一触发器 59 的输出信号 60 和第二触发器 62 的输出信号不加入到全加器 54 的输入端 B 和 C 上,因而全加器 54 的全加输出端 Σ 处的输出信号如图 12 中(8)所示变成 H,并加到移位寄存器 57 上。全加器 54 的进位输出端 C_r 处的输出信号 61 如图 12 所示变成 L。

因为在如图 12 中(2)所示的时钟信号 C_P56 的上升沿处,全加器 54 的输出信号 55 置入移位寄存器 57,所以移位寄存器 57 的最低位 SR_0 设置成如图 12 中(9)中那样。

数据 82(十进制中为 8)是在同一时钟信号 C_P56 的上升沿处从存储器 50 中读取的,并且是在时钟信号 C_N51 的上升沿处在数据寄存器 52 上移位的。

另一方面,移位寄存器 57 的最低有效位 SR_0 的数据是在时钟信号 C_P56 的上升沿处在移位寄存器 57 上移位的,并且最高有效位 SR_7 在第 7 次移位时变成 H,移位寄存器 57 的输出信号 58 变成 H。

因为输出信号 58 在时钟信号 C_P56 的上升沿处置入第一触发器 59,所以其输出信号在图 12 中(13)所示的第 8 次移位时变成 H,并输入到全加器 54 的输入端 B 处。

另一方面,数据寄存器 52 的最低有效位 DR_0 在第 8 次移位时也变成 H,并输入到全加器 54 的输入端 A。

结果,尽管进位输出端 C_r 的输出信号 61 变成 H,全加器 54 的全加输出端 Σ 处的输出信号 55 变成 L。在下一时钟信号 C_N51 的上升沿处将输出信号 61 置入第二触发器中,并且将图 12 中(15)中所示的输出信号 63 输入到全加器 54 的输入端 C。

因此,全加器 54 的全加输出端 Σ 处的输出信号变成 H,并在移位寄存器 57 上移位。

由于上述操作是周期性重复的,所以图 12 中所示的数据在数据

寄存器 52 和移位寄存器 57 中循环。通过将这时产生的全加器 54 的进位输出信号 61 加到“与”门上,并通过定时信号 64 来析取,可以得到图 12 中(16)中所示周期固定的输出信号。

上面描述的是将数字数据转换成频率的操作情况。为了获取两种频率,从存储器 50 中交替地读取并处理不同的数据。因此,最好将移位寄存器 57 的位数加倍成 8 位,并制备两个“与”门和一个定时信号,以便从全加器 54 的进位输出信号 61 取出预定的频率。通过如此改变移位寄存器 57 的位长度,图 10 中所示的频率转换器可以产生多种频率。

下面描述图 1 和图 8 所示的频率比较操作。频率比较器如图 13 所示,其操作时序图如图 14 所示。图 13 中,标号 70 至 73 表示触发器,74 至 79 表示“与”门,P 和 M 为要比较的输入频率信号,80 为频率比较结果的输出信号。

例如,当输入 P 信号时,它使触发器 70 至 73 中最靠近输入端的一个触发器反相并动作而成 $Q=H$,而当相反输入 M 信号时,它使触发器 70 至 73 中 $Q=H$ 并且最靠近输入端的一个反相并动作,而成 $Q=L$ 。

当如图 14 所示连续输入输入信号 P 时,触发器 70 与信号 P 的第一脉冲 P_1 的下降沿同步动作, Q_0 变成 H,而当第二脉冲 P_2 输入时,触发器 70 与“与”门 74 的输出的下降沿同步动作, Q_1 变成 H,而当第三脉冲 P_3 输入时,触发器 72 与“与”门 76 的输出下降沿同步动作, Q_2 变成 H,而当信号 P 的第四脉冲 P_4 输入时,触发器 73 与“与”门 78 的输出下降沿同步动作, Q_3 变成 H。

当输入信号 M 连续输入时,触发器 70 与信号 M 的第一脉冲 M_1 的下降沿同步动作, Q_0 从 H 变成 L,当第二脉冲 M_2 输入时,触发器 71 与“与”门 75 的下降沿同步地动作, Q_1 从 H 变为 L,当第三脉冲 M_3 输入时,触发器 72 与“与”门 77 的下降沿同步地动作, Q_2 从

H 变成 L, 而当第四脉冲 M_4 输入时, 触发器 73 与“与”门 79 的下降沿同步地动作, Q_3 从 H 变为 L。

如上所述, 当脉冲数增多时, 能将后续级触发器的输出状态反相, 而当 $P > M$ 时, 触发器 FF_3 的 Q_3 变为 H, 即, 频率比较结果的输出信号 80 变成 H。当 $P < M$ 时, 输出信号 80 变成 L。

当比较多个频率时, 采用图 15 中所示的结构。图 15 中, 标号 90 表示移位寄存器, 其具有的位数为 4, 与图 13 中所示触发器 70 至 73 的 4 位长度相等, 91 表示加法器, 其具有的功能使得移位寄存器 90 上的数据可以进行如图 13 中所示触发器 70 至 73 的反相那样的相同的操作。

符号 I_0 代表一时隙, 其中编入 4 位数据, 该时隙将信号 P 输入到加法器 91 的 +A 端, 并将信号 M 输入到 -C 端。假设 $P > M$ 。

频率比较操作比较某一脉冲的存在或不存在, 因而在该状态下 $P = H$, 并且 $M = L$ 。由于 M 的符号反转信号 H 输入到 -C 端并求和, 所以进位输出 Cr 变为 H, 并且将这一值加到移位寄存器 90 的 I_0 时隙。

这一 I_0 时隙的数据在移位寄存器处循环, 在下一周期的 I_0 时隙内被输入到加法器 91 的 +B 端, 并与 P 输入和 M 输入加在一起, 从而在这种情况下加法器的进位输出 Cr 也变为 H, 与前一数据具有相同值的数据在移位寄存器 90 上循环。

当 $P < M$ 时, 加入使 $P = L$ 以及 $M = H$ 的符号反转的信号 L, 从进位输出 Cr 变为 L, 即相减, 并且该值被加到移位寄存器 90 的 I_0 时隙。这就是说, L 在移位寄存器 90 上循环。

当 $P = M = H$ 时, 加入使 $P = L$ 以及 $M = H$ 的符号反转的信号 L。然而, 进位输出 Cr 的值随 I_0 时隙内在移位寄存器 90 上循环的数据而变化。当 I_0 时隙的数据为 L 时, 该输出 Cr 也变成 L, 当 I_0 时隙的数据为 H 时, 该输出 Cr 变为 H。这就是说, 在移位寄存器 90 上循

环的 I_0 时隙的数据不会改变。

当 $P=M=L$ 时,加入使 $P=L$ 以及 $M=H$ 的符号反转的信号 H 。同样在这种情况下,进位输出 C_r 的值随着移位寄存器 90 上循环的 I_0 时隙的数据而变化。当 I_0 时隙的数据为 L 时,该输出 C_r 变成 L ,而当 I_0 时隙的数据为 H 时,该输出变为 H 。这就是说,在移位寄存器 90 上循环的 I_0 时隙的数据不会改变。

频率比较操作就是通过这种方式来进行的。

图 16 描述的是本发明的另一个实施例。按照图 8 中所示的实施例,系统 A 在逻辑电路 15 中具有两个存储器 30 和 31 的电路,并且输出数据 35 是采用通过切换电路 34 选择各存储器输出数据的方法而获得的。同样,系统 B 在逻辑电路 16 中具有两个存储器 40 和 41 的电路,并且输出数据是采用通过切换电路 44 选择各存储器输出数据的方法而获得的。

图 16 所示的本实施例与图 8 所示的实施例的不同点在于,系统 A 和系统 B 的逻辑电路 15 和 16 中的各存储器包含一个电路,分配在每一存储器的最后地址上的 CRC 数据存储在另一区域内,并由上述故障检测信号来切换。

即,采用上述同一方法由微计算机 10 计算的 CRC 数据 D_{CRCX_1} 存储在系统 A 的存储器 32 内, D_{CRCX_2} 存储在存储器 33 内,由微计算机 11 计算的 D_{CRCY_1} 存储在系统 B 的存储器 42 内, D_{CRCY_2} 存储在存储器 43 内。

在系统 A 中,从存储器 30 读取的数据由逻辑电路 200 加到 CRC 数据 32 中,从存储器 31 读取的数据由逻辑电路 201 加到 CRC 数据 33 上,然后将所得二数据输入到切换电路 34。

在系统 B 中,从存储器 40 读取的数据由逻辑电路 202 加到 CRC 数据 42 上,从存储器 41 读取的数据由逻辑电路 203 加到 CRC 数据 43 上,然后将所得二数据输入到切换电路 44。用于切换电路 34

和 44 的切换定时与上述相同。

在如图 16 所示的本发明的另一个实施例中,需要最大门电路数的存储器数可以减少一半,不仅可以极大改进可靠性,而且对减小 LSI 的功耗具有很大的影响。

图 17 是本发明的另一种实施例。图 17 所描述的例子中,每一内部存储器包含一个电路。图 8 和图 17 之间的差异在于,尽管每一存储器的输出是由图 8 中的切换电路切换的,但在图 17 中切换 CRC 数据。采用如上所述的方法由微计算机 10 计算的 CRC 数据 D_{CRCX1} 存储在系统 A 的存储器 32 内,而 D_{CRCX2} 存储在存储器 32 后的存储器 33 内。微计算机 11 计算的 D_{CRCY1} 存储在系统 B 的存储器 42 内, D_{CRCY2} 存储在存储器 42 后的存储器 43 内。

CRC 数据是用故障检测信号 154 以及符号反转故障检测信号由切换电路 204 和 205 来切换的。同时在图 17 所示本发明的另一种实施例中,需要最大门电路数的存储器数可以减少一半,从而不仅极大提高了可靠性,而且对减少 LSI 的功耗具有很大的影响。

图 18 描述的是本发明的另一个实施例。图 18 描述的例子中,每一内部存储器还包含一个电路。与图 17 的差别在于,CRC 数据由每一切换电路来切换,而随后每一存储器的输出信号和每一切换电路的输出信号由加法器相加在一起。

系统 A 的切换电路 34 用符号反转故障检测信号 165 来切换 CRC 数据 32 和 CRC 数据 33,系统 B 的切换电路 44 用故障检测信号 154 来切换 CRC 数据 42 和 CRC 数据 43。同时,在图 18 所示本发明的另一个实施例中,需要最大门电路数的存储器数可以减少一半,并且加法器数可以进一步减少一半,从而不仅极大提高了可靠性,而且对减少 LSI 的功耗具有很大影响。

图 19 是图 8 中本发明另一实施例的示意平面图。标号 300 表示从微计算机 10 接收数据并将数据发送到微计算机 10 的总线接口,

301 和 302 表示用来存储数据的存储器,303 表示诸如存储器切换电路、频率转换器以及频率比较器之类的处理器,304 表示将数据发送到微型计算机 11 以及从微型计算机 11 接收数据的总线接口,305 和 306 表示存储数据的存储器,307 代表诸如存储器切换电路、频率转换器以及频率比较器之类的处理器,而 308 代表核对系统 A 的处理器 303 的输出信号和系统 B 的处理器 307 的输出信号用的核对器。

当系统 A 和 B 双重化并相互分开排列时,可以防止一系统的故障对另一系统的影响,例如虽然一个系统出故障,但仍然输出信号,就好象不出故障一样。

当构成核对器单元的电路相互隔开放置而且导线间隔增大时,可以防止一个核对器的故障对其他核对器的影响,不会输出指令信号。

本发明的另一个实施例如图 20 所示,其描述如下。图 20 描述的实施例中,配置了多个与图 2 中相同的处理器。

标号 2000 表示控制器,2010 代表用来输入并处理第一输入数据并输出第一输出数据 2100 和第一检测信号 2140 的第一处理器,2020 代表用来输出第二输出数据 2110 和第二检测信号 2150 的第二处理器,2030 代表用来输出第三输出数据 2120 和第三检测信号 2160 的第三处理器,2040 代表用来输出第四输出数据 2130 和第四检测信号 2170 的第四处理器,2180 代表发送从第一处理器 2010 输出到第二处理器 2020 的第一检测信号 2140 的第一发送器,2190 为发送从第二处理器 2020 输出到第三处理器 2030 的第二检测信号的第二发送器,2200 为发送从第三处理器 2030 输出到第四处理器 2040 的第三检测信号 2160 的第三发送器。

通过采用分别使用各故障检测信号的双重化结构,来切换相应检测器的 CRC 数据,仅当所有的数据电路以及元件运行正常时,才

输出控制受控对象的输出信号,并且当测出某一部件故障时,不会输出输出信号。因此,当发生故障时,可起失效保护作用,以便在非失效端进行控制。

如上所述,按照本发明,可以实现具有极高失效保护性能的控制
器以及采用这种控制器的系统。

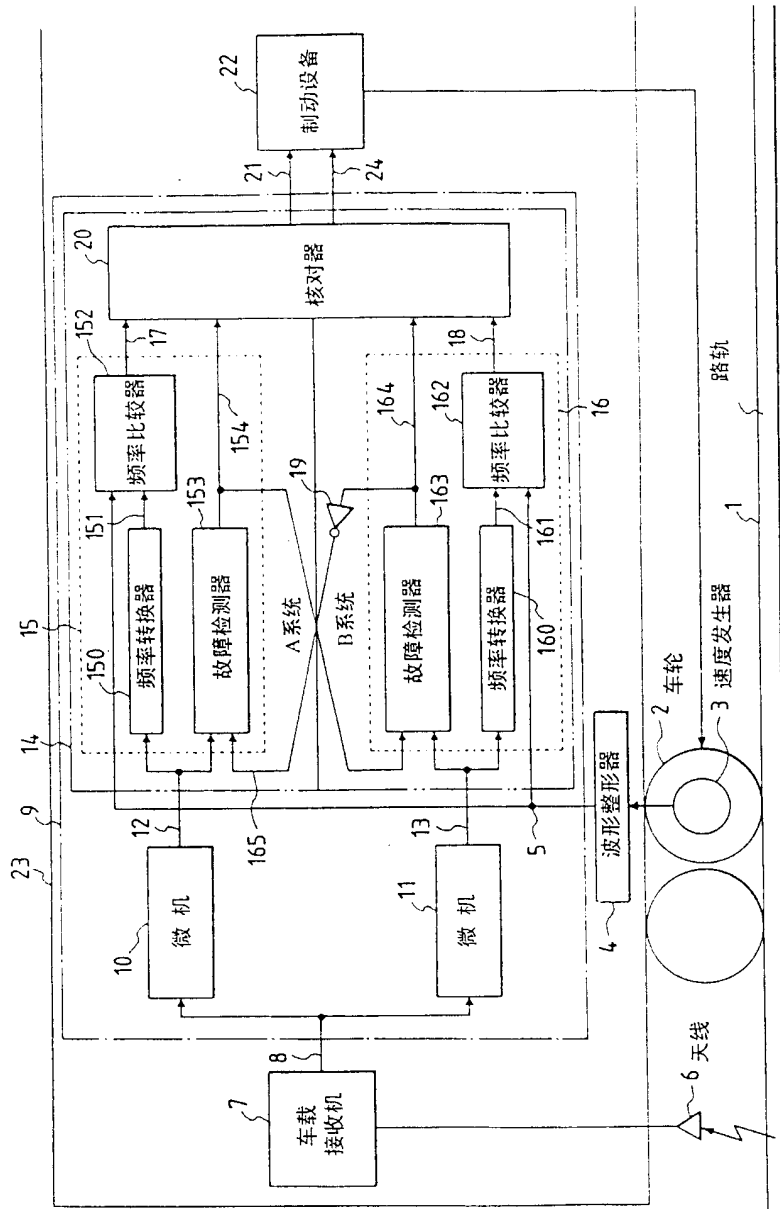


图 1

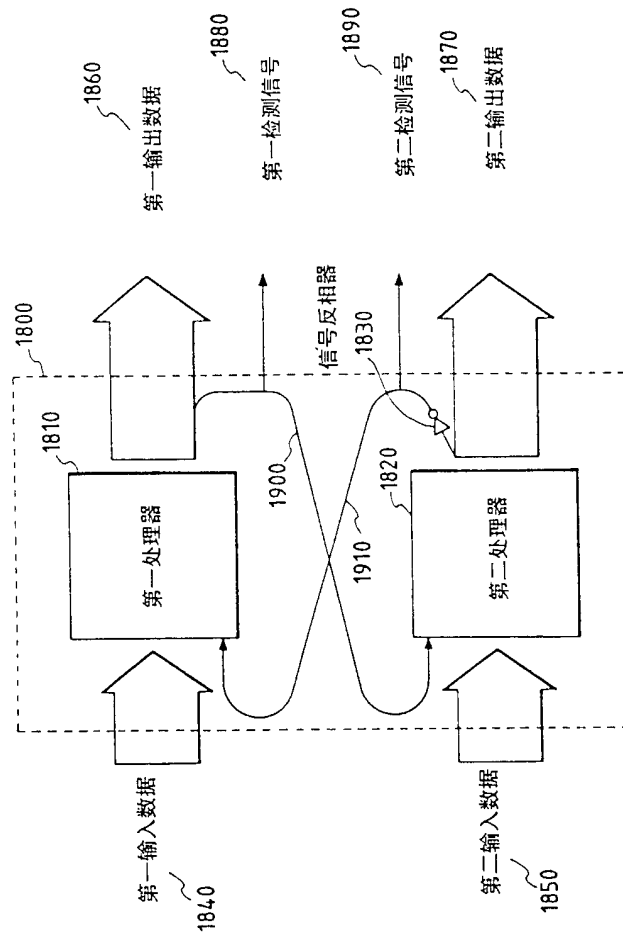
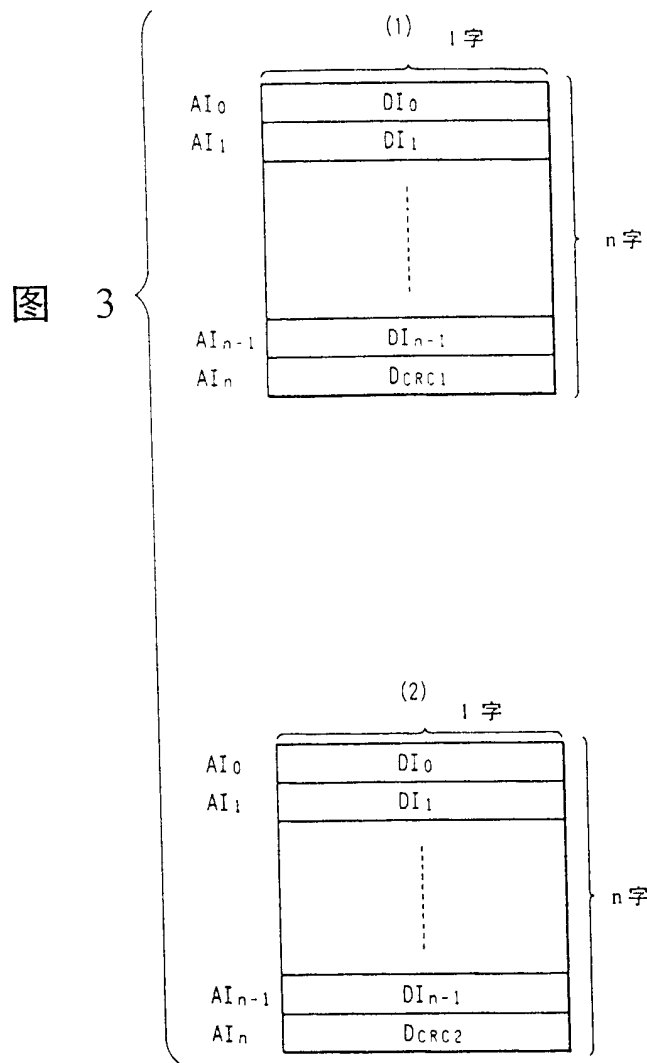


图 2



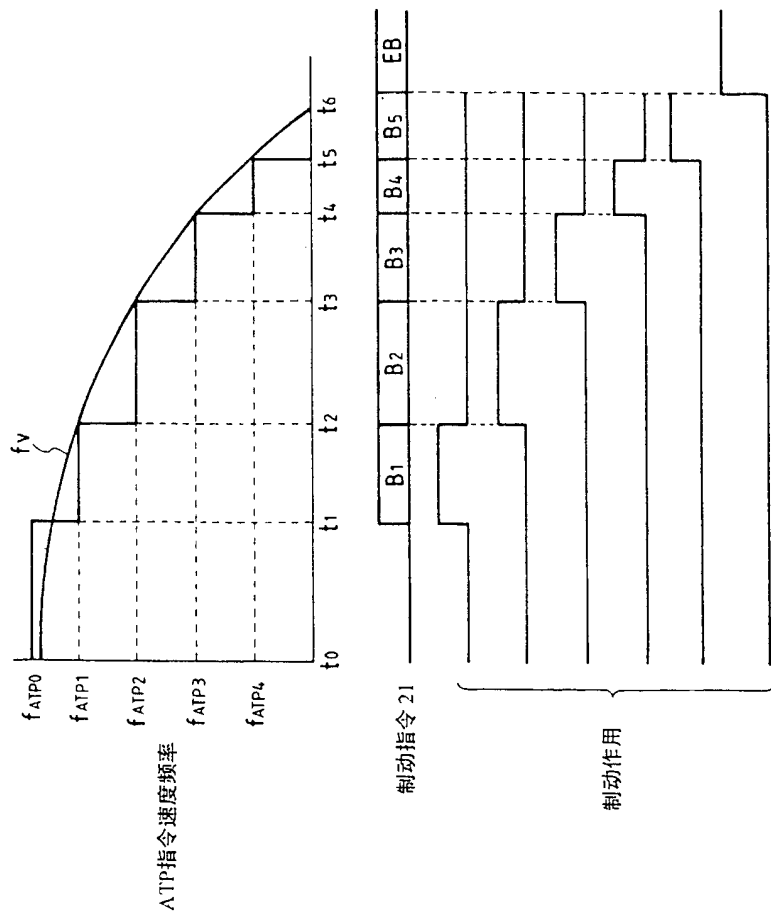


图 4

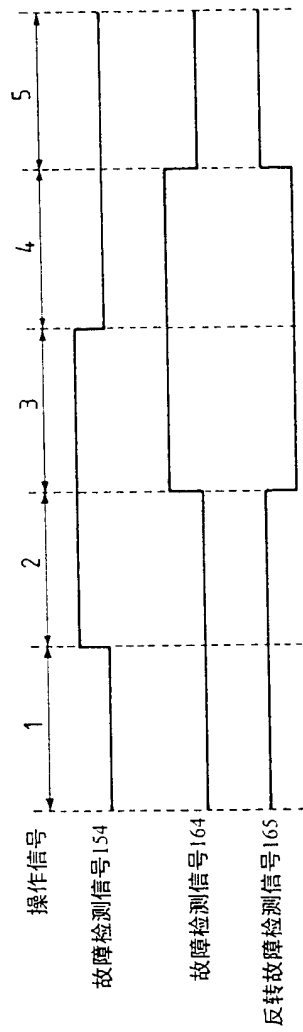


图 5

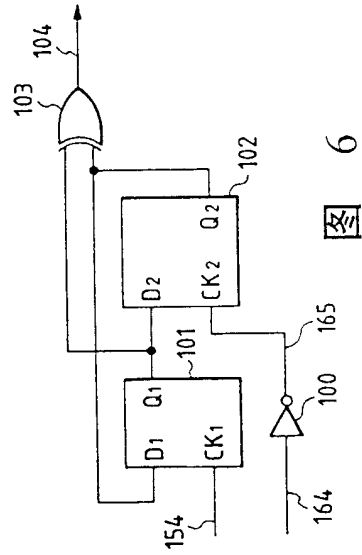


图 6

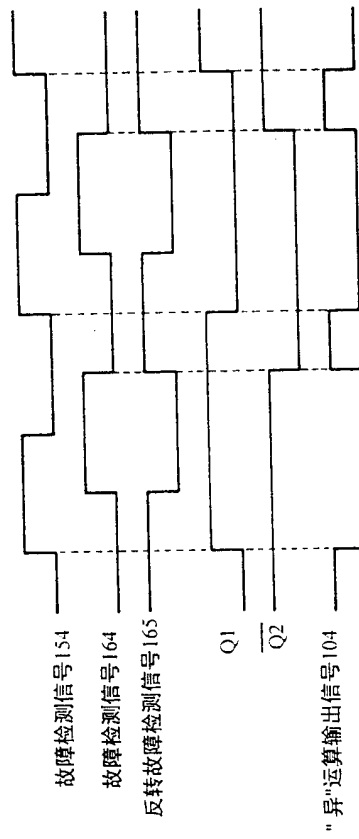
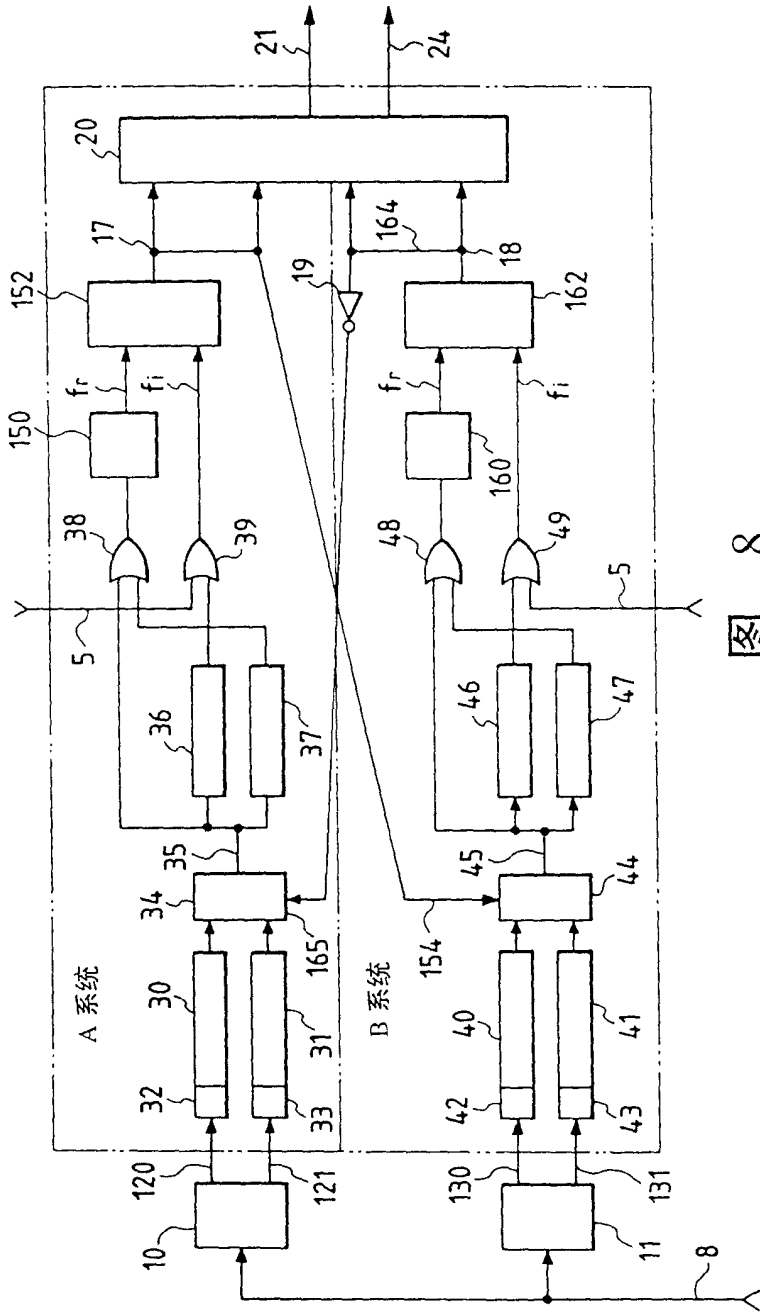


图 7



8

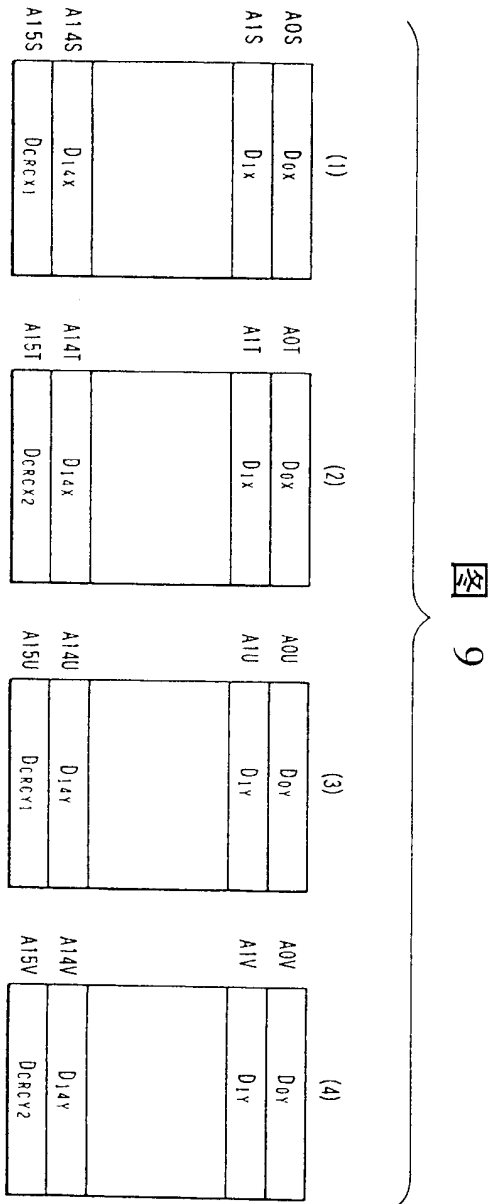


图 9

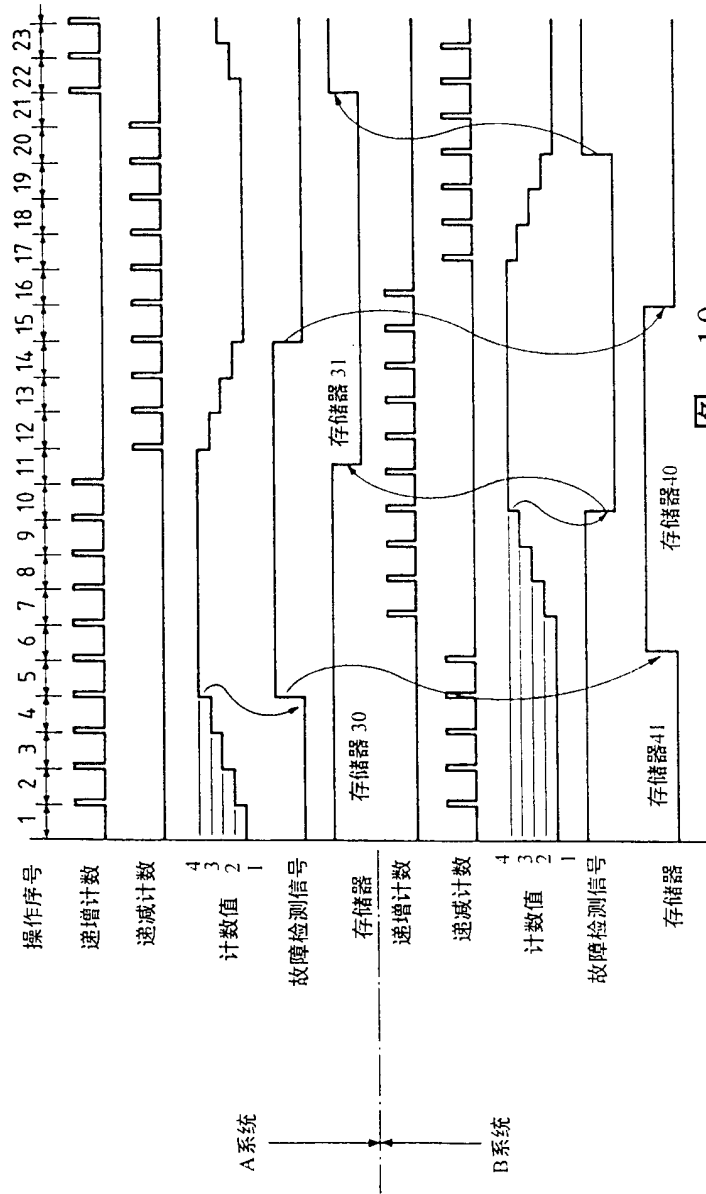


图 10

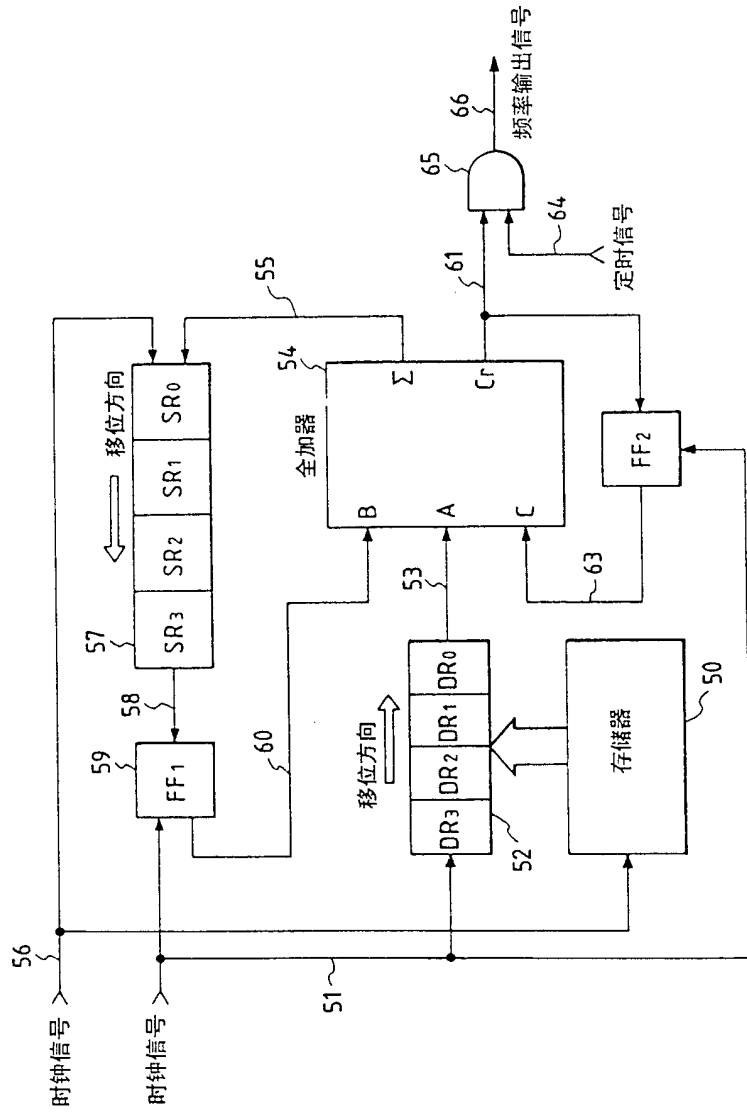


图 11

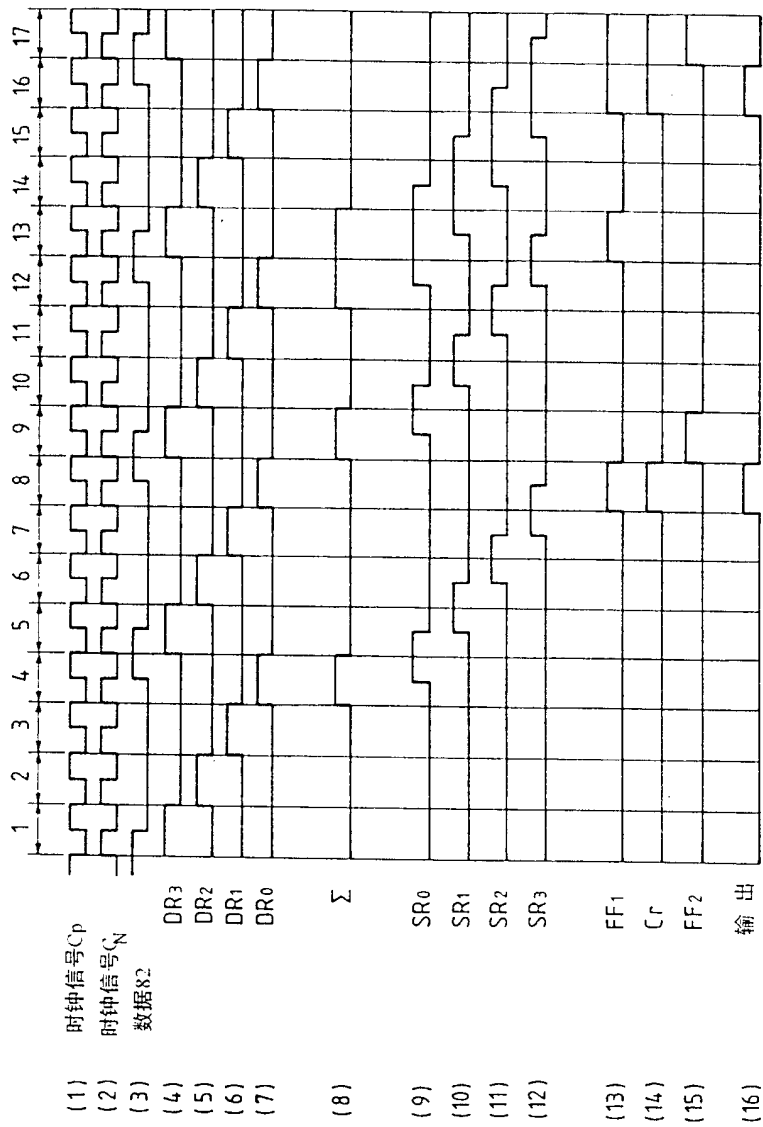


图 12

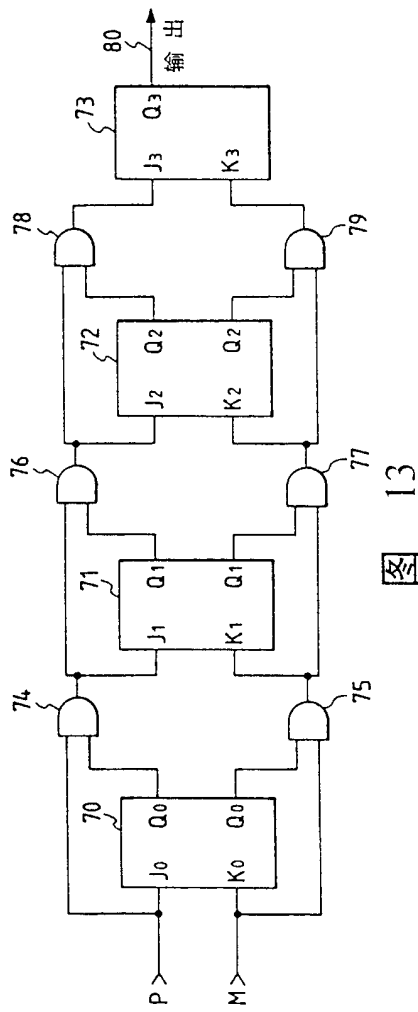


图 13

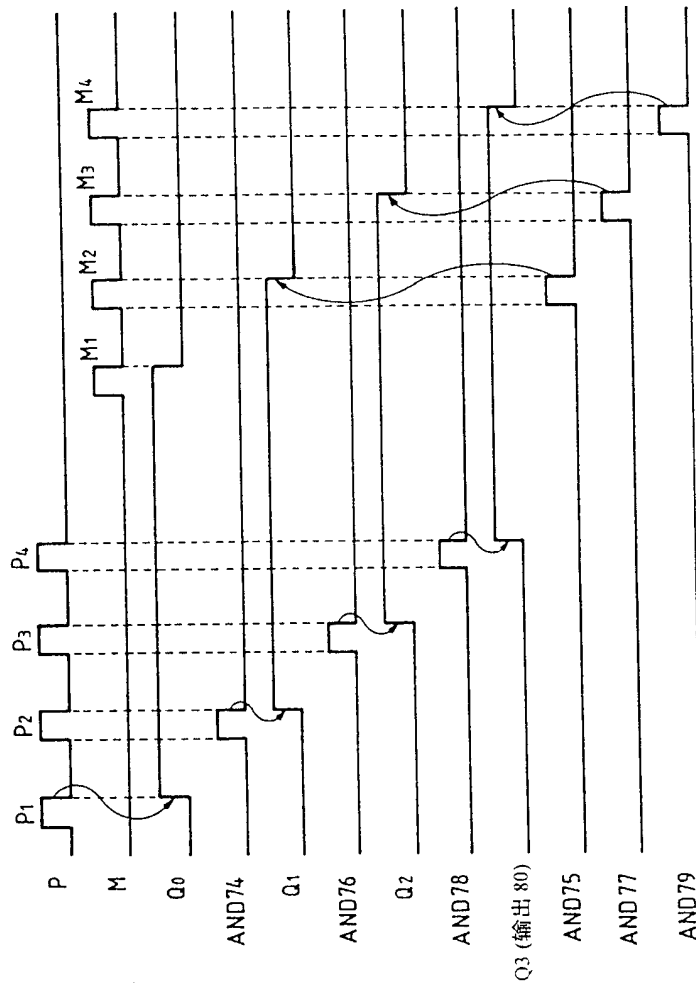


图 14

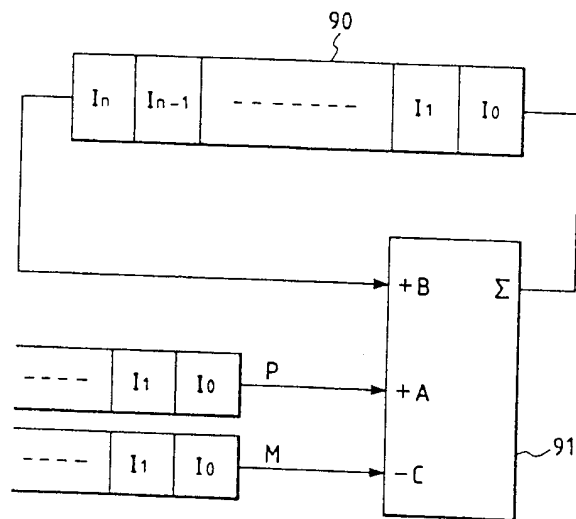


图 15

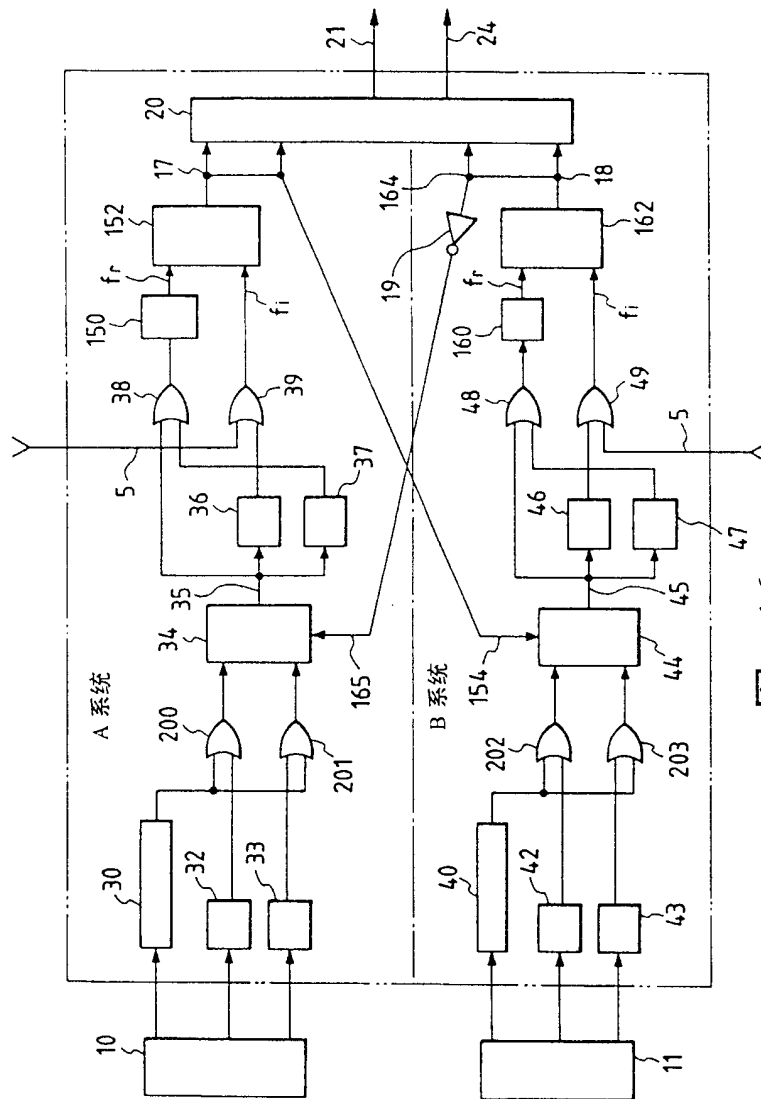


图 16

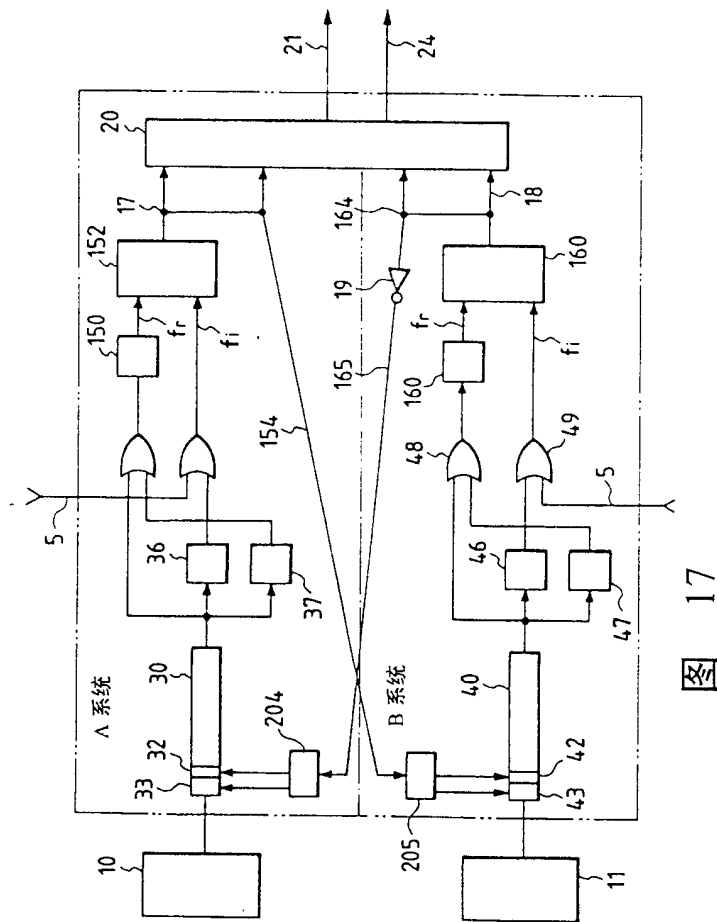


图 17

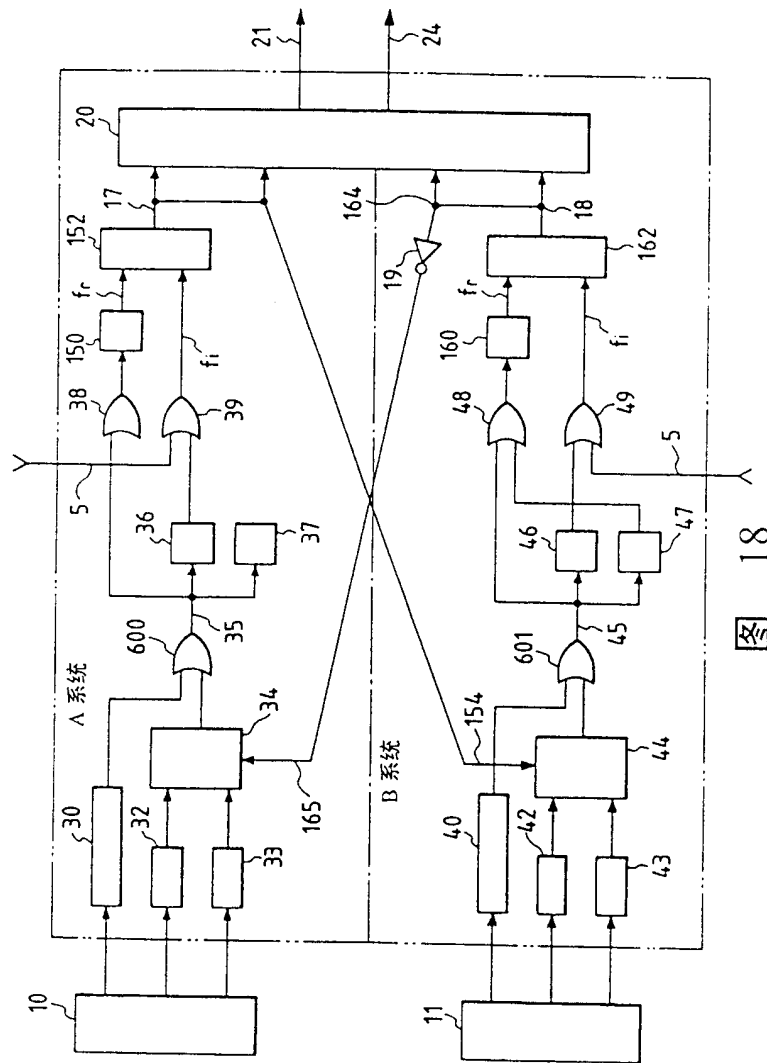


图 18

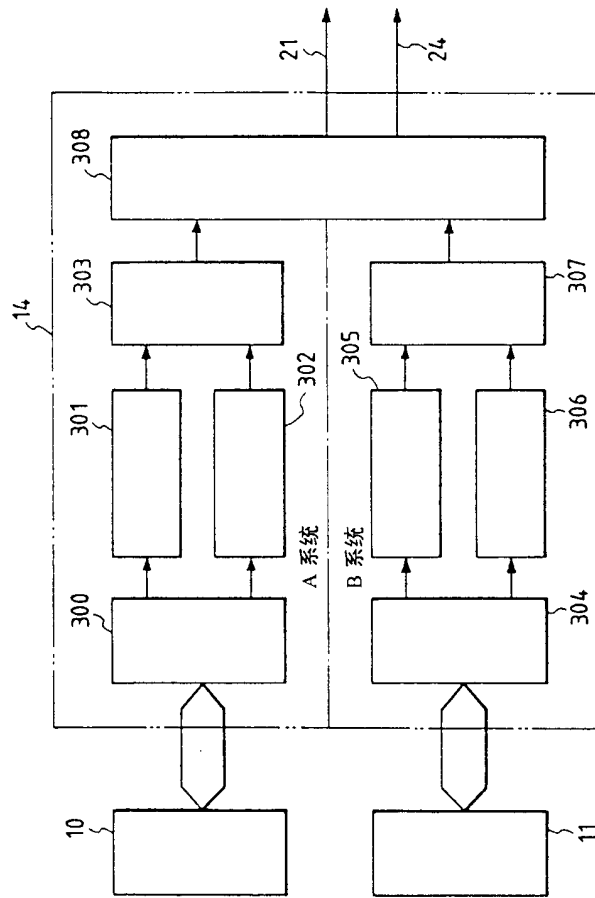


图 19

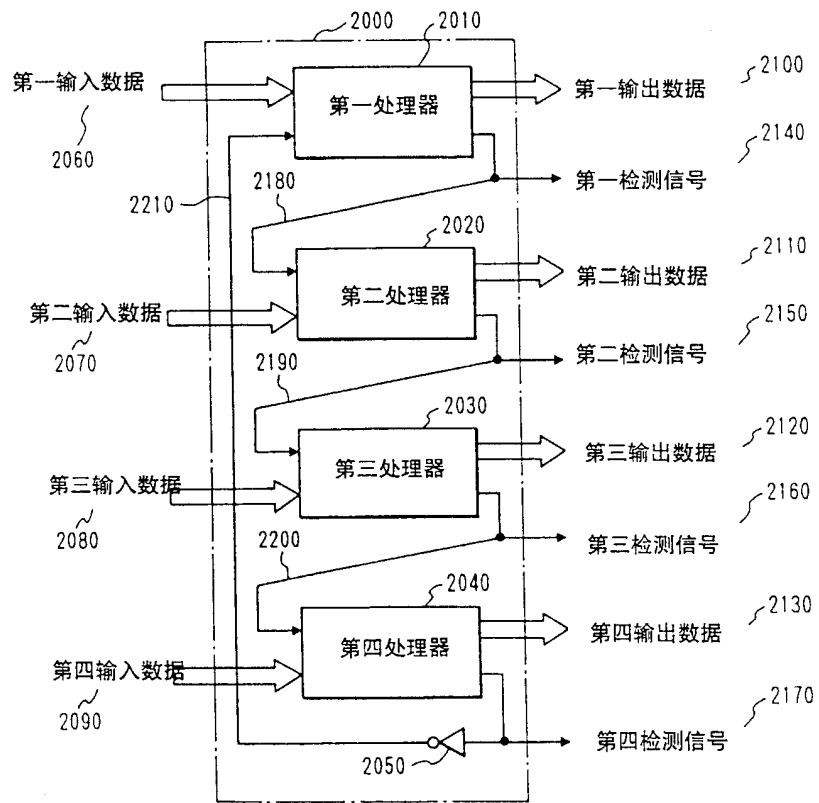


图 20

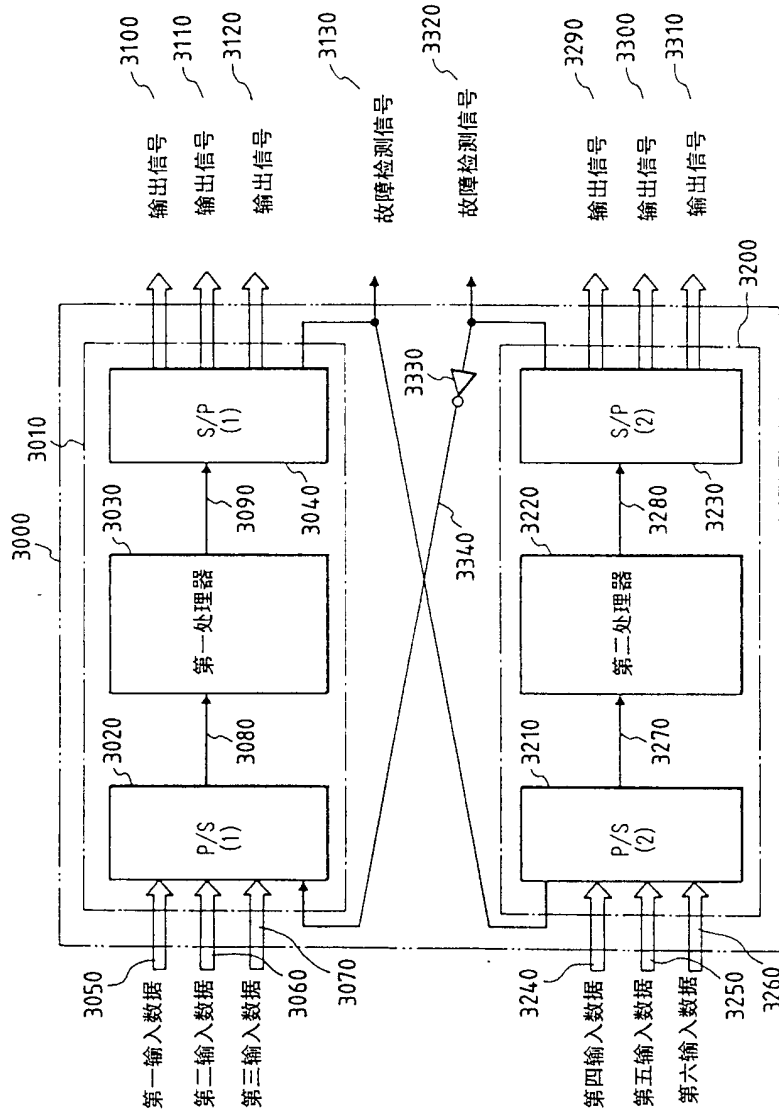


图 21

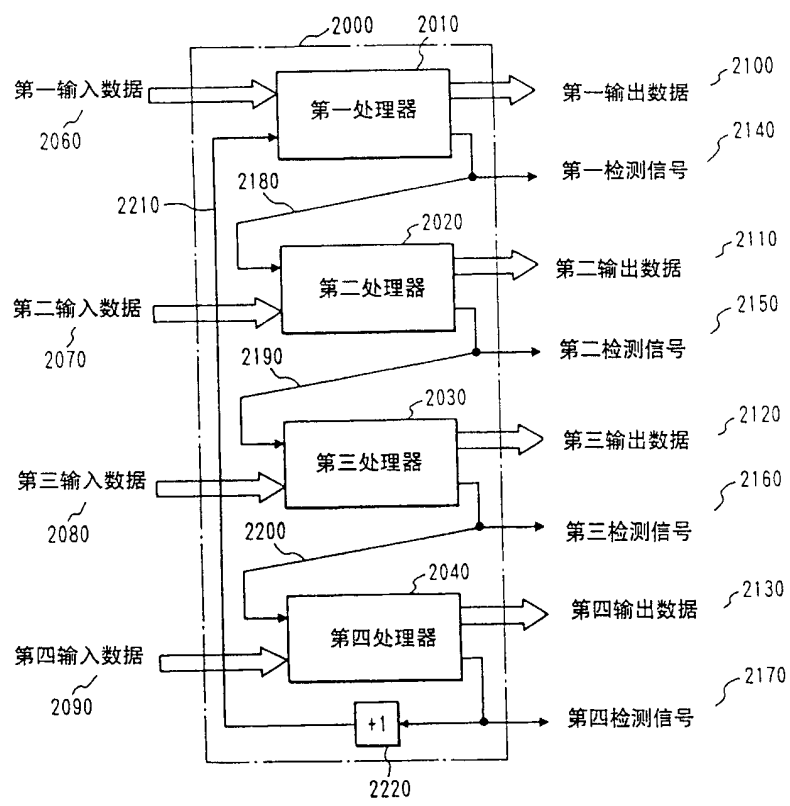


图 22

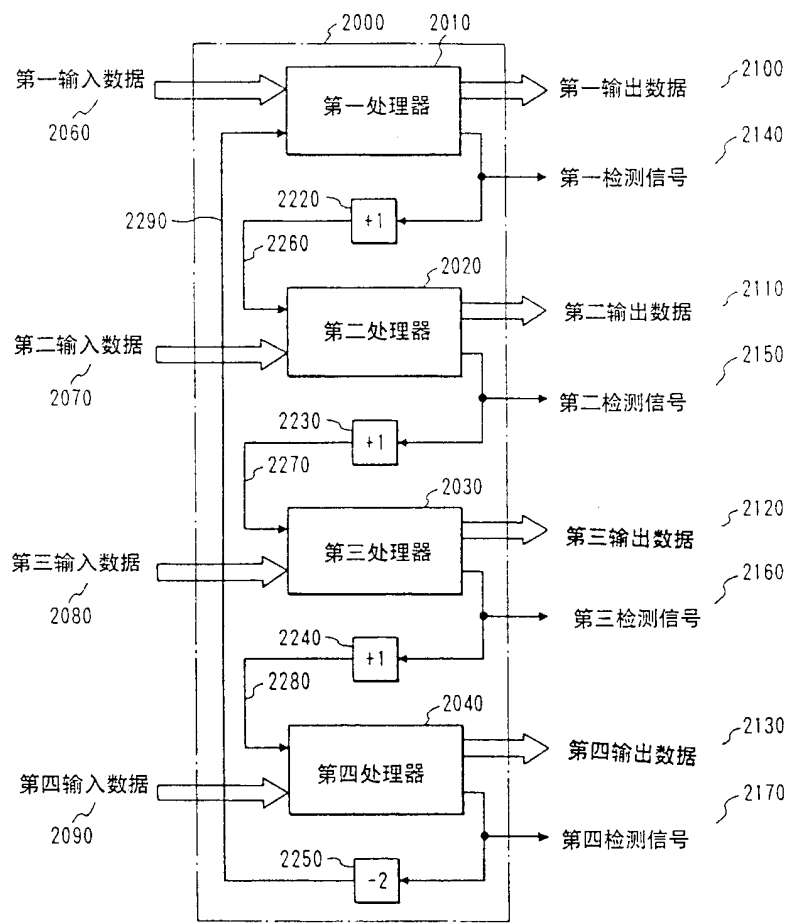


图 23

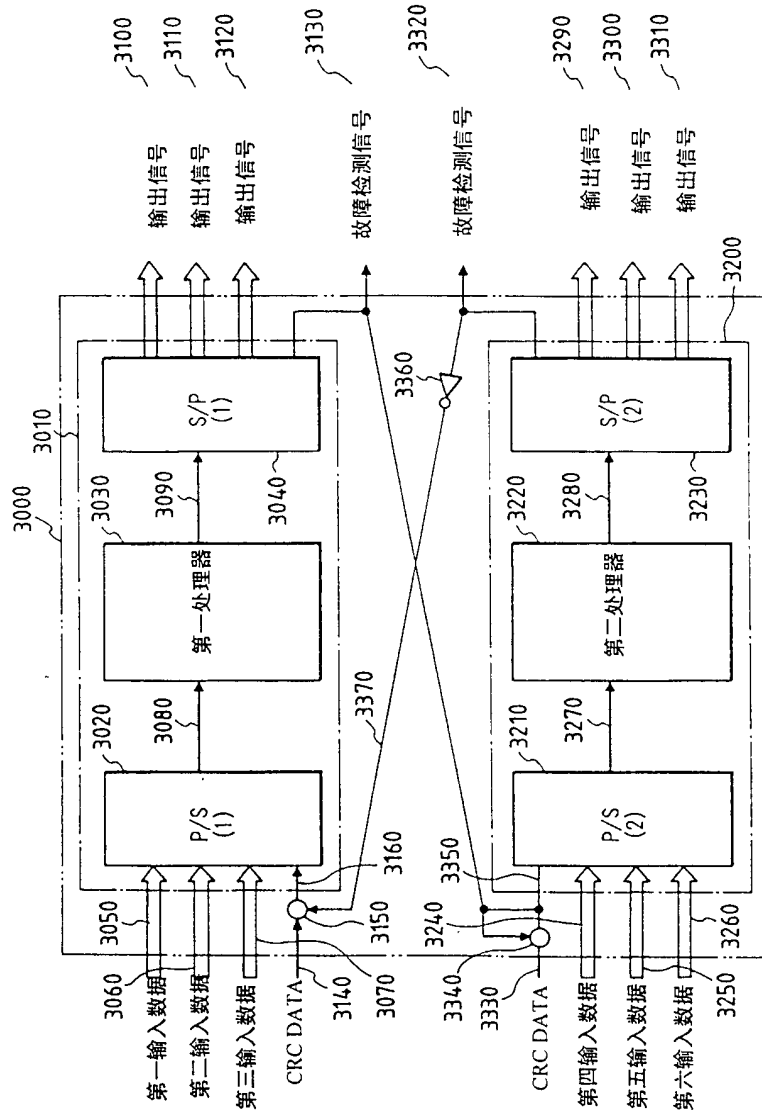


图 24

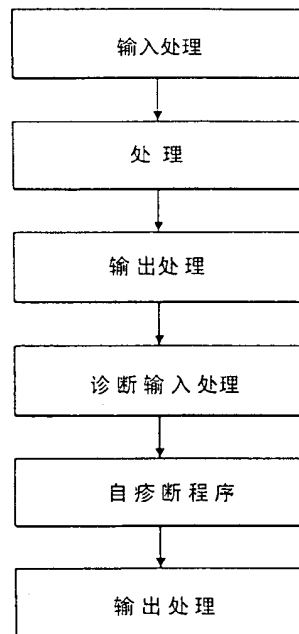


图 25