

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4854663号
(P4854663)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl.	F I
HO 1 L 29/866 (2006.01)	HO 1 L 29/90 D
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H
HO 1 L 21/822 (2006.01)	HO 1 L 27/06 3 2 1 A
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 B
HO 1 L 21/8249 (2006.01)	

請求項の数 11 (全 10 頁)

(21) 出願番号	特願2007-516955 (P2007-516955)	(73) 特許権者	501209070
(86) (22) 出願日	平成17年5月17日(2005.5.17)		インフィネオン テクノロジーズ アーゲー
(65) 公表番号	特表2007-538390 (P2007-538390A)		ー
(43) 公表日	平成19年12月27日(2007.12.27)		ドイツ連邦共和国 85579 ノイビー
(86) 国際出願番号	PCT/DE2005/000896		ベルク アム カンペオン 1-12
(87) 国際公開番号	W02005/117133	(74) 代理人	110000338
(87) 国際公開日	平成17年12月8日(2005.12.8)		特許業務法人原謙三国際特許事務所
審査請求日	平成18年11月21日(2006.11.21)	(72) 発明者	ルンデ, ミヒャエル
(31) 優先権主張番号	102004026100.8		ドイツ連邦共和国 80992 ミュンヘン
(32) 優先日	平成16年5月25日(2004.5.25)		ゲルトナーシュトラーセ 62 ツュー
(33) 優先権主張国	ドイツ(DE)	(72) 発明者	ランググーテ, ゲルノート
			ドイツ連邦共和国 81675 ミュンヘン
			アインシュタインシュトラーセ 135

最終頁に続く

(54) 【発明の名称】 半導体素子のESD保護構造

(57) 【特許請求の範囲】

【請求項1】

p - 導電帯域および n - 導電帯域が、半導体素子の保護構造部における同じ型の電荷キャリアを有するそれぞれの領域と第1接触位置および第2接触位置において電氣的に接続された、半導体ダイオードを少なくとも一つ有する半導体素子のESD保護構造であって、

上記半導体ダイオードの一方の電荷キャリアの型である第1帯域(8)は、上記半導体素子の半導体基板(3)内に形成されたトレンチ(9)の内部領域の少なくとも一部を覆っており、

他方の電荷キャリアの型である第2帯域(13)は、上記トレンチ付近において第1帯域(8)と隣接して形成されており、

第1帯域(8)は、適切に導電ドーピングされたポリシリコンによって形成されており、

該ポリシリコンによって充填されていない、空きトレンチ領域には、誘電体(10)が充填されており、

トレンチ(9)における第1のp型またはn型接触位置(11)から離れた部分に位置する第1帯域(8)の領域は、トレンチ(9)における該帯域の領域以外の領域よりも、pn接合(5)のドーピングが高ドーピングであることを特徴とする半導体素子のESD保護構造。

【請求項2】

トレンチの幅に対するトレンチの深さの比率は、1よりも大きいことを特徴とする請求

10

20

項 1 に記載の半導体素子の E S D 保護構造。

【請求項 3】

トレンチ (9) 全体はポリシリコンにて充填されていることを特徴とする請求項 1 または 2 に記載の半導体素子の E S D 保護構造。

【請求項 4】

第 1 帯域 (8) は、少なくともトレンチ (9) の下部領域においてトレンチ (9) の内部領域を覆っており、

第 2 帯域 (1 3) は、埋め込み層 (1 6) として、第 1 帯域 (8) に隣接するように形成されていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体素子の E S D 保護構造。

10

【請求項 5】

第 2 の接触領域 (1 2) は、第 3 帯域 (1 4) によって統合されており、

第 3 帯域 (1 4) は、

第 2 帯域 (1 3) と電荷キャリアの型が一致しており、

第 2 帯域 (1 3)、および、半導体素子の保護構造部の同じ電荷キャリアの型を有する領域と、互いに電氣的、導電的に隣接していることを特徴とする請求項 4 に記載の半導体素子の E S D 保護構造。

【請求項 6】

第 1 帯域 (8) は、トレンチ (9) の内部領域全体を覆っており、

第 2 帯域 (1 3) は、埋め込み層 (1 6) としてトレンチ (9) の下部領域に隣接して形成されており、

20

この埋め込み層 (1 6) 上には第 3 帯域 (1 4) として後に続く層から電氣的に絶縁するさらなる層が配置され、

このさらなる層は、第 2 帯域 (1 3) と電荷キャリアの型が同じであり、第 2 の p 型または n 型接触位置 (1 2) を形成していることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の半導体素子の E S D 保護構造。

【請求項 7】

第 3 帯域 (1 4) は、第 2 帯域 (1 3) とドーピング量が異なっていることを特徴とする請求項 5 または 6 に記載の半導体素子の E S D 保護構造。

【請求項 8】

トレンチ (9) は、広範囲に幾何学的な広がり、特に、細長形状、湾曲形状、または、または円形状を有していることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の半導体素子の E S D 保護構造。

30

【請求項 9】

少なくとも 2 つの半導体ダイオードから形成されていることを特徴とする請求項 1 から 8 のいずれか 1 項に記載の半導体素子の E S D 保護構造。

【請求項 1 0】

半導体素子の保護構造部は、入出力パッドであることを特徴とする請求項 1 から 9 のいずれか 1 項に記載の半導体素子の E S D 保護構造。

【請求項 1 1】

40

第 1 帯域 (8) のポリシリコンは、電氣的、導電的、直接的に、金属接続パッド (1 7) に隣接していることを特徴とする請求項 1 0 に記載の半導体素子の E S D 保護構造。

【発明の詳細な説明】

【発明の詳細な説明】

【 0 0 0 1】

本発明は、少なくとも一つの半導体ダイオードを有する、半導体素子の E S D 保護構造に関するものである。この半導体ダイオードは、p - 導電帯域および n - 導電帯域が、半導体素子の保護構造部の同じ型の電荷キャリアを有するそれぞれの領域と第 1 接触位置および第 2 接触位置において電氣的に接触接続されている。

【 0 0 0 2】

50

このタイプの構造は、寄生容量の影響で生じる静電気放電の不制御によるダメージまたは破壊から半導体素子を保護する。寄生容量は、保護構造を通じた所望の方式、および低抵抗方式において供給線の一つへ導電された電気充電の蓄積により生じる。これは、数アンペアの放電電流による素子のアバランシェ降伏、および素子の破壊を防止することができる。また、ESD保護構造は、破壊すること無しに必要な通電容量を半導体素子へ与えることができる寸法を有している。

【0003】

集積密度が大きくなるにつれて、だんだん小さくなっている半導体構造は、静電気容量に対する素子の感度が増している。特に、微細化に伴うMOS素子のゲート酸化物の薄型化は、半導体素子の信号入力および信号出力の感度を高める。これは、例えば、ゲート酸化物領域の破壊は、ゲート酸化物の電子の注入、および、上記放電電流の場合に素子の破壊を必然的に引き起こすチャンネルの電荷キャリアの加速と関連しているためである。

10

【0004】

電荷の所望のバイパスによって素子の保護をもたらす、ESD保護構造のよく知られた実施の形態では、半導体構造内にダイオードを設けている。この場合、ダイオードの降伏電圧を、半導体素子の保護構造の降伏電圧よりも低くすることができる。このダイオードは、基板の表面付近の領域のp型およびn型にドーブされた領域に対応して形成される。降伏は、互いに垂直方向または側面方向に隣接した領域のエリアで起こる。この場合、ESD保護構造の内部抵抗は、重要な要素である。このようなダイオードは、一般的に、非常に大きな寄生直列抵抗を持っている。この寄生直接抵抗は、短絡に至る電流量をかなり制限する。pn整合部のアクティブエリアを拡張する、例えばダイオードに大きなエリアを持たせることによって、該ダイオードの内部抵抗を減らすことができる。しかしながら、入力回路の静電容量(キャパシタンス)を増やすと共に、素子のチップ密度を減らすだけでなく、半導体素子全体にかかるコストがアップする。

20

【0005】

表面付近の領域に注入することによって、ESD保護構造を実現する場合、シリコン表面付近に流れる電流は、局所的な温度上昇をもたらし、さらに、通電容量が減少し、さらに、局所的に高温の場合に、素子に対するダメージが大きくなる。

【0006】

従って、本発明は、少なくとも要求されるスペースと同程度のスペースを有する、または、少なくとも要求されるスペースよりも小さいスペースと同程度の通電容量を有すると同時に、より高い通電容量を得ることができ、かつ、低コストのESD保護構造を提供することを目的とする。

30

【0007】

本発明によれば、上記半導体ダイオードの一方の電荷キャリア型である第1帯域は、上記半導体素子の半導体基板内に形成されたチャンネルの内部領域の少なくとも一部を覆っており、他方の電荷キャリアの型である第2帯域は、上記チャンネル付近において第1帯域と隣接して形成されており、第1帯域は、適切に導電ドーブされたポリシリコンによって形成されており、該ポリシリコンによって充填されていない、空きチャンネル領域には、誘電体が充填されている。

40

【0008】

上記ESD保護構造のチャンネル型の形態では、第1電荷キャリア型の帯域を第2の電荷キャリア型の帯域に少なくとも部分的に落ち込ませることができる。pn接合のアクティブ領域は、必要なチップ領域に対して十分に大きく、ESD保護構造の通電容量は、同程度増える。この場合、pn接合のアクティブ領域のサイズは、最大でチャンネルの横領域全体のサイズまで、ESD保護構造に応じてかなりフレキシブルに設定することができる。

【0009】

チャンネルの深さがチャンネルの幅よりも大きい場合、ESD保護構造に必要なチップ領域と、pn接合のアクティブ領域との間の比率は、かなり好適な比率となり、高い通電容量を持つESD保護構造はとても効果的にすることができ、特に有利な形態を提供すること

50

ができる。この場合、pn接合は、ESD保護構造の形状に依存して、pn接合とnp接合の両方を含んでいる。

【0010】

チャンネル内の半導体ダイオードとして試験済みのESD保護構造、いわゆる、トレンチプロセスモジュールの形態では、所望の第1帯域の生成によって、チャンネルの内部領域を少なくとも部分的に覆うことを可能にしている。上記第1帯域は、保護すべき半導体素子のタイプによって、p-導電またはn-導電とすることができる。p-導電としての第1帯域の構成は、標準形態として用いることができ、n-導電としての第1の帯域の構成により、例えば、いろいろなタイプのCMOS素子の保護など、多数を加えることができる。

10

【0011】

本発明によれば、チャンネルの内部領域は、少なくとも部分的に、第1帯域にて覆われている。第1帯域と、半導体素子の保護構造部と同じ型の電荷キャリアの領域と、間での電気的な接触（ここでは第1の接触位置と称する）が、ESDの場合に、電荷が上記第1接触位置を通してバイパスでの迂回を確実にするために実現されている限り、原理上、チャンネルは、異なる材料にて充填された部分を含んでいる。しかしながら、概略的には、チャンネルの内部領域全体は、第1帯域に覆われている。

【0012】

pnまたはnp半導体ダイオードは、第1および第2帯域のドーピングによって形成される。この場合、特に、第2帯域は、保護のための半導体素子のウエルによって形成され、これによって、第2帯域のドーピングが規定される。チャンネルが形成された第2帯域は、例えば、半導体素子のn型ウエルとしてもよい。これにより、第1帯域は、p-導電型にドーブされたポリシリコンによって形成することができる。

20

【0013】

半導体素子の既存の基板を第2帯域として用いるか、または、第2帯域を積極的に半導体基板に形成するかは、個々のケース、半導体素子の構造および生成された通電容量に依存している。

【0014】

本発明によれば、第1のゾーンとしてポリシリコンを用いており、ESD保護構造のpn接合は、非常に低抵抗と接続される。従って、チャンネル内の第1帯域の直列抵抗は、pn接合の抵抗よりも低くなり、その結果、チャンネル内のより深くに位置するダイオード領域全体にダイオード降伏が同時に生じる。このように、半導体素子を保護する通電容量は、pn接合のアクティブ領域全体によって規定され、この領域を生成する方法技術によって直接的に決めることができる。

30

【0015】

上記事実によれば、特に本発明の有利な構成は、チャンネルにおける第1のp型またはn型接触位置から離れた部分に位置する第1帯域の領域は、チャンネルにおける該帯域の領域以外の領域よりも、pn接合のドーピングが高ドーピングとなっていることである。第1の降伏の位置は、所望の方式においてチャンネルの下方領域へとシフトする。チャンネルの内部抵抗の全域の電圧降下は、その後、降伏がチャンネルの上方領域で生じるという効果を生む。

40

【0016】

ポリシリコンにて充填されていないチャンネルの領域は、例えば酸化珪素などの誘電体が一様に充填されている。半導体素子の保護構造部と同じ型の電荷キャリアの領域、例えば、p導電第1帯域の場合、p導電領域が、部分的に第1帯域と重なり、寄生容量がこれらの接合部分を通じて導電することによって、第1の接触領域が形成されている。

【0017】

本発明のさらに他の構成において、チャンネル全体がポリシリコンによって充填されていれば、第1の接触位置は、さらにフレキシブルに設計することができ、かつ、接合部分は、完全に重なった場合、最大となる。この構成は、半導体素子の構造によれば、導電させ

50

る期待電流および第1接触位置を生成する可能性に従って用いられる。

【0018】

上記の通り、原理上は、チャンネルを第1帯域としてのポリシリコンを用いて充填することによって、pn接合を能動(アクティブ)領域とすることができる。しかし、第1帯域に近接した第2帯域の形状およびサイズの構成によってさらに費用効率を高めることができる。

【0019】

本発明のさらなる構成、通電容量を必要とする構成によれば、第1帯域が少なくともチャンネルの下部領域においてチャンネルの内部領域を覆っている場合、第2帯域を埋め込み層として形成することができる。また、埋め込み層が半導体素子の保護構造部と同じ型の電荷キャリアを有する領域と電気的に接触していない場合、この場合、第2接触位置は、第3帯域によって統合されている。第3帯域は、第2帯域と同じ電荷キャリアの型を有しており、第2帯域と電気的、導電的に隣接している。

10

【0020】

ところで、上記の埋め込み層は、ESD保護構造として、半導体素子に用いられている層である。しかしながら、ESD保護構造のために、特別に埋め込まれたウエルによって第2帯域を得ることができる。これは、半導体ダイオードの降伏を、pn接合のドーピングによって、狙い通りに行うことができる、という利点がある。

【0021】

さらに、他の例では、第1帯域は、チャンネルの内部領域全体を覆っており、第2帯域は、埋め込み層としてチャンネルの下部領域に隣接して形成されており、この埋め込み層上には第3帯域として後に続く層から電気的に絶縁するさらなる層が配置され、このさらなる層は、第2帯域と電荷キャリアの型が同じであり、第2のp型またはn型接触位置を形成しているものを提供することができる。この特徴を有する構造は、素子構造に現在利用されているBiCMOS素子のESD保護構造に適している。

20

【0022】

さらに、第3帯域のドーピング量と第2帯域のドーピング量とを互いに異ならせることによって、電荷の損失調整およびpn接合のドーピングを狙い通りにすることができる。

【0023】

導入部に記載したように、pn接合のアクティブ領域が増えるに従って、ESD保護構造の通電容量が増えて、半導体ダイオードの内部抵抗は小さくなる。特に、本発明の有利な構成では、チャンネルは、広範囲に幾何学的な範囲を有しており、特に、細長形状(form of strips)、湾曲形状、または、または円形状を有している。

30

【0024】

チャンネル形状の生成は、半導体ダイオードおよび降伏領域の形状とを規定するため、ESD保護構造を形成するために利用可能なスペースに依存して、最適な接合領域を形成すると同様に、チャンネル形状を規定することができる。また、ESD構造では、2つまたはそれ以上の半導体ダイオードを含めることができる。一例として、半導体素子の保護構造部を入出力パッドとした場合、例えば、平行な細長形状、曲線形状、円形状のパッドの下の半導体ダイオードの配置は、とても効率的なものにすることができる。

40

【0025】

第1帯域のポリシリコンは、電気的、伝導的、直接的に、金属接続パッドと隣接している。

【0026】

本発明について、以下に示すより詳細な実施の形態の説明を基に説明する。

【0027】

図1abは、従来技術としてのESD保護ダイオードを示す概略図である。

【0028】

図2は、本発明のESD保護構造を示す概略図である。

【0029】

50

図3は、埋め込み層を有するESD保護構造の実施の形態を示す概略図である。

【0030】

図4は、BiCMOSのESD保護構造を示す概略図である。

【0031】

図5a bは、それぞれESD保護構造の幾何学配置が異なる実施の形態を示す図である。

【0032】

従来技術によれば、ESD保護ダイオードは、図1a bに示すように、半導体素子の入出力パッドと一体化されており、これ以上詳細な説明は開示されていない。

【0033】

これらの図面によれば、ESD保護ダイオードは、第1接続パッド2のp型領域と電氣的に接続されp導電型にドーブされたウエル(p型ウエル)1と、該p型ウエル1よりも半導体基板3に相対的に深い領域に位置し、上記p型ウエル1に隣接したn導電型にドーブされたウエル(n型ウエル)4と、を有している。p型ウエル1とn型ウエル4との間の接触領域には、pn接合5のアクティブ領域が形成されている。この領域のサイズは、ウエルの垂直範囲(垂直方向の範囲)、または、水平範囲(垂直方向の範囲)によって直接規定されている。pn接合5は、図1aに示す水平範囲を有しており、図1bに示す垂直範囲を有している。そのため、p型・n型ウエル1・4によって形成されたダイオードの降伏は、垂直方向(図1a)および横方向(図1b)に生じる。

【0034】

ESDを用いた場合に蓄積される余剰電荷は、さらに別のn型ウエル6を通して、低抵抗方式(fashion)の供給線へ導電される。このn型ウエル6は、ダイオードのn型ウエル4、および、第2の接続パッド7のn型領域に電氣的に接続されている。

【0035】

本発明のESD保護構造は、図2に示すように、上記と同様に、半導体ダイオードである。この半導体ダイオードは、n型ウエル4に取り込まれたチャネル9の内部領域を全面的に覆うp導電第1帯域8から形成されている。チャネルにおける、p導電第1帯域8にて覆っている部分の厚みは、チャネルの厚みの半分よりも小さい。結果として、チャネル9は、p導電第1帯域8にて充填されておらず、空き残存領域には、二酸化珪素誘電体10が充填されている。

【0036】

ところで、第1帯域8は、第1接触位置11において、第1接続パッド2のp型領域と電氣的に接触している。チャネル9を完全に囲んでいる、半導体基板3のn型ウエル4は、第2帯域13を形成している。この第2帯域13は、同時に、第2接続パッド(第2接触位置12)7のn型領域も完全に囲んでいる。pn接合5のアクティブ領域は、チャネル9の外部領域によって形成されており、このpn接合5のアクティブ領域は、チャネルの内部領域と対応しており、さらに、第1帯域8と第2の帯域との接合部分によって形成されている。ESDを用いた場合、余剰電荷は、よく知られた方法によって、供給線を通して、導電される。

【0037】

このような半導体ダイオードを製造するために、半導体素子構造の製造を同時に行う。しかし、ここでは、ESD構造の製造のみに言及する。幾何学的に延びたチャネル9、または、その他の多数のチャネル9は、特に、異方性エッチングによって十分薄くされたnドーブ層の開始材料によって取り囲まれている。チャネル9内にpドーブされたポリシリコンを堆積させることによって、第1帯域8を所望の厚みにすることができ、その後、チャネル9に充填する酸化層10を所望の厚みにすることができる。半導体素子の製造の途中において、接続パッド2・7のn型、p型領域をn型ウエル(開始材料)4に形成する。

【0038】

図3に示すESD保護構造は、上記と同様に、半導体ダイオードの構成を示している。

10

20

30

40

50

半導体ダイオードの必須の構成は図2と同じである。この実施の構成によれば、第2の帯域13は、埋め込み層16によって形成されている。この埋め込み層16は、打ち込み(implantation)によって形成されており、チャンネルの下半分を取り囲んでいる。その結果、チャンネルの外部領域のこの下側部分のみにおいて、チャンネル9の下側領域における第1帯域8と埋め込み層16内の第2帯域13との間が、pn接合5として機能する。

【0039】

供給線へ余剰電荷を導電させるための、第2接続パッド7のn型領域と第2帯域13との電氣的な接触接続は、n型ウエル4として形成された第3帯域14にて実現されている。第2接触位置12は、上記第3帯域14、および、第2接続パッド7のn型領域によって形成されている。

10

【0040】

本発明のESD保護構造は、図4に示すように、p-導電キャリア基板15、この上に続けて設けられたp導電埋め込み層16、および、さらに、この上に続けて設けられこれらを統合するp型ウエル1によって保護される、既存のBiCMOS構造を利用することができる。本実施の形態によれば、チャンネル9は、キャリア基板15に至るまで下方へ広がっている。従って、チャンネル9は、p型ウエル1および埋め込み層16を貫いて延びており、第2帯域13は、これら2つの層の間で分割されている。

第2帯域13は、pドープ層として設けられているので、チャンネル9内の第1帯域8は、nドープシリコンを有しており、第2接続パッド7のn型領域に接触接続されている。

【0041】

20

図5a・bによる本発明の典型的な実施の形態は、ESD保護構造が幾何学的な広がりが可能であることを示している。

【0042】

この構造は、図5aでは、多数の平行でストリップ形状の半導体ダイオードによって形成されており、図5bでは、円形状の半導体ダイオードによって形成されている。ここでは、半導体ダイオードの可能な構造の一つを記載しているにすぎない。しかしながら、これらのESD保護構造は、接続パッド2、7のn型領域およびp型領域に、この構造を有する半導体ダイオードによって接続されているのではなく、金属接続パッド17に直接接続されている。

【図面の簡単な説明】

30

【0043】

【図1A】従来技術としてのESD保護ダイオードを示す概略図である。

【図1B】従来技術としてのESD保護ダイオードを示す概略図である。

【図2】本発明のESD保護構造を示す概略図である。

【図3】埋め込み層を有するESD保護構造の実施の形態を示す概略図である。

【図4】BiCMOSのESD保護構造を示す概略図である。

【図5A】ESD保護構造の幾何学配置が異なる実施の形態を示す図である。

【図5B】ESD保護構造の幾何学配置が異なる実施の形態を示す図である。

【符号の説明】

【0044】

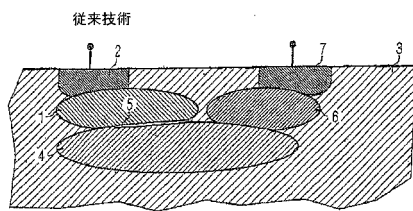
40

- 1 p型ウエル
- 2 第1接続パッドのp型領域
- 3 半導体基板
- 4 n型ウエル
- 5 pn接合
- 6 さらなるn型ウエル
- 7 第2接続パッドのn型領域
- 8 第1帯域
- 9 チャンネル
- 10 誘電体

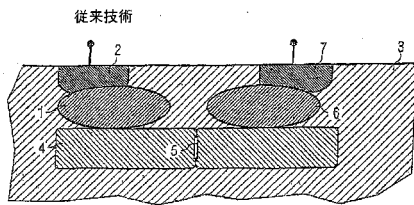
50

- 1 1 第 1 接触位置
- 1 2 第 2 接触位置
- 1 3 第 2 帯域
- 1 4 第 3 帯域
- 1 5 キャリア基板
- 1 6 埋め込み層
- 1 7 金属接続パッド

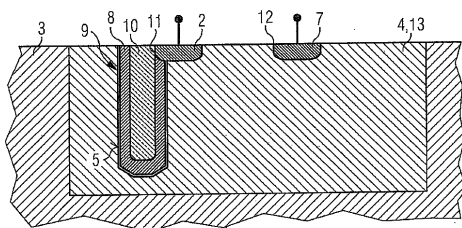
【 図 1 A 】



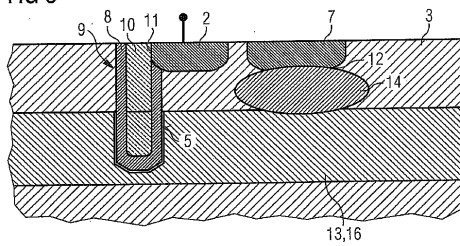
【 図 1 B 】



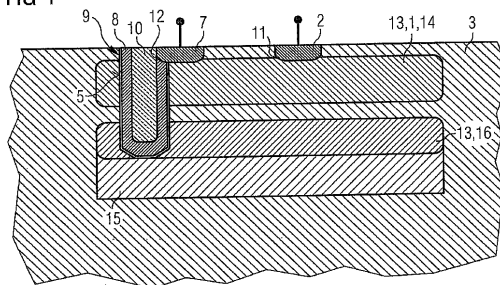
【 図 2 】
FIG 2



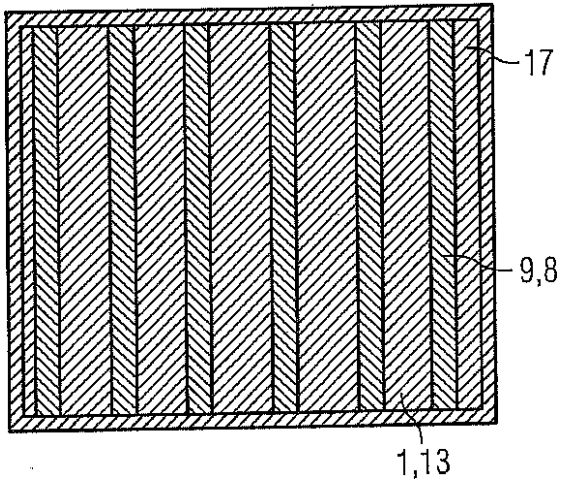
【 図 3 】
FIG 3



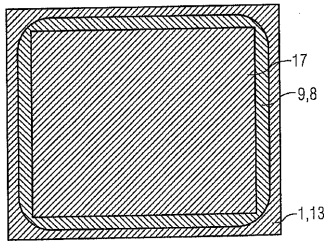
【 図 4 】
FIG 4



【 5 A 】
FIG 5A



【 5 B 】
FIG 5B



フロントページの続き

- (72)発明者 レーシャラオ, クラウス
ドイツ連邦共和国 8 5 5 6 7 クラーフィンク マリーエンシュトラッセ 3 ツェー
- (72)発明者 ミューラー, カールハインツ
ドイツ連邦共和国 8 4 1 4 9 フェルデン フィンケンヴェーク 1 1

審査官 原 和秀

- (56)参考文献 特開平01 - 191472 (JP, A)
特開平06 - 204407 (JP, A)
特開平07 - 058286 (JP, A)
米国特許第06710418 (US, B1)

(58)調査した分野(Int.Cl., DB名)

H01L 29/866
H01L 21/822
H01L 21/8249
H01L 27/04
H01L 27/06