

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2019/223208 A1

(43) 国际公布日

2019 年 11 月 28 日 (28.11.2019)

(51) 国际专利分类号:

H01L 21/77 (2017.01) H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

(21) 国际申请号:

PCT/CN2018/108074

(22) 国际申请日:

2018 年 9 月 27 日 (27.09.2018)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

201810488941.2 2018年5月21日 (21.05.2018) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北

省武汉东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。

(72) 发明人: 刘广辉(LIU, Guanghui); 中国湖北省武汉东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: FABRICATION METHOD FOR AMORPHOUS SILICON TFT SUBSTRATE

(54) 发明名称: 非晶硅TFT基板的制作方法

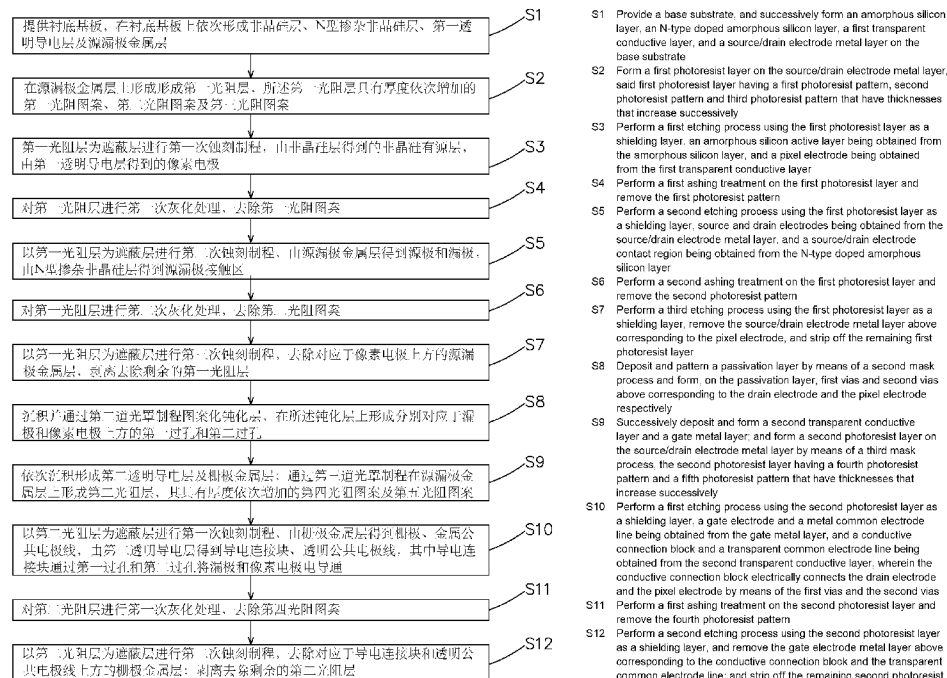


图1

(57) Abstract: A fabrication method for an amorphous silicon TFT substrate: first, forming a first photoresist layer that has photoresist patterns of three thicknesses by means of a first exposure process, and using the first photoresist layer to complete the patterning of an amorphous silicon layer, an N-type doped amorphous silicon layer, a first transparent conductive layer and a source/drain electrode metal layer by means of a three-time etching process and a two-time ashing process; then patterning a passivation layer by means of a second exposure process; finally, forming a second photoresist layer that has photoresist patterns of two thicknesses by means of a

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

third exposure process, and using the second photoresist layer to complete the patterning of a second transparent conductive layer and a gate metal layer by means of a two-time etching process and a one-time ashing process.

(57) 摘要: 一种非晶硅 TFT 基板的制作方法, 首先经第一道曝光制程形成具有三个厚度的光阻图案的第一光阻层, 并通过三次蚀刻制程和两次灰化制程, 利用第一光阻层完成非晶硅层、N 型掺杂非晶硅层、第一透明导电层及源漏极金属层这四层的图案化, 然后经第二道曝光制程进行钝化层的图案化, 最后经第三道曝光制程形成具有两个厚度的光阻图案的第二光阻层, 通过两次蚀刻制程和一次灰化制程, 利用第二光阻层完成第二透明导电层及栅极金属层这两层的图案化。

非晶硅 TFT 基板的制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种非晶硅 TFT 基板的制作方法。

5

背景技术

在显示技术领域，液晶显示器（Liquid Crystal Display，LCD）和有源矩阵驱动式有机电致发光（Active Matrix Organic Light-Emitting Diode，AMOLED）显示器等平板显示装置因具有机身薄、高画质、省电、无辐射等众多优点，得到了广泛的应用，如：移动电话、个人数字助理（PDA）、数字相机、计算机屏幕或笔记本屏幕等。

10

薄膜晶体管（Thin Film Transistor，TFT）阵列（Array）基板是目前 LCD 装置和 AMOLED 装置中的主要组成部件，直接关系到高性能平板显示装置的发展方向，用于向显示器提供驱动电路，通常设置有数条栅极扫描线和数条数据线，该数条栅极扫描线和数条数据线限定出多个像素单元，每个像素单元内设置有薄膜晶体管和像素电极，薄膜晶体管的栅极与相应的栅极扫描线相连，当栅极扫描线上的电压达到开启电压时，薄膜晶体管的源极和漏极导通，从而将数据线上的数据电压输入至像素电极，进而控制相应像素区域的显示。

15

按照 TFT 内半导体材料的不同，目前 TFT 主要分成非晶硅（A-Si）TFT 及低温多晶硅（Low Temperature Poly-Silicon，LTPS）TFT。非晶硅 TFT 相对于 LTPS TFT 技术分辨率低、功耗高，但其制作周期较短、成本低、易于进行大面积制程，因此是市场中备受青睐的产品，在目前的半导体行业中应用也最为广泛。

20

在半导体生产的量产线中，曝光（Photo）设备是最核心、最昂贵的设备，因此量产产线的生产产能都是依据曝光设备而定，所以在半导体行业发展的过程中，节省使用光罩（Mask）进行的曝光工艺，提升产能，降低成本成为主要推进技术发展的需求。在非晶硅 TFT 的制作工艺中，通常使用的是 6mask 工艺，近期通过优化设计，逐渐过渡到 5mask 甚至是 4mask 工艺，但是这还是不能满足对 TFT 阵列基板日益增加的产能需求。

25

30

发明内容

本发明的目的在于提供一种非晶硅 TFT 基板的制作方法，通过 3mask

工艺制作非晶硅 TFT 基板, 可以提升工厂的整体产能, 降低成本。

为实现上述目的, 本发明提供一种非晶硅 TFT 基板的制作方法, 包括如下步骤:

步骤 S1、提供一衬底基板, 在所述衬底基板上依次沉积形成非晶硅层、
5 N 型掺杂非晶硅层、第一透明导电层及源漏极金属层;

步骤 S2、在所述源漏极金属层上涂布光阻材料并进行第一道光罩制程, 形成第一光阻层, 所述第一光阻层具有厚度依次增加的第一光阻图案、第二光阻图案及第三光阻图案;

步骤 S3、以所述第一光阻层为遮蔽层进行第一次蚀刻制程, 去除所述
10 非晶硅层、N 型掺杂非晶硅层、第一透明导电层及源漏极金属层上未被第一光阻层覆盖的部分, 对应于所述第一光阻图案和第二光阻图案下方由非晶硅层得到的非晶硅有源层, 对应于所述第三光阻图案下方由第一透明导电层得到的像素电极;

步骤 S4、对所述第一光阻层进行第一次灰化处理, 薄化第二光阻图案
15 及第三光阻图案并去除第一光阻图案;

步骤 S5、以所述第一光阻层为遮蔽层进行第二次蚀刻制程, 去除 N 型掺杂非晶硅层、第一透明导电层及源漏极金属层上未被第一光阻层覆盖的部分, 对应于所述第二光阻图案下方由源漏极金属层得到对应位于非晶硅有源层两端上方的源极和漏极, 由 N 型掺杂非晶硅层得到对应于源极和漏极下方的源漏极接触区;
20

步骤 S6、对所述第一光阻层进行第二次灰化处理, 薄化第三光阻图案并去除第二光阻图案;

步骤 S7、以所述第一光阻层为遮蔽层进行第三次蚀刻制程, 去除对应于所述像素电极上方的源漏极金属层而露出像素电极; 剥离去除剩余的第一光阻层;
25

步骤 S8、在衬底基板上沉积形成覆盖非晶硅有源层、源极、漏极及像素电极的钝化层, 通过第二道光罩制程在所述钝化层上形成分别对应于漏极和像素电极上方的第一过孔和第二过孔;

步骤 S9、在所述钝化层上依次沉积形成第二透明导电层及栅极金属层;
30 在所述源漏极金属层上涂布光阻材料并进行第三道光罩制程, 形成第二光阻层, 所述第二光阻层具有厚度依次增加的第四光阻图案及第五光阻图案;

步骤 S10、以所述第二光阻层为遮蔽层进行第一次蚀刻制程, 去除所述第二透明导电层及栅极金属层上未被第二光阻层覆盖的部分, 对应于所述第四光阻图案下方由栅极金属层得到对应位于所述非晶硅有源层上方的栅

极与所述栅极相间隔的金属公共电极线，对应于所述五光阻图案下方由第二透明导电层得到的导电连接块及与导电连接块相间隔的透明公共电极线，其中导电连接块分别通过第一过孔和第二过孔与漏极和像素电极相接触，进而将漏极和像素电极电导通；

5 步骤 S11、对所述第二光阻层进行第一次灰化处理，薄化五光阻图案并去除第四光阻图案；

 步骤 S12、以所述第二光阻层为遮蔽层进行第二次蚀刻制程，去除对应于所述导电连接块和透明公共电极线上方的栅极金属层；剥离去除剩余的第二光阻层。

10 所述步骤 S2 中通过灰阶光罩进行第一道光罩制程。

 所述步骤 S9 中通过灰阶光罩或半色调进行第三道光罩制程。

 所述步骤 S2 中，所涂布的光阻材料为正型光阻材料，在所述第一道光罩制程中，该光阻材料分为分别在曝光程度由完全曝光逐渐降低至不曝光的四种曝光程度下曝光的四个部分，然后该曝光程度逐渐降低的四个部分在显影后分别被去掉、形成为所述第一光阻图案、形成为所述第二光阻图
15 案、形成为所述第三光阻图案。

 所述步骤 S9 中，所涂布的光阻材料为正型光阻材料，在所述第三道光罩制程中，该光阻材料分为分别在曝光程度由完全曝光逐渐降低至不曝光的三种曝光程度下曝光的三个部分，然后该曝光程度逐渐降低的三个部分在显影后分别被去掉、形成为所述第四光阻图案、形成为所述第五光阻图
20 案。

 所述第一透明导电层和第二透明导电层的材料为氧化铟锡。

 所述步骤 S1 中，通过化学气相沉积法沉积形成所述非晶硅层、N 型掺杂非晶硅层、第一透明导电层，通过溅射法沉积形成所述源漏极金属层。

25 所述步骤 S8 中，通过化学气相沉积法沉积形成所述钝化层。

 所述步骤 S9 中，通过化学气相沉积法沉积形成第二透明导电层，通过溅射法沉积形成所述栅极金属层。

 所述步骤 S1 中在沉积过程中通过加入磷烷形成所述 N 型掺杂非晶硅层。

 本发明的有益效果：本发明的非晶硅 TFT 基板的制作方法，首先经第一道光阻图案的第一光阻层，并通过三次蚀刻制程和两次灰化制程，利用第一光阻层完成非晶硅层、N 型掺杂非晶硅层、第一透明导电层及源漏极金属层这四层的图案化，然后经第二道光阻图案的第二光阻层，通过两次蚀刻制程和一次灰化制程，利用第二光阻
30

层完成第二透明导电层及栅极金属层这两层的图案化，本发明通过优化工艺，相对于现有 4mask 工艺进一步节省了一道光罩制程，实现非晶硅 TFT 基板的 3mask 制作工艺，从而可以提升工厂的整体产能，降低成本。

5 附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

- 10 图 1 为本发明的非晶硅 TFT 基板的制作方法的流程示意图；
图 2 为本发明的非晶硅 TFT 基板的制作方法的步骤 S1 的示意图；
图 3 为本发明的非晶硅 TFT 基板的制作方法的步骤 S2 的示意图；
图 4 为本发明的非晶硅 TFT 基板的制作方法的步骤 S3 的示意图；
图 5 为本发明的非晶硅 TFT 基板的制作方法的步骤 S4 的示意图；
15 图 6 为本发明的非晶硅 TFT 基板的制作方法的步骤 S5 的示意图；
图 7 为本发明的非晶硅 TFT 基板的制作方法的步骤 S6 的示意图；
图 8-9 为本发明的非晶硅 TFT 基板的制作方法的步骤 S7 的示意图；
图 10 为本发明的非晶硅 TFT 基板的制作方法的步骤 S8 的示意图；
图 11 为本发明的非晶硅 TFT 基板的制作方法的步骤 S9 的示意图；
20 图 12 为本发明的非晶硅 TFT 基板的制作方法的步骤 S10 的示意图；
图 13 为本发明的非晶硅 TFT 基板的制作方法的步骤 S11 的示意图；
图 14-15 为本发明的非晶硅 TFT 基板的制作方法的步骤 S12 的示意图。

25 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1，本发明提供一种非晶硅 TFT 基板的制作方法，包括如下步骤：

- 30 步骤 S1、如图 2 所示，提供一衬底基板 10，在所述衬底基板 10 上依次沉积形成非晶硅层 20、N 型掺杂非晶硅层 30、第一透明导电层 40 及源漏极金属层 50。

具体地，所述第一透明导电层 40 的材料为氧化铟锡（ITO）。

具体地，所述步骤 S1 中，通过化学气相沉积法（CVD）沉积形成所述

非晶硅层 20、N 型掺杂非晶硅层 30、第一透明导电层 40 通过溅射法(Sputter)沉积形成所述源漏极金属层 50, 除此之外, 也可以采用其他制作方式形成所述非晶硅层 20、N 型掺杂非晶硅层 30、第一透明导电层 40 及源漏极金属层 50。

5 具体地, 所述步骤 S1 中在沉积过程中通过加入磷烷形成所述 N 型掺杂非晶硅层 30。

步骤 S2、如图 3 所示, 在所述源漏极金属层 50 上涂布光阻材料并进行第一道光罩制程, 形成第一光阻层 90, 所述第一光阻层 90 具有厚度依次增加的第一光阻图案 91、第二光阻图案 92 及第三光阻图案 93。

10 具体地, 所述步骤 S2 中通过灰阶光罩 (Gray Tone Mask, GTM) 进行第一道光罩制程。

进一步地, 所述步骤 S2 中, 所涂布的光阻材料为正型光阻材料, 在所述第一道光罩制程中, 该光阻材料分为分别在曝光程度由完全曝光逐渐降低至不曝光的四种曝光程度下曝光的四个部分, 然后该曝光程度逐渐降低的四个部分在被显影后分别被去掉、形成为所述第一光阻图案 91、形成为
15 所述第二光阻图案 92、形成为所述第三光阻图案 93。

步骤 S3、如图 4 所示, 以所述第一光阻层 90 为遮蔽层进行第一次蚀刻制程, 去除所述非晶硅层 20、N 型掺杂非晶硅层 30、第一透明导电层 40 及源漏极金属层 50 上未被第一光阻层 90 覆盖的部分, 对应于所述第一光
20 阻图案 91 和第二光阻图案 92 下方由非晶硅层 20 得到的非晶硅有源层 21, 对应于所述第三光阻图案 93 下方由第一透明导电层 40 得到的像素电极 41。

步骤 S4、如图 5 所示, 对所述第一光阻层 90 进行第一次灰化处理 (Ashing), 薄化第二光阻图案 92 及第三光阻图案 93 并去除第一光阻图案
25 91。

步骤 S5、如图 6 所示, 以所述第一光阻层 90 为遮蔽层进行第二次蚀刻制程, 去除 N 型掺杂非晶硅层 30、第一透明导电层 40 及源漏极金属层 50 上未被第一光阻层 90 覆盖的部分, 对应于所述第二光阻图案 92 下方由源漏极金属层 50 得到对应位于非晶硅有源层 21 两端上方的源极 51 和漏极 52, 由 N 型掺杂非晶硅层 30 得到对应于源极 51 和漏极 52 下方的源漏极接触区
30 31。

步骤 S6、如图 7 所示, 对所述第一光阻层 90 进行第二次灰化处理, 薄化第三光阻图案 93 并去除第二光阻图案 92。

步骤 S7、如图 8-9 所示, 以所述第一光阻层 90 为遮蔽层进行第三次蚀

刻制程，去除对应于所述像素电极 41 上方的源漏极金属层 50 而露出像素电极 41；剥离去除剩余的第一光阻层 90。

5 步骤 S8、如图 10 所示，在衬底基板 10 上沉积形成覆盖非晶硅有源层 21、源极 51、漏极 52 及像素电极 41 的钝化层 60，通过第二道光罩制程在所述钝化层 60 上形成分别对应于漏极 52 和像素电极 41 上方的第一过孔 61 和第二过孔 62。

具体地，所述步骤 S8 中，通过化学气相沉积法沉积形成所述钝化层 60。

10 步骤 S9、如图 11 所示，在所述钝化层 60 上依次沉积形成第二透明导电层 70 及栅极金属层 80；在所述源漏极金属层 50 上涂布光阻材料并进行第三道光罩制程，形成第二光阻层 95，所述第二光阻层 95 具有厚度依次增加的第四光阻图案 96 及第五光阻图案 97。

具体地，所述步骤 S9 中通过灰阶光罩或半色调光罩（Half Tone Mask，HTM）进行第三道光罩制程。

15 进一步地，所述步骤 S9 中，所涂布的光阻材料为正型光阻材料，在所述第三道光罩制程中，该光阻材料分为分别在曝光程度由完全曝光逐渐降低至不曝光的三种曝光程度下曝光的三个部分，然后该曝光程度逐渐降低的三个部分在被显影后分别被去掉、形成为所述第四光阻图案 96、形成为所述第五光阻图案 97。

20 具体地，所述第二透明导电层 70 的材料为氧化铟锡。

所述步骤 S9 中，通过化学气相沉积法沉积形成第二透明导电层 70，通过溅射法沉积形成所述栅极金属层 80，除此之外，也可以采用其他制作方式形成所述第二透明导电层 70 和栅极金属层 80。

25 步骤 S10、如图 12 所示，以所述第二光阻层 95 为遮蔽层进行第一次蚀刻制程，去除所述第二透明导电层 70 及栅极金属层 80 上未被第二光阻层 95 覆盖的部分，对应于所述第四光阻图案 96 下方由栅极金属层 80 得到对应位于所述非晶硅有源层 21 上方的栅极 81 与所述栅极 81 相间隔的金属公共电极线 82，对应于所述五光阻图案 97 下方由第二透明导电层 70 得到的导电连接块 71 及与导电连接块 71 相间隔的透明公共电极线 72，其中导电
30 连接块 71 分别通过第一过孔 61 和第二过孔 62 与漏极 52 和像素电极 41 相接触，进而将漏极 52 和像素电极 41 电导通。

步骤 S11、如图 13 所示，对所述第二光阻层 95 进行第一次灰化处理，薄化五光阻图案 97 并去除第四光阻图案 96；

步骤 S12、如图 14-15 所示，以所述第二光阻层 95 为遮蔽层进行第二

次蚀刻制程，去除对应于所述导电连接块 71 和透明公共电极线 72 上方的栅极金属层 80；剥离去除剩余的第三光阻层 95。

本发明的非晶硅 TFT 基板的制作方法，首先经第一道曝光制程形成具有三个厚度的光阻图案的第一光阻层 90，并通过三次蚀刻制程和两次灰化制程，利用第一光阻层 90 完成非晶硅层 20、N 型掺杂非晶硅层 30、第一透明导电层 40 及源漏极金属层 50 这四层的图案化，然后经第二道曝光制程进行钝化层 60 的图案化，最后经第三道曝光制程形成具有两个厚度的光阻图案的第二光阻层 95，通过两次蚀刻制程和一次灰化制程，利用第二光阻层 95 完成第二透明导电层 70 及栅极金属层 80 这两层的图案化，本发明通过优化工艺，相对于现有 4mask 工艺进一步节省了一道光罩制程，实现非晶硅 TFT 基板的 3mask 制作工艺，通过三道光罩制程完成非晶硅 TFT 基板的制作，从而可以提升工厂的整体产能，降低成本。

综上所述，本发明的非晶硅 TFT 基板的制作方法，首先经第一道曝光制程形成具有三个厚度的光阻图案的第一光阻层，并通过三次蚀刻制程和两次灰化制程，利用第一光阻层完成非晶硅层、N 型掺杂非晶硅层、第一透明导电层及源漏极金属层这四层的图案化，然后经第二道曝光制程进行钝化层的图案化，最后经第三道曝光制程形成具有两个厚度的光阻图案的第二光阻层，通过两次蚀刻制程和一次灰化制程，利用第二光阻层完成第二透明导电层及栅极金属层这两层的图案化，本发明通过优化工艺，相对于现有 4mask 工艺进一步节省了一道光罩制程，实现非晶硅 TFT 基板的 3mask 制作工艺，从而可以提升工厂的整体产能，降低成本。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种非晶硅 TFT 基板的制作方法，包括如下步骤：

- 步骤 S1、提供一衬底基板，在所述衬底基板上依次沉积形成非晶硅层、
5 N 型掺杂非晶硅层、第一透明导电层及源漏极金属层；
- 步骤 S2、在所述源漏极金属层上涂布光阻材料并进行第一道光罩制程，形成第一光阻层，所述第一光阻层具有厚度依次增加的第一光阻图案、第二光阻图案及第三光阻图案；
- 步骤 S3、以所述第一光阻层为遮蔽层进行第一次蚀刻制程，去除所述
10 非晶硅层、N 型掺杂非晶硅层、第一透明导电层及源漏极金属层上未被第一光阻层覆盖的部分，对应于所述第一光阻图案和第二光阻图案下方由非晶硅层得到的非晶硅有源层，对应于所述第三光阻图案下方由第一透明导电层得到的像素电极；
- 步骤 S4、对所述第一光阻层进行第一次灰化处理，薄化第二光阻图案
15 及第三光阻图案并去除第一光阻图案；
- 步骤 S5、以所述第一光阻层为遮蔽层进行第二次蚀刻制程，去除 N 型掺杂非晶硅层、第一透明导电层及源漏极金属层上未被第一光阻层覆盖的部分，对应于所述第二光阻图案下方由源漏极金属层得到对应位于非晶硅有源层两端上方的源极和漏极，由 N 型掺杂非晶硅层得到对应于源极和漏极
20 极下方的源漏极接触区；
- 步骤 S6、对所述第一光阻层进行第二次灰化处理，薄化第三光阻图案并去除第二光阻图案；
- 步骤 S7、以所述第一光阻层为遮蔽层进行第三次蚀刻制程，去除对应于所述像素电极上方的源漏极金属层而露出像素电极；剥离去除剩余的
25 第一光阻层；
- 步骤 S8、在衬底基板上沉积形成覆盖非晶硅有源层、源极、漏极及像素电极的钝化层，通过第二道光罩制程在所述钝化层上形成分别对应于漏极和像素电极上方的第一过孔和第二过孔；
- 步骤 S9、在所述钝化层上依次沉积形成第二透明导电层及栅极金属层；
30 在所述源漏极金属层上涂布光阻材料并进行第三道光罩制程，形成第二光阻层，所述第二光阻层具有厚度依次增加的第四光阻图案及第五光阻图案；
- 步骤 S10、以所述第二光阻层为遮蔽层进行第一次蚀刻制程，去除所述第二透明导电层及栅极金属层上未被第二光阻层覆盖的部分，对应于所述

第四光阻图案下方由栅极金属层得到对应位于所述非晶硅有源层上方的栅极与所述栅极相间隔的金属公共电极线，对应于所述五光阻图案下方由第二透明导电层得到的导电连接块及与导电连接块相间隔的透明公共电极线，其中导电连接块分别通过第一过孔和第二过孔与漏极和像素电极相接触，
5 进而将漏极和像素电极电导通；

步骤 S11、对所述第二光阻层进行第一次灰化处理，薄化五光阻图案并去除第四光阻图案；

步骤 S12、以所述第二光阻层为遮蔽层进行第二次蚀刻制程，去除对应于所述导电连接块和透明公共电极线上方的栅极金属层；剥离去除剩余的
10 第二光阻层。

2、如权利要求 1 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S2 中通过灰阶光罩进行第一道光罩制程。

3、如权利要求 1 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S9 中通过灰阶光罩或半色调进行第三道光罩制程。

15 4、如权利要求 2 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S2 中，所涂布的光阻材料为正型光阻材料，在所述第一道光罩制程中，该光阻材料分为分别在曝光程度由完全曝光逐渐降低至不曝光的四种曝光程度下曝光的四个部分，然后该曝光程度逐渐降低的四个部分在显影后分别被去掉、形成为所述第一光阻图案、形成为所述第二光阻图案、形成为所述第三光阻图案。
20

5、如权利要求 3 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S9 中，所涂布的光阻材料为正型光阻材料，在所述第三道光罩制程中，该光阻材料分为分别在曝光程度由完全曝光逐渐降低至不曝光的三种曝光程度下曝光的三个部分，然后该曝光程度逐渐降低的三个部分在显影后分别
25 被去掉、形成为所述第四光阻图案、形成为所述第五光阻图案。

6、如权利要求 1 所述的非晶硅 TFT 基板的制作方法，其中，所述第一透明导电层和第二透明导电层的材料为氧化铟锡。

7、如权利要求 1 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S1 中，通过化学气相沉积法沉积形成所述非晶硅层、N 型掺杂非晶硅层、
30 第一透明导电层，通过溅射法沉积形成所述源漏极金属层。

8、如权利要求 1 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S8 中，通过化学气相沉积法沉积形成所述钝化层。

9、如权利要求 1 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S9 中，通过化学气相沉积法沉积形成第二透明导电层，通过溅射法沉积

形成所述栅极金属层。

10、如权利要求 1 所述的非晶硅 TFT 基板的制作方法，其中，所述步骤 S1 中在沉积过程中通过加入磷烷形成所述 N 型掺杂非晶硅层。



图1

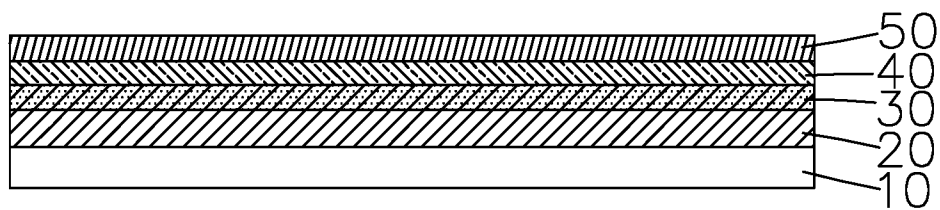


图2

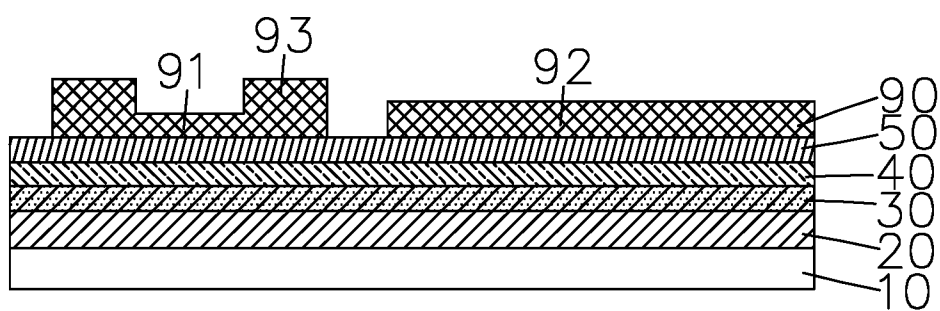


图3

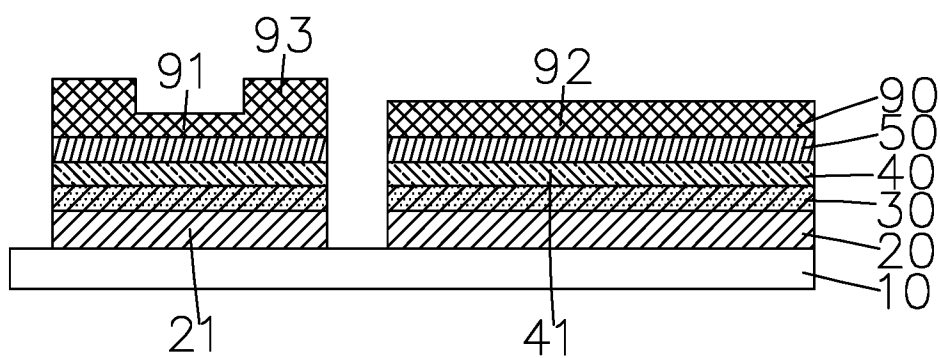


图4

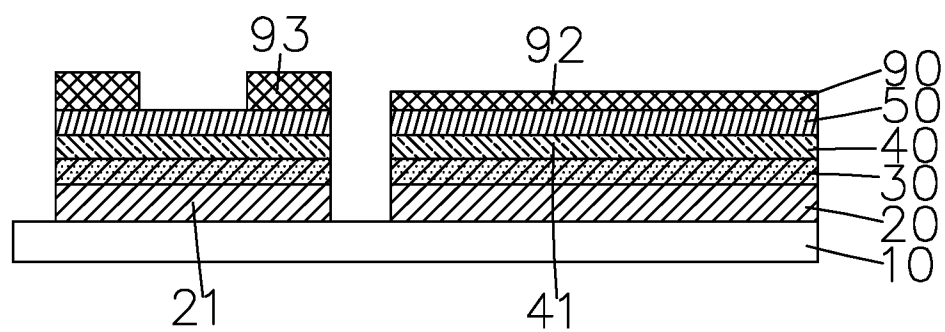


图5

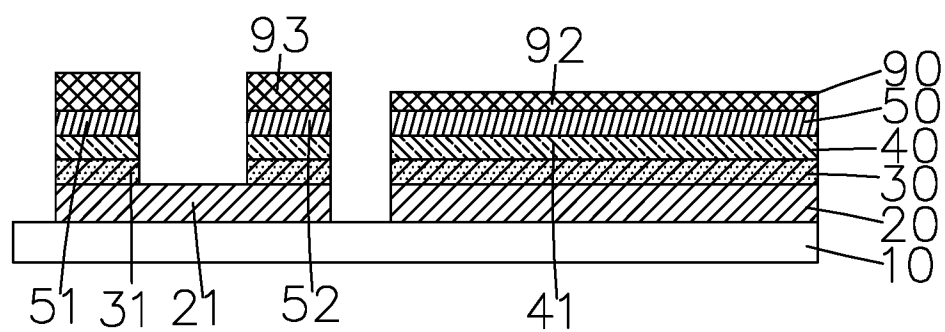


图6

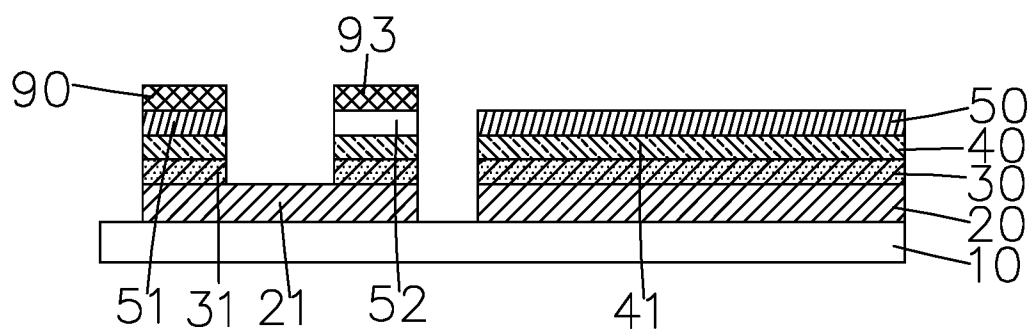


图7

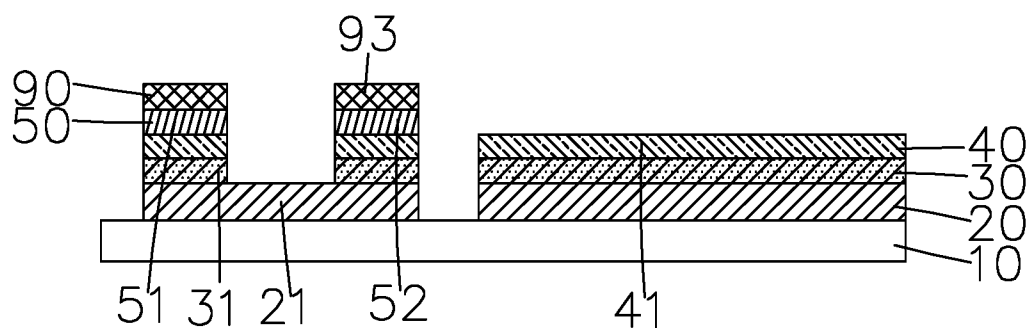


图8

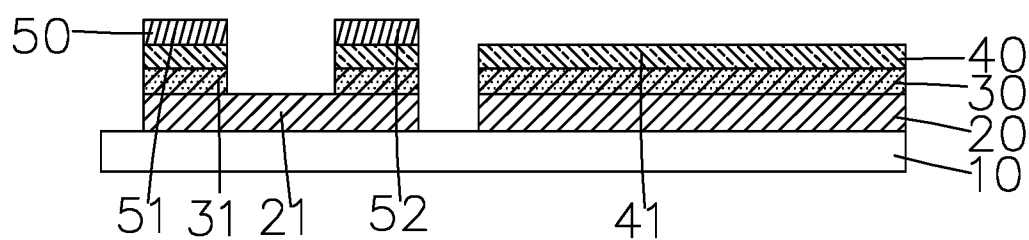


图9

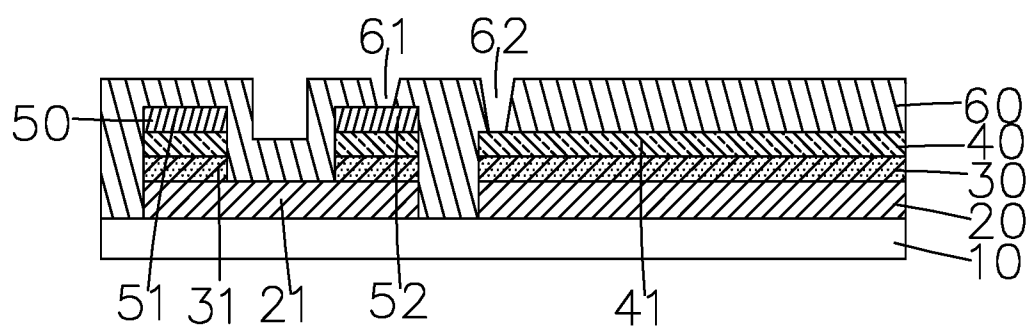


图10

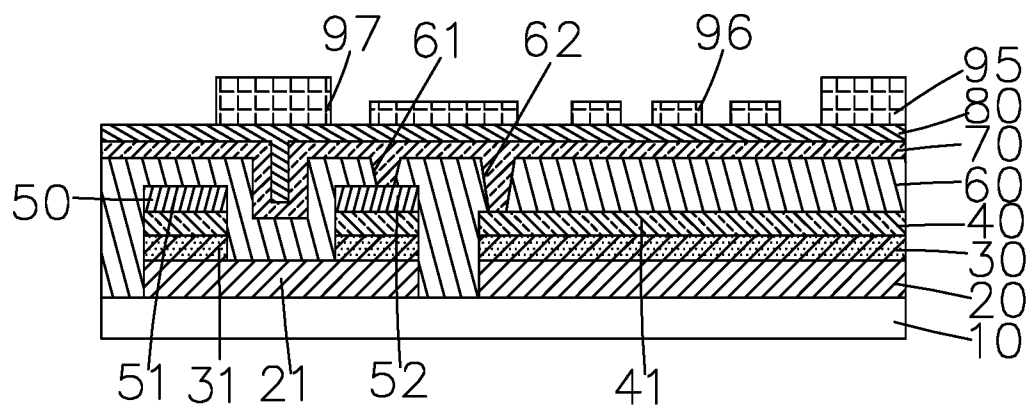


图11

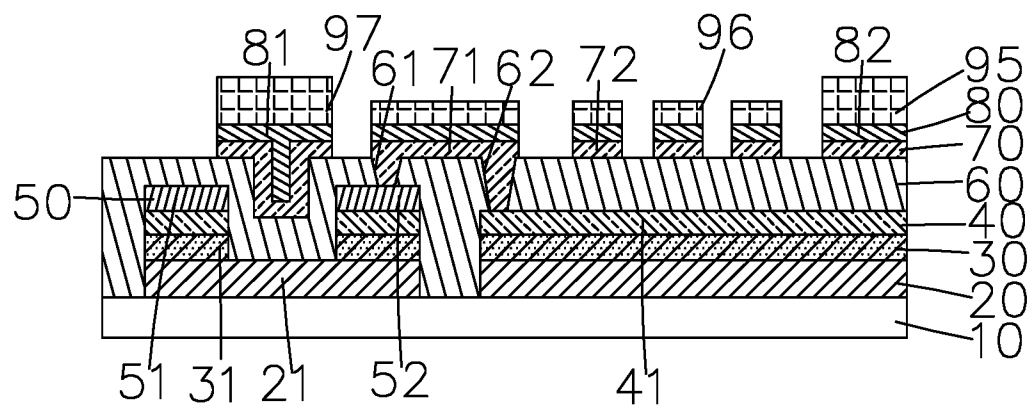


图12

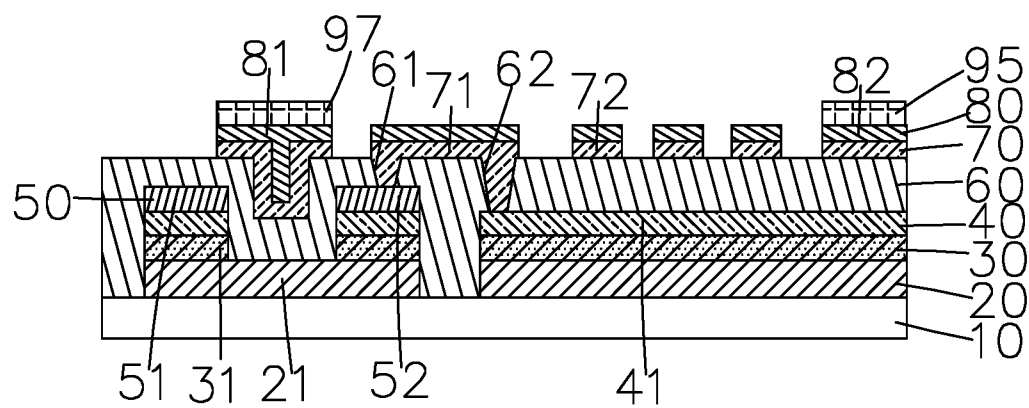


图13

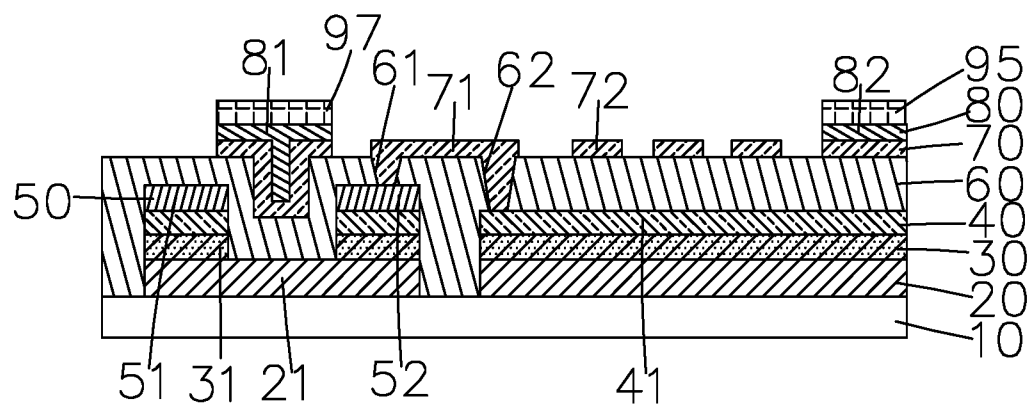


图14

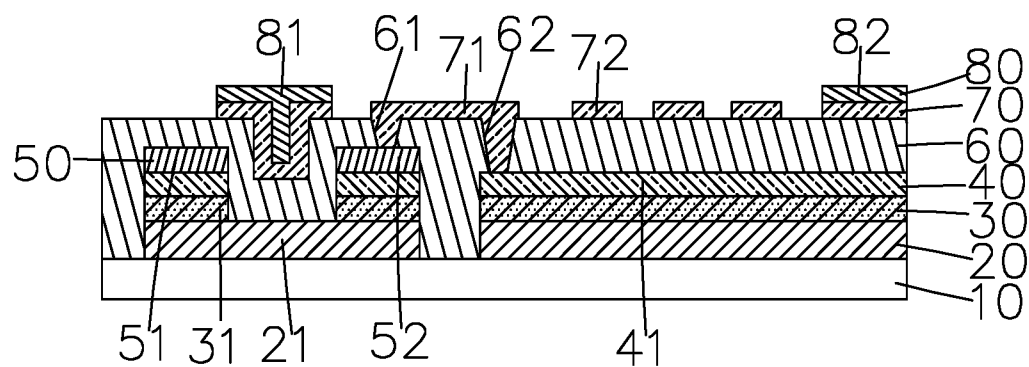


图15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/108074

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77(2017.01)i; H01L 21/336(2006.01)n; H01L 29/786(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; CNKI: 京东方, 显示, 薄膜晶体管, 阵列基板, 像素, 光罩, 掩模, 光阻, 图案, 图形, 蚀刻, 灰化, 灰阶, 半色调, 减少, 降低, 节省, 顶栅, thin film transistor, TFT, pixel?, display+, mask?, pattern?, etch+, ash+, +tone?, GTM, reduc+, decreas+, sav+, simplif+, top, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103149760 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 12 June 2013 (2013-06-12) description, paragraphs [0050]-[0097], and figures 2A-2M	1-10
A	CN 102931138 A (BOE TECHNOLOGY GROUP CO., LTD.) 13 February 2013 (2013-02-13) entire document	1-10
A	KR 20040061595 A (LG PHILIPS LCD CO., LTD.) 07 July 2004 (2004-07-07) entire document	1-10
A	US 2004180480 A1 (FUJITSU DISPLAY TECH) 16 September 2004 (2004-09-16) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 November 2018

Date of mailing of the international search report

12 December 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/108074

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103149760	A	12 June 2013	WO	2014127579	A1	28 August 2014
				CN	103149760	B	11 March 2015
				US	2016141314	A1	19 May 2016
				US	10056414	B2	21 August 2018
CN	102931138	A	13 February 2013	CN	102931138	B	01 April 2015
KR	20040061595	A	07 July 2004	KR	100904268	B1	25 June 2009
US	2004180480	A1	16 September 2004	JP	4522660	B2	11 August 2010
				US	7259045	B2	21 August 2007
				JP	2004281687	A	07 October 2004

国际检索报告

国际申请号

PCT/CN2018/108074

A. 主题的分类

H01L 21/77(2017.01)i; H01L 21/336(2006.01)n; H01L 29/786(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;CNKI: 京东方, 显示, 薄膜晶体管, 阵列基板, 像素, 光罩, 掩模, 光阻, 图案, 图形, 蚀刻, 灰化, 灰阶, 半色调, 减少, 降低, 节省, 顶栅, thin film transistor, TFT, pixel?, display+, mask?, pattern?, etch+, ash+, +tone?, GTM, reduc+, decreas+, sav+, simplif+, top, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103149760 A (合肥京东方光电科技有限公司 等) 2013年 6月 12日 (2013 - 06 - 12) 说明书第[0050]-[0097]段, 附图2A-2M	1-10
A	CN 102931138 A (京东方科技集团股份有限公司) 2013年 2月 13日 (2013 - 02 - 13) 全文	1-10
A	KR 20040061595 A (LG PHILIPS LCD CO LTD) 2004年 7月 7日 (2004 - 07 - 07) 全文	1-10
A	US 2004180480 A1 (FUJITSU DISPLAY TECH) 2004年 9月 16日 (2004 - 09 - 16) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 11月 16日

国际检索报告邮寄日期

2018年 12月 12日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

张弓

传真号 (86-10)62019451

电话号码 (86-512)88995669

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/108074

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103149760	A	2013年 6月 12日	WO	2014127579	A1	2014年 8月 28日
				CN	103149760	B	2015年 3月 11日
				US	2016141314	A1	2016年 5月 19日
				US	10056414	B2	2018年 8月 21日
CN	102931138	A	2013年 2月 13日	CN	102931138	B	2015年 4月 1日
KR	20040061595	A	2004年 7月 7日	KR	100904268	B1	2009年 6月 25日
US	2004180480	A1	2004年 9月 16日	JP	4522660	B2	2010年 8月 11日
				US	7259045	B2	2007年 8月 21日
				JP	2004281687	A	2004年 10月 7日

表 PCT/ISA/210 (同族专利附件) (2015年1月)