(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 197 30 118 B4** 2006.01.12

(12) **Patentschrift**

(21) Aktenzeichen: **197 30 118.5**
(22) Anmeldetag: **14.07.1997**
(43) Offenlegungstag: **21.01.1999**
(45) Veröffentlichungstag der Patenterteilung: **12.01.2006**

(51) Int Cl.[8]: ***H01L 21/58*** (2006.01)
B23K 35/24 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

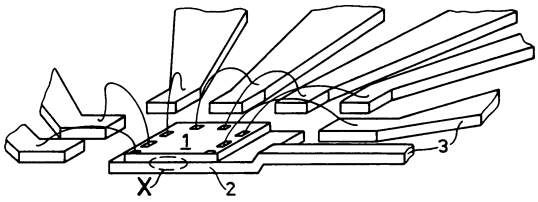
(74) Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667 München

(72) Erfinder:
Zanner, Rainer, 81547 München, DE; Reichert, Hansjörg, 81539 München, DE; Deckers, Margarete, 81737 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 1 95 32 250 A1
US 48 75 617
ZIMMERMANN, D.D.:"A New Gold-Tin Alloy Composition for Hermetic Package Sealing and Attachment of Hybrid Parts", in: Solid State Technology, Jan. 1972, S. 44-46;
ALBRECHT, H.J.: "Alternative Lotwerkstoffe für Elektronikbaugruppen", in: Siemens-Zeitschrift Special-FuE, Herbst 1996, S. 14-16;
LEE C.C. et al.,"A New Bonding Techn. using Gold and Tin Multilayer Composite Structures", in: IEEE Trans. on Comp., Hybrids, and Manufact. Techn., Vol.14, No.2, June 1991, S. 407-411;

(54) Bezeichnung: **Verfahren und Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung**

(57) Hauptanspruch: Verfahren zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten mit einem Lotmittel, wobei als Lotmittel eine Gold-Zinn-Verbindung (AuSn) verwendet wird, und das Lotmittel auf der Rückseite eines Chips (1) durch Sputtern abgeschieden wird, dadurch gekennzeichnet, dass das Lotmittel mit einer übereutektischen Sn-Konzentration verwendet wird.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten unter Verwendung eines Lotmittels mit den beiden metallhaltigen Bestandteilen X und Y, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist. Die Erfindung betrifft ferner ein Lotmittel für die Herstellung einer Chip-Substrat-Verbindung, sowie ein Halbleiterbauelement mit einem auf einem Substrat durch Legieren oder Hartlöten befestigten Halbleiterchip.

Stand der Technik

[0002] Aus D.D. Zimmermann, „A New Gold-Tin Alloy Composition for Hermetic Package Sealing and Attachment of Hybrid Parts", in: Solid State Technology, Jan. 1972, S. 44-46 wird als Ersatz für die bisher in der hybriden Mikroelektronik verwendeten 80-20 Gold-Zinnlegierungen eine 78-22 Gold-Zinn-Zusammensetzung vorgeschlagen, um eine verbesserte Produktivität, höhere Ausbeuten und damit geringere Produktionskosten zu erzielen.

[0003] Aus H.J. Albrecht, „Alternative Lotwerkstoffe für Elektronikbaugruppen" in: Siemens-Zeitschrift Special-FuE, Herbst 1996, S. 14-16 ist die Verwendung eines Ternär-Systems mit Zinn, Blei und Silber in übereutektischer Konzentration bekannt geworden.

[0004] Aus LEE, C.C. et al., „A New Bonding Techn. Using Gold and Tin Multilayer Composite Structures" in: IEEE Trans. On Comp., Hybrids, and Manufact. Techn , Vol 14, No. 2, June 1991, S. 407-411 ist es bekannt geworden, die polierte Rückseite eines GaAs-Wafers mit einer zusammengesetzten Cr-Au-Sn-Au-Beschichtung zu überziehen. Die Gesamtdicke der Beschichtung liegt bei 3,53 µm.

[0005] Des weiteren beschreibt US 4,875,617 eine eutektische Gold-Zinn (80:20)-Lotverbindung auf der Vorderseite von Flip-Chips, durch das Abscheiden von Gold- und Zinnschichten mittels Aufdampfen oder Aufsputtern und anschließendem Aufschmelzen oder durch das Aufsputtern mittels eutektischen Gold-Zinn-Targets hergestellt.

[0006] Die Verwendung einer übereutektischen Gold-Zinn-Zusammensetzung für die Lot-Scheiben zum Herstellen von dichten Verpackungen ist oberhalb von 23 % Zinn gemäß US 4,875,617 wegen der zunehmenden Bruchigkeit erschwert.

[0007] Die Merkmale des Oberbegriffs des Anspruchs 1 sind daher aus Lee, C. C et al. bekannt, während die Merkmale des Oberbegriffs des Anspruchs 5 US 4,875,617 zu entnehmen sind.

[0008] Aus der DE 195 32 250 A1 ist eine Anordnung und ein Verfahren zum Herstellen einer temperaturstabilen Verbindung mittels Diffusionslöten einer hochschmelzenden Komponente auf einem Substrat bekannt geworden, wobei eine zweite hochschmelzende Schicht als Schutzschicht aufgebracht wird.

[0009] Bei der Verbindung eines Halbleiterchips mit seiner Rückseite auf ein Substrat, welches üblicherweise als Chip- oder Die-Bonding bezeichnet wird, müssen die Anforderungen hinsichtlich einer ausreichenden mechanischen Befestigung sowie einer guten thermischen und elektrischen Leitfähigkeit je nach Anwendungsfall einzeln oder gemeinsam erfüllt werden. Eine besondere Rolle spielt die Verträglichkeit von Chip und Substrat, d.h. der Anpassung beider Verbindungspartner in ihrem Ausdehnungsverhalten bei thermischer Belastung. Derzeit sind im Wesentlichen drei zu unterscheidende Verfahren der Chipbefestigung üblich: Legieren (Hartlöten), Löten (Weichlöten), und Kleben. Das bevorzugte Anwendungsgebiet gemäß der vorliegenden Erfindung ist Legieren oder Hartlöten; bei einem vorbekannten Bondverfahren im AuSi-System wird eine eutektische Verbindung von Halbleiterchip und Substrat bei niedrigster Schmelztemperatur der beteiligten Verbindungspartner hergestellt. Es findet eine Legierungsbildung bei einer Temperatur statt, die weit unter der Schmelztemperatur der Einzelkomponenten Au und Si liegt. Diese Temperatur ist nicht so hoch, dass der Halbleiteraufbau und damit die elektrische Funktion geschädigt würde. Beim Legiervorgang werden Chip und Substrat auf diese Temperatur erhitzt, wobei ein leichter Druck angewandt und der Chip zur Verbesserung des Kontaktes in kreisförmiger Bewegung angerieben wird. Bei Erreichen des Schmelzpunktes entsprechend der Liquidus-Solidus-Kurve des Phasendiagramms wird das Lot flüssig, der Bondprozess kommt in Gang. Der Aufheizvorgang erfolgt in der Regel aus Kostengründen sehr schnell, er läuft nicht über thermodynamische Gleichgewichtszustände. Im Gegensatz dazu läuft der Abkühlvorgang wesentlich langsamer. Es kristallisiert zunächst die Überschusskomponente aus, bis beim Erstarrungspunkt wieder das eutektische Mischungsverhältnis erreicht ist. Während des Erstarrens der eutektischen Schmelze kristallisieren beide Komponenten getrennt, so dass die Struktur des erstarrten Eutektikums gleichmäßig verteilte Si- und Au-Kristalle zeigt.

[0010] Die Minimierung der Chipbruchanfälligkeit geschieht durch möglichst gleichmäßige flächige Verbindung Chip-Substrat und durch niedrige Eigenverspannung. Die Qualität der Verbindung wird durch die Flusseigenschaften des Lotes gesteuert und die Eigenverspannung von der Temperaturdifferenz Loterstarrung und Gebrauchstemperatur.

Aufgabenstellung

[0011] Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung einer Chip-Substrat-Verbindung, insbesondere durch Legieren bzw. Hartlöten, sowie ein geeignetes Lotmittel hierfür anzugeben, bei der bzw. bei dem die Gefahr eines Chipbruches möglichst gering ist.

[0012] Diese Aufgabe wird durch das Verfahren nach Anspruch 1 gelöst. Ein erfindungsgemäßes Lotmittel ist im Anspruch 5 angegeben.

[0013] Erfindungsgemäß ist vorgesehen, dass das Lotmittel eine übereutektische Konzentration des zweiten Bestandteiles Y aufweist. Hierbei stellt der Bestandteil Y diejenige Komponente des zwei- oder auch mehrkomponentigen Lotmittels dar, die beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Schichten verbraucht wird. Sinngemäß gilt dies auch für Mehrstoffsysteme. Nach der Erfindung ist vorgesehen, dass als Lotmittel eine Gold-Zinn-Verbindung (AuSn) mit einer übereutektischen Sn-Konzentration verwendet wird und das Lotmittel auf der Rückseite des Chips abgeschieden wird, insbesondere durch Sputtern.

[0014] Bevorzugterweise besitzt das AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20 %.

[0015] Die Erfindung bietet vor allem folgende Vorteile:

– Die Verwendung eines AuSn-Lotes mit übereutektischer Sn-Konzentration bietet gegenüber den vorbekannten eutektischen AuSi- bzw. eutektischen AuGe-Loten, die auf der Waferrückseite aufgedampft sind, um bis zu 100° Celsius verringerte Chiplegiertemperaturen, und dadurch wesentlich geringere thermische Verspannungen und damit verringerte Chipbruchgefahr. Die Erfindung ermöglicht darüber hinaus eine verbesserte Homogenität und Benetzung der Lotschicht.

– Gegenüber einem eutektischen AuSn-Lot bietet die Erfindung vor allem den Vorteil einer geringeren Legiertemperatur. Eutektisches AuSn verarmt während der Beschichtung und des Montageprozesses an Sn, da sowohl die erforderliche Barriere zwischen AuSn und Si als auch die Leadframe-Oberfläche (beispielsweise aus Ag) bei der Montage Sn aufnehmen. Damit steigt die Schmelztemperatur des AuSn-Lotes. Vor allem bei gesputtertem, eutektischem AuSn liegt die zur Verbindung erforderliche Legiertemperatur fast so hoch wie bei einer AuSi-Legierung.

– Gegenüber Epoxyd-Klebern besitzt die Erfindung den Vorteil einer besseren thermischen Leitfähigkeit der Verbindung, besseren Homogenität der Verbindung, und vor allem Einsparung von Kleber und Kleberprozess in der Montage.

– Gegenüber dem Löten mit Preform ergibt sich beim erfindungsgemäßen Verfahren vor allem eine Kostenersparnis in der Montage.

[0016] Nach der Erfindung wird das Lotmittel auf der Rückseite des Chips abgeschieden, insbesondere durch Sputtern. Dies erfolgt selbstverständlich im Waferverbund der Halbleiterchips, so dass der Begriff Chip auch den noch im Waferverbund befindlichen Chip umfasst.

[0017] Von besonderem Vorteil besitzt das bei der Abscheidung verwendete Target eine gewichtsmäßige Zusammensetzung der Bestandteile X zu Y von 70 zu 30, also vorzugsweise eine Zusammensetzung von AuSn = 70/30. Die Lotschicht wird in einer Stärke von etwa 1 µm bis etwa 2 µm, vorzugsweise etwa 1,5 µm auf die Waferrückseite aufgesputtert.

Ausführungsbeispiel

[0018] Nachfolgend wird die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels weiter erläutert. Im Einzelnen zeigen die Darstellungen in:

[0019] Fig. 1 das Phasendiagramm von AuSn;

[0020] Fig. 2A eine schematische Darstellung eines auf einem Leadframe unter Verwendung des erfindungsgemäßen übereutektischen AuSn-Lotes legierten Halbleiterchips; und

[0021] Fig. 2B eine vergrößerte Schnittdarstellung der Einzelheit X nach Fig. 2A.

[0022] Wie in Fig. 1 sichtbar ist, liegt für das System AuSn die eutektische Temperatur bei 278° Celsius und die entsprechende Zusammensetzung bei 20 % Sn und 80 % Au (Gewichtsprozent). Es findet somit eine Legierungsbildung bei einer Temperatur statt, die weit unter der Schmelztemperatur der Einzelkomponenten liegt. Dem wesentlichen Gedanken der Erfindung folgend wird ein AuSn-Lot mit einer übereutektischen Konzentration von Zinn verwendet, so dass das AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20 % besitzt. Damit ergibt sich eine ausreichende Dünnflüssigkeit des Lotmittels bei Temperaturen von unterhalb 380° Celsius für die Montage in SOT-Gehäusen, da durch eine Diffusion von Sn in benachbarten Metallschichten das AuSn sich in seiner Zusammensetzung von der zinnreichen Phase her auf den eutektischen Punkt zubewegt und somit eine über dem Eutektikum liegende, goldreiche Lotphase vermieden wird. Die Schmelztemperatur des AuSn-Gemisches steigt bei Au-Überschuss sehr stark an, bei Sn-Anreicherung ist die Schmelzpunkterhöhung wesentlich geringer. Durch einen Sn-Verlust eines Sn-reichen, erfindungsgemäßen Lotes tritt beim Lötvorgang eine kontinuierliche Schmelzpunkterniedrigung auf. Der Lötvorgang wird begünstigt.

Insbesondere an der Kontaktstelle Lot-Leadframe (beispielsweise Ag), wo die Sn-Verarmung auftritt, wird lokal die Schmelztemperatur erniedrigt, was die Fließeigenschaft des Lotes verbessert. Aus diesem Grund werden durch ein Überangebot an Sn reproduzierbare Montagebedingungen bei niedrigen Temperaturen erreicht. Insbesondere bei dünnen Lot-Schichten, wie sie an sich bei Waferrückseitenbeschichtungen üblich sind, ist dieser Effekt stark ausgeprägt.

[0023] In den Fig. 2A und Fig. 2B ist eine durch Legieren bzw. Hartlöten gefertigte Verbindung eines Halbleiterchips **1** auf der zentralen „Insel" **2** eines metallenen Systemträgers **3** dargestellt. Die auch als Leadframes bezeichneten vorgefertigten metallischen Systemträger stellen eine sehr weit verbreitete Substratform dar, insbesondere für die Verwendung in Kunststoffgehäusen. Die vergrößerte Teilansicht nach Fig. 2B zeigt die Schichtenfolge in näheren Einzelheiten. Die Rückseite des Halbleiterchips **1** ist mit einer Haft- oder Diffusionsbarriere **4** versehen, welche vorzugsweise Ti/Pt aufweist. Die Bezugsziffer **5** bezeichnet die in einer Stärke von typischerweise 1,5 µm auf die Scheibenrückseite aufgesputterte Lotschicht. Damit die Chip-Substrat-Verbindung ausreichend niederohmig ist, kann es erforderlich sein, vorab noch eine Dotierschicht, beispielsweise aus AuAs, oder eine Kontaktimplantation **6** einzufügen.

Bezugszeichenliste

1	Halbleiterchip
2	zentrale „Insel"
3	metallener Systemträger
4	Haft-/ oder Diffusionsschicht
5	Lotschicht
6	Kontaktimplantation
X, Y	metallhaltige Bestandteile

Patentansprüche

1. Verfahren zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten mit einem Lotmittel, wobei als Lotmittel eine Gold-Zinn-Verbindung (AuSn) verwendet wird, und das Lotmittel auf der Rückseite eines Chips (**1**) durch Sputtern abgeschieden wird, **dadurch gekennzeichnet**, dass das Lotmittel mit einer übereutektischen Sn-Konzentration verwendet wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das verwendete AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20 % aufweist.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das bei der Abscheidung verwendete Target eine gewichtsmäßige Zusammensetzung der Bestandteile Gold zu Zinn von 70 zu 30 besitzt.

4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, dass das Lotmittel in einer Stärke von etwa 1 µm bis etwa 2 µm, und insbesondere etwa 1,5 µm auf die Rückseite des Chips (**1**) aufgetragen wird.

5. Lotmittel in Form eines Targets für die Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten, wobei das Lotmittel aus einer Gold-Zinn-Verbindung (AuSn) besteht, und das Lotmittel durch Sputtern auf Chips (**1**) im Waferverbund abgeschieden wird, dadurch gekennzeichnet, dass das Lotmittel eine übereutektische Sn-Konzentration aufweist.

6. Lotmittel nach Anspruch 5, dadurch gekennzeichnet, dass der Target eine gewichtsmäßige Zusammensetzung der Bestandteile Gold zu Zinn von 70 zu 30 besitzt.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

Fig 1

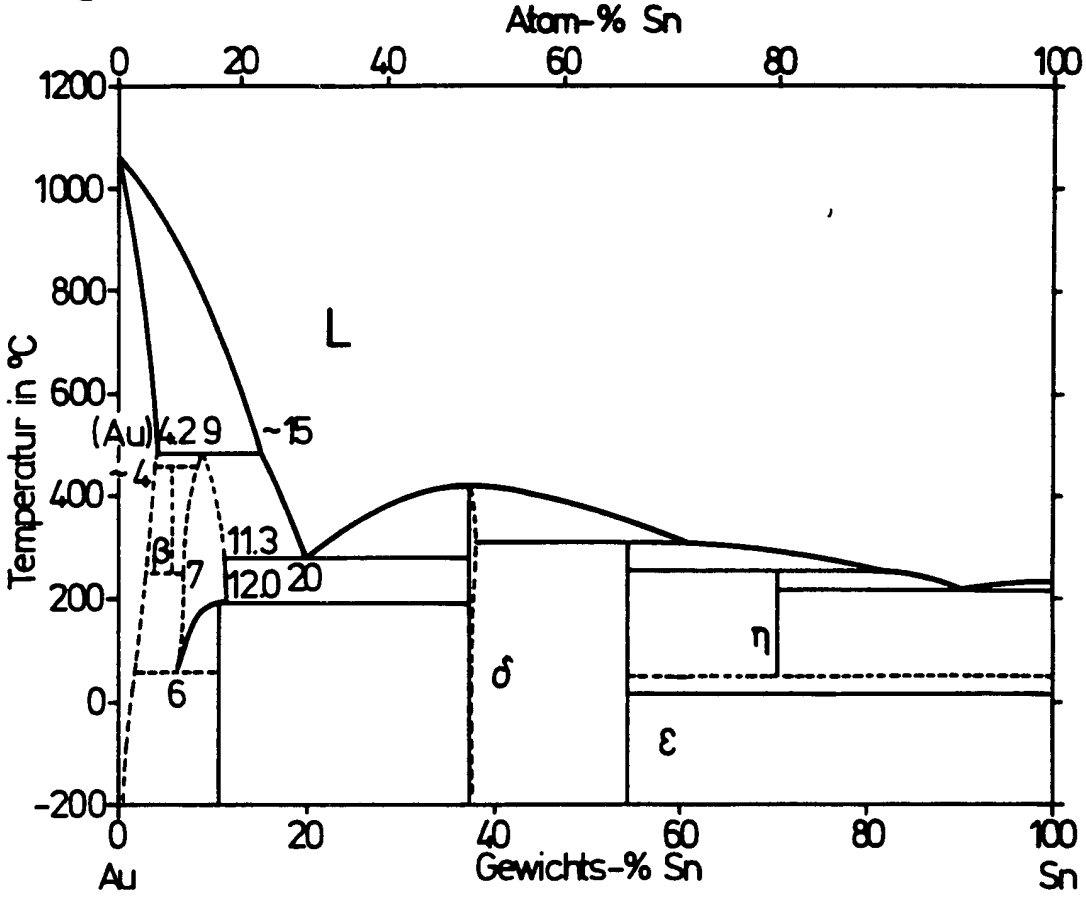


Fig 2A

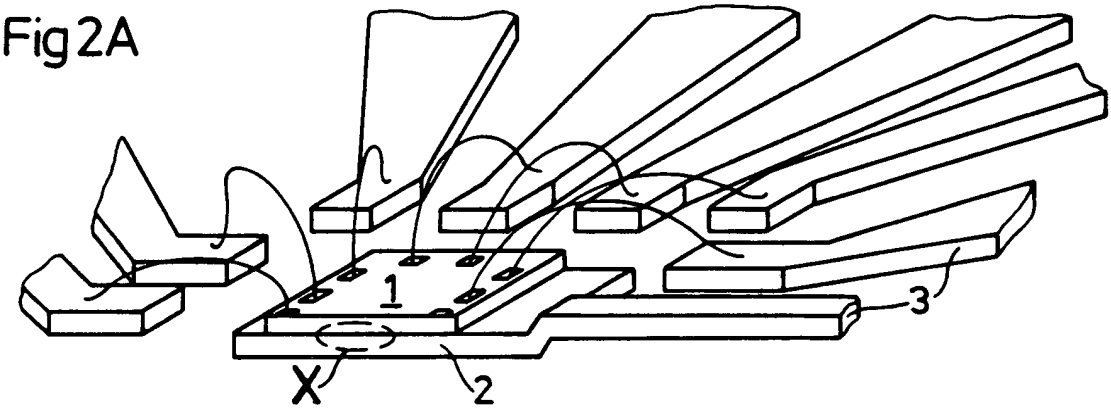


Fig 2B

X:

