

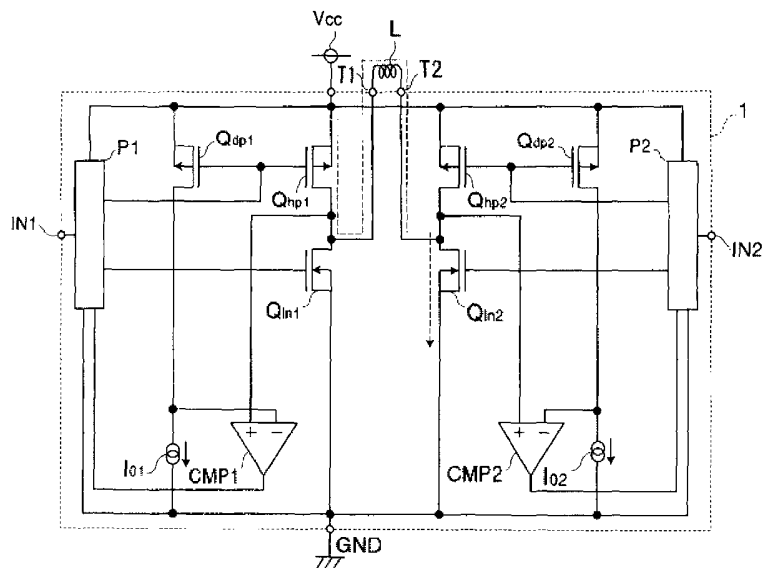


- (51) 国際特許分類:  
*H02P 29/00* (2006.01)
- (21) 国際出願番号: PCT/JP2005/015616
- (22) 国際出願日: 2005年8月29日 (29.08.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-265062 2004年9月13日 (13.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 吉川 寛 (YOSHIKAWA, Hiroshi) [JP/JP]; 〒6158585 京都府京
- 都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号中之島セントラルタワー22階 深見特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: COIL LOAD DRIVE CIRCUIT AND OPTICAL DISC DRIVE COMPRISING THE SAME

(54) 発明の名称: コイル負荷駆動回路及びそれを備えた光ディスク装置



(57) Abstract: A coil load drive circuit (1) drives one end of a coil load (L) from an output terminal at the middle point between a power supply side drive transistor ( $Q_{hp1}$ ) and a ground side drive transistor ( $Q_{ln1}$ ) provided in series between a power supply voltage ( $V_{cc}$ ) and the ground potential, and turns any one of these drive transistors off when an overcurrent flows. The coil load drive circuit (1) comprises an overcurrent detection transistor ( $Q_{dp1}$ ) receiving the control voltage of the power supply side drive transistor ( $Q_{hp1}$ ) or the ground side drive transistor ( $Q_{ln1}$ ), a constant current source ( $I_{01}$ ) for creating a reference voltage by supplying a constant current to the overcurrent detection transistor ( $Q_{dp1}$ ), and an overcurrent detection comparator (CMP1) for detecting overcurrent by comparing the voltage at the output terminal to the reference voltage.

[続葉有]



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: このコイル負荷駆動回路(1)は、電源電圧( $V_{cc}$ )と接地電位の間に直列に設けられた電源側の駆動トランジスタ( $Q_{hp1}$ )と接地側の駆動トランジスタ( $Q_{ln1}$ )の中間点である出力端子からコイル負荷(L)の一端を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするものであって、電源側の駆動トランジスタ( $Q_{hp1}$ )の制御電圧又は接地側の駆動トランジスタの制御電圧( $Q_{ln1}$ )が入力される過電流検出用トランジスタ( $Q_{dp1}$ )と、過電流検出用トランジスタ( $Q_{dp1}$ )に一定の電流を流し、リファレンス電圧を生成する定電流源( $I_{o1}$ )と、出力端子の電圧とリファレンス電圧を比較して過電流を検出する過電流検出用比較器(CMP1)とを備える。

## 明 細 書

## コイル負荷駆動回路及びそれを備えた光ディスク装置

## 技術分野

[0001] 本発明は、過電流保護回路を有するコイル負荷駆動回路、及びそのコイル負荷駆動回路を備えた光ディスク装置に関する。

## 背景技術

[0002] 図8にコイル負荷Lを駆動するようHブリッジ型に接続された駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ 、 $Q_{hp2}$ 、 $Q_{ln2}$ を有し、過電流保護回路を備えた従来のコイル負荷駆動回路100を示す。同図においてブリドライバP1、P2からの制御信号に遅延等によるずれが生じて電源側及び接地側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ 又は $Q_{hp2}$ 、 $Q_{ln2}$ に貫通電流が発生した場合、それらの駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ 、 $Q_{hp2}$ 、 $Q_{ln2}$ に大電流(以下、過電流)が流れる。また、異物などにより、出力端子T101、T102間がショートしたときや過負荷の状態のときなどにも同様に駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ 、 $Q_{hp2}$ 、 $Q_{ln2}$ に過電流が流れる。この過電流により駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ 、 $Q_{hp2}$ 、 $Q_{ln2}$ が破壊されることがあるので過電流を防止する過電流保護回路として、電源側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{hp2}$ に流れる電流を検出するために過電流検出抵抗 $R_d$ と過電流検出用比較器CMP1とが設けてある。

[0003] 例えば、駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln2}$ がオン、駆動トランジスタ $Q_{hp2}$ 、 $Q_{ln1}$ がオフの状態であって同図に示す矢印の方向に過電流が流れた場合、過電流検出抵抗 $R_d$ によって降下する電圧が大きくなるため、過電流検出用比較器CMP1の非反転入力端子に入力されるリファレンス電圧 $V_{ref}$ よりも反転入力端子に入力される電圧が低くなる。過電流検出用比較器CMP1はこれを検出して、ブリドライバP1、P2に駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ 、 $Q_{hp2}$ 、 $Q_{ln2}$ をオフするよう信号を伝達する。

[0004] このような技術を記載したものとしては以下の特開平5-236797号公報(特許文献1)が挙げられる。

特許文献1:特開平5-236797号公報

発明の開示

### 発明が解決しようとする課題

[0005] しかし、上述したコイル負荷駆動回路100は、駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ 、 $Q_{hp2}$ 、 $Q_{ln2}$ 及びコイル負荷Lに流れる電流が定常時においても比較的大きいので、出力電圧のダイナミックレンジを確保するためには過電流検出抵抗 $R_d$ は通常 $1\Omega$ よりも小さくかつ高精度にする必要がある。そのため、過電流検出抵抗 $R_d$ として高精度の外付け抵抗が用いられることが多く、このことがコストの増大を招いていた。また、このようなコイル負荷駆動回路を用いた光ディスク装置などの電子機器にあっては、過電流検出抵抗 $R_d$ を搭載するプリント基板が大型化する。

[0006] 本発明は、上記事由に鑑みてなされたもので、その目的とするところは、過電流検出抵抗としての外付け抵抗を必要としないコイル負荷駆動回路を提供することにある。

### 課題を解決するための手段

[0007] 上記目的を達成するために、本発明に係るコイル負荷駆動回路は、電源電圧と接地電位の間に直列に設けられた電源側の駆動トランジスタと接地側の駆動トランジスタの中間点である出力端子からコイル負荷の一端を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路であって、電源側の駆動トランジスタの制御電圧又は接地側の駆動トランジスタの制御電圧が入力される過電流検出用トランジスタと、過電流検出用トランジスタに一定の電流を流し、リファレンス電圧を生成する定電流源と、出力端子の電圧とリファレンス電圧を比較して過電流を検出する過電流検出用比較器とを備えることを特徴とする。

[0008] 本発明に係る別のコイル負荷駆動回路は、電源電圧と接地電位の間に直列に設けられた第1の電源側の駆動トランジスタと第1の接地側の駆動トランジスタの中間点である第1の出力端子と、電源電圧と接地電位の間に直列に設けられた第2の電源側の駆動トランジスタと第2の接地側の駆動トランジスタの中間点である第2の出力端子とからコイル負荷の両端を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路であって、第1の電源側の駆動トランジスタの制御電圧又は第1の接地側の駆動トランジスタの制御電圧が入力される第1の過電流検出用トランジスタと、第2の電源側の駆動トランジスタの制御電圧又は第2

の接地側の駆動トランジスタの制御電圧が入力される第2の過電流検出用トランジスタと、第1又は第2の過電流検出用トランジスタに選択的に一定の電流を流し、リファレンス電圧を生成する定電流源と、第1又は第2の出力端子の電圧とリファレンス電圧を選択的に比較して過電流を検出する過電流検出用比較器とを備えることを特徴とする。

[0009] 本発明に係るさらに別のコイル負荷駆動回路は、電源電圧と接地電位の間に直列に設けられた第1の電源側の駆動トランジスタと第1の接地側の駆動トランジスタの中間点である第1の出力端子と、電源電圧と接地電位の間に直列に設けられた第2の電源側の駆動トランジスタと第2の接地側の駆動トランジスタの中間点である第2の出力端子と、電源電圧と接地電位の間に直列に設けられた第3の電源側の駆動トランジスタと第3の接地側の駆動トランジスタの中間点である第3の出力端子とから3相のコイル負荷を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路であって、第1の電源側の駆動トランジスタの制御電圧又は第1の接地側の駆動トランジスタの制御電圧が入力される第1の過電流検出用トランジスタと、第2の電源側の駆動トランジスタの制御電圧又は第2の接地側の駆動トランジスタの制御電圧が入力される第2の過電流検出用トランジスタと、第3の電源側の駆動トランジスタの制御電圧又は第3の接地側の駆動トランジスタの制御電圧が入力される第3の過電流検出用トランジスタと、第1、第2又は第3の過電流検出用トランジスタに選択的に一定の電流を流し、リファレンス電圧を生成する定電流源と、第1、第2、又は第3の出力端子の電圧とリファレンス電圧とを選択的に比較して過電流を検出する過電流検出用比較器とを備えることを特徴とする。

[0010] 好ましくは、コイル負荷駆動回路は、過電流検出用比較器で比較される電圧の入力タイミングを制御する手段を備えたことを特徴とする。

[0011] 特に、コイル負荷駆動回路は、過電流検出用比較器で比較される電圧の入力タイミングを制御する手段が、電源側の駆動トランジスタの制御電圧又は接地側の駆動トランジスタの制御電圧と過電流検出用トランジスタの制御電圧とのタイミングを制御するタイミング制御回路であることを特徴とする。

[0012] 本発明に係る光ディスク装置は、上記に記載のコイル負荷駆動回路を備えることを

特徴とする。

## 発明の効果

- [0013] 本発明に係るコイル負荷駆動回路は、過電流検出用トランジスタを設けてリファレンス電圧を生成し、これと出力端子の電圧を比較して過電流を検出するようにしたので、過電流検出抵抗としての外付け抵抗が不要となってコストの低減が図れ、しかも過電流と判定される電流値が温度の影響を受けないので、正確な過電流検出が可能になる。また、このコイル負荷駆動回路を備えた本発明に係る光ディスク装置は、コストの低減が図れる上に小型化も図れる。

## 図面の簡単な説明

- [0014] [図1]本発明に係るコイル負荷駆動回路の第1の実施形態の回路図である。  
 [図2]本発明に係るコイル負荷駆動回路の第2の実施形態の回路図である。  
 [図3]本発明に係るコイル負荷駆動回路の第3の実施形態の回路図である。  
 [図4]本発明に係るコイル負荷駆動回路の第4の実施形態の回路図である。  
 [図5]本発明に係るコイル負荷駆動回路の第5の実施形態の回路図である。  
 [図6]本発明に係るコイル負荷駆動回路の第6の実施形態の回路図である。  
 [図7]光ディスク装置の構成図である。  
 [図8]従来のコイル負荷駆動回路の回路図である。

## 符号の説明

- [0015] 1～7 コイル負荷駆動回路、 $L$ ,  $U_L$ ,  $V_L$ ,  $W_L$  コイル負荷、 $T_1$ ,  $T_2$ ,  $T_U$ ,  $T_V$ ,  $T_W$  出力端子、 $Q_{hp1}$ ,  $Q_{hp2}$ ,  $Q_{UHP}$ ,  $Q_{VHP}$ ,  $Q_{WHP}$  電源側の駆動トランジスタ、 $Q_{ln1}$ ,  $Q_{ln2}$ ,  $Q_{UL}$ ,  $Q_{VL}$ ,  $Q_{WL}$  接地側の駆動トランジスタ、 $Q_{dp1}$ ,  $Q_{dp2}$ ,  $Q_{dup}$ ,  $Q_{dvp}$ ,  $Q_{dwp}$ ,  $Q_{dun}$ ,  $Q_{dvn}$ ,  $Q_{dn}$ ,  $Q_{dwn}$  過電流検出用トランジスタ、 $I_{01}$ ,  $I_{02}$ ,  $I_{11}$  定電流源、CMP1, CMP2 過電流検出用比較器、L1, L2 タイミング制御回路。

## 発明を実施するための最良の形態

- [0016] 本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。
- [0017] 以下、本発明を実施するための最良な形態について説明する。図1は本発明に係

るコイル負荷駆動回路の第1の実施形態である。このコイル負荷駆動回路1(及び後述のコイル負荷駆動回路2乃至5)は、例えば光ディスク装置を構成する光ピックアップやスレッドモータのコイル負荷を駆動するコイル負荷駆動回路に適用される。コイル負荷駆動回路1(及び後述のコイル負荷駆動回路2乃至5)の駆動トランジスタ $Q_{hp1}$ 、 $Q_{in1}$ 、 $Q_{hp2}$ 、 $Q_{in2}$ はコイル負荷Lを介してHブリッジ接続されている。

[0018] P型MOSトランジスタである第1の電源側の駆動トランジスタ $Q_{hp1}$ とN型MOSトランジスタである第1の接地側の駆動トランジスタ $Q_{in1}$ とは電源電圧Vccと接地電位との間に直列に接続され、その中間点である第1の出力端子T1からコイル負荷Lの一端を駆動している。プリドライバP1は、外部から入力端子IN1を介して入力される制御信号と後述する第1の過電流検出用比較器CMP1との比較結果に基づき、ハイレベル又はローレベルの電圧を出力して第1の電源側及び接地側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{in1}$ のオン・オフを制御する。

[0019] P型MOSトランジスタの $Q_{dp1}$ は、第1の過電流検出用トランジスタであり、第1の電源側の駆動トランジスタ $Q_{hp1}$ よりも面積が小さく(例えば約100分の1)、それとゲートを共通にして制御電圧が入力されている。なお、第1の過電流検出用トランジスタ $Q_{dp1}$ は、第1の電源側の駆動トランジスタ $Q_{hp1}$ と比較して、20分の1～2000分の1程度の大きさであっても以下に説明する目的を達成できる。

[0020] また、第1の過電流検出用トランジスタ $Q_{dp1}$ は、第1の電源側の駆動トランジスタ $Q_{hp1}$ とゲート長を共通にした同一形状のものとして整合性を良くすることが望ましい。第1の過電流検出用トランジスタ $Q_{dp1}$ のドレインにはそれに一定の電流を流し、リファレンス電圧を生成する第1の定電流源 $I_{o1}$ が設けられている。

[0021] 第1の過電流検出用比較器CMP1は、非反転入力端子に第1の電源側の駆動トランジスタ $Q_{hp1}$ のドレイン、すなわち第1の出力端子T1の電圧が入力され、反転入力端子に第1の過電流検出用トランジスタ $Q_{dp1}$ のドレインの電圧がリファレンス電圧として入力され、それらの比較結果をプリドライバP1に出力する。この比較結果が過電流を示すものである場合、プリドライバP1は第1の電源側及び接地側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{in1}$ をオフするハイレベル又はローレベルの電圧を出力する。

[0022] 入力端子IN2、プリドライバP2、第2の電源側の駆動トランジスタ $Q_{hp2}$ 、第2の接地

側の駆動トランジスタ $Q_{\text{in}2}$ 、第2の出力端子T2、第2の過電流検出用トランジスタ $Q_{\text{dp}2}$ 、第2の過電流検出用比較器CMP2、第2の定電流源 $I_{\text{o}2}$ は、それぞれ入力端子IN1、プリドライバP1、第1の電源側の駆動トランジスタ $Q_{\text{hp}1}$ 、第1の接地側の駆動トランジスタ $Q_{\text{in}1}$ 、第1の出力端子T1、第1の過電流検出用トランジスタ $Q_{\text{dp}1}$ 、第1の過電流検出用比較器CMP1、第1の定電流源 $I_{\text{o}1}$ に対応し、それらの間には同じ接続関係であるため詳しい説明は省略する。

[0023] 次に、コイル負荷駆動回路1の動作について説明する。第1の電源側及び接地側の駆動トランジスタ $Q_{\text{hp}1}$ 、 $Q_{\text{in}1}$ のゲートへの電圧がローレベル、第2の電源側及び接地側の駆動トランジスタ $Q_{\text{hp}2}$ 、 $Q_{\text{in}2}$ へのゲートへの電圧がハイレベルであるとき、すなわち第1の電源側の駆動トランジスタ $Q_{\text{hp}1}$ と第2の接地側の駆動トランジスタ $Q_{\text{in}2}$ とがオン、第1の接地側の駆動トランジスタ $Q_{\text{in}1}$ と第2の電源側の駆動トランジスタ $Q_{\text{hp}2}$ とがオフであるときは、第1の電源側の駆動トランジスタ $Q_{\text{hp}1}$ から第2の接地側の駆動トランジスタ $Q_{\text{in}2}$ へ(同図に長破線で示す矢印の方向へ)と電流が流れる。

[0024] その結果、第1の電源側の駆動トランジスタ $Q_{\text{hp}1}$ のドレインの電圧は、電源電圧 $V_{\text{cc}}$ からそのオン抵抗と流れる電流との積の分だけ降下したものとなり、第1の過電流検出用比較器CMP1の非反転入力端子に入力される。一方、第1の過電流検出用トランジスタ $Q_{\text{dp}1}$ のドレインの電圧、すなわちリファレンス電圧は、電源電圧 $V_{\text{cc}}$ からそのオン抵抗と第1の定電流源 $I_{\text{o}1}$ の定電流の積の分だけ降下したものであり、第1の過電流検出用比較器CMP1の反転入力端子に入力される。

[0025] ここで、第1の電源側の駆動トランジスタ $Q_{\text{hp}1}$ に過電流が流れた場合、そのオン抵抗による降下電圧が大きくなり、第1の過電流検出用比較器CMP1の非反転入力端子と反転入力端子の電圧との大きさが反転し、第1の過電流検出用比較器CMP1の出力も反転することとなる。

[0026] 例えば、第1の過電流検出用トランジスタ $Q_{\text{dp}1}$ のオン抵抗を $R_{\text{ON}}$ 、第1の定電流源 $I_{\text{o}1}$ の電流値を $I_{\text{o}1A}$ とすると、第1の過電流検出用比較器CMP1の反転入力端子には( $V_{\text{cc}} - (I_{\text{o}1A} \times R_{\text{ON}})$ )の電圧が入力される。第1の電源側の駆動トランジスタ $Q_{\text{hp}1}$ の面積が第1の過電流検出用トランジスタ $Q_{\text{dp}1}$ のN倍とすると、第1の電源側の駆動トランジスタ $Q_{\text{hp}1}$ のオン抵抗は $R_{\text{ON}}/N$ となるので、コイルLに流れる電流量をIとすると、非

反転入力端子には  $(V_{cc} - (I \times R_{ON} / N))$  の電圧が入力される。

[0027] 従って、第1の定電流源  $I_{01}$  の電流値  $I_{01A}$  を過電流と判定される電流値の  $1/N$  に設定しておけば、コイル  $L$  に流れる電流量  $I$  がそれ以上になったとき、第1の過電流検出用比較器  $CMP1$  の出力が反転することになる。また、コイル  $L$  に流れる電流が逆方向で、第2の電源側の駆動トランジスタ  $Q_{hp2}$  及び第1の接地側の駆動トランジスタ  $Q_{ln1}$  に過電流が流れた場合も同様に、第2の過電流検出用比較器  $CMP2$  の出力が反転する。なお、この過電流と判定される電流値は、駆動トランジスタ  $Q_{hp1}$ 、 $Q_{hp2}$ 、 $Q_{ln1}$ 、 $Q_{ln2}$  の許容電流から決められる。

[0028] そして、第1及び第2の過電流検出用比較器  $CMP1$ 、 $CMP2$  の出力がブリッドライバ  $P1$ 、 $P2$  へと伝達され、電源側の駆動トランジスタ  $Q_{hp1}$ 、 $Q_{hp2}$  又は接地側の駆動トランジスタ  $Q_{ln1}$ 、 $Q_{ln2}$  がオフの状態になるように制御される。こうして、過電流が流れ続けることが防止されるのである。

[0029] 従って、この実施形態によると、過電流検出用トランジスタを設けてリファレンス電圧を生成し、これと出力端子  $T1$ 、 $T2$  の電圧を比較して過電流を検出するようにしたので、過電流検出抵抗としての外付け抵抗が不要となってコストの低減が図ることができる。

[0030] また、電源側の駆動トランジスタ  $Q_{hp1}$ 、 $Q_{hp2}$  のオン抵抗 ( $R_{ON} / N$ ) の温度特性と過電流検出用トランジスタ  $Q_{dp1}$ 、 $Q_{dp2}$  のオン抵抗 ( $R_{ON}$ ) の温度特性は相殺され、第1及び第2の定電流源  $I_{01}$ 、 $I_{02}$  の電流値  $I_{01A}$ 、 $I_{02A}$  に比例した ( $N$  倍の) 電流が温度に係わらず過電流と判定されるため、正確な過電流検出が可能になる。なお、上述の従来のコイル負荷駆動回路では、外付け抵抗である過電流検出抵抗  $R_d$  の温度特性はリファレンス電圧  $V_{ref}$  と相殺されないため、過電流の検出は温度変化の影響を受けやすい。

[0031] 図2に本発明に係るコイル負荷駆動回路の第2の実施形態を示す。このコイル負荷駆動回路2において、第1及び第2の電源側の駆動トランジスタ  $Q_{hp1}$ 、 $Q_{hp2}$ 、第1及び第2の接地側の駆動トランジスタ  $Q_{ln1}$ 、 $Q_{ln2}$ 、第1及び第2の出力端子  $T1$ 、 $T2$ 、コイル負荷  $L$ 、ブリッドライバ  $P1$ 、 $P2$ 、第1及び第2の過電流検出用トランジスタ  $Q_{dp1}$ 、 $Q_{dp2}$  はコイル負荷駆動回路1と同様の接続関係になっている。そして、第1又は第2の過電

流検出用トランジスタ $Q_{dp1}$ 、 $Q_{dp2}$ に選択的に一定の電流を流し、リファレンス電圧を生成する定電流源 $I_{o1}$ が設けられている。

[0032] 第1の過電流検出用トランジスタ $Q_{dp1}$ 又は第2の過電流検出用トランジスタ $Q_{dp2}$ には、第1及び第2の電源側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{hp2}$ のオン・オフに連動して選択的に定電流源 $I_{o1}$ の電流が流れる。過電流検出用比較器CMP1は、非反転入力端子に第1の電源側の駆動トランジスタ $Q_{hp1}$ のドレインの電圧(第1の出力端子T1の電圧)又は第2の電源側の駆動トランジスタ $Q_{hp2}$ のドレインの電圧(第2の出力端子T2の電圧)がアナログスイッチASW1及びASW2を介して選択的に入力され、反転入力端子に第1の過電流検出用トランジスタ $Q_{dp1}$ のドレインの電圧又は第2の過電流検出用トランジスタ $Q_{dp2}$ のドレインの電圧が選択的にリファレンス電圧として入力され、それらを比較することにより過電流を検出する。過電流検出用比較器CMP1の出力はプリドライバP1、P2へと伝達され、電源側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{hp2}$ 又は接地側の駆動トランジスタ $Q_{ln1}$ 、 $Q_{ln2}$ がオフの状態になるように制御される。

[0033] ここで、アナログスイッチASW1は、第1の電源側の駆動トランジスタ $Q_{hp1}$ がオンのときに連動してオンの状態となるので、例えば、第1の電源側の駆動トランジスタ $Q_{hp1}$ の制御電圧がローレベルであるときはアナログスイッチASW1は導通した状態となる。同様に、アナログスイッチASW2も、第2の電源側の駆動トランジスタ $Q_{hp2}$ がオンするときに連動してオンの状態となる。従って、第1の電源側及び接地側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{ln1}$ の制御電圧がローレベル、第2の電源側及び接地側の駆動トランジスタ $Q_{hp2}$ 、 $Q_{ln2}$ の制御電圧がハイレベルであるときはアナログスイッチASW1はオンの状態であり、過電流検出用比較器CMP1の非反転入力端子には第1の電源側の駆動トランジスタ $Q_{hp1}$ のドレインの電圧が、反転入力端子には第1の過電流検出用トランジスタ $Q_{dp1}$ のドレインの電圧が入力される。

[0034] このコイル負荷駆動回路2は、コイル負荷駆動回路1と同様に、過電流検出抵抗としての外付け抵抗が不要となってコストの低減が図ることができ、温度に係わらず正確な過電流検出が可能になる。その上、コイル負荷駆動回路1と比較して占有面積が大きな比較器が1つでよいのでその分回路規模が縮小できる。なお、アナログスイッチが2つ増えているが、その影響は少ない。また、定電流源も1つでよいので待機

電流が少なく、消費電力が低減される。

- [0035] 次に、本発明に係るコイル負荷駆動回路の第3の実施形態を図3に基づいて説明する。このコイル負荷駆動回路3は、第1及び第2の接地側の駆動トランジスタ $Q_{ln1}$ 、 $Q_{ln2}$ に並列にN型MOSトランジスタである第1及び第2の過電流検出用トランジスタ $Q_{dn1}$ 、 $Q_{dn2}$ を設けた構成である。定電流源 $I_{o1}$ は電源側から電流を第1又は第2の過電流検出用トランジスタ $Q_{dn1}$ 、 $Q_{dn2}$ に選択的に供給し、これらの過電流検出用トランジスタ $Q_{dn1}$ 、 $Q_{dn2}$ で生成されたリファレンス電圧が過電流検出用比較器CMP1の非反転入力端子に入力される。過電流検出用比較器CMP1の反転入力端子には第1又は第2の接地側のトランジスタ $Q_{ln1}$ 、 $Q_{ln2}$ のドレインの電圧(第1又は第2の出力端子T1、T2の電圧)が選択的に入力される。
- [0036] ここで、第1又は第2の接地側のトランジスタ $Q_{ln1}$ 、 $Q_{ln2}$ の電流が増加するとそれらのオン抵抗により生じる電圧が大きくなり、過電流検出用比較器CMP1は、過電流が流れると反転入力端子の電圧が非反転入力端子に入力されるリファレンス電圧より大きくなるので、その出力を反転させてブリドライバP1、P2に出力する。
- [0037] なお、上記のコイル負荷駆動回路1～3は第1及び第2の電源側の駆動トランジスタがP型MOSトランジスタであるが、これらを同一電流駆動能力では占有面積が小さいN型MOSトランジスタにして、回路規模を小さくすることも可能である。
- [0038] 次に、図4に本発明の第4の実施形態を示す。このコイル負荷駆動回路4は、上記のコイル負荷駆動回路1に比較して電源側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{hp2}$ のそれぞれのゲートに過電流検出用トランジスタ $Q_{dp1}$ 、 $Q_{dp2}$ のそれぞれのゲートを直接に接続せず、タイミング制御のためのタイミング制御回路L1、L2を挿入した点が異なる。すなわち、タイミング制御回路L1、L2は、過電流検出用トランジスタ $Q_{dp1}$ 、 $Q_{dp2}$ のオン時間が電源側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{hp2}$ のオン時間を完全に含むようにタイミングを制御するタイミング制御回路であり、延いては過電流検出用比較器CMP1、CMP2で比較される電圧の入力タイミングを制御している。
- [0039] これは、電源側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{hp2}$ と過電流検出用トランジスタ $Q_{dp1}$ 、 $Q_{dp2}$ とが同時に過渡動作を行い、電源側の駆動トランジスタ $Q_{hp1}$ 、 $Q_{hp2}$ のドレイン電圧がノイズ等により瞬間的にリファレンス電圧より下がり、過電流検出用比較器CMP1、C

MP2の出力が反転し、ブリドライバP1、P2が瞬間的な誤動作をするのを抑制するためである。具体的には、このタイミング制御回路L1、L2は、図4に示すように、ブリドライバP1、P2の出力電圧の立ち上がりと立ち下がり遅らせる遅延素子(DELAY)と、AND回路と、OR回路とで実現できる。

[0040] なお、このコイル負荷駆動回路4はコイル負荷駆動回路1を変形して改良したものであるが、同様の変形はコイル負荷駆動回路2、3においても行うことができる。

[0041] 次に、本発明を例えば光ディスクを構成するスピンドルモータの3相のコイル負荷を駆動するコイル負荷駆動回路に適用したものを説明する。以下、コイル負荷駆動回路2、3をそれぞれ変形したコイル負荷駆動回路5、6を説明する。

[0042] 図5に示す本発明の第5の実施形態であるコイル負荷駆動回路5において、第1の電源側の駆動トランジスタ $Q_{UHP}$ と第1の接地側の駆動トランジスタ $Q_{UL}$ は電源電圧 $V_{cc}$ と接地電位との間に直列に接続され、その中間点である第1の出力端子 $T_U$ がU相のコイル負荷 $U_L$ に接続され、第2の電源側の駆動トランジスタ $Q_{VHP}$ と第2の接地側の駆動トランジスタ $Q_{VL}$ は電源電圧 $V_{cc}$ と接地電位との間に直列に接続され、その中間点である第2の出力端子 $T_V$ がV相のコイル負荷 $V_L$ に接続され、第3の電源側の駆動トランジスタ $Q_{WHP}$ と第3の接地側の駆動トランジスタ $Q_{WL}$ は電源電圧 $V_{cc}$ と接地電位との間に直列に接続され、その中間点である第3の出力端子 $T_W$ がW相のコイル負荷 $W_L$ に接続されている。

[0043] 電源側の駆動トランジスタ $Q_{UHP}$ 、 $Q_{VHP}$ 、 $Q_{WHP}$ はP型MOSトランジスタであり、接地側の駆動トランジスタ $Q_{UL}$ 、 $Q_{VL}$ 、 $Q_{WL}$ はN型MOSトランジスタである。ブリドライバP1は、外部から入力端子IN1を介して入力される制御信号に基づいて電源側及び接地側の駆動トランジスタ $Q_{UHP}$ 、 $Q_{VHP}$ 、 $Q_{WHP}$ 、 $Q_{UL}$ 、 $Q_{VL}$ 、 $Q_{WL}$ のオン・オフを制御する。P型MOSトランジスタ $Q_{dup}$ 、 $Q_{dvp}$ 、 $Q_{dwp}$ はそれぞれ第1、第2、第3の過電流検出用トランジスタであり、第1、第2、第3の電源側の駆動トランジスタ $Q_{UHP}$ 、 $Q_{VHP}$ 、 $Q_{WHP}$ とそれぞれゲートを共通にして同じ制御電圧が入力されている。

[0044] アナログスイッチASW1は第1の電源側のトランジスタ $Q_{UHP}$ 、アナログスイッチASW2は第2の電源側のトランジスタ $Q_{VHP}$ 、アナログスイッチASW3は第3の電源側のトランジスタ $Q_{WHP}$ に連動してオン・オフする。第1の過電流検出用トランジスタ $Q_{dup}$ 、第

2の過電流検出用トランジスタ $Q_{dup}$ 、第3の過電流検出用トランジスタ $Q_{dwp}$ は、定電流源 $I_{11}$ により一定の電流が選択的に流され、リファレンス電圧が生成される。リファレンス電圧は、定電流源 $I_{11}$ の電流値と第1、第2、又は第3の過電流検出用トランジスタ $Q_{dup}$ 、 $Q_{dvp}$ 、 $Q_{dwp}$ のオン抵抗との積の分だけ電源電圧 $V_{cc}$ から降下したものであり、過電流検出用比較器CMP1の非反転入力端子へ入力される。過電流検出用比較器CMP1の反転入力端子には、第1、第2、又は第3の電源側の駆動トランジスタ $Q_{UHP}$ 、 $Q_{VHP}$ 、 $Q_{WHP}$ に流れる電流とそのオン抵抗との積の分だけ電源電圧 $V_{cc}$ から降下した電圧がアナログスイッチASW1、ASW2、ASW3を介して選択的に入力される。

- [0045] このコイル負荷駆動回路5の過電流検出の動作について説明する。例えば、第1の電源側の駆動トランジスタ $Q_{UHP}$ がオン、第2及び第3の電源側の駆動トランジスタ $Q_{VHP}$ 、 $Q_{WHP}$ がオフ、第1及び第2の接地側の駆動トランジスタ $Q_{UL}$ 、 $Q_{VL}$ がオフ、第3の接地側の駆動トランジスタ $Q_{WL}$ がオンとすると、図5に長破線で示す矢印の方向、すなわち第1の電源側の駆動トランジスタ $Q_{UHP}$ から、U相のコイル負荷 $U_L$ 、W相のコイル負荷 $W_L$ 、第3の接地側の駆動トランジスタ $Q_{WL}$ を経て電流が流れる。
- [0046] このとき、アナログスイッチASW1はオン、アナログスイッチASW2、ASW3はオフであり、過電流検出用比較器CMP1の反転入力端子には第1の電源側の駆動トランジスタ $Q_{UHP}$ のドレインの電圧が入力され、非反転入力端子には第1の過電流検出用トランジスタ $Q_{dup}$ のドレインの電圧がリファレンス電圧として入力される。第1の電源側の駆動トランジスタ $Q_{UHP}$ に過電流が流れてそのドレインの電圧がリファレンス電圧よりも下がると、過電流検出用比較器CMP1の出力が反転する。そして、過電流検出用比較器CMP1の出力がブリドライバP1へと伝達され、第1の電源側の駆動トランジスタ $Q_{UHP}$ がオフの状態になるように制御される。こうして、過電流が流れ続けることが防止されるのである。以上の動作は他の電源側の駆動トランジスタ $Q_{VHP}$ 、 $Q_{WHP}$ がオンしてそれらに過電流が流れた場合も同様である。
- [0047] このように、3相のコイル負荷を駆動するコイル負荷駆動回路5も、上記のHブリッジ接続のコイル負荷駆動回路と同様に、過電流検出抵抗としての外付け抵抗が不要となってコストの低減が図ることができ、過電流の判定値が温度に係わらず一定なので、正確な過電流検出が可能になる。

- [0048] 次に、図6に本発明の第6の実施形態を示す。このコイル負荷駆動回路6は、第1、第2、第3の接地側の駆動トランジスタ $Q_{UL}$ 、 $Q_{VL}$ 、 $Q_{WL}$ に並列にN型MOSトランジスタである第1、第2、第3の過電流検出用トランジスタ $Q_{dun}$ 、 $Q_{dvn}$ 、 $Q_{dwn}$ を設けた構成である。定電流源 $I_{11}$ は電源側から電流を第1、第2、又は第3の過電流検出用トランジスタ $Q_{dun}$ 、 $Q_{dvn}$ 、 $Q_{dwn}$ に選択的に供給し、これらのトランジスタ $Q_{dun}$ 、 $Q_{dvn}$ 、 $Q_{dwn}$ で生成されたリファレンス電圧が過電流検出用比較器CMP1の非反転入力端子に入力される。過電流検出用比較器CMP1の反転入力端子には第1、第2、又は第3の接地側の駆動トランジスタ $Q_{UL}$ 、 $Q_{VL}$ 、 $Q_{WL}$ のドレインの電圧(第1、第2又は第3の出力端子の電圧)が選択的に入力される。
- [0049] ここで、第1、第2、又は第3の接地側の駆動トランジスタ $Q_{UL}$ 、 $Q_{VL}$ 、 $Q_{WL}$ の電流が増加するとそれらのオン抵抗により生じる電圧が大きくなり、過電流検出用比較器CMP1は、過電流が流れると反転入力端子の電圧が非反転入力端子に入力されるリファレンス電圧より大きくなり、出力を反転させてプリドライバP1に出力する。
- [0050] なお、コイル負荷駆動回路5、6はコイル負荷駆動回路2、3をそれぞれ変形したものであるが、コイル負荷駆動回路1を変形することも可能である。また、コイル負荷駆動回路5、6は、第1、第2、第3の電源側の駆動トランジスタがP型MOSトランジスタであるが、これらを同一電流駆動能力では占有面積が小さいN型MOSトランジスタにして、回路規模を小さくすることも可能である。また、上記のコイル負荷駆動回路4のように、コイル負荷駆動回路5、6にタイミング制御回路を設けてプリドライバP1の瞬間的な誤動作を防止することもできる。
- [0051] また、上記のコイル負荷駆動回路を備える半導体装置は、光ディスク装置などの電子機器のプリント基板に搭載される。この半導体装置は、外付け抵抗を必要としないのでプリント基板の大きさを縮小することができる。なお、駆動トランジスタは別個の半導体装置とされる場合もある。また、この半導体装置は、コイル負荷駆動回路のみならず他の機能の回路を備えることができるのは勿論である。
- [0052] 次に、上記のコイル負荷駆動回路を搭載した光ディスク装置を図7に基づいて説明する。この光ディスク装置は、光ピックアップ102、RFアンプ103、エラーアンプ104、エンコーダ／デコーダ105、サーボ回路106、スピンドルモータ107、スレッドモー

タ108、マイコン110、位置検出器111から構成されている。上記のコイル負荷駆動回路はサーボ回路106に含まれる。

[0053] スピンドルモータ107が光ディスク101を回転させ、光ピックアップ102が光ディスク101からの信号を読み取り、この信号がRFアンプ103とエラーアンプ104へ伝達される。RFアンプ103の出力信号はエンコーダ／デコーダ105へ伝達され、エラーアンプ104の出力信号はサーボ回路106に伝達される。マイコン110は位置検出器111からの信号を受けサーボ回路106を制御している。例えば光ディスク101の回転が阻まれたときなど、位置検出器111で検出する回転数が落ちることから、マイコン110は回転数を一定に保つべく回転数を上げる信号をサーボ回路106に伝達する。それに従ってサーボ回路106に含まれるコイル負荷駆動回路はスピンドルモータ107のコイル負荷に流れる電流を増加するよう駆動するが、上記の実施形態で説明したように、過電流が流れるとそれが流れ続けないように制御を行うのである。また、光ピックアップ102の動きが阻止されたときも同様に、過電流が流れるとそれが流れ続けないように制御を行う。

[0054] 上記コイル負荷駆動回路を備える光ディスク装置は、外付けの抵抗を必要としないのでプリント基板の大きさを縮小することができ、もって小型化及びコストの低減化が可能になる。

[0055] 以上、本発明の実施形態であるコイル負荷駆動回路及び光ディスク装置について説明したが、本発明は実施形態に記載されたものに限られることなく、請求の範囲に記載した事項の範囲内での様々な設計変更が可能である。例えば過電流検出用比較器CMP1、CMP2は、その前段に反転回路等を用いて反転入力端子と非反転入力端子の極性を反対にすることもできる。また、アナログスイッチについては、例えば図2に示すアナログスイッチASW1、ASW2の制御端子は同図に示す接続に限られず、接地側の駆動トランジスタ $Q_{in1}$ 、 $Q_{in2}$ のゲートに接続されていたり、プリドライバP1、P2に独立に接続されていたりしても良い。

[0056] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが

意図される。

## 請求の範囲

- [1] 電源電圧と接地電位との間に直列に設けられた電源側の駆動トランジスタ( $Q_{hp1}$ ,  $Q_{hp2}$ )と接地側の駆動トランジスタ( $Q_{in1}$ ,  $Q_{in2}$ )との中間点である出力端子(T1, T2)からコイル負荷の一端を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路(1)であって、
- 前記電源側の駆動トランジスタの制御電圧又は接地側の駆動トランジスタの制御電圧が入力される過電流検出用トランジスタ( $Q_{dp1}$ )と、
- 過電流検出用トランジスタに一定の電流を流し、リファレンス電圧を生成する定電流源( $I_{o1}$ ,  $I_{o2}$ )と、
- 前記出力端子の電圧と前記リファレンス電圧とを比較して過電流を検出する過電流検出用比較器(CMP1, CMP2)とを備える、コイル負荷駆動回路。
- [2] 電源電圧と接地電位との間に直列に設けられた第1の電源側の駆動トランジスタ( $Q_{hp1}$ )と第1の接地側の駆動トランジスタ( $Q_{in1}$ )との中間点である第1の出力端子(T1)と、前記電源電圧と前記接地電位との間に直列に設けられた第2の電源側の駆動トランジスタ( $Q_{hp2}$ )と第2の接地側の駆動トランジスタ( $Q_{in2}$ )との中間点である第2の出力端子(T2)と、からコイル負荷(L)の両端を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路(2, 3, 4)であって、
- 前記第1の電源側の駆動トランジスタの制御電圧又は第1の接地側の駆動トランジスタの制御電圧が入力される第1の過電流検出用トランジスタ( $Q_{dp1}$ )と、
- 前記第2の電源側の駆動トランジスタの制御電圧又は第2の接地側の駆動トランジスタの制御電圧が入力される第2の過電流検出用トランジスタ( $Q_{dp2}$ )と、
- 前記第1又は第2の過電流検出用トランジスタに選択的に一定の電流を流し、リファレンス電圧を生成する定電流源( $I_{o1}$ )と、
- 前記第1又は第2の出力端子の電圧と前記リファレンス電圧を選択的に比較して過電流を検出する過電流検出用比較器(CMP1, CMP2)とを備える、コイル負荷駆動回路。
- [3] 電源電圧と接地電位との間に直列に設けられた第1の電源側の駆動トランジスタ( $Q_{UHP}$ )と第1の接地側の駆動トランジスタ( $Q_{UL}$ )との中間点である第1の出力端子(T<sub>U</sub>)

)と、電源電圧と接地電位との間に直列に設けられた第2の電源側の駆動トランジスタ( $Q_{VHP}$ )と第2の接地側の駆動トランジスタ( $Q_{VL}$ )との中間点である第2の出力端子( $T_V$ )と、電源電圧と接地電位との間に直列に設けられた第3の電源側の駆動トランジスタ( $Q_{WHP}$ )と第3の接地側の駆動トランジスタ( $Q_{WL}$ )との中間点である第3の出力端子( $T_W$ )と、から3相のコイル負荷( $U_L$ 、 $V_L$ 、 $W_L$ )を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路(5, 6)であって、

前記第1の電源側の駆動トランジスタの制御電圧又は第1の接地側の駆動トランジスタの制御電圧が入力される第1の過電流検出用トランジスタ( $Q_{dup}$ 、 $Q_{dun}$ )と、

前記第2の電源側の駆動トランジスタの制御電圧又は第2の接地側の駆動トランジスタの制御電圧が入力される第2の過電流検出用トランジスタ( $Q_{dvp}$ 、 $Q_{dvn}$ )と、

前記第3の電源側の駆動トランジスタの制御電圧又は第3の接地側の駆動トランジスタの制御電圧が入力される第3の過電流検出用トランジスタ( $Q_{dwp}$ 、 $Q_{dwn}$ )と、

前記第1、第2、又は第3の過電流検出用トランジスタに選択的に一定の電流を流し、リファレンス電圧を生成する定電流源( $I_{11}$ )と、

前記第1、第2、又は第3の出力端子の電圧と前記リファレンス電圧を選択的に比較して過電流を検出する過電流検出用比較器(CMP1)とを備える、コイル負荷駆動回路。

[4] 前記過電流検出用比較器で比較される電圧の入力タイミングを制御する手段を備える、請求項1～3のいずれか一項に記載のコイル負荷駆動回路。

[5] 前記過電流検出用比較器で比較される電圧の入力タイミングを制御する手段が、前記電源側の駆動トランジスタの制御電圧又は接地側の駆動トランジスタの制御電圧と前記過電流検出用トランジスタの制御電圧のタイミングを制御するタイミング制御回路(L1, L2)である、請求項4に記載のコイル負荷駆動回路。

[6] コイル負荷駆動回路(1)を備え、

前記コイル負荷駆動回路は、電源電圧と接地電位との間に直列に設けられた電源側の駆動トランジスタ( $Q_{hp1}$ 、 $Q_{hp2}$ )と接地側の駆動トランジスタ( $Q_{ln1}$ 、 $Q_{ln2}$ )との中間点である出力端子(T1, T2)からコイル負荷の一端を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路(1)であって、

前記電源側の駆動トランジスタの制御電圧又は接地側の駆動トランジスタの制御電圧が入力される過電流検出用トランジスタ( $Q_{dp1}$ )と、

過電流検出用トランジスタに一定の電流を流し、リファレンス電圧を生成する定電流源( $I_{o1}$ ,  $I_{o2}$ )と、

前記出力端子の電圧と前記リファレンス電圧とを比較して過電流を検出する過電流検出用比較器(CMP1, CMP2)とを含む、光ディスク装置。

[7] コイル負荷駆動回路(2, 3, 4)を備え、

前記コイル負荷駆動回路は、電源電圧と接地電位との間に直列に設けられた第1の電源側の駆動トランジスタ( $Q_{hp1}$ )と第1の接地側の駆動トランジスタ( $Q_{ln1}$ )との中間点である第1の出力端子(T1)と、前記電源電圧と前記接地電位との間に直列に設けられた第2の電源側の駆動トランジスタ( $Q_{hp2}$ )と第2の接地側の駆動トランジスタ( $Q_{ln2}$ )との中間点である第2の出力端子(T2)と、からコイル負荷(L)の両端を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路であって、

前記第1の電源側の駆動トランジスタの制御電圧又は第1の接地側の駆動トランジスタの制御電圧が入力される第1の過電流検出用トランジスタ( $Q_{dp1}$ )と、

前記第2の電源側の駆動トランジスタの制御電圧又は第2の接地側の駆動トランジスタの制御電圧が入力される第2の過電流検出用トランジスタ( $Q_{dp2}$ )と、

前記第1又は第2の過電流検出用トランジスタに選択的に一定の電流を流し、リファレンス電圧を生成する定電流源( $I_{o1}$ )と、

前記第1又は第2の出力端子の電圧と前記リファレンス電圧を選択的に比較して過電流を検出する過電流検出用比較器(CMP1, CMP2)とを含む、光ディスク装置。

[8] コイル負荷駆動回路(5, 6)を備え、

前記コイル負荷駆動回路は、電源電圧と接地電位との間に直列に設けられた第1の電源側の駆動トランジスタ( $Q_{UHP}$ )と第1の接地側の駆動トランジスタ( $Q_{UL}$ )との中間点である第1の出力端子( $T_U$ )と、電源電圧と接地電位との間に直列に設けられた第2の電源側の駆動トランジスタ( $Q_{VHP}$ )と第2の接地側の駆動トランジスタ( $Q_{VL}$ )との中間点である第2の出力端子( $T_V$ )と、電源電圧と接地電位との間に直列に設けられ

た第3の電源側の駆動トランジスタ( $Q_{wHP}$ )と第3の接地側の駆動トランジスタ( $Q_{wL}$ )との中間点である第3の出力端子( $T_w$ )と、から3相のコイル負荷( $U_L$ 、 $V_L$ 、 $W_L$ )を駆動し、これらの駆動トランジスタのいずれかに過電流が流れるとそれをオフするコイル負荷駆動回路であって、

前記第1の電源側の駆動トランジスタの制御電圧又は第1の接地側の駆動トランジスタの制御電圧が入力される第1の過電流検出用トランジスタ( $Q_{dup}$ 、 $Q_{dun}$ )と、

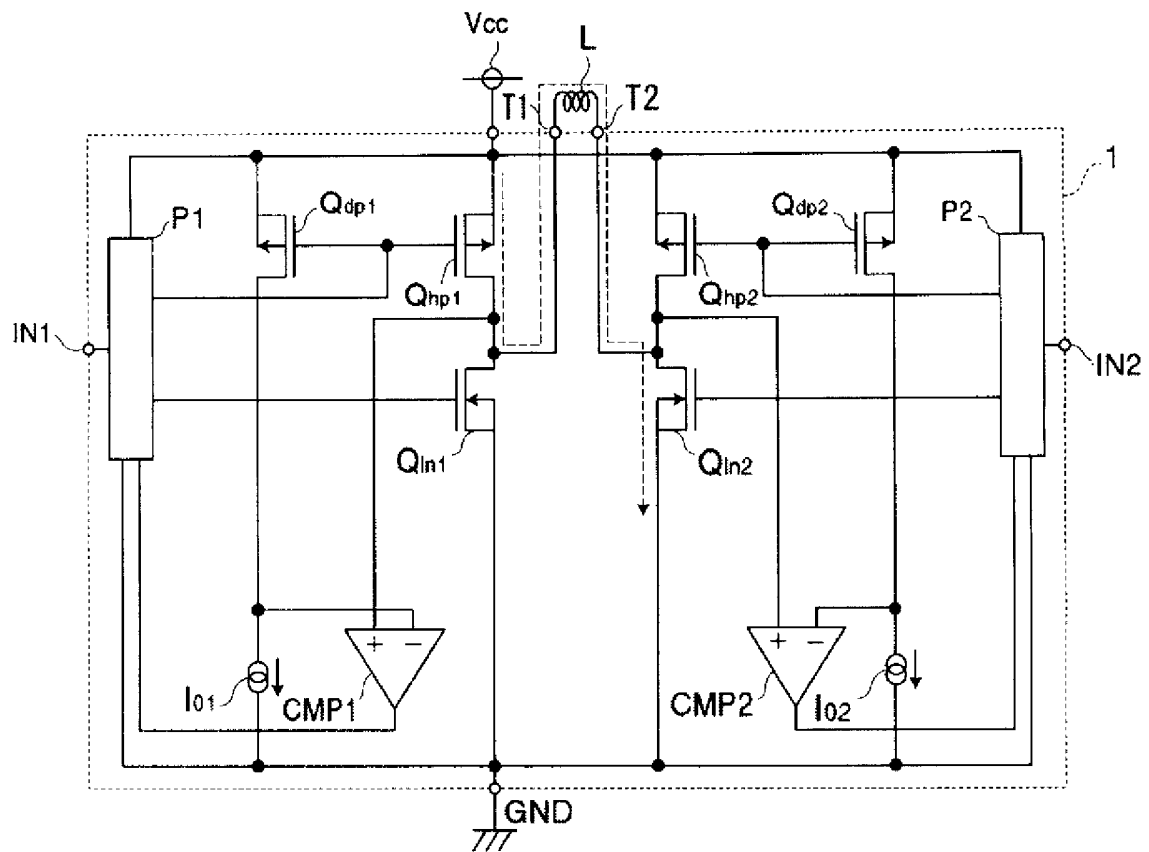
前記第2の電源側の駆動トランジスタの制御電圧又は第2の接地側の駆動トランジスタの制御電圧が入力される第2の過電流検出用トランジスタ( $Q_{dvp}$ 、 $Q_{dvn}$ )と、

前記第3の電源側の駆動トランジスタの制御電圧又は第3の接地側の駆動トランジスタの制御電圧が入力される第3の過電流検出用トランジスタ( $Q_{dwp}$ 、 $Q_{dwn}$ )と、

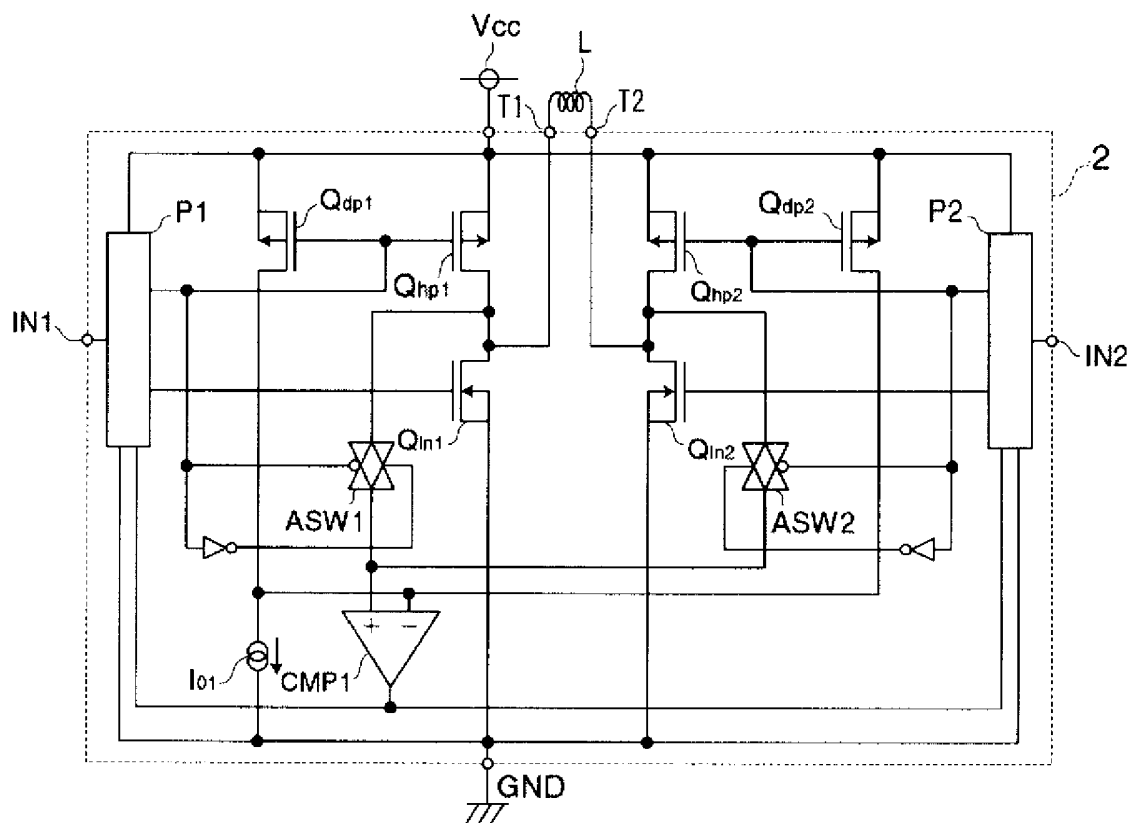
前記第1、第2、又は第3の過電流検出用トランジスタに選択的に一定の電流を流し、リファレンス電圧を生成する定電流源( $I_{11}$ )と、

前記第1、第2、又は第3の出力端子の電圧と前記リファレンス電圧を選択的に比較して過電流を検出する過電流検出用比較器(CMP1)とを含む、光ディスク装置。

[図1]

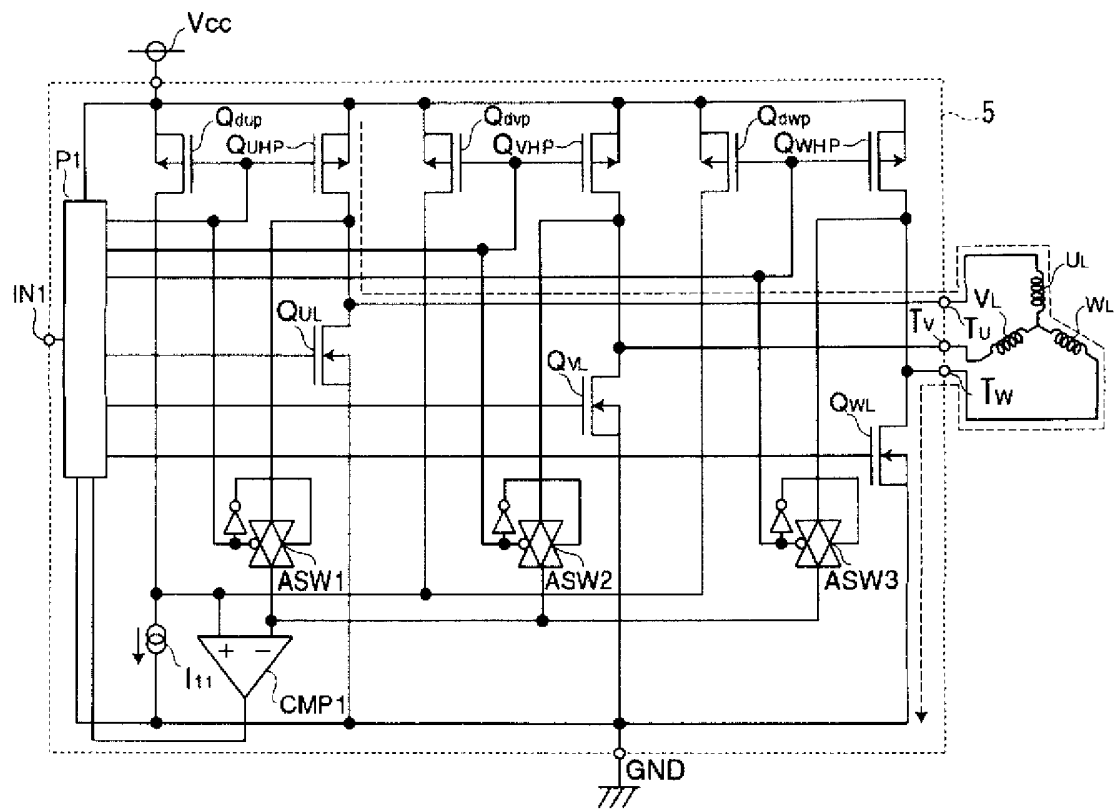


[図2]

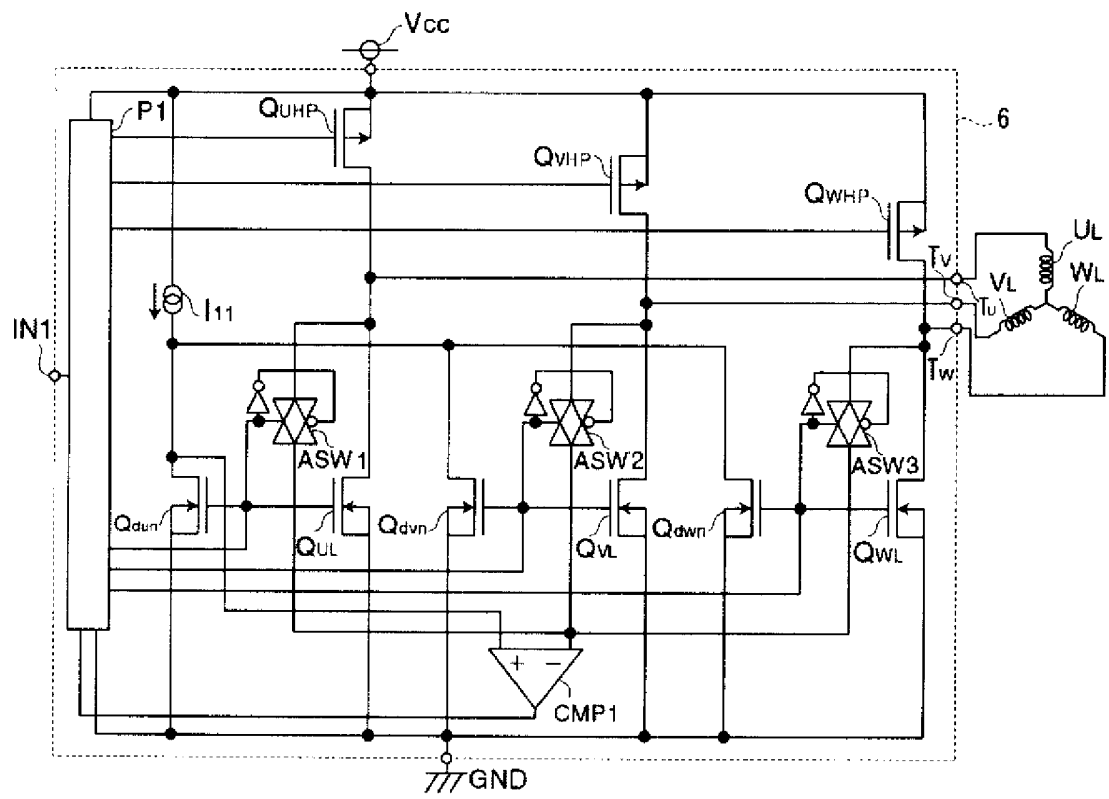




[図5]



[図6]



```

graph TD
    101[ディスク] --- 107[スピンドルモータ]
    102[光ピックアップ] --- 107
    102 --- 108[スレッドモータ]
    108 --- 111[位置検出器]
    111 --- 104[エラーアンプ]
    104 --- 103[RFアンプ]
    103 --- 105[デコーダ/エンコーダ]
    105 --- 110[マイコン]
    110 --- 106[サーボ回路]
    106 --- 107
    106 --- 108
    106 --- 111
    106 --- 104
    106 --- 105

```

The circuit diagram shows a differential amplifier 100. It consists of a differential pair of NMOS transistors  $Q_{in1}$  and  $Q_{in2}$  with gates connected to input nodes  $IN1$  and  $IN2$ . The sources of  $Q_{in1}$  and  $Q_{in2}$  are connected to a common source node, which is also connected to the gates of PMOS transistors  $Q_{hp1}$  and  $Q_{hp2}$ . The drains of  $Q_{hp1}$  and  $Q_{hp2}$  are connected to a common-mode feedback network. This network includes a resistor  $R_d$  and an inductor  $L$  connected to  $V_{cc}$ . The gates of  $Q_{hp1}$  and  $Q_{hp2}$  are also connected to a common-mode feedback network that includes a resistor  $R_d$  and an inductor  $L$  connected to  $V_{cc}$ . The circuit is powered by  $V_{cc}$  and  $GND$ . A reference voltage  $V_{ref}$  is applied to the gates of  $Q_{hp1}$  and  $Q_{hp2}$ . A comparator  $CMP1$  is connected to the gates of  $Q_{hp1}$  and  $Q_{hp2}$ .

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015616

## A. CLASSIFICATION OF SUBJECT MATTER

**H02P29/00** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

**H02P29/00** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2005 |
| Kokai Jitsuyo Shinan Koho | 1971-2005 | Toroku Jitsuyo Shinan Koho | 1994-2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                      | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 5-236797 A (Japan Servo Co., Ltd.),<br>10 September, 1993 (10.09.93),<br>Full text<br>(Family: none) | 1-8                   |
| A         | JP 2003-47284 A (Nikon Corp.),<br>14 February, 2003 (14.02.03),<br>Full text<br>(Family: none)          | 1-8                   |

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier application or patent but published on or after the international filing date                                                                               | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

Date of the actual completion of the international search  
28 October, 2005 (28.10.05)

Date of mailing of the international search report  
08 November, 2005 (08.11.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H02P29/00 (2006.01)

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H02P29/00 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2005年 |
| 日本国実用新案登録公報 | 1996-2005年 |
| 日本国登録実用新案公報 | 1994-2005年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                      | 関連する<br>請求の範囲の番号 |
|-----------------|--------------------------------------------------------|------------------|
| A               | J P 5-236797 A (日本サーボ株式会社)<br>10.09.1993, 全文 (ファミリーなし) | 1-8              |
| A               | J P 2003-47284 A (株式会社ニコン)<br>14.02.2003, 全文 (ファミリーなし) | 1-8              |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

28.10.2005

国際調査報告の発送日

08.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (I.S.A./J.P.)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

3V

9819

梶本 直樹

電話番号 03-3581-1101 内線 3358