

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年5月23日(2019.5.23)

【公開番号】特開2018-125490(P2018-125490A)

【公開日】平成30年8月9日(2018.8.9)

【年通号数】公開・登録公報2018-030

【出願番号】特願2017-18672(P2017-18672)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 29/739 (2006.01)

H 01 L 29/06 (2006.01)

【F I】

H 01 L 29/78 6 5 2 N

H 01 L 29/78 6 5 3 A

H 01 L 29/78 6 5 5 F

H 01 L 29/78 6 5 2 P

H 01 L 29/06 3 0 1 G

H 01 L 29/06 3 0 1 V

H 01 L 29/78 6 5 2 K

H 01 L 29/78 6 5 5 C

【手続補正書】

【提出日】平成31年3月29日(2019.3.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

素子部(1)と、前記素子部を取り囲む外周部(2)とを有する半導体装置において、一面(10a)および前記一面と反対側の他面(10b)を有し、第1導電型のドリフト層(11)を構成する半導体基板(10)と、

前記素子部における前記ドリフト層上であって、前記半導体基板の一面側に形成された第2導電型のベース層(12)と、

前記ベース層を貫通して前記ドリフト層に達し、前記半導体基板の面方向に沿って延設された複数のトレンチ(13)と、

前記トレンチの壁面に形成されたゲート絶縁膜(14)と、

前記ゲート絶縁膜上に形成されたゲート電極(15)と、

前記ベース層の表層部に形成され、前記トレンチと接する第1導電型のエミッタ領域(16)と、

前記外周部における前記ドリフト層の表層部であって、前記半導体基板の一面側に形成され、前記ベース層よりも深さが深くされた第2導電型のディープ層(23)と、

少なくとも前記素子部における前記半導体基板の他面側に形成された第2導電型のコレクタ層(21)と、

前記エミッタ領域および前記ベース層と電気的に接続される第1電極(19)と、

前記コレクタ層と電気的に接続される第2電極(22)と、を備え、

前記ゲート電極に所定のゲート電圧が印加されることにより、前記第1電極から前記エミッタ領域を介して前記ドリフト層に第1キャリアが注入されると共に前記第2電極から

前記コレクタ層を介して前記ドリフト層に第2キャリアが注入されることで前記第1電極と前記第2電極との間に電流を流し、

前記半導体基板の一面において、前記ディープ層における最も前記素子部側の位置を境界位置(K)とし、前記境界位置と、前記第1電極から前記第1キャリアが注入され得る前記エミッタ領域のうちの最も前記外周部側の位置との間の距離を第1距離(L1)とし、前記境界位置と、前記コレクタ層のうちの前記半導体基板の面方向における端部の位置との間の距離を第2距離(L2)とすると、

前記第1距離および前記第2距離は、前記ディープ層によって低下した前記外周部の耐圧に基づいて当該外周部におけるキャリア密度が低下するように調整されていると共に、隣接する前記トレンチの間隔(L4)に基づいて調整されており、

前記半導体基板における厚さを第3距離とし、前記第2距離において、前記コレクタ層の端部が前記素子部内に位置する場合を正の距離と共に前記コレクタ層の端部が前記外周部内に位置する場合を負の距離とし、前記第1距離をL1、前記第2距離をL2、前記第3距離をL3、および隣接する前記トレンチの間隔をL4とすると、

前記第1距離、前記第2距離、前記第3距離、および隣接する前記トレンチの間隔は、
 $L_1 = L_3 \times (-0.30 \times L_4 + 1.53) - L_2$ を満たしている半導体装置。

【請求項2】

前記第1距離、前記第2距離、前記第3距離、および隣接する前記トレンチの間隔は、
 $L_1 = L_3 \times (-0.30 \times L_4 + 1.53) - L_2$ である請求項1に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

上記目的を達成するための請求項1では、素子部(1)と、素子部を取り囲む外周部(2)とを有する半導体装置において、一面(10a)および一面と反対側の他面(10b)を有し、第1導電型のドリフト層(11)を構成する半導体基板(10)と、素子部におけるドリフト層上であって、半導体基板の一面側に形成された第2導電型のベース層(12)と、ベース層を貫通してドリフト層に達し、半導体基板の面方向に沿って延設された複数のトレンチ(13)と、トレンチの壁面に形成されたゲート絶縁膜(14)と、ゲート絶縁膜上に形成されたゲート電極(15)と、ベース層の表層部に形成され、トレンチと接する第1導電型のエミッタ領域(16)と、外周部におけるドリフト層の表層部であって、半導体基板の一面側に形成され、ベース層よりも深さが深くされた第2導電型のディープ層(23)と、少なくとも素子部における半導体基板の他面側に形成された第2導電型のコレクタ層(21)と、エミッタ領域およびベース層と電気的に接続される第1電極(19)と、コレクタ層と電気的に接続される第2電極(22)と、を備え、ゲート電極に所定のゲート電圧が印加されることにより、第1電極からエミッタ領域を介してドリフト層に第1キャリアが注入されると共に第2電極からコレクタ層を介してドリフト層に第2キャリアが注入されることで第1電極と第2電極との間に電流を流し、半導体基板の一面において、ディープ層における最も素子部側の位置を境界位置(K)とし、境界位置と、第1電極から第1キャリアが注入され得るエミッタ領域のうちの最も外周部側の位置との間の距離を第1距離(L1)とし、境界位置と、コレクタ層のうちの半導体基板の面方向における端部の位置との間の距離を第2距離(L2)とすると、第1距離および第2距離は、ディープ層によって低下した外周部の耐圧に基づいて当該外周部におけるキャリア密度が低下するように調整されていると共に、隣接するトレンチの間隔(L4)に基づいて調整されており、半導体基板における厚さを第3距離とし、第2距離において、コレクタ層の端部が素子部内に位置する場合を正の距離と共にコレクタ層の端部が外周部内に位置する場合を負の距離とし、第1距離をL1、第2距離をL2、第3距離をL

3、および隣接するトレンチの間隔をL4とすると、第1距離、第2距離、第3距離、および隣接するトレンチの間隔は、 $L_1 - L_3 \times (-0.30 \times L_4 + 1.53) - L_2$ を満たしている。