

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 5 月 23 日 (2019.5.23)

【公開番号】特開 2018-125490 (P2018-125490A)

【公開日】平成 30 年 8 月 9 日 (2018.8.9)

【年通号数】公開・登録公報 2018-030

【出願番号】特願 2017-18672 (P2017-18672)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/739 (2006.01)

H 0 1 L 29/06 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 N

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 5 F

H 0 1 L 29/78 6 5 2 P

H 0 1 L 29/06 3 0 1 G

H 0 1 L 29/06 3 0 1 V

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 5 C

【手続補正書】

【提出日】平成 31 年 3 月 29 日 (2019.3.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

素子部 (1) と、前記素子部を取り囲む外周部 (2) とを有する半導体装置において、一面 (1 0 a) および前記一面と反対側の他面 (1 0 b) を有し、第 1 導電型のドリフト層 (1 1) を構成する半導体基板 (1 0) と、

前記素子部における前記ドリフト層上であって、前記半導体基板の一面側に形成された第 2 導電型のベース層 (1 2) と、

前記ベース層を貫通して前記ドリフト層に達し、前記半導体基板の面方向に沿って延設された複数のトレンチ (1 3) と、

前記トレンチの壁面に形成されたゲート絶縁膜 (1 4) と、

前記ゲート絶縁膜上に形成されたゲート電極 (1 5) と、

前記ベース層の表層部に形成され、前記トレンチと接する第 1 導電型のエミッタ領域 (1 6) と、

前記外周部における前記ドリフト層の表層部であって、前記半導体基板の一面側に形成され、前記ベース層よりも深さが深くされた第 2 導電型のディープ層 (2 3) と、

少なくとも前記素子部における前記半導体基板の他面側に形成された第 2 導電型のコレクタ層 (2 1) と、

前記エミッタ領域および前記ベース層と電氣的に接続される第 1 電極 (1 9) と、

前記コレクタ層と電氣的に接続される第 2 電極 (2 2) と、を備え、

前記ゲート電極に所定のゲート電圧が印加されることにより、前記第 1 電極から前記エミッタ領域を介して前記ドリフト層に第 1 キャリアが注入されると共に前記第 2 電極から

前記コレクタ層を介して前記ドリフト層に第２キャリアが注入されることで前記第１電極と前記第２電極との間に電流を流し、

前記半導体基板の一面において、前記ディープ層における最も前記素子部側の位置を境界位置（Ｋ）とし、前記境界位置と、前記第１電極から前記第１キャリアが注入され得る前記エミッタ領域のうちの最も前記外周部側の位置との間の距離を第１距離（Ｌ１）とし、前記境界位置と、前記コレクタ層のうちの前記半導体基板の面方向における端部の位置との間の距離を第２距離（Ｌ２）とすると、

前記第１距離および前記第２距離は、前記ディープ層によって低下した前記外周部の耐圧に基づいて当該外周部におけるキャリア密度が低下するように調整されていると共に、隣接する前記トレンチの間隔（Ｌ４）に基づいて調整されており、

前記半導体基板における厚さを第３距離とし、前記第２距離において、前記コレクタ層の端部が前記素子部内に位置する場合を正の距離とすると共に前記コレクタ層の端部が前記外周部内に位置する場合を負の距離とし、前記第１距離をＬ１、前記第２距離をＬ２、前記第３距離をＬ３、および隣接する前記トレンチの間隔をＬ４とすると、

前記第１距離、前記第２距離、前記第３距離、および隣接する前記トレンチの間隔は、 $L1 = L3 \times (-0.30 \times L4 + 1.53) - L2$ を満たしている半導体装置。

【請求項２】

前記第１距離、前記第２距離、前記第３距離、および隣接する前記トレンチの間隔は、 $L1 = L3 \times (-0.30 \times L4 + 1.53) - L2$ である請求項１に記載の半導体装置。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００８

【補正方法】変更

【補正の内容】

【０００８】

上記目的を達成するための請求項１では、素子部（１）と、素子部を取り囲む外周部（２）とを有する半導体装置において、一面（１０ａ）および一面と反対側の他面（１０ｂ）を有し、第１導電型のドリフト層（１１）を構成する半導体基板（１０）と、素子部におけるドリフト層上であって、半導体基板の一面側に形成された第２導電型のベース層（１２）と、ベース層を貫通してドリフト層に達し、半導体基板の面方向に沿って延設された複数のトレンチ（１３）と、トレンチの壁面に形成されたゲート絶縁膜（１４）と、ゲート絶縁膜上に形成されたゲート電極（１５）と、ベース層の表層部に形成され、トレンチと接する第１導電型のエミッタ領域（１６）と、外周部におけるドリフト層の表層部であって、半導体基板の一面側に形成され、ベース層よりも深さが深くされた第２導電型のディープ層（２３）と、少なくとも素子部における半導体基板の他面側に形成された第２導電型のコレクタ層（２１）と、エミッタ領域およびベース層と電氣的に接続される第１電極（１９）と、コレクタ層と電氣的に接続される第２電極（２２）と、を備え、ゲート電極に所定のゲート電圧が印加されることにより、第１電極からエミッタ領域を介してドリフト層に第１キャリアが注入されると共に第２電極からコレクタ層を介してドリフト層に第２キャリアが注入されることで第１電極と第２電極との間に電流を流し、半導体基板の一面において、ディープ層における最も素子部側の位置を境界位置（Ｋ）とし、境界位置と、第１電極から第１キャリアが注入され得るエミッタ領域のうちの最も外周部側の位置との間の距離を第１距離（Ｌ１）とし、境界位置と、コレクタ層のうちの半導体基板の面方向における端部の位置との間の距離を第２距離（Ｌ２）とすると、第１距離および第２距離は、ディープ層によって低下した外周部の耐圧に基づいて当該外周部におけるキャリア密度が低下するように調整されていると共に、隣接するトレンチの間隔（Ｌ４）に基づいて調整されており、半導体基板における厚さを第３距離とし、第２距離において、コレクタ層の端部が素子部内に位置する場合を正の距離とすると共にコレクタ層の端部が外周部内に位置する場合を負の距離とし、第１距離をＬ１、第２距離をＬ２、第３距離をＬ

3、および隣接するトレンチの間隔を L_4 とすると、第 1 距離、第 2 距離、第 3 距離、および隣接するトレンチの間隔は、 $L_1 - L_3 \times (-0.30 \times L_4 + 1.53) - L_2$ を満たしている。