

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5820172号

(P5820172)

(45) 発行日 平成27年11月24日(2015.11.24)

(24) 登録日 平成27年10月9日(2015.10.9)

(51) Int.Cl.	F I
HO 1 L 23/28 (2006.01)	HO 1 L 23/28 F
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 E
HO 1 L 23/00 (2006.01)	HO 1 L 23/00 A

請求項の数 5 (全 14 頁)

(21) 出願番号	特願2011-155437 (P2011-155437)	(73) 特許権者	000003078
(22) 出願日	平成23年7月14日(2011.7.14)		株式会社東芝
(65) 公開番号	特開2012-39104 (P2012-39104A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成24年2月23日(2012.2.23)	(74) 代理人	110001092
審査請求日	平成25年8月23日(2013.8.23)		特許業務法人サクラ国際特許事務所
(31) 優先権主張番号	特願2010-160980 (P2010-160980)	(72) 発明者	山田 啓壽
(32) 優先日	平成22年7月15日(2010.7.15)		東京都港区芝浦一丁目1番1号 株式会社東芝内
(33) 優先権主張国	日本国(JP)	(72) 発明者	山崎 尚
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	福田 昌利
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置とそれを用いた携帯通信機器

(57) 【特許請求の範囲】

【請求項1】

第1の面と第2の面とを有する絶縁基材と、前記絶縁基材の前記第1の面に形成された第1の配線層と、前記絶縁基材の前記第2の面に形成された第2の配線層と、導体層とを備えるインターポザ基板と、

前記第1の面に設けられた外部接続端子と、

前記第2の面上に搭載された半導体チップと、

前記半導体チップを封止するように前記第2の面上に設けられた封止樹脂層と、

前記封止樹脂層と前記インターポザ基板の側面の少なくとも一部を覆う導電性シールド層とを具備し、

前記導電性シールド層は識別マークを有し、

前記識別マーク部分における前記導電性シールド層の厚さは2 μm以上であり、

前記識別マーク部分における前記導電性シールド層の表面粗さは、前記識別マーク以外の部分における前記導電性シールド層の表面粗さよりも小さいことを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記導電性シールド層は前記インターポザ基板の切断面に露出した前記導体層を介して前記外部接続端子に含まれるグランドピンに電氣的に接続されることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 記載の半導体装置において、
前記識別マークは前記導電性シールド層の厚さ方向の一部のみを削ることにより形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 ないし請求項 3 のいずれか 1 項記載の半導体装置において、
前記導電性シールド層の表面に、さらに保護層を具備することを特徴とする半導体装置。

【請求項 5】

請求項 1 ないし請求項 4 のいずれか 1 項記載の半導体装置を具備することを特徴とする
携帯通信機器。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体装置とそれを用いた携帯通信機器に関する。

【背景技術】**【0002】**

携帯電話に代表される携帯通信機器に用いられる半導体装置には、通信特性への悪影響を防止するために、外部への不要電磁波の漏洩を抑制することが求められている。このため、シールド機能を有する半導体パッケージが適用されている。シールド機能を有する半導体パッケージとしては、インターポーザ基板上に搭載された半導体チップを封止する封止樹脂層の外面に沿ってシールド層を設けた構造を有するものが知られている。

20

【0003】

インターポーザ基板の側面からの不要電磁波の漏洩を抑制するために、グランド配線に接続されたビアを外周側に配置したインターポーザ基板を用いた半導体パッケージが知られている。このような半導体パッケージにおいては、シールド層とインターポーザ基板のグランド配線との電気的および機械的な接続信頼性を高めることが求められている。さらに、半導体パッケージを大型化することなく、インターポーザ基板の側面からの不要電磁波の漏洩を抑制することが求められている。

【先行技術文献】

30

【特許文献】**【0004】**

【特許文献 1】特開 2009 - 218484 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

本発明が解決しようとする課題は、インターポーザ基板を含む半導体パッケージからの不要電磁波の漏洩を抑制すると共に、シールド層とインターポーザ基板のグランド配線との密着性を向上させることを可能にした半導体パッケージとそれを用いた携帯通信機器を提供することにある。

40

【課題を解決するための手段】**【0006】**

実施形態の半導体装置は、第 1 の面と第 2 の面とを有する絶縁基材と、絶縁基材の第 1 の面に形成された第 1 の配線層と、絶縁基材の第 2 の面に形成された第 2 の配線層と、導体層とを備えるインターポーザ基板と、第 1 の面に設けられた外部接続端子と、第 2 の面上に搭載された半導体チップと、半導体チップを封止するように第 2 の面上に設けられた封止樹脂層と、封止樹脂層とインターポーザ基板の側面の少なくとも一部を覆う導電性シールド層とを具備している。導電性シールド層は識別マークを有している。識別マーク部分における導電性シールド層の厚さは 2 μ m 以上である。識別マーク部分における導電性シールド層の表面粗さは、識別マーク以外の部分における導電性シールド層の表面粗さよ

50

りも小さい。

【図面の簡単な説明】

【0007】

【図1】実施形態による半導体パッケージの構成を示す側面図である。

【図2】図1に示す半導体パッケージの断面図である。

【図3】図1に示す半導体パッケージにおける導電性シールド層の形成前の状態を示す側面図である。

【図4】図1に示す半導体パッケージに使用するインターポーザ基板の一例を示す平面図である。

【図5】図4に示すインターポーザ基板の断面図である。

10

【図6】図1に示す半導体パッケージに使用するインターポーザ基板の他の例を示す平面図である。

【図7】実施形態による半導体パッケージの他の構成を示す側面図である。

【図8】図7に示す半導体パッケージの断面図である。

【図9】ビアの切断面の最大間隔と半導体パッケージの磁界シールド効果との関係を示す図である。

【図10】導電性シールド層とビアの切断面との接触抵抗と半導体パッケージの磁界シールド効果との関係を示す図である。

【図11】図7に示す半導体パッケージの製造工程を示す断面図である。

【図12】図1に示す半導体パッケージの製造工程における封止樹脂層の形成工程から導電性シールド層の形成工程までを示す断面図である。

20

【図13】図1に示す半導体パッケージの製造工程における外部接続端子の形成工程から切断工程までを示す断面図である。

【図14】図1に示す半導体パッケージを上面から見た図である。

【図15】図14に示す半導体パッケージの封止樹脂層および導電性シールド層の一部を拡大して示す断面図である。

【図16】導電性シールド層における識別マークの形成部分のシート抵抗率と半導体パッケージの磁界シールド効果との関係を示す図である。

【図17】実施形態による携帯電話の構成を示す斜視図である。

30

【発明を実施するための形態】

【0008】

以下、実施形態の半導体パッケージについて、図面を参照して説明する。図1は第1の実施形態による半導体パッケージを示す側面図、図2は図1に示す半導体パッケージの断面図、図3は図1に示す半導体パッケージにおける導電性シールド層の形成前の状態を示す側面図、図4は図1に示す半導体パッケージに使用するインターポーザ基板の一例を示す平面図、図5は図4に示すインターポーザ基板の断面図である。

【0009】

これらの図に示す半導体パッケージ1は、インターポーザ基板2と、インターポーザ基板2の第1の面に外部接続端子として設けられた半田ボール3と、インターポーザ基板2の第2の面上に搭載された半導体チップ4と、半導体チップ4を封止する封止樹脂層5とを具備するFBGA(Fine pitch Ball Grid Array)6に、導電性シールド層7を形成したシールド機能付き半導体パッケージである。

40

【0010】

インターポーザ基板2は、絶縁基材として絶縁基板21を有している。絶縁基板21の第1の面(下面)には第1の配線層22が設けられており、第2の面(上面)には第2の配線層23が設けられている。配線層22、23は単層構造の導体層に限らず、それぞれ2層以上の導体層からなるものであってもよい。インターポーザ基板2は、第1の配線層22と第2の配線層23とを電氣的に接続するように、絶縁基板21を貫通して形成されたビア24を有している。配線層22、23やビア24は、銅箔や銀または銅を含む導電性ペーストからなり、必要に応じて表面にニッケルめっきや金めっき等が施されている。

50

【 0 0 1 1 】

インターポーザ基板 2 のビア 2 4 は、図 5 に示すように、絶縁基板 2 1 を貫通する貫通孔の内面に形成された導体層 2 5 と、導体層 2 5 の内側の中空部に充填された穴埋め材 2 6 と、導体層 2 5 と配線層 2 2、2 3 とを電氣的に接続するランド 2 7、2 7 とを有している。穴埋め材 2 6 は、例えば絶縁性樹脂や導電性樹脂からなる。穴埋め材 2 6 は、導電性シールド層 7 との密着性に優れる材料で形成することが好ましい。穴埋め材 2 6 を導電材料で形成した場合、導電性シールド層 7 との接触面積が増大するため、ビア 2 4 と導電性シールド層 7 との接触抵抗値の低下が見込める。ビア 2 4 は貫通孔内にめっき等により金属材料（銅等）を充填したものであってもよい。

【 0 0 1 2 】

インターポーザ基板 2 の第 1 の面（第 1 の配線層 2 2 が設けられた面）には、半田ボール 3 が設けられている。半田ボール 3 は第 1 の配線層 2 2 と電氣的に接続されている。インターポーザ基板 2 の第 2 の面（第 2 の配線層 2 3 が設けられた面）は、チップ搭載領域 X を有している。図 4 では図示を省略したが、チップ搭載領域 X にはチップ搭載部に加えて、第 2 の配線層 2 3 による信号配線やグランド配線等が設けられている。インターポーザ基板 2 は第 1 および第 2 の面に形成された半田レジスト層 2 8、2 9 を有している。

【 0 0 1 3 】

インターポーザ基板 2 の第 2 の面上には、半導体チップ 4 が搭載されている。半導体チップ 4 の上面に設けられた電極パッド（図示せず）は、Auワイヤ等のボンディングワイヤ 8 を介してインターポーザ基板 2 の第 2 の配線層 2 3 と電氣的に接続されている。さらに、インターポーザ基板 2 の第 2 の面には、半導体チップ 4 をボンディングワイヤ 8 等と共に封止する封止樹脂層 5 が形成されている。封止樹脂層 5 とインターポーザ基板 2 の側面の少なくとも一部は、導電性シールド層 7 で覆われている。

【 0 0 1 4 】

導電性シールド層 7 は、封止樹脂層 5 内の半導体チップ 4 やインターポーザ基板 2 の配線層 2 2、2 3 から放射される不要電磁波の漏洩を防止する上で、抵抗率が低い金属層で形成することが好ましく、例えば銅、銀、ニッケル等からなる金属層が適用される。導電性シールド層 7 の厚さは、その抵抗率に基づいて設定することが好ましい。例えば、導電性シールド層 7 の抵抗率を厚さで割ったシート抵抗値が 0.5 以下となるように、導電性シールド層 7 の厚さを設定することが好ましい。導電性シールド層 7 のシート抵抗値を 0.5 以下とすることによって、封止樹脂層 5 からの不要電磁波の漏洩を再現性よく抑制することができる。

【 0 0 1 5 】

半導体チップ 4 等から放射される不要電磁波は、封止樹脂層 5 を覆う導電性シールド層 7 により遮断されるため、外部への漏洩が防止される。不要電磁波はインターポーザ基板 2 の側面からも漏洩するおそれがある。そこで、この実施形態の半導体パッケージ 1 では、図 2 ないし図 5 に示すように、インターポーザ基板 2 の外周部にビア 2 4 の一部、すなわちグランド配線 2 2 A、2 3 A と接続されたビア 2 4 A を配置している。ビア 2 4 A はインターポーザ基板 2 の厚さ方向に切断された切断面 C を有し、この切断面 C がインターポーザ基板 2 の側面に露出するように配置されている。

【 0 0 1 6 】

第 1 および第 2 の配線層 2 2、2 3 は、グランド配線 2 2 A、2 3 A を有している。グランド配線 2 2 A、2 3 A は、インターポーザ基板 2 の側面に露出するように外周部に配置されている。さらに、インターポーザ基板 2 の外周部には、グランド配線 2 2 A、2 3 A と接続されたビア 2 4 A が配置されている。ビア 2 4 A はインターポーザ基板 2 の厚さ方向に切断された切断面 C を有し、かつ切断面 C をインターポーザ基板 2 の側面に露出させるように配置されている。導電性シールド層 7 はインターポーザ基板 2 の側面の一部を覆うように形成されているため、導電性シールド層 7 はグランド配線 2 3 A と電氣的に接続されており、さらにビア 2 4 A の切断面 C と電氣的に接続されている。

【 0 0 1 7 】

導電性シールド層 7 とビア 2 4 A とは、ビア 2 4 A の切断面 C を介して電氣的に接続されているため、導電性シールド層 7 とビア 2 4 A との接続状態を高めることができる。具体的には、導電性シールド層 7 とビア 2 4 A との接触抵抗を低下させることができる。導電性シールド層 7 とビア 2 4 A の切断面 C との接続状態は、直接接続された状態（直流接続）に限らず、薄い絶縁体を介して高周波的に電気接続されていてもよい。

【 0 0 1 8 】

ビア 2 4 A の切断面 C は、導体層 2 5 の切断面と穴埋め材 2 6 の切断面を含んでいることが好ましい。図 4 および図 5 はビア 2 4 A の中心を通るように切断した状態を示している。これによって、導電性シールド層 7 とビア 2 4 A の切断面 C との接触面積が増大するため、導電性シールド層 7 とビア 2 4 A との接続状態をより一層向上させることができる。ただし、ビア 2 4 A の切断面 C は必ずしもビア 2 4 A の中心を通らなくてもよく、切断面 C にビア 2 4 A の一部が含まれていればよい。

10

【 0 0 1 9 】

ビア 2 4 A を切断するにあたって、ランド 2 7 の形状は図 4 に示すように矩形であることが好ましい。切断されたビア 2 4 A のランド 2 7 の形状は、図 4 に示すような長方形と図 6 に示すような半円形とが考えられる。図 4 に示す長方形のランド 2 7 は、例えば正方形のランドを切断したものである。図 6 に示す半円形のランド 2 7 1 は、例えば円形のランドを切断したものである。図 6 に示すように円形のランドを切断する場合、ダイシングラインの位置のばらつきの影響で、ランド 2 7 1 の断面露出面積がばらつきやすい。これに対して、図 4 に示す長方形のランド 2 7 は、ダイシングラインの位置がばらついた場合においても断面露出面積を一定にすることができる。

20

【 0 0 2 0 】

さらに、ビア 2 4 A を切断するにあたって、インターポーザ基板 2 の四隅にはビア 2 4 A を配置しないことが好ましい。四隅に配置されたビア 2 4 A は、ダイシング工程で 2 回切断されることになるため、銅箔のインターポーザ基板 2 からの分離等が生じやすい。このため、インターポーザ基板 2 の四隅にはビア 2 4 A を配置しないことが好ましい。ただし、ダイシング工程で銅箔の分離等によるビア 2 4 A の損傷や破壊が生じるおそれがない場合には、インターポーザ基板 2 の四隅にも切断されるビア 2 4 A を配置してもよい。

【 0 0 2 1 】

図 2 ないし図 5 に示すビア 2 4 A は、その厚さ方向（ビア 2 4 の貫通方向）の一部を、インターポーザ基板 2 の厚さ方向に切断した切断面 C を有している。ビア 2 4 A の切断面 C は、インターポーザ基板 2 の第 2 の面側からビア 2 4 A の厚さ方向の一部を切断した形状を有している。ビア 2 4 A のインターポーザ基板 2 の第 1 の面側の端部およびその近傍部分は、絶縁基板 2 1 によって覆われている。導電性シールド層 7 は、ビア 2 4 A の厚さ方向の一部を切断した切断面 C とビア 2 4 A の一部を切断することにより生じる段面とを覆うように形成されている。これによって、導電性シールド層 7 による F B G A 6 の被覆性や導電性シールド層 7 とビア 2 4 A の切断面 C との接続性を高めることができる。

30

【 0 0 2 2 】

図 7 および図 8 に示すように、ビア 2 4 A はその厚さ方向（ビア 2 4 の貫通方向）の全体を、インターポーザ基板 2 の厚さ方向に切断した切断面 C を有していてもよい。図 7 および図 8 に示すビア 2 4 A の切断面 C は、ビア 2 4 A の厚さ方向の全体を切断した形状を有している。導電性シールド層 7 は、ビア 2 4 A の切断面 C の厚さ方向の一部をインターポーザ基板 2 の第 2 の面側から覆うように形成されている。切断面 C の導電性シールド層 7 で覆われていない部分は、インターポーザ基板 2 の側面に露出している。導電性シールド層 7 は切断面 C 全体を覆うように形成されていてもよい。この場合、導電性シールド層 7 は第 1 の配線層 2 2 におけるグランド配線 2 2 A と電氣的に接続されていてもよい。

40

【 0 0 2 3 】

図 7 および図 8 に示す半導体パッケージ 1 は、ビア 2 4 A 全体を切断しているため、半導体パッケージ 1 の面積の増大を抑制することができる。例えば、切断していないビアを外周部に配置したインターポーザ基板を用いた場合、ビアを外周部に配置していないイン

50

ターポーザ基板に比べて、半導体パッケージの一边の長さがビアのランドの幅の2倍以上増加する。これに対して、中心で切断したビア24Aを外周に配置したインターポーザ基板2を用いた場合、半導体パッケージ1の一边の長さの増加量はビア24のランドの幅程度に抑制される。ビア24のランドの幅が0.2mmの場合、切断しないビアを配置するとパッケージの一边の長さが0.4mm以上増加するのに対し、切断したビアを配置すればパッケージの一边の長さの増加量は0.2mm程度に抑制することができる。

【0024】

導電性シールド層7と電氣的に接続された切断面Cを有するビア24Aは、インターポーザ基板2の側面からの電磁波の漏洩を抑制する効果を有する。ビア24Aはインターポーザ基板2を貫通していると共に、切断面Cで導電性シールド層7と電氣的に接続されているため、インターポーザ基板2の側面全体からの電磁波の漏洩を効果的に抑制することができる。例えば、インターポーザ基板2の外周部にグランド配線に接続されたビアが配置されていたとしても、そのビアがインターポーザ基板2の厚さ方向の一部のみに設けられていた場合、厚さ方向にビアが存在しない部分から電磁波が漏洩する。これに対して、インターポーザ基板2を貫通するビア24Aを配置することによって、ビア24Aがインターポーザ基板2の側面全体に対してシールド効果を発揮するため、インターポーザ基板2の側面からの電磁波の漏洩を効果的に抑制することができる。

【0025】

インターポーザ基板2の側面からの電磁波の漏洩を抑制する上で、インターポーザ基板2の一边当りの側面に複数のビア24Aの切断面Cを露出させることが好ましい。さらに、インターポーザ基板2の側面に露出するビア24Aの切断面Cの間隔が狭いほど電磁波の漏洩抑制効果(磁界シールド効果)が向上する。ビア24Aの切断面Cの最大間隔は4mm以下とすることが好ましい。ビア24Aの配置間隔は等間隔に限定されるものではない。ビア24Aの配置間隔は一定でなくてもよい。そのような場合であっても、切断面Cの最大間隔が4mm以下となるように、ビア24Aを配置することが好ましい。

【0026】

図9にインターポーザ基板2の側面におけるビア24Aの切断面Cの最大間隔と磁界シールド効果との関係を示す。図9は900MHz、2500MHzのそれぞれ周波数における磁界シールド効果を測定した結果である。測定サンプルは、一边の長さが8.15mm、高さ(半田ボールを含む)が1.06mmの半導体パッケージとした。ノイズは外部から半田ボールに給電し、半田ボールからインターポーザ基板の信号配線とビアを伝わって基板に伝搬させて終端させた。導電性シールド層、露出したビア、グランド配線、半田ボールのグランドピンは電氣的に接続させた。

【0027】

磁界強度は、パッケージ中央部直上の封止樹脂層から1mmの距離(基準面)で走査して測定した。磁界シールド効果は、シールド層がある場合とない場合の基準面での磁界強度の差分から求めた。導電性シールド層の厚さは、パッケージ上面で50μm、側面で70μmとした。導電性シールド層の抵抗率は30μΩ程度である。このようにして測定した磁界シールド効果を図9に示す。図9はビア24Aの切断面Cの最大間隔を変化させた場合の磁界シールド効果を示している。

【0028】

図9に示すように、ビア24Aの切断面Cの最大間隔の対数と磁界シールド効果とは線形の関係性を有している。ビア24Aの切断面Cの最大間隔が広い場合には、磁界シールド効果が低下することが分かる。磁界シールド効果を高める上で、ビア24Aの切断面Cの最大間隔は狭いことが好ましい。携帯機器で使用する半導体パッケージ1においては、900MHzでの磁界シールド効果を34dB以上とすることが求められる。このため、切断面Cの最大間隔は4mm以下とすることが好ましい。ビア24Aの切断面Cの間隔を狭くした方が効果が高いが、ビア24Aの間隔は構造上の制約を受けるため、その間隔は0.2mm以上となる。

【0029】

さらに、導電性シールド層 7 による磁界シールド効果を高める上で、導電性シールド層 7 とインターポーザ基板 2 のグランド配線とを低抵抗に接触させることが好ましい。具体的には、導電性シールド層 7 とグランド配線 2 3 A やビア 2 4 A の切断面 C との接触抵抗を低下させることが好ましい。図 10 に導電性シールド層 7 とビア 2 4 A の切断面 C との接触抵抗と導電性シールド層 7 による磁界シールド効果とを関係を電磁界シミュレーションにより求めた結果を示す。

【0030】

電磁界シミュレーションによる解析は、一辺の長さが 8 . 1 mm、高さ（半田ボールを含む）が 1 . 06 mm の半導体パッケージについて行った。半導体パッケージの具体的な形状は、インターポーザ基板 2 の高さが 0 . 1 mm、ビア 2 4 A の直径が 0 . 08 mm、ビア 2 4 A のランド 2 7 の幅が 0 . 2 mm、第 1 および第 2 の配線層 2 2、2 3 の厚さが 18 μ m とした。ビア 2 4 A は貫通孔内に銅を充填したものとした。導電性シールド層 7 がビア 2 4 A の切断面 C の上半分と接触しているとすると、ビア 2 4 A の 1 個あたりの接触面積は 0 . 0076 mm² となる。ビアの 2 4 A は 1 mm ピッチで等間隔に配置し、インターポーザ基板 2 の四隅にも配置した。ビア 2 4 A の個数は 33 個である。

【0031】

ノイズは外部から半田ボールに給電し、半田ボールからインターポーザ基板の信号配線とビアを伝わって基板に伝搬させて終端させた。導電性シールド層、露出したビア、グランド配線、半田ボールのグランドピンは電氣的に接続させた。磁界強度は、パッケージ中央部直上の封止樹脂層から 1 mm の位置（基準面）で算出した。磁界シールド効果は、シールド層がある場合とない場合の基準面での磁界強度の最大値の差分から求めた。導電性シールド層の厚さは、パッケージ上面および側面共に 50 μ m とした。導電性シールド層の抵抗率は 30 μ c m である。このようにして実施した電磁界シミュレーションの結果を図 10 に示す。

【0032】

図 10 に示すように、導電性シールド層 7 とビア 2 4 A の切断面 C との接触抵抗が低いほうが磁界シールド効果は高くなる。携帯機器で使用される半導体パッケージ 1 においては、900 MHz での磁界シールド効果を 34 dB 以上とすることが求められる。このため、導電性シールド層 7 とビア 2 4 A の切断面 C との接触面積抵抗率は 300 m · mm² 以下とすることが好ましい。ビア 2 4 A 1 個あたりの接触面積は 0 . 0076 mm² であるため、1 個のビア 2 4 A の切断面 C と導電性シールド層 7 との接触界面の抵抗値は 39

以下とすることが好ましい。すなわち、導電性シールド層 7 はビア 2 4 A の切断面 C との接触抵抗が 300 m · mm² 以下となる導電材料、もしくは 1 個のビア 2 4 A の切断面 C との接触界面の抵抗値が 39 以下となる導電材料で形成することが好ましい。

【0033】

この実施形態の半導体パッケージ 1 は、例えば以下のようにして作製される。まず、図 11 (a) に示すように、従来の製作工程を適用して F B G A 6 を作製する。F B G A 6 はダイシングにより個片化される。F B G A 6 を個片化するにあたって、インターポーザ基板 2 の側面にビア 2 4 A の切断面 C が露出するようにダイシングする。次いで、封止樹脂層 5 をキュアした後、図 11 (b) に示すように導電性シールド層 7 を形成する。図 11 は図 7 および図 8 に示した半導体パッケージ 1 の製造工程を示している。

【0034】

導電性シールド層 7 は、例えば転写法、スクリーン印刷法、スプレー塗布法、ジェットディスペンス法、インクジェット法、エアロゾル法等で導電性ペーストを塗布することにより形成される。導電性ペーストは、例えば銀や銅と樹脂とを主成分として含むものであり、抵抗率が低いものが望ましい。また、無電解めっき法や電解めっき法で銅やニッケル等を成膜する方法、スパッタ法により銅等を成膜する方法を適用して、導電性シールド層 7 を形成してもよい。導電性シールド層 7 は封止樹脂層 5 およびインターポーザ基板 2 の側面の少なくとも一部を覆うように形成される。

【0035】

10

20

30

40

50

図 1 1 (c) に示すように、必要に応じて耐食性や耐マイグレーション性に優れる保護層 9 で導電性シールド層 7 を覆ってもよい。保護層 9 としては、ポリイミド樹脂等が用いられる。この後、導電性シールド層 7 や保護層 9 を焼成して硬化させることによって、半導体パッケージ 1 が作製される。半導体パッケージ 1 は必要に応じて印字される。印字はレーザによる印字や転写法等により実施される。

【 0 0 3 6 】

この実施形態の半導体パッケージ 1 は、図 1 2 および図 1 3 に示すように、個片化前にハーフダイシングし、次いで導電性シールド層 7 を形成した後に、個片化のためのダイシングを行って作製することも可能である。図 1 2 および図 1 3 は図 1 ないし図 3 に示した半導体パッケージ 1 の製造工程を示している。

10

【 0 0 3 7 】

まず、図 1 2 (a) に示すように、従来の製作工程を適用して複数の F B G A 6 を封止樹脂層 5 で一括封止したものを作製する。次いで、図 1 2 (b) に示すように、封止樹脂層 5 とインターポーザ基板 2 の一部を切断するようにハーフダイシングする。ハーフダイシングはインターポーザ基板 2 の外周部に配置されたビア 2 4 A の厚さ方向の一部を切断するように実施される。ビア 2 4 A の切断面 C はハーフダイシングにより形成される。

【 0 0 3 8 】

ハーフダイシングを実施するにあたって、インターポーザ基板 2 の四隅にビア 2 4 A を配置すると、インターポーザ基板 2 からビア 2 4 A が分離する場合がある。これを回避するためには、インターポーザ基板 2 の四隅にビア 2 4 A を配置しないことが好ましい。インターポーザ基板の四隅にビア 2 4 A を配置し、ハーフダイシングでビア 2 4 A がインターポーザ基板 2 から分離した場合には、再度ダイシングブレードをハーフダイシングした部分と同一位置に通すことによって、分離したビア 2 4 A を取り除くことができる。これによって、ビア 2 4 A の分離による不良発生を抑制することができる。

20

【 0 0 3 9 】

次に、図 1 2 (c) に示すように、複数の F B G A 6 を覆うように導電性シールド層 7 を形成する。導電性シールド層 7 はハーフダイシングにより形成されたダンシング溝内に充填するように形成される。図 1 3 (a) に示すように、半田ボール 3 を一括して搭載した後、図 1 3 (b) に示すように個片化のためのダイシングを行って半導体パッケージ 1 を作製する。個片化のためのダイシングは、ダンシング溝内に充填された導電性シールド層 7 とインターポーザ基板 2 の残部を切断するように実施される。図 1 1 (c) に示したように、保護層 9 を適用する場合には、ダイシング工程前または工程後に導電性シールド層 7 上に保護層 9 を形成する。半導体パッケージ 1 は必要に応じて印字される。

30

【 0 0 4 0 】

図 1 4 に示すように、半導体パッケージ 1 の導電性シールド層 7 の表面に文字 1 0 A、記号 1 0 B、図形等の識別マーク 1 0 を形成する場合、導電性シールド層 7 を厚さ方向に全て削り、封止樹脂層 5 が露出してしまうと、電磁ノイズが識別マーク 1 0 の形成部分から漏洩するおそれがある。このため、識別マーク 1 0 は導電性シールド層 7 を厚さ方向の一部のみを削ることにより形成することが好ましい。識別マーク 1 0 は、導電性シールド層 7 を削らないインクを転写する方法により形成してもよい。

40

【 0 0 4 1 】

識別マーク 1 0 の形成方法としては、導電性シールド層 7 をあまり削らないようにレーザ出力を調節したレーザマーキングが挙げられる。導電性シールド層 7 にレーザマーキングを行う場合、図 1 5 に示すように、レーザの出力を調節して識別マーク 1 0 の形成部分の表面粗さを、導電性シールド層 7 の他の部分のそれと変えることが好ましい。例えば、識別マーク 1 0 の形成部分の表面粗さを、導電性シールド層 7 の他の部分のそれより小さくする。これによって、導電性シールド層 7 を大きく削ることなく、識別マーク 1 0 を視認性よく形成することができる。

【 0 0 4 2 】

図 1 6 および表 1 に導電性シールド層 7 における識別マーク 1 0 の形成部分のシート抵

50

抗値と磁界シールド効果との関係を電磁界シミュレーションにより求めた結果を示す。電磁界シミュレーションによる解析は、一辺の長さが8.1mm、高さ(半田ボールを含む)が1.06mmの半導体パッケージについて行った。半導体パッケージの具体的な形状は、インターポーザ基板2の高さが0.1mm、ビア24Aの直径が0.08mm、ビア24Aのランド27の幅が0.2mm、第1および第2の配線層22、23の厚さが18 μ mとした。ビア24Aは貫通孔内に銅を充填したものとした。導電性シールド7がビア24Aの切断面Cの上半分と接触しているとすると、ビア24Aの1個あたりの接触面積は0.0076mm²となる。ビアの24Aは1mmピッチで等間隔に配置し、インターポーザ基板2の四隅にも配置した。ビア24Aの個数は33個である。

【0043】

ノイズは外部から半田ボールに給電し、半田ボールからインターポーザ基板の信号配線とビアを伝わって基板に伝搬させて終端させた。導電性シールド層、露出したビア、グラウンド配線、半田ボールのグランドピンは電氣的に接続させた。解析周波数は900MHzとした。磁界強度は、パッケージ中央部直上の封止樹脂層から1mmの位置(基準面)で算出した。磁界シールド効果は、シールド層がある場合とない場合の基準面での磁界強度の最大値の差分から求めた。導電性シールド層の厚さはパッケージ上面および側面共に50 μ mとした。導電性シールド層の抵抗率は30 μ c mであり、導電性シールド層のシート抵抗値は0.006である。

【0044】

導電性シールド層7には、図14に示すような識別マーク10を形成した。文字10Aの太さは0.08mmであり、文字10Aの大きさは縦1mm、横0.7mmとした。パッケージの方向を示すマーク10Bは、直径を1mmの円形とした。図14に示すような識別マーク10を、導電性シールド層7を切削することにより形成した。識別マーク10の形成部分における導電性シールド層7の厚さを0 μ mから50 μ mまで変化させ、磁界シールド効果との関係を解析した。導電性シールド層7の厚さが0 μ mとき、マーク形成部分の導電性シールド層7は完全に削られて無くなった状態であり、その場合のシート抵抗値は無限大である。導電性シールド層7の厚さが50 μ mとき、マーク形成部分の導電性シールド層7は切削されておらず、その場合のシート抵抗値は0.006である。

【0045】

【表1】

印字部のシールド層の厚さ [μ m]	50	40	20	10	5	2	1	0
印字部のシールド層のシート抵抗率 [Ω]	0.006	0.0075	0.015	0.03	0.06	0.15	0.3	∞
磁界シールド効果 [dB]	50	52	50	50	53	46	33	31

【0046】

図16および表1に示すように、導電性シールド層7における識別マーク10の形成部分のシート抵抗値が低いほうが、磁界シールド効果が高くなる。携帯機器で使用される半導体パッケージ1においては、900MHzでの磁界シールド効果を34dB以上とすることが求められる。このため、導電性シールド層7における識別マーク10の形成部分のシート抵抗値は0.28以下とすることが好ましい。

【0047】

上述した実施形態の半導体パッケージ1は、携帯電話や携帯情報端末等の携帯通信機器に好適である。図17は実施形態による携帯電話を示している。図17に示す携帯電話100は、CPUパッケージ101、メモリチップパッケージ102、音源チップパッケージ103、電源チップパッケージ104等を有している。これらICパッケージ101、102、103、104はいずれもノイズ源となる。このようなICパッケージ101、

10

20

30

40

50

１０２、１０３、１０４に実施形態の半導体パッケージ１を適用することによって、携帯電話１００の通信時におけるノイズを抑制することができる。

【００４８】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施し得るものであり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

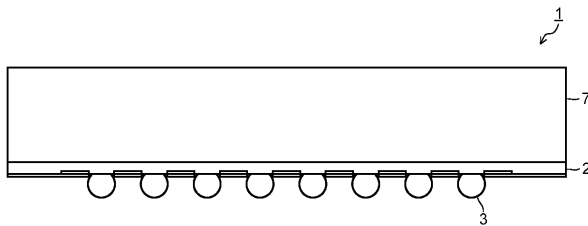
【符号の説明】

【００４９】

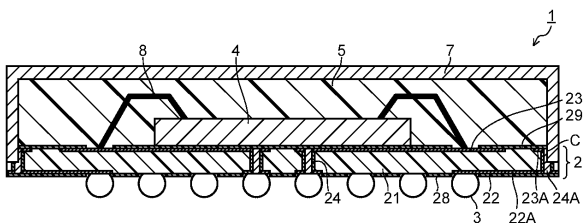
１…半導体パッケージ、２…インターポザ基板、３…半田ボール、４…半導体チップ、５…封止樹脂層、６…ＦＢＧＡ、７…導電性シールド層、８…ボンディングワイヤ、２１…絶縁基板、２２…第１の配線層、２２Ａ…グランド配線、２３…第２の配線層、２３Ａ…グランド配線、２４…ビア、２４Ａ…切断面を有するビア、２５…導体層、２６…穴埋め材、２７，２７１…ランド、２８，２９…半田レジスト層。

10

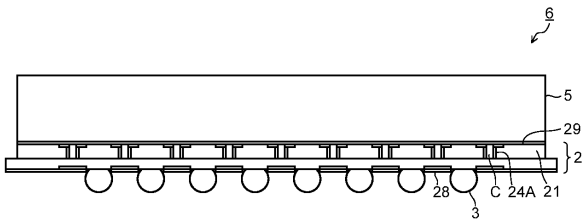
【図１】



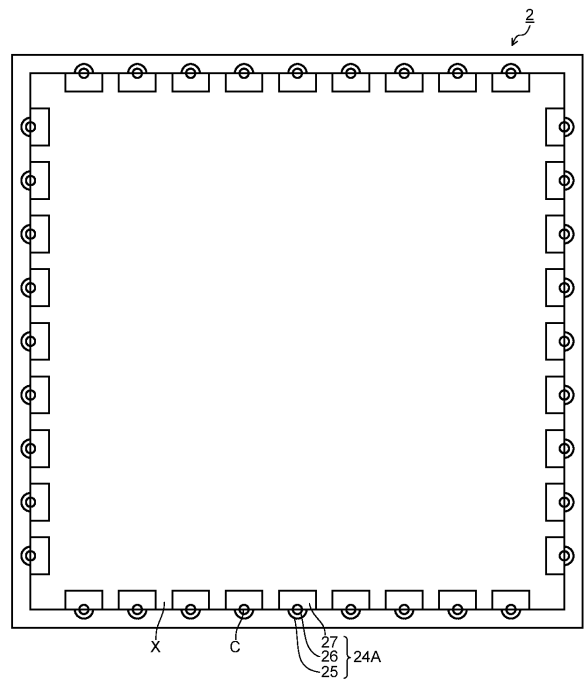
【図２】



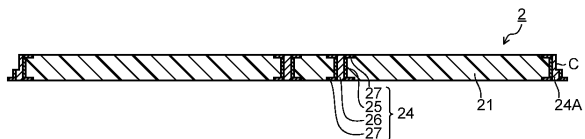
【図３】



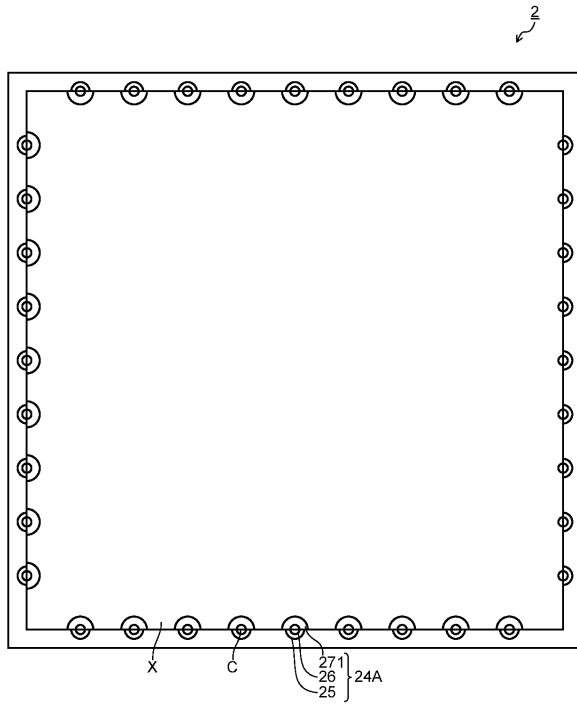
【図４】



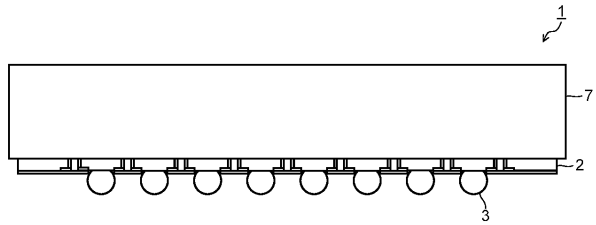
【図５】



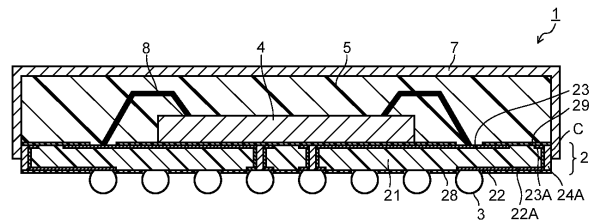
【図 6】



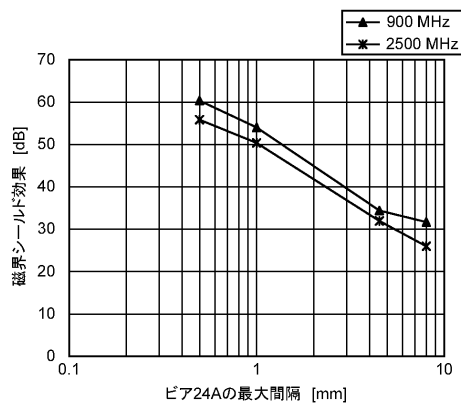
【図 7】



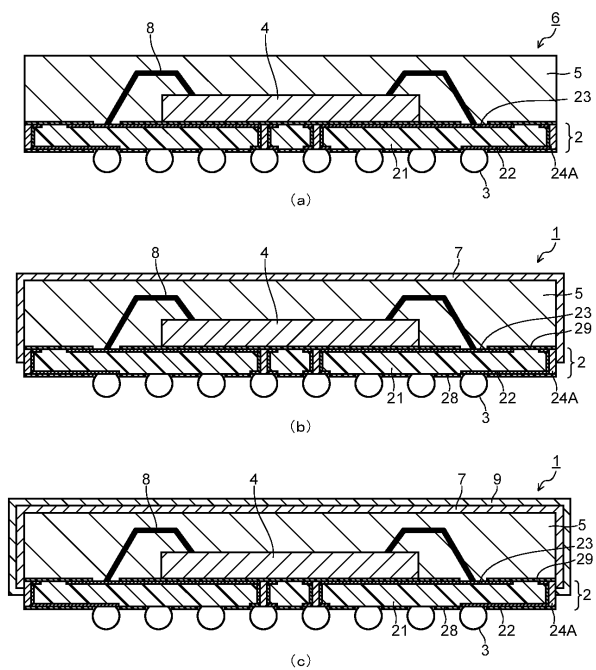
【図 8】



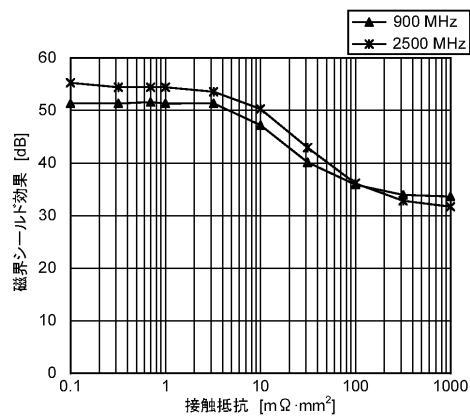
【図 9】



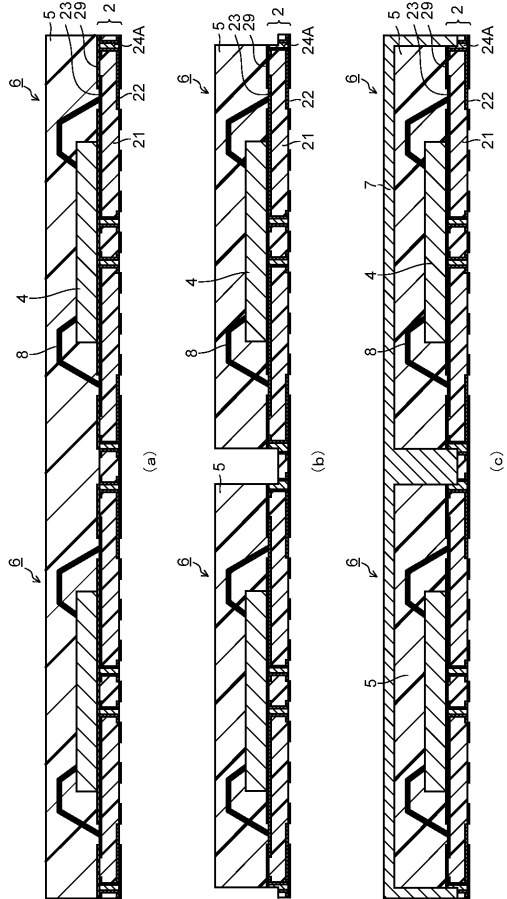
【図 11】



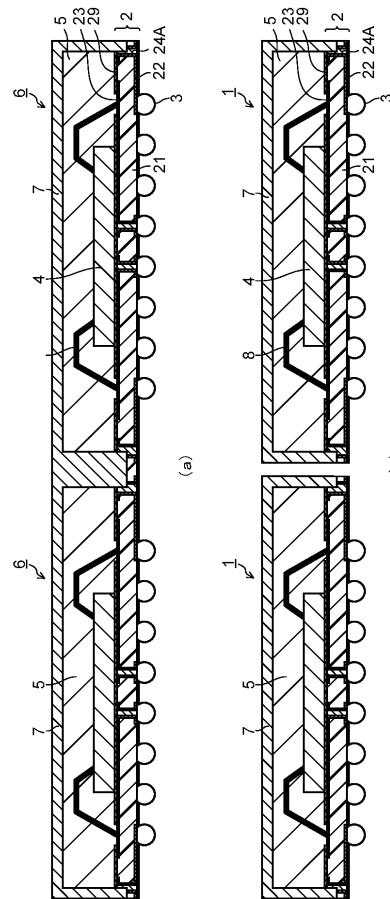
【図 10】



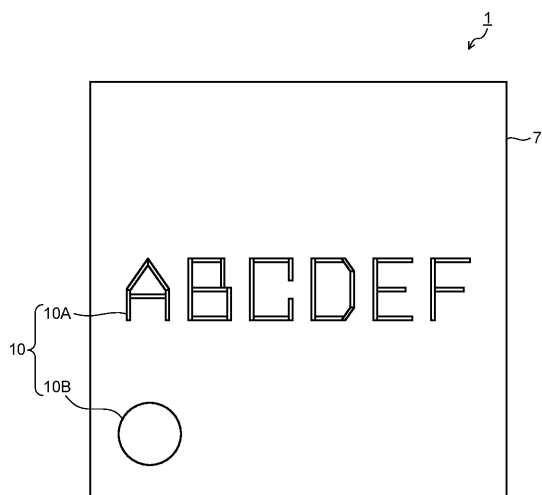
【図 1 2】



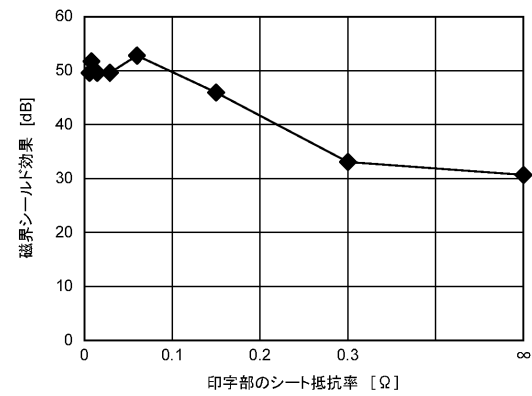
【図 1 3】



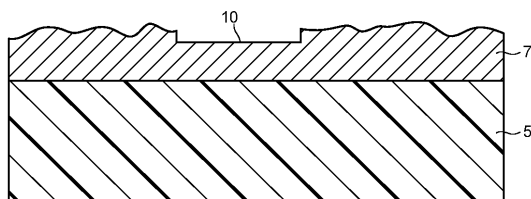
【図 1 4】



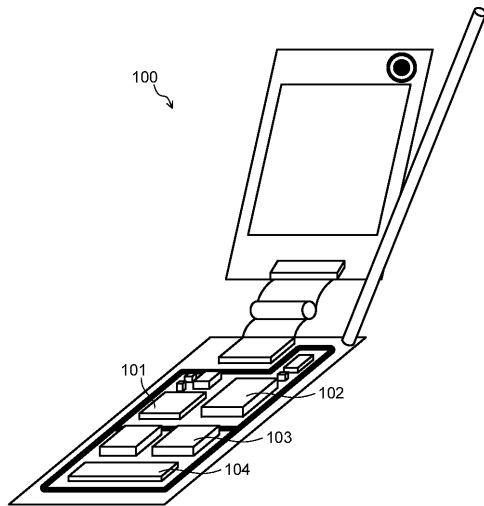
【図 1 6】



【図 1 5】



【図 17】



フロントページの続き

(72)発明者 小塩 康弘
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 太田 龍一

(56)参考文献 特開2009-218484(JP,A)
特開平09-223761(JP,A)
特開平10-284873(JP,A)
特開2004-297554(JP,A)
特開2002-353349(JP,A)
特開2011-124413(JP,A)
特開2010-114291(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/28
H01L 23/00
H01L 23/12