(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3762114号
(P3762114)
(45)発行日　平成18年4月5日(2006.4.5)　(24)登録日　平成18年1月20日(2006.1.20)

(51)Int.Cl.　F I
G11C 16/04 (2006.01)　G11C 17/00 621C

請求項の数 32　(全 24 頁)

(21)出願番号　特願平10-253992
(22)出願日　平成10年9月8日(1998.9.8)
(65)公開番号　特開2000-90680(P2000-90680A)
(43)公開日　平成12年3月31日(2000.3.31)
審査請求日　平成14年10月22日(2002.10.22)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複数のメモリセルと、

上記複数のメモリセルのコントロールゲートに接続された複数のワード線と、

上記複数のメモリセルのドレインに接続された複数のビット線と、

上記複数のメモリセルのソースに共通に接続され、かつ上記複数のメモリセルが形成されている半導体領域に接続されたソース線と、

上記複数のメモリセルに対してデータを書き込むための書き込み手段と、

上記複数のメモリセルからデータを読み出すための読み出し手段と、

上記複数のメモリセルのデータを消去するための消去手段とを具備し、

上記複数のワード線のうち少なくとも１つが上記半導体領域に接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項２】

前記半導体領域が半導体基板であり、前記ソース線がこの半導体基板に接続されていることを特徴とする請求項１に記載の不揮発性半導体記憶装置。

【請求項３】

前記半導体領域が半導体基板に形成された第１導電型のウエル領域であり、前記ソース線がこのウエル領域に接続されていることを特徴とする請求項１に記載の不揮発性半導体記憶装置。

【請求項４】
前記半導体領域が半導体基板内の第１導電型の第１のウエル領域に形成された第２導電型の第２のウエル領域であり、前記ソース線がこの第２のウエル領域に接続されていることを特徴とする請求項１に記載の不揮発性半導体記憶装置。
【請求項５】
前記消去手段は、前記複数のワード線のうち前記半導体領域に接続されている前記少なくとも１つワード線を除く残りのワード線に負極性の電圧を出力し、前記ソース線に正極性の電圧を出力する手段を含んで構成されることを特徴とする請求項１に記載の不揮発性半導体記憶装置。
【請求項６】
前記消去手段は、前記ソース線に正極性の電圧を出力した後に、前記複数のワード線に負極性の電圧を出力するように構成されていることを特徴とする請求項５に記載の不揮発性半導体記憶装置。
【請求項７】
前記消去手段は、前記ワード線に出力された負極性の電圧を放電した後に、前記ソース線に正極性の電圧を出力するように構成されていることを特徴とする請求項５または６に記載の不揮発性半導体記憶装置。
【請求項８】
コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複数のメモリセルが第１の半導体領域内に形成された第１のメモリセルアレイと、
コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複数のメモリセルが、上記第１の半導体領域と分離された第２の半導体領域内に形成された第２のメモリセルアレイと、
上記第１のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第１のワード線と、
上記第２のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第２のワード線と、
上記第１のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第１のビット線と、
上記第２のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第２のビット線と、
上記第１のメモリセルアレイ内の複数のメモリセルのソースに共通に接続され、かつ上記第１の半導体領域に接続された第１のソース線と、
上記第２のメモリセルアレイ内の複数のメモリセルのソースに共通に接続され、かつ上記第２の半導体領域に接続された第２のソース線と、
上記第１及び第２のメモリセルアレイ内の複数のメモリセルに対してデータを書き込むための書き込み手段と、
上記第１及び第２のメモリセルアレイ内の複数のメモリセルからデータを読み出すための読み出し手段と、
上記第１及び第２のメモリセルアレイ内の複数のメモリセルのデータを消去するための消去手段とを具備し、
上記消去手段は、上記第１のメモリセルアレイ内のメモリセルのデータを消去するときには上記複数の第１のワード線に負極性の電圧を出力しかつ上記第１のソース線に正極性の電圧を出力し、上記第２のメモリセルアレイ内のメモリセルのデータを消去するときには上記複数の第２のワード線に負極性の電圧を出力しかつ上記第２のソース線に正極性の電圧を出力する手段を含んで構成されることを特徴とする不揮発性半導体記憶装置。
【請求項９】
コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複数のメモリセルが第１の半導体領域内に形成された第１のメモリセルアレイと、
コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複

数のメモリセルが、上記第１の半導体領域と分離された第２の半導体領域内に形成された第２のメモリセルアレイと、
上記第１のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第１のワード線と、
上記第２のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第２のワード線と、
上記第１のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第１のビット線と、
上記第２のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第２のビット線と、
上記第１のメモリセルアレイ内の複数のメモリセルのソースに共通に接続され、かつ上記第１の半導体領域に接続された第１のソース線と、
上記第２のメモリセルアレイ内の複数のメモリセルのソースに共通に接続され、かつ上記第２の半導体領域に接続された第２のソース線と、
上記第１及び第２のメモリセルアレイ内の複数のメモリセルに対してデータを書き込むための書き込み手段と、
上記第１及び第２のメモリセルアレイ内の複数のメモリセルからデータを読み出すための読み出し手段と、
上記第１及び第２のメモリセルアレイ内の複数のメモリセルのデータを消去するための消去手段とを具備し、
上記複数の第１のワード線のうち少なくとも１つが上記第１の半導体領域に接続され、上記複数の第２のワード線のうち少なくとも１つが上記第２の半導体領域に接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項１０】
前記第１及び第２の半導体領域が半導体基板に形成された第１導電型の第１及び第２のウエル領域であり、前記第１及び第２のソース線がこれら第１導電型の第１及び第２のウエル領域に接続されていることを特徴とする請求項８または９に記載の不揮発性半導体記憶装置。

【請求項１１】
前記第１及び第２の半導体領域が、半導体基板に形成された第１導電型の第１のウエル領域に形成された第２導電型の第３及び第４のウエル領域であり、前記第１及び第２のソース線がこの第３及び第４のウエル領域に接続されていることを特徴とする請求項８または９に記載の不揮発性半導体記憶装置。

【請求項１２】
前記消去手段は、前記第１もしくは第２のソース線に正極性の電圧を出力した後に、前記複数の第１もしくは第２のワード線に負極性の電圧を出力するように構成されていることを特徴とする請求項８に記載の不揮発性半導体記憶装置。

【請求項１３】
前記消去手段は、前記複数の第１もしくは第２のワード線に出力された前記負極性の電圧を放電した後に、前記第１もしくは第２のソース線に正極性の電圧を出力するように構成されていることを特徴とする請求項１２に記載の不揮発性半導体記憶装置。

【請求項１４】
コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有し、半導体領域に形成された複数のメモリセルと、
上記複数のメモリセルのコントロールゲートに接続された複数のワード線と、
上記複数のメモリセルのドレインに接続された複数のビット線と、
上記複数のメモリセルのソースに共通に接続されたソース線と、
上記複数のメモリセルに対してデータを書き込むための書き込み手段と、
上記複数のメモリセルからデータを読み出すための読み出し手段と、
上記複数のメモリセルのデータを消去するための消去手段とを具備し、

上記複数のワード線のうち少なくとも１つが上記半導体領域に接続されており、
上記消去手段は、上記複数のワード線のうち上記半導体領域に接続されている上記少なくとも１つワード線を除く残りのワード線に負極性の電圧を出力しかつ上記複数のメモリセルが形成されている上記半導体領域に正極性の電圧を出力する手段を含み、上記半導体領域に正極性の電圧が出力された後に上記ワード線に負極性の電圧を出力するように構成されていることを特徴とする不揮発性半導体記憶装置。
【請求項１５】
前記消去手段は、前記ワード線に出力された負極性の電圧を放電した後に前記半導体領域に正極性の電圧を出力するように構成されていることを特徴とする請求項１４に記載の不揮発性半導体記憶装置。
【請求項１６】
前記半導体領域が半導体基板であることを特徴とする請求項１４に記載の不揮発性半導体記憶装置。
【請求項１７】
前記半導体領域が半導体基板に形成された第１導電型のウエル領域であることを特徴とする請求項１４に記載の不揮発性半導体記憶装置。
【請求項１８】
前記半導体領域が半導体基板内の第１導電型の第１のウエル領域に形成された第２導電型の第２のウエル領域であることを特徴とする請求項１４に記載の不揮発性半導体記憶装置。
【請求項１９】
半導体領域と、
上記半導体領域にソース、ドレインが形成され、フローティングゲート及びコントロールゲートを有する複数のメモリセルからなるメモリセルアレイと、
上記複数のメモリセルのコントロールゲートに接続された複数のワード線と、
上記複数のメモリセルのドレインに接続された複数のビット線と、
上記複数のメモリセルのソースと上記半導体領域とに接続されたソース線と、
上記複数のメモリセルのデータ消去の際に、上記ソース線に第１の電圧を出力する第１の電圧出力回路とを具備し、
上記メモリセルアレイ内の端部には、それぞれソース、ドレイン、フローティングゲート及びコントロールゲートを有し、コントロールゲートが上記ソース線に共通に接続された複数のダミーセルが形成されていることを特徴とする不揮発性半導体記憶装置。
【請求項２０】
半導体領域と、
上記半導体領域にソース、ドレインが形成され、フローティングゲート及びコントロールゲートを有する複数のメモリセルからなるメモリセルアレイと、
上記複数のメモリセルのコントロールゲートに接続された複数のワード線と、
上記複数のメモリセルのドレインに接続された複数のビット線と、
上記複数のメモリセルのソースと上記半導体領域とに接続されたソース線と、
上記複数のメモリセルのデータ消去の際に、上記ソース線に第１の電圧を出力する第１の電圧出力回路とを具備し、
上記メモリセルアレイ内には、ソース、ドレイン、フローティングゲート及びコントロールゲートを有し、コントロールゲートがソースと接続されたダミーセルが形成されていることを特徴とする不揮発性半導体記憶装置。
【請求項２１】
前記複数のメモリセルのデータ消去の際に、前記複数のワード線に第２の電圧を出力する第２の電圧出力回路をさらに具備したことを特徴とする請求項１９または２０に記載の不揮発性半導体記憶装置。
【請求項２２】
前記複数のメモリセルのデータ消去の際に、前記第２の電圧出力回路は、前記第１の電

圧出力回路から前記ソース線に第１の電圧が出力され、前記ソース線の電圧が安定した後に、前記複数のワード線に第２の電圧を出力することを特徴とする請求項２１に記載の不揮発性半導体記憶装置。

【請求項２３】

前記複数のメモリセルのデータ消去の際に、前記第１の電圧出力回路は、前記第２の電圧出力回路から前記複数のワード線に出力される前記第２の電圧の出力が停止した後に、前記第１の電圧の出力を停止することを特徴とする請求項２１に記載の不揮発性半導体記憶装置。

【請求項２４】

前記第１の電圧が正極性の電圧であることを特徴とする請求項２２記載の不揮発性半導体記憶装置。

【請求項２５】

前記第２の電圧が負極性の電圧であることを特徴とする請求項１９または２０に記載の不揮発性半導体記憶装置。

【請求項２６】

半導体基板と、

上記半導体基板内に形成された第１導電型の第１の半導体領域と、

上記半導体基板内に上記第１の半導体領域とは分離して形成された第１導電型の第２の半導体領域と、

上記第１の半導体領域にソース、ドレインが形成され、フローティングゲート及びコントロールゲートを有する複数のメモリセルからなる第１のメモリセルアレイと、

上記第２の半導体領域にソース、ドレインが形成され、フローティングゲート及びコントロールゲートを有する複数のメモリセルからなる第２のメモリセルアレイと、

上記第１のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第１のワード線と、

上記第２のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第２のワード線と、

上記第１のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第１のビット線と、

上記第２のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第２のビット線と、

上記第１のメモリセルアレイ内の複数のメモリセルのソースと上記第１の半導体領域とに接続された第１のソース線と、

上記第２のメモリセルアレイ内の複数のメモリセルのソースと上記第２の半導体領域とに接続された第２のソース線と、

上記第１のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、上記第１のソース線に第１の電圧を出力する第１の電圧出力回路と、

上記第２のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、上記第２のソース線に上記第１の電圧と同じ値の第２の電圧を出力する第２の電圧出力回路とを具備し、

上記第１のメモリセルアレイ内の端部には、それぞれソース、ドレイン、フローティングゲート及びコントロールゲートを有し、コントロールゲートが上記第１のソース線に共通に接続された複数の第１のダミーセルが形成され、

上記第２のメモリセルアレイ内の端部には、それぞれソース、ドレイン、フローティングゲート及びコントロールゲートを有し、コントロールゲートが上記第２のソース線に共通に接続された複数の第２のダミーセルが形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項２７】

半導体基板と、

上記半導体基板内に形成された第１導電型の第１の半導体領域と、

上記半導体基板内に上記第１の半導体領域とは分離して形成された第１導電型の第２の半導体領域と、
上記第１の半導体領域にソース、ドレインが形成され、フローティングゲート及びコントロールゲートを有する複数のメモリセルからなる第１のメモリセルアレイと、
上記第２の半導体領域にソース、ドレインが形成され、フローティングゲート及びコントロールゲートを有する複数のメモリセルからなる第２のメモリセルアレイと、
上記第１のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第１のワード線と、
上記第２のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第２のワード線と、
上記第１のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第１のビット線と、
上記第２のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第２のビット線と、
上記第１のメモリセルアレイ内の複数のメモリセルのソースと上記第１の半導体領域とに接続された第１のソース線と、
上記第２のメモリセルアレイ内の複数のメモリセルのソースと上記第２の半導体領域とに接続された第２のソース線と、
上記第１のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、上記第１のソース線に第１の電圧を出力する第１の電圧出力回路と、
上記第２のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、上記第２のソース線に上記第１の電圧と同じ値の第２の電圧を出力する第２の電圧出力回路とを具備し、
上記第１、第２のメモリセルアレイ内にはそれぞれ、ソース、ドレイン、フローティングゲート及びコントロールゲートを有し、コントロールゲートがソースと接続されたダミーセルが形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項２８】
前記第１のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、前記複数の第１のワード線に第３の電圧を出力する第３の電圧出力回路と、
前記第２のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、前記複数の第２のワード線に上記第３の電圧と同じ値の第４の電圧を出力する第４の電圧出力回路とをさらに具備したことを特徴とする請求項２６または２７に記載の不揮発性半導体記憶装置。

【請求項２９】
前記第１のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、前記第３の電圧出力回路は、前記第１の電圧出力回路から前記第１のソース線に第１の電圧が出力され、前記第１のソース線の電圧が安定した後に、前記第１のメモリセルアレイ内の複数の第１のワード線に第３の電圧を出力し、
前記第２のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、前記第４の電圧出力回路は、前記第２の電圧出力回路から前記第２のソース線に第２の電圧が出力され、前記第２のソース線の電圧が安定した後に、前記第２のメモリセルアレイ内の複数の第２のワード線に第４の電圧を出力することを特徴とする請求項２８に記載の不揮発性半導体記憶装置。

【請求項３０】
前記第１のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、前記第１の電圧出力回路は、前記第３の電圧出力回路から前記複数の第１のワード線に出力される前記第３の電圧の出力が停止した後に、前記第１の電圧の出力を停止し、
前記第２のメモリセルアレイ内の複数のメモリセルのデータ消去の際に、前記第２の電圧出力回路は、前記第４の電圧出力回路から前記複数の第２のワード線に出力される前記第４の電圧の出力が停止した後に、前記第２の電圧の出力を停止することを特徴とする請

求項２８に記載の不揮発性半導体記憶装置。
【請求項３１】
前記第１の電圧が正極性の電圧であることを特徴とする請求項２６または２７に記載の不揮発性半導体記憶装置。
【請求項３２】
前記第３の電圧が負極性の電圧であることを特徴とする請求項２６または２７に記載の不揮発性半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は不揮発性半導体記憶装置に係り、特にメモリセルにおけるデータ消去方法を改良した不揮発性半導体記憶装置に関する。
【０００２】
【従来の技術】
不揮発性半導体記憶装置の一つにＮＯＲ型フラッシュメモリがある。従来のＮＯＲ型フラッシュメモリとして、例えば「IEEE-Journal of Solid-State Circuits,vol.27,No.11,pp.1540-1546,Nov.1992 」に記載されたものが良く知られている。
【０００３】
図１２はＮＯＲ型フラッシュメモリの一般的な回路構成を示している。
図１２において、複数のワード線ＷＬ、ＢＬ（それぞれ２本のみ図示）の各交点には不揮発性トランジスタからなるメモリセルＭＣが配置されており、各メモリセルＭＣのコントロールゲートは対応するワード線ＷＬに、ドレインは対応するビット線ＢＬにそれぞれ接続され、全てのソースはソース線ＳＬに共通に接続されている。
【０００４】
図１３は、図１２中の１個のメモリセルＭＣの素子構造を示す断面図である。半導体基板もしくは半導体基板に形成されたウエル領域等からなる半導体領域１０１には、この半導体領域１０１とは反対導電型の拡散領域からなるソース１０２、ドレイン１０３が形成されている。さらに上記ソース、ドレイン間のチャネル領域上には図示しないゲート絶縁膜を介してフローティングゲート１０４が形成され、さらにこのフローティングゲート１０４上には図示しないゲート絶縁膜を介してコントロールゲート１０５が形成されている。
【０００５】
このような構成のメモリにおいて、データの読み出しは次のようにして行われる。すなわち、選択されたワード線ＷＬに正極性の電圧、例えば５Ｖを印加し、メモリセルＭＣのドレインに接続されたビット線ＢＬに電流が流れるか否かで、データの“１”／“０”の判定を行う。“１”セルの場合、ワード線ＷＬ（コントロールゲート１０５）から見た閾値電圧は５Ｖ以下であるために、そのメモリセルにはドレイン電流が流れる。一方、“０”セルの場合、ワード線ＷＬから見た閾値電圧は５Ｖ以上であるために、そのメモリセルにはドレイン電流は流れない。そして、センスアンプでこの電流差を検知し、外部にセンスデータとして出力する。
【０００６】
データの書き込みは次のようにして行われる。すなわち、選択されたワード線ＷＬに正極性の高電圧、例えば１０Ｖを印加し、書き込み選択されたビット線ＢＬには例えば５Ｖを印加して、ホットエレクトロン注入現象によって閾値電圧を５Ｖ以上にすることによって実現される。書き込み非選択のビット線ＢＬには０Ｖの電圧が印加されるためにホットエレクトロンが発生しないので、閾値電圧は５Ｖ以下のままである。なお、データを書き込む前には予め消去を行って全て“１”データにしておき、その後“０”データを選択的に書き込むようにする。
【０００７】
データの消去は、複数個のメモリセル（例えば５１２ｋビット）に対して一括して行われる。すなわち、ソース線ＳＬに正極性の電圧、例えば５Ｖを印加し、消去を行うメモリセ

ルに接続されているワード線ＷＬの全てに負極性の電圧、例えば－７Ｖを印加し、図１３中に示されるフローティングゲート１０４とソース１０２とのオーバーラップ領域のトンネル酸化膜１０６を介して、トンネル現象によってフローティングゲート１０４から電子をソース１０２に引き抜くことによって実現される。

【０００８】

【発明が解決しようとする課題】

ところで、これまでは素子の微細化によってチップサイズを縮小してきたが、メモリサイズに対するフローティングゲートとソースとのオーバーラップ領域が占める割合が増しており、この結果、メモリセルサイズの縮小率が低下する傾向にある。

【０００９】

この発明は上記のような事情を考慮してなされたものであり、その目的は、メモリセルサイズの縮小率を向上させることができる不揮発性半導体記憶装置を提供することにある。

【００１０】

【課題を解決するための手段】

第１の発明の不揮発性半導体記憶装置は、コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複数のメモリセルと、上記複数のメモリセルのコントロールゲートに接続された複数のワード線と、上記複数のメモリセルのドレインに接続された複数のビット線と、上記複数のメモリセルのソースに共通に接続され、かつ上記複数のメモリセルが形成されている半導体領域に接続されたソース線と、上記複数のメモリセルに対してデータを書き込むための書き込み手段と、上記複数のメモリセルからデータを読み出すための読み出し手段と、上記複数のメモリセルのデータを消去するための消去手段とを具備し、上記複数のワード線のうち少なくとも１つが上記半導体領域に接続されていることを特徴とする。

【００１１】

第２の発明の不揮発性半導体記憶装置は、コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複数のメモリセルが第１の半導体領域内に形成された第１のメモリセルアレイと、コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有する複数のメモリセルが、上記第１の半導体領域と分離された第２の半導体領域内に形成された第２のメモリセルアレイと、上記第１のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第１のワード線と、上記第２のメモリセルアレイ内の複数のメモリセルのコントロールゲートに接続された複数の第２のワード線と、上記第１のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第１のビット線と、上記第２のメモリセルアレイ内の複数のメモリセルのドレインに接続された複数の第２のビット線と、上記第１のメモリセルアレイ内の複数のメモリセルのソースに共通に接続され、かつ上記第１の半導体領域に接続された第１のソース線と、上記第２のメモリセルアレイ内の複数のメモリセルのソースに共通に接続され、かつ上記第２の半導体領域に接続された第２のソース線と、上記第１及び第２のメモリセルアレイ内の複数のメモリセルに対してデータを書き込むための書き込み手段と、上記第１及び第２のメモリセルアレイ内の複数のメモリセルからデータを読み出すための読み出し手段と、上記第１及び第２のメモリセルアレイ内の複数のメモリセルのデータを消去するための消去手段とを具備し、上記消去手段は、上記第１のメモリセルアレイ内のメモリセルのデータを消去するときには上記複数の第１のワード線に負極性の電圧を出力しかつ上記第１のソース線に正極性の電圧を出力し、上記第２のメモリセルアレイ内のメモリセルのデータを消去するときには上記複数の第２のワード線に負極性の電圧を出力しかつ上記第２のソース線に正極性の電圧を出力する手段を含んで構成されることを特徴とする。

【００１２】

第３の発明の不揮発性半導体記憶装置は、コントロールゲート、フローティングゲート、ソース及びドレインをそれぞれ有し、半導体領域に形成された複数のメモリセルと、上記複数のメモリセルのコントロールゲートに接続された複数のワード線と、上記複数のメモリセルのドレインに接続された複数のビット線と、上記複数のメモリセルのソースに共

通に接続されたソース線と、上記複数のメモリセルに対してデータを書き込むための書き込み手段と、上記複数のメモリセルからデータを読み出すための読み出し手段と、上記複数のメモリセルのデータを消去するための消去手段とを具備し、上記消去手段は、上記複数のワード線に負極性の電圧を出力しかつ上記複数のメモリセルが形成されている上記半導体領域に正極性の電圧を出力する手段を含み、上記半導体領域に正極性の電圧が出力された後に上記複数のワード線に負極性の電圧を出力するように構成されており、上記複数のワード線のうち少なくとも１つが上記半導体領域に接続されていることを特徴とする。

【００１３】

【発明の実施の形態】

以下、図面を参照してこの発明を実施の形態により説明する。

図１は、この発明に係る不揮発性半導体記憶装置全体の構成を示すブロック図である。この実施の形態による不揮発性半導体記憶装置（以下、メモリ装置と略称する）１０は、それぞれ５１２ｋビットサイズの複数個のメモリセルアレイ（ＭＣＡ）（本例では２個）１１、１２と、ロウメインデコーダ（ＲＭ）１３及びロウサブデコーダ（ＲＳ）１４、１５から構成されるロウデコーダと、それぞれツリー状に構成され、上記メモリセルアレイ１１、１２のビット線を選択するカラムゲート（ＣＧ）１６、１７と、ロウメインデコーダ１３によって選択されたロウサブデコーダ１４または１５を介して、メモリセルアレイ１１または１２内のワード線をバイアスするコントロールゲートドライバ（ＧＤ）１８、１９と、メモリセルアレイ１１及び１２がそれぞれ形成される互いに分離された２つの半導体領域（ウエル領域）をバイアスするウエルドライバ（ＷＤ）２０、２１と、上記カラムゲート１６、１７を介してメモリセルアレイ１１、１２から読み出されるセルデータをセンスし、増幅し、Doutとしてメモリ装置１０の外部に出力するセンスアンプ（ＳＡ）２２と、メモリ装置１０の外部から入力される書き込みデータDin に対応した書き込み電圧を、上記カラムゲート１６、１７を介してメモリセルアレイ１１、１２のビット線に出力する書き込みバッファ（ＷＢ）２３と、メモリ装置１０の外部から入力されるアドレス信号Add のうちメモリセルアレイブロックアドレスに対応したアドレスから内部メモリセルアレイブロックアドレスを生成するブロックアドレスバッファ（ＢＡＢ）２４と、上記アドレス信号Add のうちロウアドレスに対応したアドレスから内部ロウアドレスを生成するロウアドレスバッファ（ＲＡ）２５と、上記アドレス信号Add のうちカラムアドレスに対応したアドレスから内部カラムアドレスを生成するカラムアドレスバッファ（ＣＡ）２６とから構成されている。

【００１４】

なお、メモリ装置１０の外部からは各種制御信号ctl が入力され、これらの制御信号ctl は先のウエルドライバ２０、２１、センスアンプ２２及び書き込みバッファ２３の動作の制御に使用される。

【００１５】

図２は、図１中のメモリセルアレイ１１、１２のうち一方のメモリセルアレイ１１の詳細な回路例を示している。なお上記両メモリセルアレイ１１、１２は共に同様に構成されているので、他方のメモリセルアレイ１２についてはその説明を省略する。

【００１６】

メモリセルアレイ１１には５１２本のワード線ＷＬ0 ～ＷＬ511 と１０２４本のビット線ＢＬ0 ～ＢＬ1023とが互いに交差するように配列されている。これら各ワード線とビット線との交点にはそれぞれフローティングゲート、コントロールゲート、ソース及びドレインを有する不揮発性トランジスタからなるメモリセルＭＣが配置されている。これに各メモリセルＭＣのコントロールゲートは対応するワード線に接続され、ドレインは対応するビット線に接続されている。また、メモリセルＭＣのうち、ビット線方向で隣接している各２個のメモリセルＭＣは、ドレインまたはソースのいずれか一方を共有している。さらに全てのメモリセルＭＣのソースと、バックゲートすなわち各メモリセルＭＣが形成されているウエル領域（WELL0 ）はソース線ＳＬに共通に接続されている。

【００１７】

また、メモリセルアレイのビット線方向の両端部には、それぞれ各ワード線に接続されているメモリセルと同数（１０２４個）の加工用ダミーセルＤＣからなるダミーセル部ＤＣＡがそれぞれ設けられている。上記ダミーセル部ＤＣＡ内の各ダミーセルＤＣのコントロールゲート、ソース及びバックゲートは先のソース線ＳＬに接続されている。

【００１８】

メモリセルアレイの周辺部ではそれ以外の領域に対してセルの対称性が崩れるため、書き込み時や消去時の特性がメモリセルアレイ中央部のセルのそれらと比べて変ってしまう。例えば、消去時に速く消去される特性であれば、中央部のセルが消去された時に周辺部のセルは消去され過ぎる場合があり、このとき閾値電圧が負になってしまうと、このセルと同じビット線に接続されているセルは例え“０”セルであってもセル電流が流れるので“１”セルと見做されてしまう。これは読み出しエラーを意味する。従って、加工用ダミーセルＤＣはこの読み出しエラーの発生を防止するために設けられている。すなわち、メモリセルアレイの両端部にそれぞれ１列分の余分なメモリセル（加工用ダミーセルＤＣ）を設けることによって、メモリセルアレイ内のメモリセルの特性を一致を図るようにしている。

【００１９】

図３は、図１のメモリ装置１０の一部の素子構造を示す断面図である。Ｐ型の半導体基板３１にはＮ型のウエル領域３２、３３が形成されている。上記Ｎ型のウエル領域３２にはＰ型のウエル領域３４が形成されている。図２中の各メモリセルＭＣはこのＰ型のウエル領域３４に形成されている。なお、図では１個のメモリセルＭＣのみ図示している。

【００２０】

上記Ｐ型のウエル領域３４にはこのウエル領域３４に対してコンタクトを取るためのＰ型のコンタクト領域３５が、上記Ｎ型のウエル領域３２にはこのウエル領域３２に対してコンタクトを取るためのＮ型のコンタクト領域３６がそれぞれ形成されている。これらのコンタクト領域３５、３６は、メモリセルＭＣのソースＳと共に前記ソース線ＳＬに接続され、前記ウエルドライバ（ＷＤ）２０で生成されるバイアスがこのソース線ＳＬを経由してウエル領域３２、３４及びメモリセルＭＣのソースＳに共通に与えられる。なお、メモリセルＭＣのドレインＤは、図２中の複数のビット線のうち対応するものに接続される。

【００２１】

また、上記各メモリセルＭＣは、フローティングゲートとソースＳとの間に、従来のようなオーバーラップ領域を有していない。

一方、Ｎ型のウエル領域３３にはＰ型のウエル領域３７が形成されており、半導体基板３１、上記Ｐ型のウエル領域３７及びＮ型のウエル領域３３には、メモリ装置１０において高電圧が印加されて高耐圧（ＨＶ）を要する周辺回路用のＮチャネル及びＰチャネルＭＯＳトランジスタが形成されている。

【００２２】

さらに、Ｐ型の半導体基板３１にはＰ型のウエル領域３８及びＮ型のウエル領域３９が形成されている。そして、これらＰ型及びＮ型のウエル領域３８、３９には、メモリ装置１０において高耐圧を要しない低耐圧（ＬＶ）の周辺回路用のＮチャネル及びＰチャネルＭＯＳトランジスタが形成されている。

【００２３】

なお、図示したトランジスタはあくまでも一部であり、半導体基板３１には多数のトランジスタが形成されている。

次に、上記構成でなるメモリ装置の動作を説明する。

【００２４】

読み出し及び書き込みは従来の場合と同様である。すなわち、読み出しは、ロウメインデコーダ１３とロウサブデコーダ１４または１５によってメモリセルアレイ１１または１２内のワード線ＷＬが選択され、この選択されたワード線ＷＬに対し、コントロールゲートドライバ（ＧＤ）１８または１９から出力される５Ｖの電圧が印加される。このとき、ウエルドライバ２０、２１からは０Ｖの電圧が出力され、この０Ｖの電圧が各ソース線ＳＬ

を介してメモリセルアレイ１１、１２が形成されているウエル領域WELL（図３中のＰ型のウエル領域３４）に印加される。また、ウエル領域WELLには各メモリセルＭＣのソースも接続されているので、各メモリセルＭＣのソースも０Ｖになる。

【００２５】

一方、カラムゲート（ＣＧ）１６または１７を介してメモリセルアレイ１１または１２内のビット線ＢＬがセンスアンプ２２に接続され、選択セルのドレインに接続されたビット線ＢＬに所定の電圧が印加される。このとき、選択セルが“１”セルの場合、ワード線ＷＬから見た閾値電圧は５Ｖ以下であるために、そのメモリセルにはドレイン電流が流れる。“０”セルの場合、ワード線ＷＬから見た閾値電圧は５Ｖ以上であるために、そのメモリセルにはドレイン電流は流れない。そして、センスアンプ２２でこの電流差が検知され、増幅されて外部にセンスデータDoutが出力される。

【００２６】

書き込みは、読み出し時と同様にしロウデコーダで選択されたワード線ＷＬに対し、コントロールゲートドライバ１８または１９から出力される１０Ｖの電圧が印加される。このとき、ウエルドライバ２０、２１からは０Ｖの電圧が出力される。

【００２７】

この際に、書き込みデータDin に応じて書き込みバッファ（ＷＢ）２３から出力される５Ｖの電圧がカラムゲート（ＣＧ）１６または１７を介して、メモリセルアレイ１１または１２のビット線ＢＬに印加される。従って、選択セルのドレイン、ソース間に電流が流れ、このときに発生するホットエレクトロンがフローティングゲートに注入され、その閾値電圧が５Ｖ以上に上昇することによって書き込みが実現される。書き込み非選択のビット線ＢＬには０Ｖの電圧が印加され、ホットエレクトロンは発生しないので、閾値電圧は５Ｖ以下のままである。

【００２８】

次に、消去動作について、図４のタイミングチャートを用いて説明する。まず、タイミングＴ０で消去信号ERASE が“Ｈ”にされる。次に、この後のタイミングＴ１でウエルドライバ２０または２１から８Ｖの電圧が出力され、ソース線ＳＬを介してウエル領域WELLが充電され始める。このとき、この８Ｖの電圧の立上がり勾配は比較的穏やかにされる。その理由は、この８Ｖの電圧を速く立上げると、ウエル領域との間の容量結合によってワード線ＷＬの電位が上昇し、このワード線ＷＬを選択するロウサブデコーダ１４、１５を構成するＰ型のＭＯＳトランジスタのウエル電位よりも高くなり、その結果によって発生するフォワードバイアス状態を避けるためである。

【００２９】

ウエル領域WELLが８Ｖまで充電された後、タイミングＴ２でコントロールゲートドライバ１８または１９から－６Ｖの電圧が出力され、ワード線ＷＬがこの－６Ｖの電圧で充電され始める。ここで、Ｔ１とＴ２のタイミングを分けている理由は次の通りである。すなわち、ウエルドライバ２０、２１から出力される８Ｖの電圧及びコントロールゲートドライバ１８、１９から出力される－６Ｖの電圧は、それぞれ図示しない昇圧回路を動作させて生成される。ここで、８Ｖの電圧を生成する昇圧回路と－６Ｖの電圧を生成する昇圧回路とを同時に動作させると、お互いの負荷容量を充電することになって、昇圧効率が低下するからである。すなわち、８Ｖの電圧を生成する昇圧回路がウエル領域を充電している間は、ワード線ＷＬを０Ｖにすることによって、－６Ｖの電圧を生成する昇圧回路における消費電流を節約することができる。

【００３０】

そして、ウエル領域WELLが８Ｖ、ワード線ＷＬが－６Ｖのときに消去が行われる。すなわち、ワード線ＷＬが－６Ｖのとき、コントロールゲートとフローティングゲートとの間の容量結合により、フローティングゲートは－６Ｖよりも絶対値は低いが所定の負の電圧となる。この時、フローティングゲートとメモリセルのチャネル領域全体との間でトンネル電流が流れ、フローティングゲートから電子が引き抜かれ、閾値電圧が５Ｖ以下に低下する。このようにして消去が実現される。

【００３１】
消去が終了した後は、タイミングＴ３でコントロールゲートドライバ１８または１９から０Ｖの電圧が出力され、ワード線ＷＬが０Ｖにリセットされる。このリセット動作もゆっくり行う必要がある。これは、ワード線ＷＬを急速に０Ｖにリセットさせると、ワード線とウエル領域との間の容量結合によってウエル電圧が上がり過ぎてしまい、ウエル領域またはジャンクションブレークダウンを引き起こしてしまうからである。
【００３２】
その後、タイミングＴ４でウエル領域が０Ｖにリセットされる。このリセット動作もゆっくり行う必要がある。これは、余りにも速すぎると、ワード線とウエル領域との間の容量結合によってワード線電位が負になってしまい、ロウサブデコーダ１４、１５を構成するＮ型のＭＯＳトランジスタのウエル電位（０Ｖ）よりも低くなってしまい、その結果によって発生するフォワードバイアス状態を避けるためである。
【００３３】
この後、タイミングＴ５で消去信号ERASE が“Ｌ”にされて消去動作が終了する。
なお、図４中のＣＬＫ１～ＣＬＫ４は、上記消去動作を制御する際に使用されるクロック信号であり、これらのクロック信号については後に説明する。
【００３４】
このように、データの消去はチャネル領域全体でトンネル電流を流がして行われ、従来のようなフローティングゲートとソースとの間のオーバーラップ領域は形成されていないので、従来に比べてメモリセルサイズの縮小率の向上を図ることができる。
【００３５】
また、図３に示すように、メモリセルＭＣが形成されているＰ型のウエル領域３４と、このウエル領域３４が形成されているＮ型のウエル領域３２とは共にソース線ＳＬに接続されている。書き込み時と読み出し時に、ウエル領域３４とメモリセルＭＣのソースＳは共に０Ｖであるので、このウエル領域３４とソースＳをショートしてよい。また、消去時もウエル領域３４とソースＳを同電位にバイアスしてよく、両者をショートしてよい。これにより、ウエル配線とソース配線を別々に設ける必要がないので、配線領域と配線を駆動する駆動回路の削減を図ることができる。
【００３６】
さらに、消去時に過消去を防いで読み出しエラーの発生を防止する、図２中のダミーセル部ＤＣＡにおいて、各ダミーセルＤＣのコントロールゲートは、ソース線ＳＬに接続されており、メモリセルＭＣの書き込み時や読み出し時には０Ｖが印加される。従って、ダミーセルＤＣのコントロールゲートとウエル領域との間には電圧ストレスが加わらない。
【００３７】
一方、メモリセルＭＣの消去時には、ウエル領域には正極性の電圧（８Ｖ）が印加されるが、コントロールゲートとウエル領域とが接続されており、コントロールゲートにもこの正極性の電圧が印加されるので、この場合にもダミーセルＤＣには電圧ストレスが加わらない。
【００３８】
このようにダミーセルＤＣのコントロールゲートはメモリセルアレイ内でソース線ＳＬに接続することができるので、ダミーセルＤＣのワード線に対する配線が不要になる。この結果、ダミーセルＤＣを設けていてもそれに必要な配線領域や駆動回路を無くすことができるので、面積はそれ程増加しない。
【００３９】
図５（ａ）は図１における一方のウエルドライバ（ＷＤ）２０のシンボル図を示しており、図５（ｂ）はその詳細な回路構成を示している。なお、図１中の他方のウエルドライバ２１もこれと同様に構成されており、入力される内部メモリセルアレイブロックアドレス（ＢＡ、／ＢＡ）のみが異なるので、その説明は省略する。
【００４０】
図５（ａ）に示すように、ウエルドライバ（ＷＤ）２０には図示しないクロック発生回路

で生成されるクロック信号ＣＬＫ１、ＣＬＫ２、ＣＬＫ４と、ブロックアドレスバッファ（ＢＡＢ）２４で生成される内部メモリセルアレイブロックアドレス（以下、単にアドレスと称する）ＢＡ０、／ＢＡ０が供給され、ウエルドライバ２０はこれらの信号及び電源電圧に基づいてウエル（WELL0 ）バイアスを出力する。

【００４１】

次に図５（ｂ）の回路構成について説明する。なお、図５（ｂ）において、ＶＰ８はこの回路に供給される＋８Ｖの電源電圧である。

電源電圧ＶＰ８の供給ノード（以下、ＶＰ８ノードと称する）と接地電圧のノード（以下、接地ノードと称する）との間にはＰチャネルのＭＯＳトランジスタ（以下、Ｐトランジスタと略称する）Ｐ１とＮチャネルのＭＯＳトランジスタ（以下、Ｎトランジスタと略称する）Ｎ１のソース、ドレイン間が直列に挿入されている。さらにＶＰ８ノードと接地ノードとの間にはＰトランジスタＰ２とＮトランジスタＮ２のソース、ドレイン間が直列に挿入されている。上記ＰトランジスタＰ１のゲートは、上記ＰトランジスタＰ２とＮトランジスタＮ２の直列接続ノード４１に接続されている。上記ＰトランジスタＰ２のゲートは、上記ＰトランジスタＰ１とＮトランジスタＮ１の直列接続ノードに接続されている。

【００４２】

また、３入力のＮＯＲゲート４２には、アドレス／ＢＡ（／ＢＡ０）、クロック信号ＣＬＫ２がそれぞれ直接に、さらにインバータ４３を介してクロック信号ＣＬＫ１が供給される。そして、このＮＯＲゲート４２の出力はＮトランジスタＮ１のゲートに供給されると共にインバータ４４を介してＮトランジスタＮ２のゲートに供給される。

【００４３】

ＶＰ８ノードと接地ノードとの間にはＰトランジスタＰ３のソース、ドレイン間、抵抗４５及びＮトランジスタＮ３のソース、ドレイン間が直列に接続されている。また、ＶＰ８ノードと上記ＰトランジスタＰ３及び抵抗４５の直列接続ノード４６との間には、ＰトランジスタＰ４のソース、ドレイン間が接続されている。このＰトランジスタＰ４のゲートはノード４６に接続されている。

【００４４】

ＶＰ８ノードと接地ノードとの間にはＰトランジスタＰ５のソース、ドレイン間とＮトランジスタＮ４のソース、ドレイン間とが直列に接続されている。上記ＰトランジスタＰ５のゲートは上記ノード４６に接続されている。また、ＮトランジスタＮ４のゲートには２入力のＮＡＮＤゲート４７の出力が供給される。このＮＡＮＤゲート４７には消去信号ERASE とアドレスＢＡ（ＢＡ０）が供給される。また、上記ＰトランジスタＰ５とＮトランジスタＮ４の直列接続ノード４８からウエル領域ＷＥＬＬに与える電圧が出力される。

【００４５】

ＶＰ８ノードと上記ノード４８との間にはＰトランジスタＰ６のソース、ドレイン間が接続されている。また、上記ノード４８と接地ノードとの間には２個のＮトランジスタＮ５、Ｎ６ソース、ドレイン間が直列に接続されている。上記ＮトランジスタＮ５のゲートには一定バイアス電圧Ｖｓｔが供給される。２入力のＮＡＮＤゲート４９にはクロック信号ＣＬＫ４とアドレスＢＡ（ＢＡ０）が供給され、このＮＡＮＤゲート４９の出力はインバータ５０を介して上記ＮトランジスタＮ６のゲートに供給される。

【００４６】

ＶＰ８ノードと接地ノードとの間にはＰトランジスタＰ７とＮトランジスタＮ７のソース、ドレイン間が直列に挿入されている。さらにＶＰ８ノードと接地ノードとの間にはＰトランジスタＰ８とＮトランジスタＮ８のソース、ドレイン間が直列に挿入されている。上記ＰトランジスタＰ７のゲートは、上記ＰトランジスタＰ８とＮトランジスタＮ８の直列接続ノードに接続されている。上記ＰトランジスタＰ８のゲートは、上記ＰトランジスタＰ７とＮトランジスタＮ７の直列接続ノード５１に接続されている。先のＰトランジスタＰ６のゲートはこのノード５１に接続されている。

【００４７】

また、３入力のＮＯＲゲート５２には、アドレス／ＢＡ（／ＢＡ０）、クロック信号ＣＬ

Ｋ４がそれぞれ直接に、さらにインバータ５３を介してクロック信号ＣＬＫ２が供給される。そして、このＮＯＲゲート５２の出力はＮトランジスタＮ７のゲートに供給されると共にインバータ５４を介してＮトランジスタＮ８のゲートに供給される。

【００４８】

なお、上記ＰトランジスタＰ５に比べてＰトランジスタＰ６の素子サイズが大きく設定されていると共に、上記ＮトランジスタＮ５に比べてＮトランジスタＮ４の素子サイズが大きく設定されている。

【００４９】

次に、上記構成でなるウエルドライバの動作を、先の図４のタイミングチャートを併用して説明する。なお、このウエルドライバが動作する場合、アドレスＢＡは“Ｈ”であり、／ＢＡは“Ｌ”である。

【００５０】

消去信号ERASE が“Ｌ”のときはＮＡＮＤゲート４７の出力が“Ｈ”となり、ＮトランジスタＮ４がオンして、ウエルバイアスは０Ｖになる。次に、タイミングＴ０で消去信号ERASE が“Ｈ”になると、ＮＡＮＤゲート４７の出力が“Ｌ”となり、いままでオンしていたＮトランジスタＮ４がオフする。

【００５１】

タイミングＴ０からＴ１の期間では全てのクロック信号ＣＬＫ１～ＣＬＫ４は“Ｌ”である。従って、ＮＯＲゲート４２の出力は“Ｌ”、これに続くインバータ４４の出力は“Ｈ”であり、ＮトランジスタＮ２がオンしてノード４１が“Ｌ”になる。さらに、ノード４１の信号がゲートに入力するＰトランジスタＰ３がオンし、ノード４６はＶＰ８（８Ｖ）になり、ＰトランジスタＰ４及びＰ５はオフしている。また、ＮＡＮＤゲート４９の出力は“Ｈ”、これに続くインバータ５０の出力は“Ｌ”であり、ＮトランジスタＮ６はオフしている。ＮＯＲゲート５２の出力は“Ｌ”、これに続くインバータ５４の出力は“Ｈ”であり、ＮトランジスタＮ８がオンしてノード５１が“Ｈ”（ＶＰ８）になる。従って、このノード５１の信号がゲートに入力するＰトランジスタＰ６はオフしている。

【００５２】

次に、タイミングＴ１にクロック信号ＣＬＫ１が“Ｈ”に立ち上がると、ＮＯＲゲート４２の出力が“Ｈ”、これに続くインバータ４４の出力が“Ｌ”になり、ＮトランジスタＮ１がオンしてＰトランジスタＰ１との接続ノードが“Ｌ”になる。これにより、ＰトランジスタＰ２がオンして、ノード４１が“Ｈ”（ＶＰ８）になる。そして、このノード４１信号がゲートに入力するＮトランジスタＮ３がオンし、抵抗４５を介して一定電流がＰトランジスタＰ４に流れる。ここで、ＰトランジスタＰ４とＰ５とはカレントミラー回路を構成しているので、上記抵抗４５に流れる一定電流がＰトランジスタＰ５側にも流れ、ノード４８の充電が開始される。このとき、上記抵抗４５に流れる電流の値が比較的小さくなるように設定されているので、先にも説明したようにソース線ＳＬを介してウエル領域ＷＥＬＬが充電され始めときに、８Ｖの電圧の立上がり勾配は比較的穏やかになる。

【００５３】

次に、タイミングＴ２にクロック信号ＣＬＫ２が“Ｈ”に立ち上がると、ＮＯＲゲート５２の出力が“Ｈ”、これに続くインバータ５４の出力が“Ｌ”になり、ＮトランジスタＮ７がオンし、ＰトランジスタＰ７との接続ノード５１が“Ｌ”になる。これにより、素子サイズが大きいＰトランジスタＰ６がオンして、ノード４８が十分に大きな電流で充電され始める。

【００５４】

次に、タイミングＴ４にクロック信号ＣＬＫ４が“Ｈ”に立ち上がると、ＮＯＲゲート５２の出力が再び“Ｌ”に落ち、これに続くインバータ５４の出力が“Ｈ”に立ち上がり、ＮトランジスタＮ８がオンしてノード５１が再び“Ｈ”になり、ＰトランジスタＰ６がオフして、ノード４８に対する充電が終わる。また、クロック信号ＣＬＫ４が“Ｈ”に立ち上がることにより、ＮＡＮＤゲート４９の出力が“Ｈ”から“Ｌ”に落ち、これに続くインバータ５０の出力が“Ｌ”から“Ｈ”に立ち上がり、ＮトランジスタＮ６がオンする。

ここで、このＮトランジスタＮ６に対して直列接続されているＮトランジスタＮ５のゲートには一定バイアス電圧Ｖｓｔが供給されているので、ＮトランジスタＮ６がオンした後にノード４８が放電され始める。この場合、ＮトランジスタＮ５の素子サイズが小さくされているので、先にも述べたようにノード４８の放電、すなわちリセット動作がゆっくりと行われる。

【００５５】

次に、タイミングＴ５の後に消去信号ERASE が“Ｌ”に落ち、全てのクロック信号ＣＬＫ１～ＣＬＫ４が“Ｌ”に落ちて、最初の状態に戻る。

図６（ａ）は、消去時に、ワード線に出力される－６Ｖの電圧を出力制御する制御回路（ＢＢ）のシンボル図を示しており、図６（ｂ）はその詳細な回路構成を示している。

【００５６】

図６（ａ）に示すように、この制御回路（ＢＢ）には図示しないクロック発生回路で生成されるクロック信号ＣＬＫ２、ＣＬＫ３、ブロックアドレスバッファ（ＢＡＢ）２４で生成されるアドレス／ＢＡ及び５Ｖと－６Ｖの電源電圧が供給され、この制御回路（ＢＢ）はこれらの信号及び電源電圧に基づいてワード線ＷＬに供給するための電圧ＶＢＢを出力する。

【００５７】

次に図６（ｂ）の回路構成について説明する。なお、図６（ｂ）において、Ｖｃｃ、ＶＮ６はこの回路に供給される５Ｖ、－６Ｖの電源電圧である。

電源電圧Ｖｃｃの供給ノード（以下、Ｖｃｃノードと称する）と電源電圧ＶＮ６の供給ノード（以下、ＶＮ６ノードと称する）との間にはＰトランジスタＰ１１とＮトランジスタＮ１１のソース、ドレイン間が直列に挿入されている。さらにＶｃｃノードとＶＮ６ノードとの間にはＰトランジスタＰ１２とＮトランジスタＮ１２のソース、ドレイン間が直列に挿入されている。上記ＮトランジスタＮ１１のゲートは、上記ＰトランジスタＰ１２とＮトランジスタＮ１２の直列接続ノード６１に接続されている。上記ＮトランジスタＮ１２のゲートは、上記ＰトランジスタＰ１１とＮトランジスタＮ１１の直列接続ノード６２に接続されている。また、３入力のＮＯＲゲート６３には、アドレス／ＢＡ、クロック信号ＣＬＫ３がそれぞれ直接に、さらにインバータ６４を介してクロック信号ＣＬＫ２が供給される。そして、このＮＯＲゲート６３の出力はＰトランジスタＰ１１のゲートに供給されると共にインバータ６５を介してＰトランジスタＰ１２のゲートに供給される。

【００５８】

電圧ＶＢＢが出力されるノード６６とＶＮ６ノードとの間にはＮトランジスタＮ１３のソース、ドレイン間が接続され、さらにノード６６と接地ノードとの間には１個のＰトランジスタＰ１３及び２個のＮトランジスタＮ１４、Ｎ１５の各ソース、ドレイン間が並列に接続されている。上記ＰトランジスタＰ１３のバックゲート、すなわちこのトランジスタが形成されているウエル領域には５Ｖの電源電圧Ｖｃｃが供給され、２個のＮトランジスタＮ１４、Ｎ１５のバックゲートには－６Ｖの電源電圧ＶＮ６が供給されている。

【００５９】

上記ＮトランジスタＮ１３及びＰトランジスタＰ１３の各ゲートは上記ノード６１に接続され、上記ＮトランジスタＮ１４のゲートは上記ＰトランジスタＰ１１とＮトランジスタＮ１１の直列接続ノード６２に接続されている。

【００６０】

ＶｃｃノードとＶＮ６ノードとの間にはＰトランジスタＰ１４のソース、ドレイン間とＮトランジスタＮ１６のソース、ドレイン間とが直列に接続されている。さらにＶｃｃノードとＶＮ６ノードとの間にはＰトランジスタＰ１５とＮトランジスタＮ１７のソース、ドレイン間が直列に挿入されている。上記ＮトランジスタＰ１６のゲートは、上記ＰトランジスタＰ１５とＮトランジスタＮ１７の直列接続ノードに接続されている。上記ＰトランジスタＰ１７のゲートは、上記ＰトランジスタＰ１４とＮトランジスタＮ１６との直列接続ノード６７に接続されている。そして、先のＮトランジスタＮ１５のゲートはこのノード６７に接続されている。上記ＰトランジスタＰ１３のゲートに消去信号ERASE が供給さ

れ、さらに上記ＰトランジスタＰ１４のゲートにはインバータ６８を介してこの消去信号ERASE が供給される。

【００６１】

なお、ＮトランジスタＮ１４に比べてＮトランジスタＮ１５の素子サイズが大きくされていて、ＮトランジスタＮ１５が流し得る電流の値がＮトランジスタＮ１４に比べて大きくされている。

【００６２】

次に、図６（ｂ）のような構成でなる制御回路の動作を説明する。なお、この制御回路が動作する場合、アドレス／ＢＡは“Ｌ”である。

まず、消去期間ではない消去信号ERASE が“Ｌ”の期間（書き込み時及び読み出し時も含む）のとき、インバータ６８の出力が“Ｈ”となり、これによりＰトランジスタＰ１４がオン、ＰトランジスタＰ１５がオフし、ノード６７は“Ｈ”（Ｖｃｃ）となる。このノード６７の信号がゲートに供給されるＮトランジスタＮ１５がオンし、ノード６６が放電されて、ＶＢＢは接地電圧の０Ｖに設定される。

【００６３】

一方、消去期間のときは消去信号ERASE が“Ｈ”になり、インバータ６８の出力が“Ｌ”となるので、ノード６７が“Ｌ”（ＶＮ６）となり、ＮトランジスタＮ１５はオフする。

【００６４】

ここで、先の図４のタイミングチャートのタイミングＴ２以前、すなわちクロック信号ＣＬＫ２、ＣＬＫ３が共に“Ｌ”の時は、インバータ６４の出力が“Ｈ”、ＮＯＲゲート６３の出力が“Ｌ”、及びこれに続くインバータ６５の出力が“Ｈ”となり、ＰトランジスタＰ１１とＮトランジスタＮ１２がオンし、ＰトランジスタＰ１２とＮトランジスタＮ１１がオフし、ノード６１が“Ｌ”（ＶＮ６）、ノード６２が“Ｈ”（Ｖｃｃ）となる。このとき、ノード６１の信号がゲートに入力するＮトランジスタＮ１３がオフし、ＰトランジスタＰ１３がオンする。さらに、ノード６２の信号がゲートに入力するＮトランジスタＮ１４がオンする。従って、クロック信号ＣＬＫ２、ＣＬＫ３が共に“Ｌ”の時、ノード６６はそれぞれオン状態であるＰトランジスタＰ１３とＮトランジスタＮ１４を介して放電されて、ＶＢＢは接地電圧の０Ｖに設定される。

【００６５】

次に、図４のタイミングチャートのタイミングＴ２で一方のクロックＣＬＫ２が“Ｈ”に立ち上がると、インバータ６４の出力が“Ｈ”から“Ｌ”に反転し、ＭＯＲゲート６３の出力は“Ｌ”から“Ｈ”に反転し、さらにインバータ６６の出力が“Ｈ”から“Ｌ”に反転する。これにより、ＰトランジスタＰ１２とＮトランジスタＮ１１がオンし、ＰトランジスタＰ１１とＮトランジスタＮ１２がオフし、ノード６１は“Ｌ”（ＶＮ６）から“Ｈ”（Ｖｃｃ）へ、また、ノード６２は“Ｈ”（Ｖｃｃ）から“Ｌ”（ＶＮ６）へそれぞれ変化する。このとき、ＮトランジスタＮ１３がオンし、いままでオンしていたＰトランジスタＰ１３とＮトランジスタＮ１４がオフする。従って、クロック信号ＣＬＫ２が“Ｈ”に立ち上がった後は、ノード６６が電源電圧ＶＮ６によって充電され、ＶＢＢは－６Ｖに向かって変化していく。

【００６６】

この後、図４のタイミングチャートのタイミングＴ３で他方のクロックＣＬＫ３が“Ｈ”に立ち上がると、ＮＯＲゲート６３の出力が再び“Ｌ”となり、タイミングＴ２以前と場合と同様にＰトランジスタＰ１３とＮトランジスタＮ１４がオンし、ノード６６が放電されて、ＶＢＢが接地電圧の０Ｖに設定される。

【００６７】

すなわち、図６に示した制御回路では、図４のタイミングチャートのタイミングＴ２からＴ３の期間に、ＶＢＢとして－６Ｖの電圧が出力され、その他の期間では０Ｖになる。

【００６８】

図７（ａ）は、図１中のロウメインデコーダ（ＲＭ）１３内の１個の部分デコーダのシンボル図を示しており、図７（ｂ）はその詳細な回路構成を示している。

【００６９】
図７（ａ）に示すように、このロウメインデコーダ１３の部分デコーダには、後述するプリデコーダから出力されるプリデコード信号ＧＡｉ、ＧＢｊ（ただしｉ、ｊはそれぞれ０～７）が供給され、この部分デコーダはメインデコード信号Ｍｉｊ、／Ｍｉｊを出力する。ここで、ｉ、ｊの数はそれぞれ８なので、先のロウメインデコーダ１３内には、図７（ａ）に示す部分デコーダが８×８の６４個設けられている。

【００７０】
次に図７（ｂ）の回路構成について説明する。なお、図７（ｂ）において、ＶＳＷはこの部分デコーダに供給される電源電圧であり、その値はデータの読み出し時には５Ｖ、書き込み時には１０Ｖになる。また、ＶＢＢは図６の回路から出力される電圧である。

【００７１】
電源電圧ＶＳＷの供給ノード（以下、ＶＳＷノードと称する）と接地電圧ノードとの間にはＰトランジスタＰ２１とＮトランジスタＮ２１のソース、ドレイン間が直列に挿入されている。さらにＶＳＷノードと接地電圧ノードとの間にはＰトランジスタＰ２２とＮトランジスタＮ２２のソース、ドレイン間が直列に挿入されている。上記ＰトランジスタＰ２１のゲートは、上記ＰトランジスタＰ２２とＮトランジスタＮ２２の直列接続ノード７１に接続されている。上記ＰトランジスタＰ２２のゲートは、上記ＰトランジスタＰ２１とＮトランジスタＮ２１の直列接続ノード７２に接続されている。また、２入力のＮＡＮＤゲート７３にはプリデコード信号ＧＡｉ及びその相補信号のいずれか一方と、プリデコード信号ＧＢｊ及びその相補信号のいずれか一方とが供給される。なお、図では、プリデコード信号ＧＡｉとＧＢｊが供給されるものについて示している。このＮＡＮＤゲート７３の出力はＮトランジスタＮ２１のゲートに供給されると共にインバータ７４を介してＮトランジスタＮ２２のゲートに供給される。

【００７２】
ＶＳＷノードと接地電圧ノードとの間にはＰトランジスタＰ２３とＮトランジスタＮ２３のソース、ドレイン間が直列に挿入されている。さらにＶＳＷノードと接地電圧ノードとの間にはＰトランジスタＰ２４とＮトランジスタＮ２４のソース、ドレイン間が直列に挿入されている。上記ＰトランジスタＰ２３のゲートは先のノード７１に接続され、上記ＰトランジスタＰ２４のゲートは先のノード７２に接続されている。そして、ＰトランジスタＰ２３とＮトランジスタＮ２３の直列接続ノード７５からメインデコード信号Ｍｉｊが出力され、ＰトランジスタＰ２４とＮトランジスタＮ２４の直列接続ノード７６からメインデコード信号／Ｍｉｊが出力される。

【００７３】
図７（ｂ）の部分デコーダにおいて、図中のプリデコード信号ＧＡｉ、ＧＢｊが共に“Ｈ”のとき、すなわち、図示の部分デコーダが選択される条件の時、ＮＡＮＤゲート７３の出力が“Ｌ”、これに続くインバータ７４の出力が“Ｈ”となり、ＮトランジスタＮ２１がオフし、ＮトランジスタＮ２２がオンする。これによりノード７１が“Ｌ”となり、さらにＰトランジスタＰ２１がオンして、ノード７２が“Ｈ”（ＶＳＷ）となり、ＰトランジスタＰ２２がオフする。

【００７４】
従って、ＰトランジスタＰ２３がオンし、ＰトランジスタＰ２４がオフする。また、ＰトランジスタＰ２３がオンすると、ノード７５が“Ｈ”（ＶＳＷ）となり、ＮトランジスタＮ２４がオンする。これにより、ノード７６が“Ｌ”となり、ＮトランジスタＮ２３はオフする。

【００７５】
すなわち、プリデコード信号ＧＡｉ、ＧＢｊが共に“Ｈ”のときにメインデコード信号Ｍｉｊ、／Ｍｉｊは“Ｈ”、“Ｌ”となり、選択状態となる。
また、これ以外の部分デコーダでは、ＮＡＮＤゲート７３に入力される２つのプリデコード信号のうち少なくともいずれか一方が“Ｌ”になり、そのＮＡＮＤゲート７３の出力が“Ｈ”、そのインバータ７４の出力が“Ｌ”になるので、それぞれのメインデコード信号

Ｍｉｊ、／Ｍｉｊは“Ｌ”、“Ｈ”となり、非選択状態となる。

【００７６】

図８（ａ）は、ロウメインデコーダ１３から出力されるメインデコード信号Ｍｉｊ、／Ｍｉｊ及び図１中のコントロールゲートドライバ（ＧＤ）１８もしくは１９の出力Ｆｋが供給される図１中のロウサブデコーダ（ＲＳ）１４もしくは１５内の１個の部分デコーダのシンボル図を示しており、図８（ｂ）はその詳細な回路構成を示している。

【００７７】

ここで、先にも述べたようにｉ、ｊの数はそれぞれ８であり、また、ｋの数も８にされているので、各ロウサブデコーダ内には図８（ａ）に示す部分デコーダが６４×８の５１２個設けられており、それぞれの出力は５１２本のワード線　ＷＬｉｊｋ（図２中のＷＬ０～ＷＬ511 ）のうち対応する１本に出力される。

【００７８】

次に８（ｂ）の回路構成について説明する。８（ｂ）に示す部分デコーダは、ＮトランジスタＮ２５及びＰトランジスタＰ２５からなり、コントロールゲートドライバ１８もしくは１９の出力Ｆｋのノードと対応するワード線ＷＬｉｊｋとの間に挿入されたＣＭＯＳ型のトランスファゲート７７と、ワード線ＷＬｉｊｋと図６の回路から出力される電圧ＶＢＢのノードとの間に接続されたＮトランジスタＮ２６とから構成されている。そして、ＮトランジスタＮ２５及びＰトランジスタＰ２５の各ゲートには図７のロウメインデコーダで発生されるメインデコード信号Ｍｉｊ、／Ｍｉｊが供給され、ＮトランジスタＮ２６のゲートにはメインデコード信号／Ｍｉｊが供給される。

【００７９】

このように構成されたロウサブデコーダの部分デコーダでは、メインデコード信号Ｍｉｊ、／Ｍｉｊが“Ｈ”、“Ｌ”のときは、トランスファゲート７７がオンし、コントロールゲートドライバ１８もしくは１９の出力ＦｋがワードＷＬｉｊｋに出力される。

【００８０】

他方、メインデコード信号Ｍｉｊ、／Ｍｉｊが“Ｌ”、“Ｈ”のときには、トランスファゲート７７はオフし、ＮトランジスタＮ２６がオンして、電圧ＶＢＢがワード線ＷＬｉｊｋに出力される。

【００８１】

図９（ａ）は、図１中のコントロールゲートドライバ（ＧＤ）１８もしくは１９内の１個のドライバ回路のシンボル図を示しており、図９（ｂ）はその詳細な回路構成を示している。

【００８２】

ここで、コントロールゲートドライバ１８もしくは１９には、図１中のロウアドレスバッファ（ＲＡ）２５で生成される３ビットの内部ロウアドレスＲＡ０、／ＲＡ０～ＲＡ２、／ＲＡ２が入力される。従って、各コントロールゲートドライバ内には図８（ａ）、（ｂ）に示すようなドライバ回路がそれぞれ８個設けられている。図９（ｂ）はこの８個のドライバ回路のうち、アドレス／ＲＡ０、／ＲＡ１、／ＲＡ２が入力されてＦ０（ｋ＝０）を出力するものを例示しているが、他のドライバ回路もこれと同様に構成されており、入力信号が異なるだけであるので、その説明は省略する。

【００８３】

図９（ｂ）において、ＶＳＷノードと接地電圧ノードとの間にはＰトランジスタＰ３１とＮトランジスタＮ３１のソース、ドレイン間が直列に挿入されている。さらにＶＳＷノードと接地電圧ノードとの間にはＰトランジスタＰ３２とＮトランジスタＮ３２のソース、ドレイン間が直列に挿入されている。上記ＰトランジスタＰ３１のゲートはＰトランジスタＰ３２とＮトランジスタＮ３２の直列接続ノード８１に接続され、上記ＰトランジスタＰ３４のゲートはＰトランジスタＰ３１とＮトランジスタＮ３１の直列接続ノードに接続されている。

【００８４】

また、３入力のＮＡＮＤゲート８２には３ビットのアドレス／ＲＡ０、／ＲＡ１、／ＲＡ

２が入力される。このＮＡＮＤゲート８２の出力はインバータ８３を介してＮトランジスタＮ３１のゲートに供給され、さらにインバータ８３の出力はインバータ８４を介してＮトランジスタＮ３２のゲートに供給される。そして、Ｆ０は上記ノード８１から出力される。

【００８５】

このような構成の回路において、３ビットのアドレス／ＲＡ０、／ＲＡ１、／ＲＡ２が全て“Ｈ”、すなわちこのドライブ回路が選択される条件のときは、ＮＡＮＤゲート８２の出力が“Ｌ”、インバータ８３の出力が“Ｈ”、インバータ８４の出力が“Ｌ”となり、ＮトランジスタＮ３１がオン、ＮトランジスタＮ３２がオフし、出力Ｆ０は“Ｈ”（ＶＳＷ）になる。

【００８６】

このとき、これ以外の７個のドライバ回路では、３ビットのアドレスのうち少なくとも１つが“Ｌ”となっているので、ＮＡＮＤゲート８２の出力は“Ｈ”、インバータ８３の出力は“Ｌ”、インバータ８４の出力は“Ｈ”となり、ＮトランジスタＮ３１がオフ、ＮトランジスタＮ３２がオンし、出力Ｆ０は“Ｌ”（接地電圧）になる。

【００８７】

図１０（ａ）、（ｂ）は、先の図７に示したロウメインデコーダ（ＲＭ）１３内の部分デコーダに入力されるプリデコード信号ＧＡｉ、ＧＢｊ（ｉ、ｊはそれぞれ０～７）を生成するプリデコーダの詳細な回路構成を示している。

【００８８】

プリデコード信号ＧＡｉ（ＧＡ０～ＧＡ７）を生成する８個の各プリデコーダは、図１０（ａ）に示すように、それぞれ３入力のＮＡＮＤゲート８２とインバータ８３とから構成されている。上記ＮＡＮＤゲート８２には、３ビットの内部ロウアドレスＲＡ３、ＲＡ４、ＲＡ５及びこれらの相補アドレス／ＲＡ３、／ＲＡ４、／ＲＡ５の組み合わせが入力され、これら各ＮＡＮＤゲート８２の出力がインバータ８３で反転されることによってプリデコード信号ＧＡｉ（ＧＡ０～ＧＡ７）が出力される。

【００８９】

図１０（ｂ）に示す、プリデコード信号ＧＢｉ（ＧＢ０～ＧＢ７）を生成する８個の各プリデコーダは、図１０（ａ）に示すものど同様にＮＡＮＤゲート８２とインバータ８３とから構成されている。なお、この場合、３ビットの内部ロウアドレスＲＡ３、ＲＡ４、ＲＡ５及びこれらの相補アドレス／ＲＡ３、／ＲＡ４、／ＲＡ５の代わりに、３ビットの内部ロウアドレスＲＡ６、ＲＡ７、ＲＡ８及びこれらの相補アドレス／ＲＡ６、／ＲＡ７、／ＲＡ８の組み合わせが入力され、各インバータ８３からはプリデコード信号ＧＢｉ（ＧＢ０～ＧＢ７）が出力される。

【００９０】

図１１は、図６に示した制御回路（ＢＢ）、図７に示したロウメインデコーダ（ＲＭ）１３及び図８に示したロウサブデコーダ（ＲＳ）１４（１５）からなるロウデコーダ全体の構成を示すブロックである。各ワード線ＷＬはロウサブデコーダ内の一つの部分デコーダＲＰＤに接続され、さらに８個の部分デコーダＲＰＤはロウメインデコーダ１３内の１つの部分デコーダＲＭＤからの出力Ｍｉｊ、／Ｍｉｊで制御される。また、コントロールゲートドライバ１８（１９）の出力Ｆ０～Ｆ７は、ロウサブデコーダ内の部分デコーダＲＰＤに８個おきに順次入力される。

【００９１】

先に説明したように、ロウメインデコーダ１３内には部分デコーダＲＭＤが６４個設けられており、それぞれの出力が各８個の部分デコーダＲＰＤに供給される。

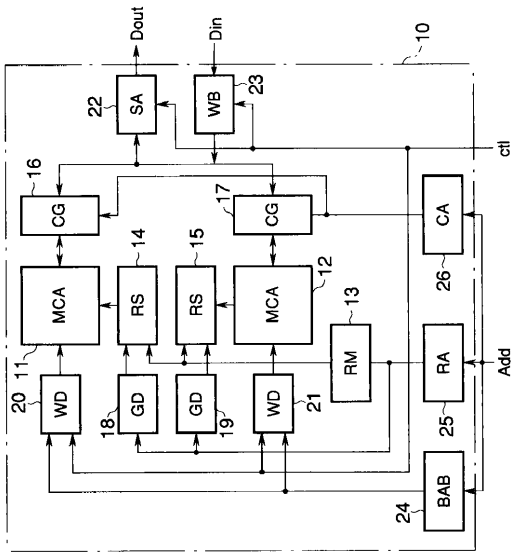
【００９２】

ここで、書き込み時や読み出し時は、ロウアドレスＲＡ０～ＲＡ８で選択される１つのワード線に電圧ＶＳＷが出力され、その他のワード線には電圧ＶＢＢが出力される。電圧ＶＳＷは先にも述べたように、書き込み時は１０Ｖに、読み出し時は５Ｖにされ、電圧ＶＢＢは書き込み時及び読み出し時は共に０Ｖにされる。

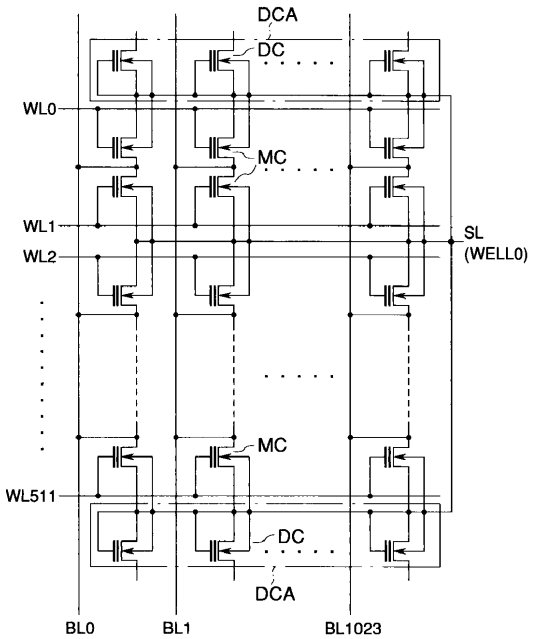
【００９３】
なお、この発明は上記実施の形態に限定されるものではなく種々の変形が可能であることはいううまでもない。例えば、図１中のメモリセルアレイ１１、１２内のメモリセルが、図３に示すようにＮ型のウエル領域３２に形成されたＰ型のウエル領域３４に設けられる場合について説明したが、これに限定されるものではなく、メモリセルをＰ型の半導体基板３１に設けるようにしてもよい。このようにメモリセルをＰ型の半導体基板３１に設けた場合、ソース線ＳＬはメモリセルのソースに接続されると共にＰ型の半導体基板３１にも接続される。
【００９４】
【発明の効果】
以上説明したようにこの発明によれば、メモリセルサイズの縮小率を向上させることができる不揮発性半導体記憶装置を提供することができる。
【図面の簡単な説明】
【図１】この発明に係る不揮発性半導体記憶装置全体の構成を示すブロック図。
【図２】図１中のメモリセルアレイの一方の詳細な回路例を示す回路図。
【図３】図１のメモリ装置の一部の素子構造を示す断面図。
【図４】図１のメモリ装置の消去動作を説明するためのタイミングチャート。
【図５】図５（ａ）は図１における一方のウエルドライバのシンボル図、図５（ｂ）はその詳細な回路構成を示す回路図。
【図６】図６（ａ）は消去時にワード線に出力される－６Ｖの電圧を出力制御する制御回路のシンボル図、図６（ｂ）はその詳細な回路構成を示す回路図。
【図７】図７（ａ）は図１中のロウメインデコーダ内の１個の部分デコーダのシンボル図、図７（ｂ）はその詳細な回路構成を示す回路図。
【図８】図８（ａ）は図１中のロウサブデコーダ内の１個の部分デコーダのシンボル図、図８（ｂ）はその詳細な回路構成を示す回路図。
【図９】図９（ａ）は図１中のコントロールゲートドライバ内の１個のドライバ回路のシンボル図、図９（ｂ）はその詳細な回路構成を示す回路図。
【図１０】図１０（ａ）はプリデコード信号ＧＡｉを生成するプリデコーダの詳細な回路構成を示す回路図、図１０（ｂ）はプリデコード信号ＧＢｊを生成するプリデコーダの詳細な回路構成を示す回路図。
【図１１】図６の制御回路と図７のロウメインデコーダ及び図８のロウサブデコーダからなるロウデコーダ全体の構成を示すブロック。
【図１２】ＮＯＲ型フラッシュメモリの一般的な回路構成を示す図。
【図１３】図１２中の１個のメモリセルの素子構造を示す断面図。
【符号の説明】
１０…不揮発性半導体記憶装置（メモリ装置）、
１１、１２…メモリセルアレイ（ＭＣＡ）、
１３…ロウメインデコーダ（ＲＭ）、
１４、１５…ロウサブデコーダ（ＲＳ）、
１６、１７…カラムゲート（ＣＧ）、
１８、１９…コントロールゲートドライバ（ＧＤ）、
２０、２１…ウエルドライバ（ＷＤ）、
２２…センスアンプ（ＳＡ）、
２３…書き込みバッファ（ＷＢ）、
２４…ブロックアドレスバッファ（ＢＡＢ）、
２５…ロウアドレスバッファ（ＲＡ）、
２６…カラムアドレスバッファ（ＣＡ）、
３１…Ｐ型の半導体基板、
３２、３３…Ｎ型のウエル領域、
３４…Ｐ型のウエル領域、

３５…Ｐ型のコンタクト領域、
３６…Ｎ型のコンタクト領域、
３７…Ｐ型のウエル領域、
３８…Ｐ型のウエル領域、
３９…Ｎ型のウエル領域。
ＷＬ0 ～ＷＬ511 …ワード線、
ＢＬ0 ～ＢＬ1023…ビット線、
ＭＣ…メモリセル、
ＳＬ…ソース線、
ＤＣ…加工用ダミーセル、
ＤＣＡ…ダミーセル部。

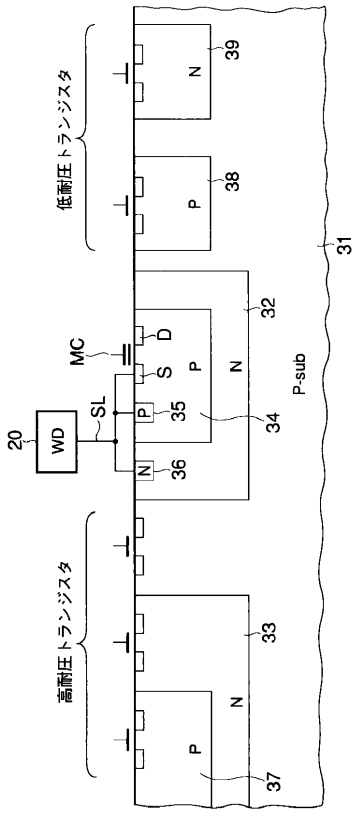
【図１】



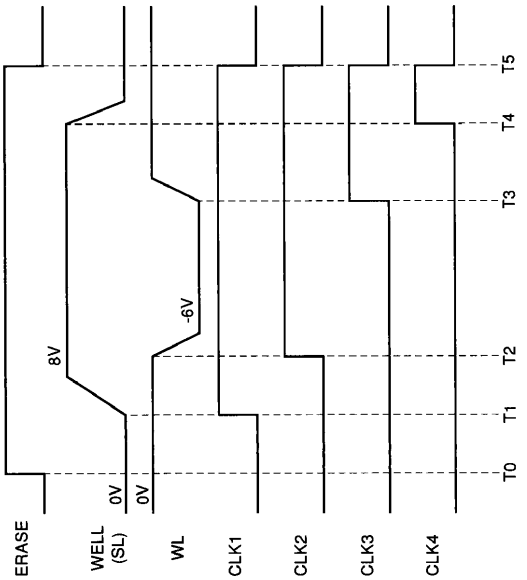
【図２】



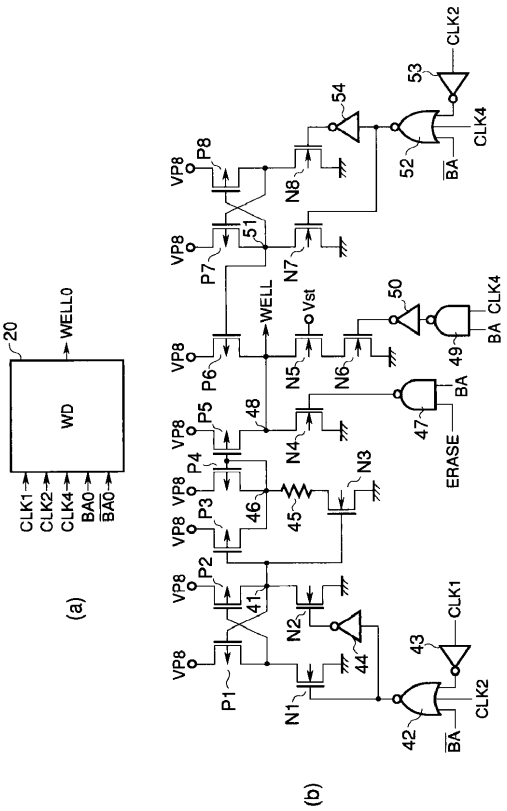
【図３】


低耐圧トランジスタ
高耐圧トランジスタ
MC
SL
WD
20
P-sub
31
32
33
34
35
36
37
38
39

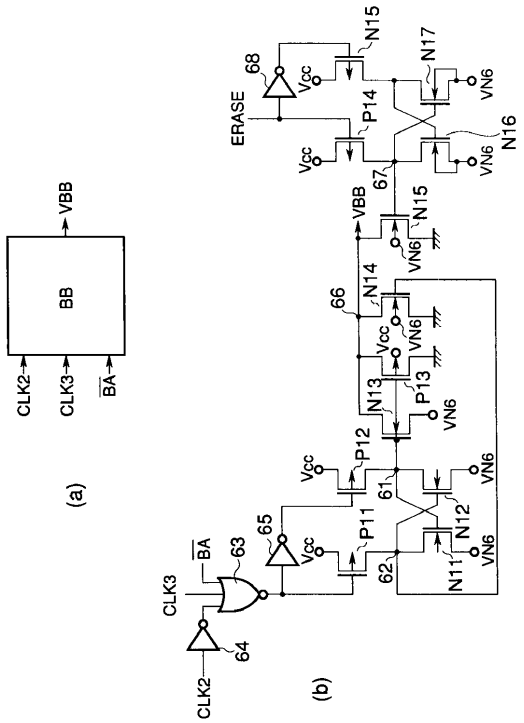
【図４】


ERASE
WELL (SL)
WL
CLK1
CLK2
CLK3
CLK4
8V
-6V
0V
T0
T1
T2
T3
T4
T5

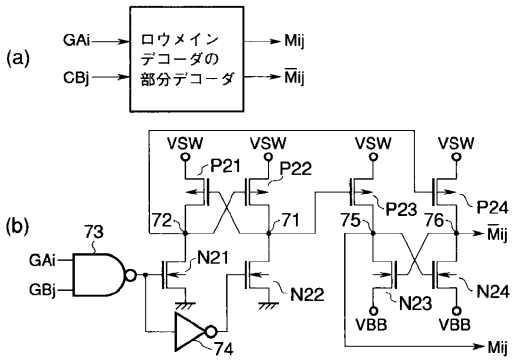
【図５】


(a)
(b)
WD
WELL0
CLK1
CLK2
CLK4
BA0
BA0
WELL
Vst
ERASE

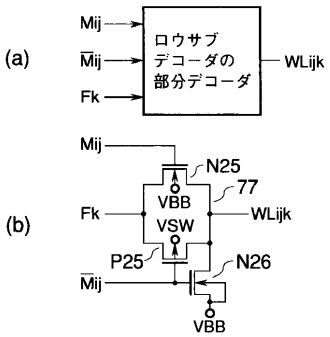
【図６】


(a)
(b)
BB
VBB
CLK2
CLK3
BA
ERASE
Vcc
VN6

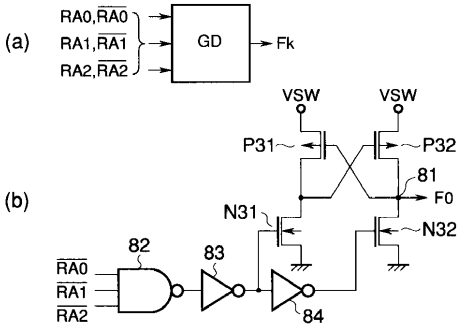
【図７】



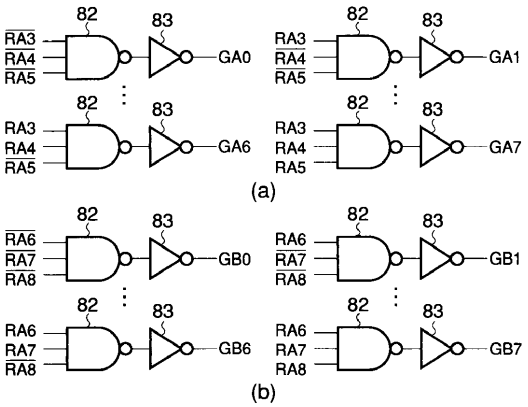
【図８】



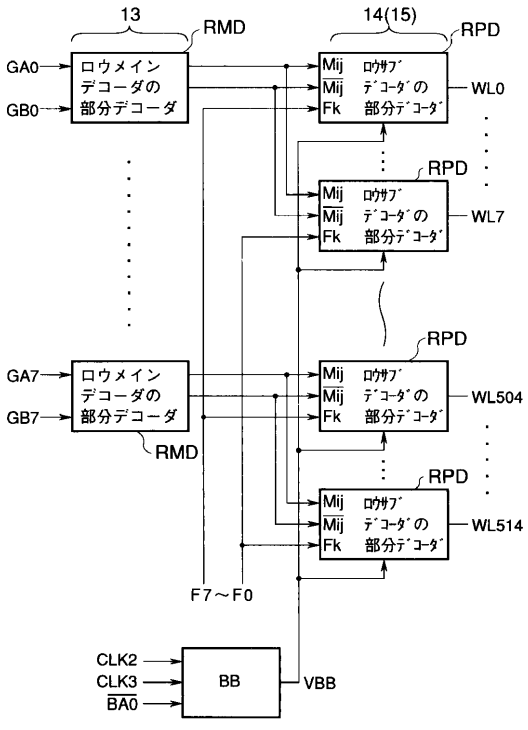
【図９】



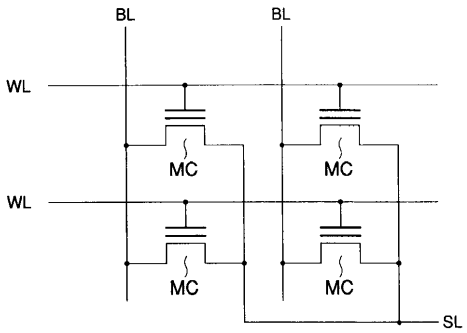
【図１０】



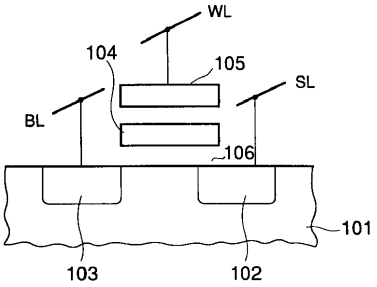
【図１１】



【図１２】



【図１３】



フロントページの続き

(74)代理人 100070437
弁理士 河井 将次
(72)発明者 丹沢 徹
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 渥美 滋
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 梅沢 明
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 田浦 忠行
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内

審査官 小松 正

(56)参考文献 特開平０４－１２３４７１（ＪＰ，Ａ）
特開平１０－１７２２９３（ＪＰ，Ａ）
特開平０８－０６３９８５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 16/00-16/34