

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4982375号
(P4982375)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年4月27日(2012.4.27)

| | |
|-----------------------------|-----------------|
| (51) Int. Cl. | F I |
| G06F 9/52 (2006.01) | G06F 9/46 472Z |
| G06F 12/08 (2006.01) | G06F 12/08 531B |
| | G06F 12/08 565 |
| | G06F 12/08 561 |
| | G06F 12/08 579 |

請求項の数 27 (全 18 頁)

| | | | |
|---------------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2007-534659 (P2007-534659) | (73) 特許権者 | 591016172 |
| (86) (22) 出願日 | 平成17年9月21日 (2005.9.21) | | アドバンスト・マイクロ・デバイス・ インコーポレイテッド |
| (65) 公表番号 | 特表2008-515096 (P2008-515096A) | | ADVANCED MICRO DEVI CES INCORPORATED |
| (43) 公表日 | 平成20年5月8日 (2008.5.8) | | アメリカ合衆国、94088-3453 |
| (86) 国際出願番号 | PCT/US2005/033819 | | カリフォルニア州、サニペイル、ピィ・ オウ・ボックス・3453、ワン・エイ・ エム・ディ・プレイス、メイル・ストップ ・68 (番地なし) |
| (87) 国際公開番号 | W02006/039162 | (74) 代理人 | 100108833 |
| (87) 国際公開日 | 平成18年4月13日 (2006.4.13) | | 弁理士 早川 裕司 |
| 審査請求日 | 平成20年9月22日 (2008.9.22) | (74) 代理人 | 100132207 |
| (31) 優先権主張番号 | 10/956,685 | | 弁理士 太田 昌孝 |
| (32) 優先日 | 平成16年10月1日 (2004.10.1) | | |
| (33) 優先権主張国 | 米国 (US) | | |

最終頁に続く

(54) 【発明の名称】 複数のコアを介してのモニタリングされたキャッシュラインの共有

(57) 【特許請求の範囲】

【請求項1】

更新のために第1プロセッサコアがモニタリングしているアドレスレンジを識別するアドレスレンジインディケーションを通信するように構成された第1プロセッサコアを有し、前記第1プロセッサコアは、更新のために前記第1プロセッサコアに前記アドレスレンジをモニタリングさせるように定義された第1の命令の実行にตอบสนองして、前記アドレスレンジインディケーションを通信するように構成されているものであり、かつ前記第1プロセッサコアは、前記アドレスレンジの更新を待つために第1の状態に入るよう構成されているものであって、

前記アドレスレンジインディケーションを受信するように結合されるとともに、前記アドレスレンジにおいて少なくとも1バイトを更新する書込みオペレーションの実行にตอบสนองして、前記第1プロセッサコアに信号を送信するように構成された第2プロセッサコアを有し、前記第2プロセッサコアは、前記書込みオペレーションをコヒーレントに実行するように、1以上のコヒーレンシー通信を発行するように構成されており、

前記第1プロセッサコアは、前記書込みオペレーションをコヒーレントに実行するように、前記第2プロセッサコアによって発行された前記1以上のコヒーレンシー通信を受信する前に前記第2プロセッサコアからの信号を受信するように結合されており、さらに、前記第1プロセッサコアは、前記第2プロセッサコアからの信号にตอบสนองして、前記アドレスレンジの更新を待つ前記第1の状態から抜け出すように構成されている、システム。

【請求項2】

10

20

前記アドレスレンジインディケーションは、連続したメモリバイトのブロックを識別するアドレスを含む、請求項 1 に記載のシステム。

【請求項 3】

前記ブロック連続メモリバイトはキャッシュラインである、請求項 2 に記載のシステム。

【請求項 4】

前記第 1 プロセッサコアは、コンピュータシステムの他のコンポーネントと通信するためのインターフェースに結合されており、前記第 1 プロセッサコアは、前記更新のインディケーションが前記アドレスレンジの更新を示していれば、前記インターフェースからの更新インディケーションの受信にตอบสนองして、前記第 1 の状態から抜け出すようにさらに構成されている、請求項 1 に記載のシステム。

10

【請求項 5】

前記更新のインディケーションはプローブである、請求項 4 に記載のシステム。

【請求項 6】

前記第 1 プロセッサコアは、前記アドレスレンジインディケーションを記録するように構成された第 1 レジスタを含む、請求項 1 に記載のシステム。

【請求項 7】

前記第 2 プロセッサコアは、前記アドレスレンジインディケーションのシャドウコピーを記録するように構成された第 2 レジスタを含む、請求項 6 に記載のシステム。

【請求項 8】

前記第 1 の状態は、電力節約状態を含む、請求項 1 に記載のシステム。

20

【請求項 9】

第 1 プロセッサコアが更新をモニタリングしているアドレスレンジを識別するアドレスレンジインディケーションを第 1 プロセッサコアから第 2 プロセッサコアに通信するステップを有し、前記通信は、更新のために前記第 1 プロセッサコアに前記アドレスレンジをモニタリングさせるように定義された前記第 1 プロセッサコアの第 1 の命令の実行にตอบสนองするものであり、前記第 1 プロセッサコアは前記アドレスレンジの更新を待つために第 1 の状態に入るよう構成されているものであり、

前記第 2 プロセッサコアの前記アドレスレンジにおいて、少なくとも 1 バイトを更新する書込みオペレーションを実行するステップと、

30

前記書込みオペレーションをコヒーレントに実行するように、前記第 2 プロセッサコアから 1 以上のコヒーレンシー通信を発行するステップと、

前記書込みオペレーションにตอบสนองして、前記第 1 プロセッサコアに信号を送信するステップと、

前記第 1 プロセッサコアが前記アドレスレンジにおいて前記更新を待っている前記第 1 の状態から抜け出すステップと、を含み、前記抜け出すステップは、前記信号にตอบสนองするものであって、さらに、前記書込みオペレーションをコヒーレントに実行するように、前記第 2 プロセッサコアによって 1 以上のコヒーレンシー通信を受信する前に起きる、方法。

【請求項 10】

前記アドレスレンジインディケーションは、連続したメモリバイトのブロックを識別するアドレスを含む、請求項 9 に記載の方法。

40

【請求項 11】

前記ブロック連続メモリバイトはキャッシュラインである、請求項 10 に記載の方法。

【請求項 12】

前記第 1 プロセッサコアは、前記コンピュータシステムの他のコンポーネントと通信するためのインターフェースに結合されているものであって、前記更新のインディケーションが前記アドレスレンジの更新を示していれば、前記インターフェースからの更新のインディケーションの受信にตอบสนองして、前記第 1 プロセッサコアの前記第 1 の状態から抜け出すステップをさらに含む、請求項 9 に記載の方法。

50

【請求項 13】

前記更新のインディケーションはプローブである、請求項 12 に記載の方法。

【請求項 14】

前記第 1 の状態は、電力節約状態を含む、請求項 9 に記載の方法。

【請求項 15】

第 1 の命令に応答して更新のためにアドレスレンジをモニタリングするように構成されたモニタユニットを備えたプロセッサコアであって、

前記プロセッサコアは、前記アドレスレンジの更新を待つために第 1 の状態に入るよう構成されており、

前記モニタユニットは、前記第 1 の命令の実行に応答して、第 2 のプロセッサコアに対する前記アドレスレンジを識別するアドレスレンジインディケーションを通信するように構成されており、さらに、

前記モニタユニットは、第 2 のプロセッサコアから、前記第 2 プロセッサコアが前記アドレスレンジにおいて少なくとも 1 バイトを更新していることを示す信号を受信するように構成されており、さらに、前記プロセッサコアは前記書込みオペレーションをコヒーレントに実行するように、前記第 2 プロセッサコアによって発行された 1 以上のコヒーレンシー通信を受信する前に信号を受信するように結合されており、さらに、前記プロセッサコアは、前記信号に応答して前記第 1 の状態から抜け出すように構成されている、プロセッサコア。

【請求項 16】

前記アドレスレンジインディケーションは、連続したメモリバイトのブロックを識別するアドレスを含む、請求項 15 に記載のプロセッサコア。

【請求項 17】

前記ブロック連続メモリバイトはキャッシュラインである、請求項 16 に記載のプロセッサコア。

【請求項 18】

前記コンピュータシステムの他のコンポーネントと通信するためのインターフェースをさらに有しており、前記プロセッサコアは、前記更新のインディケーションが前記アドレスレンジの更新を示していれば、前記インターフェースからの更新インディケーションの受信に応答して、前記第 1 の状態から抜け出すようにさらに構成されている、請求項 15 に記載のプロセッサコア。

【請求項 19】

前記更新のインディケーションはプローブである、請求項 18 に記載のプロセッサコア。

【請求項 20】

前記モニタユニットは、前記アドレスレンジインディケーションを記録するように構成された第 1 レジスタを含む、請求項 15 に記載のプロセッサコア。

【請求項 21】

前記モニタユニットは、前記第 2 プロセッサコアから受信した前記アドレスレンジインディケーションのシャドウコピーを記録するように構成されており、前記第 2 プロセッサコアは、前記第 2 アドレスレンジインディケーションにより示された第 2 アドレスレンジの更新をモニタリングする、請求項 20 に記載のプロセッサコア。

【請求項 22】

前記モニタユニットは、前記第 2 アドレスレンジにおいて少なくとも 1 バイトを更新している第 2 書込みオペレーションを実行する前記プロセッサコアに応答して、前記第 2 プロセッサコアに信号を送信するように構成されている、請求項 21 に記載のプロセッサコア。

【請求項 23】

前記第 2 の状態は、電力節約状態を含む、請求項 15 に記載のプロセッサコア。

【請求項 24】

前記プロセッサコアは、第2の命令の実行にตอบสนองして、前記第1の状態に入るように構成されている、請求項15に記載のプロセッサコア。

【請求項25】

前記第2プロセッサコアは、前記インターフェースとは別個に前記第1プロセッサコアに信号を送信するよう結合されている、請求項4に記載のシステム。

【請求項26】

前記第1プロセッサコアは、前記第1プロセッサコアが前記アドレスレンジ内での更新を待っていることを示す第2信号の実行にตอบสนองして、前記電力節約状態に入るように構成されている、請求項8に記載のシステム。

【請求項27】

前記プロセッサコアは、前記インターフェースとは別個に前記信号を受信するよう結合されている、請求項18に記載のプロセッサコア。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プロセッサ技術に関し、より詳細には、変更のためにキャッシュラインのモニタリングを行う技術に関する。

【背景技術】

【0002】

アプリケーションプログラムの多くは、他のアプリケーションと相互作用するように書かれる。さらに、アプリケーションプログラムの多くは、マルチスレッドアプリケーションとして書かれる。マルチスレッドアプリケーションは、相対的に単独で実行するように設計された複数のコードシーケンス(スレッド)を有する。各スレッド(あるいは、アプリケーション)は、様々な方法で相互に通信可能である。

簡潔に言えば、本明細書において"スレッド"という用語は、マルチスレッドアプリケーションからのコードシーケンス指し、あるいは、アプリケーション自体がマルチスレッドでなければ、アプリケーション全体を指すものとして使用されることになる。

【0003】

多くの場合、スレッド間の通信を行うためにメモリ位置(メモリロケーション)が使用される。例えば、あるメモリ位置は、メモリのより大きな領域へのアクセスを制御するため、コンピュータシステムの別のリソース(周辺装置など)へのアクセスを制御するため、特定のコードシーケンス(多くの場合、"クリティカルセクション(critical section)"と呼ばれる)を実行する能力を制御するため、などに使用されるセマフォ(semaphore)を記録するように定義され得る。上述したものはいずれも、以下で保護リソース(protected resource)と呼ばれる。

通常、スレッドはセマフォにアクセスし、その状態をチェックできる。セマフォの状態が、スレッドが保護リソースを制御し得ることを示していれば、スレッドはセマフォの状態を変更して、スレッドが保護リソースを制御することを示すようにしてもよい。

セマフォの状態が、別のスレッドが保護リソースを制御していることを示していれば、スレッドはセマフォの状態が変わるまでセマフォをチェックし続けてもよい(例えば、それが保護リソースでなされたことを示すセマフォを書込む他のスレッドによって)。メモリ位置は、スレッド間に別のメッセージを送信するように(あるいは、メッセージが利用可能であることを示すように)使用してもよい。

ある所与のスレッドが別のスレッドからのメッセージを待っている場合、その所与のスレッドは、メッセージが利用可能であることを示す値でメモリ位置が記されるまでメモリ位置のチェックを継続し得る。その他の多くの例が存在する。そのような例としては、あるスレッドが別のスレッドと通信するためにメモリ位置を使用するといったものが挙げられる。

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 4 】

通常、あるスレッドがある所望の状態を求めてメモリ位置をチェックし、そのメモリ位置では所望する状態が見つからないときに、このスレッドは " スピループ " に入る。この " スピループ " 状態では、スレッドは所望の状態を求めてメモリ位置へのアクセスを繰り返し行う。

メモリ位置が最終的に所望の状態で書かれたときにスレッドはこのスピループから抜け出ることができる。スレッドがスピループの状態にある間、このスレッドはあまり有益な仕事をしない。しかし、スレッドを実行中のプロセッサはスピループを実行して電力を消費する。

【 0 0 0 5 】

いくつかの命令セットアーキテクチャは、プログラマがスピループにおいて命令を使用する場合に、あるいは、スレッドがメモリ位置で所望の状態を待っているような場合に、プロセッサがそのような状態を最適化できるよう定義された命令を有する。例えば、(ストリーミング S I M D 拡張命令 3 あるいは S S E 3 を備えた) x 8 6 命令セットは、M O N I T O R / M W A I T の命令ペアを定義する。M O N I T O R 命令は、プロセッサが更新をモニタリングしているアドレスレンジ (address range) を確立するように使用される (例えば、別のプロセッサによって実行された書込みによって)。

M W A I T 命令は、更新を待つ間、プロセッサを " 実装に依存した最適化状態 (implementation-dependent optimized state) " に入れるように使用される。プロセッサは、モニタリングされたアドレスレンジにおける書込みに応答して (および、特定の割込み、および、モニタリングされたアドレスレンジとは関係のないその他の理由によって)、この実装に依存した最適化状態から抜け出る。通常、プロセッサは、プロセッサに実装された通常のコヒーレンシーメカニズムを介して更新を知らされる。

【 課題を解決するための手段 】

【 0 0 0 6 】

一実施形態では、システムは第 1 プロセッサコアと第 2 プロセッサコアとを含む。第 1 プロセッサコアは、この第 1 プロセッサコアが更新をモニタリングをしているアドレスレンジを識別するアドレスレンジインディケーションを送信するように構成される。

この第 1 プロセッサコアは、更新のために第 1 プロセッサコアにアドレスレンジをモニタリングさせるように定義された第 1 の命令の実行に応答して、このアドレスレンジインディケーションを送信するように構成される。

第 2 プロセッサコアはアドレスレンジインディケーションを受信するように結合されており、アドレスレンジにおいて少なくとも 1 バイトを更新する書込み命令の実行に応答して、第 1 プロセッサコアに信号を送信するように構成されている。

第 1 プロセッサコアは第 2 プロセッサコアからの信号を受信するように結合されており、この信号に応答して第 1 の状態から抜け出るように構成されている。この第 1 の状態とは、第 1 プロセッサコアがアドレスレンジにおいて更新を待っている状態である。

【 0 0 0 7 】

別の実施形態においては、ある方法が考察される。

その方法は、第 1 プロセッサコアが、第 1 プロセッサコアから第 2 プロセッサコアまでの更新をモニタリングしているアドレスレンジを識別するアドレスレンジインディケーションを送信するステップを含み、このアドレスレンジインディケーションの送信ステップは、更新のために第 1 のプロセッサコアにアドレスレンジをモニタリングさせるように定義された第 1 の命令の実行に応答するものであり、第 2 プロセッサコアの第 2 アドレスレンジにおいて、少なくとも 1 バイトを更新する書込み命令を実行するステップと、この書込み命令に応答して、第 1 プロセッサコアに信号を送信するステップと、この信号に応答して、第 1 プロセッサコアが、アドレスレンジにおいて更新を待っている第 1 の状態から抜け出るステップと、を含むものである。

【 0 0 0 8 】

また別の実施形態では、モニタユニットを含むプロセッサコアが考察される。このプロ

10

20

30

40

50

セッサコアは、第1の命令に応答して、更新のためにアドレスレンジをモニタリングするように構成される。このプロセッサコアは、アドレスレンジの更新を待つための第1の状態に入るように構成される。

このモニタユニットは、第1の命令の実行に応答して第2プロセッサコアに対するアドレスレンジを識別するアドレスレンジインディケーションを送信するように構成されるとともに、第2プロセッサコアがアドレスレンジにおいて少なくとも1バイトを更新していることを識別する第2プロセッサコアからの信号を受信するように構成される。

プロセッサコアは、この信号に応答して、第1の状態から抜け出るように構成される。

【発明を実施するための最良の形態】

【0009】

添付の図面を参照して本発明を説明する。なお、本発明は、様々変形やその他の形態を取り得るが、ある特定の実施形態を例として図示し、かつ本明細書に詳細に記載する。しかし、図面およびその詳細な説明は、開示の形態に本発明を限定することを意図するものではなく、本発明が、添付の特許請求の範囲によって規定される本発明の趣旨ならびに範囲に含まれるすべての変形例、均等物および代替例を含むことを意図することが理解されたい。

【0010】

以下に、x86命令セットアーキテクチャ(MONITORおよびMWAIT命令を定義するSSE3拡張命令を少なくとも含み、また、AMD64(商標)拡張命令などの他の拡張命令あるいはその他の任意の拡張命令を含み得る)を実装したプロセッサを含む例示的な実施形態に記載する。他の実施形態では、任意の命令セットアーキテクチャを実装でき、モニタリングされるアドレスレンジ(例えば、キャッシュラインあるいはその他の任意のアドレスレンジ)を確立するように定義される1つ以上の命令を含むことができる。これらの命令は、プロセッサコアをモニタリングされたアドレスレンジ内で少なくとも1バイトの更新を待つ状態に入らせるように定義されたものである。

つまり、プロセッサコアは、1つあるいは複数の命令の実行に応答して、アドレスレンジをモニタリングし、このモニタリングされたアドレスレンジ内で更新を待つ状態に入ることができる。そのような命令の例として、このMONITORおよびMWAIT命令が使用されることになる。明細書における便宜上、MONITOR命令はmonitor命令(大文字ではない)と称し、MWAIT命令はMwait命令(MとWだけを大文字にする)と称することとする。

【0011】

図1は、コンピュータシステム10の一実施形態のブロック図を示す。図示した実施形態では、コンピュータシステム10は、ノード12A、12B、メモリ14A、14B、および周辺装置16A、16Bを含む。このノード12A、12Bは結合されており、ノード12Bは周辺装置16A、16Bに結合されている。

ノード12A、12Bの各々は、対応するメモリ14A、14Bに結合されている。ノード12Aはブリッジ20Aに結合されたプロセッサコア18A、18Bを備えている。このブリッジ20Aはさらに、メモリコントローラ22Aと複数のハイパートランスポート(HyperTransport)(商標)(HT)インターフェース回路24A~24Cに結合されている。

【0012】

同様に、ノード12Bはブリッジ20Bに結合されたプロセッサコア18C、18Dを備えている。このブリッジ20Bはさらに、メモリコントローラ22Bと複数のハイパートランスポート(商標)(HT)インターフェース回路24D~24Fに結合されている。

このHT回路24C、24Dは(本実施形態ではHTインターフェースを介して)結合されており、また、HT回路24Fは周辺装置16Aに結合されている。この周辺装置16Aは(本実施形態ではHTインターフェースを使用して)デイジーチェーン構造で周辺装置16Bに結合されている。メモリコントローラ22A、22Bは、対応のメモリ14

10

20

30

40

50

A、14Bに結合されている。

【0013】

図1にプロセッサコア18A、18Bの一実施形態の更なる詳細を示す。

各プロセッサコア18C、18Dは同様のものであってよい。図示された実施形態では、プロセッサコア18Aは、レジスタ28A、28Bおよびコンパレータ30A、30Bを備えたモニタユニット26Aを含む。レジスタ28Aはコンパレータ30Aに結合されている。このコンパレータ30Aはさらに、インターフェースからブリッジ20Aまでのインバリデートプローブ(invalidating prove)(P-Inv)のアドレスを受信するように結合されている。

レジスタ28Bはコンパレータ30Bに結合されている。このコンパレータ30Bはプロセッサコア18Aからのストアアドレス(StAddr)を受信するように結合されている。コンパレータ30Bの出力はWakeUp-ST信号としてモニタユニット26Bに結合される。

図示された実施形態では、このモニタユニット26Bは、レジスタ28A、28Bおよびコンパレータ30A、30Bにそれぞれ類似したレジスタ28C、28Dおよびコンパレータ30C、30Dを備える。

コンパレータ30Dの出力は、WakeUp-ST信号としてモニタユニット26Aに結合される。レジスタ28Aはレジスタ28Dに結合されるとともに、レジスタ28Bはレジスタ28Cに結合される。

【0014】

プロセッサコア18A~18Dの各々は、monitor命令の実行にตอบสนองしてアドレスレンジをモニタリングするように構成してもよい。加えて、このモニタリングプロセッサコア18A~18Dは、モニタリングされたアドレスレンジを識別するアドレスレンジインディケーションを少なくとも1つの別のプロセッサコア18A~18Dに送信できる("受信プロセッサ")。

例えば、例示の実施形態では、モニタリングプロセッサコア18A~18Dは、同一ノード12A、12Bにおける他のプロセッサコア18A~18Dにアドレスレンジインディケーションを送信してもよい。つまり、プロセッサコア18Aは、そのアドレスレンジインディケーションをプロセッサコア18Bに(逆の場合も同様に)送信することができ、また、プロセッサ18Cはそのアドレスレンジインディケーションをプロセッサコア18Dに(逆の場合も同様に)送信することができる。

【0015】

受信プロセッサコア18A~18Dは、命令の実行にตอบสนองして受信プロセッサコア18A~18Dが動作することになるアドレスレンジに対する書込みオペレーションのモニタリングを行う。そのような書込みが検出されれば、受信プロセッサコア18A~18Dはモニタリングプロセッサコア18A~18Dに信号を送ることができる。例えば、例示の実施形態では、受信プロセッサコア18A~18Dは、モニタリングプロセッサコア18A~18DにWakeUp-ST信号をアサートしてもよい。このモニタリングプロセッサコア18A~18Dは、その信号にตอบสนองして、MWait命令の実行によって入った状態から(まだその状態にあるとすれば)抜け出ることができる。

ある実施形態では、モニタリングされたアドレスレンジに対する書込みオペレーションの検出を信号で伝える受信プロセッサコアにより、モニタリングプロセッサコアは、通常の通信インターフェースを介してコピーレンシー通信を送信した場合よりも、その状態からより早く抜け出ることができる。

【0016】

概して、アドレスレンジインディケーションは、モニタリングされたアドレスレンジを定義する任意の値であってよい。例えば、アドレスレンジは、メモリの連続するバイトのブロックに対応し得る。ブロックのサイズが固定されている場合(例えば、あるキャッシュライン、あるいはある固定数のキャッシュライン、あるいはあるキャッシュラインの一部)、ブロックのベースアドレスを使用してもよい。同様に、サイズは可変であってもブ

10

20

30

40

50

ロセッサコア 18 A ~ 18 D の各々が同一サイズにプログラムされていれば、ベースアドレスを使用してもよい。他の実施形態では、ベースアドレスとサイズ、あるいはベースアドレスと終了アドレスはアドレスレンジを識別できる。

この議論の残りの部分では、キャッシュラインがアドレスレンジのサイズであり、キャッシュラインのベースアドレスがアドレスレンジインディケーションとして使用される実施形態を例として使用する。しかし、他の実施形態では、任意のサイズのアドレスレンジ、およびこれに対応する任意のアドレスレンジインディケーションを使用してもよい。

【 0 0 1 7 】

プロセッサコア 18 A、18 B は、モニタユニット 26 A、26 B を含めて、図 1 により詳細に例示されている。モニタユニット 26 A (およびそのレジスタ 28 A、28 B、
10 およびコンパレータ 30 A、30 B) の動作を以下に詳細に記載する。また、モニタユニット 26 B の動作は同様であり得る。レジスタ 28 A は、モニタユニット 28 A A によってモニタリングされるアドレスを記録する (M A d d r) 。つまり、プロセッサコア 18 A は、プロセッサコア 18 A が m o n i t o r 命令を実行する間に生成されたアドレスでレジスタ 28 A に書き込むことができる。

コンパレータ 30 A を介して、このアドレスにより示されるキャッシュラインの更新を示す任意の通信によりプロセッサコア 18 A に供給されたアドレスと、M A d d r と、を比較する。例えば、図示した実施形態では、インバリデートプローブ (P - I n v) を更新のインディケーション (更新を表すもの) として用いることができる。

【 0 0 1 8 】

概して、プローブは、コヒーレンスキームで使用される通信であり、プローブのレシーバが、このプローブによって識別されたキャッシュラインを有しているかどうかを判断し、キャッシュラインの状態の変更が検知された場合は、その状態の変更を特定する (また、場合によっては、変更されたキャッシュラインをメモリあるいはリクエストに戻すように要求する) 。

インバリデートプローブは、キャッシュラインの状態変更が無効であることを示すものである。ある特定のコヒーレンスキームにおいて、インバリデートプローブを、ソースデバイス (例えば、プロセッサ、周辺装置など) によって更新される他のキャッシュにおいてキャッシュラインを無効にするように用いることもできる。その他のインディケーションを使用してもよい。例えば、インバリデートプローブに加えて、あるいはインバリ
30 デートプローブの代わりに、書込み (write) オペレーションを使用してもよい。

【 0 0 1 9 】

他の例として、読出しオペレーションのソースがキャッシュラインを変更しようとしていることを示す読出しオペレーションが更新を示してもよい。多くの場合、そのような読出しオペレーションは、オペレーションの変更を目的とした読出し、読出し変更オペレーション、あるいは読出し排他オペレーションと呼ばれる。別の実施形態では、M A d d r は、プローブが更新を示していなくても、プロセッサコア 18 A から受信した任意のプローブの各アドレスと比較され得る。そのような比較をすることで、M W a i t 状態からプロセッサコア 18 A を抜けさせ、(命令シーケンスにおいて、M W a i t 命令に続く命令
40 を介して) キャッシュラインを再度読出させることができる。

このようにして、ソフトウェアは、プローブをもたらししたモニタリングされたキャッシュラインへのアクセスのソースが、キャッシュラインの排他的コピーを受け取らないようにすることができる (これにより、インバリデートプローブを生じさせずに、その後の更新が可能となる) 。

【 0 0 2 0 】

コンパレータ 30 A によってマッチングが検出された場合、モニタユニット 26 A は、M W a i t 命令に回答して入った状態からプロセッサコア 18 A を抜けさせることができる (例えば、図 1 の W E x i t 信号のアサートを介して) 。プロセッサコア 18 A は、M W a i t 命令に続いて、命令の実行を継続してもよい。ソフトウェアは、モニタリングされるキャッシュライン内の値をチェックするために、M W a i t 命令に続いて命令を含ん
50

でもよい。また、所望の状態が検知されなければ、`monitor`命令/`MWait`命令に戻り、再度その状態に入る。

【0021】

モニタユニット26Aはまた、モニタリングされたキャッシュラインのアドレスをモニタユニット26Bに送信することができる。図示の実施形態では、モニタユニット26Aは、レジスタ28Aからのアドレスを直接的にモニタユニット26Bに出力し得る。他の実施形態では、他の方法でアドレスを送信してもよい。例えば、アドレスは、インターフェースを越えてブリッジ20Aに送信されてもよく(例えば、アドレスがモニタリングされたアドレスであることを示すよう、コード化された通信として)、また、ブリッジ20Aはプロセッサコア18Bにこの通信を送信してもよい。

10

【0022】

同様に、モニタユニット26Aは、モニタユニット26Bによってモニタリングされるアドレスを受信し得る。例示の実施形態では、モニタユニット26Aは、モニタユニット26Bからのモニタリングされたアドレスのシャドウコピーを記録するよう、レジスタ26Bを含む。モニタユニット26Aは、`MAddrS`アドレスを、プロセッサコア18Aによって実行された書込みオペレーションのアドレス(図1中の`StAddr`)と比較する。

`MAddrS`アドレスによって示されたキャッシュラインへの書込みが検出されれば(コンパレータ30B)、モニタユニット26Aはモニタユニット26Bに`WakeUp-ST`信号をアサートし得る。他の実施形態では、モニタユニット26Bは、レジスタ28Cの出力をモニタユニット26Aに継続的に供給し得る。また、レジスタ28Bはそのような実施形態には実装され得ない。

20

【0023】

同様に、モニタユニット26Bは、モニタユニット26Aに対して`WakeUp-ST`信号を生成し得る。モニタユニット26Aは、モニタユニット26Bからのアサートされた`WakeUp-ST`信号の受信にตอบสนองして、キャッシュラインに対するインバリデートプローブの検出と同様に、`MWait`命令にตอบสนองして入った状態から抜けるように構成される。

【0024】

概して、プロセッサコア18Aは、コンピュータシステム10の他の構成要素と通信するために、ブリッジ20Aへのインターフェースを使用することができる[例えば、周辺装置16A、16B、プロセッサコア18B~18D(但し、モニタリングされたアドレスのシャドウコピーおよび`WakeUp-ST`信号の、上述したプロセッサコア18Bとの通信を除く)、およびメモリコントローラ22A、22Bなど]。このインターフェースは任意の所望の形式に設計されてよい。

30

上述のように、キャッシュコヒーレント通信は、インターフェースに対して定義され得る。一実施形態では、ブリッジ20Aとプロセッサコア18A、18B間のインターフェース上の通信は、HTインターフェース上で使用されたものと同様のパケット形式であってよい。他の実施形態では、任意の所望の通信を使用してもよい(例えば、バスインターフェース上のトランザクション)。他の実施形態では、プロセッサコア18A、18Bはブリッジ20Aにへのインターフェースを共有してもよい(例えば、共有バスインターフェース)。

40

【0025】

概して、ブリッジ20Aは、プロセッサコア18A、18BおよびHT回路24A~24Cからの通信を受信し、それらの通信をプロセッサコア18A、18B、HT回路24A~24C、および、その通信形式に依存したメモリコントローラ22A、その通信におけるアドレスなどに送信するように形成され得る。一実施形態では、ブリッジ20Aはシステムリクエストキュー(`SRQ`)を含み、受信した通信は、ブリッジ20Aによって、この`SRQ`に書込まれる。

ブリッジ20Aは、`SRQ`からの通信を、プロセッサコア18A、18B、HT回路2

50

4 A ~ 2 4 C、およびメモリコントローラ 2 2 A 中の、1 つのあるいは複数の宛先へ送信するためにスケジューリングし得る。ブリッジ 2 0 B は、プロセッサコア 1 8 C、1 8 D、HT 回路 2 4 D ~ 2 4 F およびメモリコントローラ 2 2 B に関しては同様であり得る。

【 0 0 2 6 】

メモリ 1 4 A、1 4 B は任意の適切なメモリデバイスを含み得る。例えば、メモリ 1 4 A、1 4 B は、1 つ以上のランバス DRAM (R A M B U S D R A M)、シンクロナス DRAM (S D R A M)、ダブルデータレート (D D R) S D R A M、スタティック R A M などを含み得る。コンピュータシステム 1 0 のアドレススペースは、メモリ 1 4 A、1 4 B 間で分割されてよい。

各ノード 1 2 A、1 2 B は、アドレスとメモリ 1 4 A、1 4 B との対応関係、すなわち、特定のアドレスに対してメモリ要求を転送すべきノード 1 2 A、1 2 B の決定に用いるメモリマップを (例えば、ブリッジ 2 0 A に) 備え得る。メモリコントローラ 2 2 A、2 2 B は、メモリ 1 4 A、1 4 B にインターフェース接続する制御回路を備え得る。加えて、メモリコントローラ 2 2 A、2 2 B は、メモリ要求を待ち行列に入れるリクエストキューなどを含み得る。

【 0 0 2 7 】

HT 回路 2 4 A ~ 2 4 F は、HT リンクからパケットを受信し、HT リンクにパケットを送信するための、各種バッファおよび制御回路を含み得る。HT インターフェースは、パケットを送信するための一方向のリンクを含む。

各 HT 回路 2 4 A ~ 2 4 F は、2 つのそのようなリンクに結合され得る (1 つは送信用、もう 1 つは受信用) 。

所与の HT インターフェースは、(例えば、ノード 1 2 A、1 2 B 間では) キャッシュコヒーレントな方法で動作するか、あるいは、(例えば、周辺装置 1 6 A、1 6 B 間では) 非コヒーレントな方法で動作し得る。図示した実施形態では、HT 回路 2 4 C および 2 4 D は、ノード 1 2 A、1 2 B 間の通信のために、コヒーレント HT リンクを介して結合される。これらの HT 回路 2 4 A、2 4 B および 2 4 E は使用されておらず、HT 回路 2 4 F は、非コヒーレントリンクを介して周辺装置 1 6 A、1 6 B に結合される。

【 0 0 2 8 】

周辺装置 1 6 A、1 6 B は、任意のタイプの周辺装置であってよい。例えば、周辺装置 1 6 A、1 6 B は、別のコンピュータシステムに結合され、そのコンピュータシステムと通信するためのデバイス (例えば、ネットワークインターフェースカードあるいはモデム) を含み得る。

さらに、周辺装置 1 6 A、1 6 B は、ビデオアクセラレータオーディオカード、ハードディスクドライブもしくはフロッピーディスクドライブまたはドライブコントローラ、S C S I (Small Computer Systems Interface) アダプタ、テレフォニーカード、サウンドカード、および G P I B インタフェースカードまたはフィールドバスインタフェースカードなどの様々なデータ収集カードを含んでいてもよい。本明細書において、「周辺装置」という用語は、入力 / 出力 (I / O) デバイスを包含することを意図する点に留意されたい。

【 0 0 2 9 】

一実施形態では、ノード 1 2 A、1 2 B の各々は、図 1 に示す回路を備えた単一の集積回路チップであってよい。つまり、各ノード 1 2 A、1 2 B はチップマルチプロセッサ (C M P) であってよい。その他の実施形態は、所望に応じて 2 つ以上の別々の集積回路としてノード 1 2 A、1 2 B を実装してよい。任意の集積レベルあるいは個別の部品を使用してもよい。

【 0 0 3 0 】

概して、プロセッサコア 1 8 A ~ 1 8 D は、所与の命令セットアーキテクチャにおいて定義された命令を実行するように設計された回路を含むことができる。つまり、プロセッサコア回路は、この命令セットアーキテクチャにおいて定義された命令の結果をフェッチし、デコードし、実行し、書込むように構成することができる。

10

20

30

40

50

プロセッサコア18A~18Dは、スーパーパイプライン、スーパースカラ、あるいはその組合せを含む、任意の所望の構成を含むことができる。その他の構成としては、スカラ、パイプライン型、非パイプライン型などを含み得る。各種実施形態は、アウトオブオーダー投機的実行あるいはインオーダー実行を採用してもよい。プロセッサコアは、1つ以上の命令に対するマイクロコードを含んでもよく、あるいは、上述した任意の構成と組み合わせ、その他の機能を含んでもよい。

各種実施形態は、様々なその他の設計特徴、例えば、キャッシュ、トランスレーションルックアサイドバッファ(TLB)などを実装してもよい。CMPの実施形態では、所与のノード12A、12B内のプロセッサコアは、このCMPに含まれる回路を備え得る。

他の実施形態では、プロセッサコア18A~18Dはそれぞれ、別々の集積回路を備え得る。

【0031】

上述したように、プロセッサコア18A~18Dは、命令の実行中に書込みオペレーションを実行するように構成することができる。

各種実施形態では、書込みオペレーションは明示的な書込み命令の結果であっても、宛先としてメモリオペランドを有する他の命令において暗示的であっても、あるいはその両方であってもよい。

概して、書込みオペレーションは、この書込みオペレーションに関連づけられたアドレスによって指定されたメモリ位置における1以上のバイトの更新であり得る。

【0032】

各種信号は、アサート、アサート停止、生成されているものとして上述されている。通常、信号はソースからレシーバに送信される任意のインディケーションとなり得る。ある信号は、例えばアサートされ得る、あるいはアサート停止され得る1以上のシグナルラインを備え得る。

【0033】

本実施形態は、ノード間およびノードと周辺装置間の通信のためにHTインターフェースを使用するが、他の実施形態では、いずれの通信のために、任意の所望のインターフェースあるいは複数のインターフェースを使用してもよい点に留意されたい。例えば、他のパケットベースのインターフェース、バスインターフェース、各種標準の周辺インターフェース(例えば、周辺コンポーネント相互接続(PCI:Peripheral Component Interconnect)、PCIエクスプレスなど)など、を使用してもよい。

【0034】

図1に例示したコンピュータシステム10は2つのノード12A、12Bを備えているが、その他の実施形態は1つのノード、あるいは2つ以上のノードを実装してもよい点に留意されたい。同様に、各ノード12A、12Bは、各種実施形態において、2つ以上のプロセッサコアを含み得る。

ある実施形態では、ノード内の各プロセッサコアのモニタユニット26は、同じノードにあるその他の各プロセッサコアからモニタリングされたキャッシュラインのアドレスを受信するように構成されてもよく、また、モニタリングされたキャッシュラインの各々に対する書込みオペレーションをモニタリングするように構成されてもよい。

他の実施形態では、プロセッサコアのサブセットが識別され、そのサブセットは、互いのモニタリングされたキャッシュラインに対する書込みオペレーションを検出するように構成され得る。

コンピュータシステム10の各種実施形態では、ノード12A、12BごとにHTインターフェースの数が異なってもよく、異なる数の周辺装置が1つまたは複数のノードに結合される。

【0035】

図2~図4は、各種命令を実行するためのプロセッサコア18A~18Dの一実施形態の動作を例示したフローチャートである。図5は、プロセッサコア18A~18Dの一実施形態の例示的状态を示した状態機械である。

以下の図 2 ~ 図 5 についての考察では、プロセッサコア 18 A が例として使用されることになるが、プロセッサコア 18 B ~ 18 D は同様である。

図 2 ~ 図 4 を介して例示した各命令に対して、命令を実行するプロセッサコア 18 A ~ 18 D は、簡素化と簡略化のために図 2 ~ 図 4 には例示していない他のオペレーション（例えば、例外のチェックなど）を実行してもよい。

【 0 0 3 6 】

図 2 を参照すると、`monitor` 命令を実行するプロセッサコア 18 A の一実施形態の動作を例示したフローチャートが示されている。プロセッサコア 18 A は、図 2 に示すオペレーションを実行するために、回路構成および/あるいはマイクロコードを含んでもよい。

10

図 2 に示すブロックは、理解を簡単にするために特定の順序で例示されているが、任意の順序を使用してもよい。さらに、組合せ論理により、プロセッサコア 18 A において、各ブロックを同時に実行することもできる。

各種実施形態において、所望に応じて各ブロックを複数のクロックサイクルにわたってパイプライン化してもよく、および/または、フローチャートに例示した動作を複数のクロックサイクルにわたってパイプライン化してもよい。

【 0 0 3 7 】

本実施形態では、モニタリングされるキャッシュラインのアドレスは、EAX レジスタ（あるいは、プロセッサコア 18 A が AMD 64（商標）拡張命令を実装していれば、RAX レジスタ）内にあると定義される。

20

他の実施形態では、プロセッサコア 18 A はモニタリングされるキャッシュラインのアドレスを生成するために、2 つ以上のオペランドを追加してもよい。

ある実施形態では、プロテクトモードがイネーブルであれば、EAX レジスタのコンテンツは、セグメントレジスタの 1 つにおいて、線形アドレスに対して定義されたセグメントベースのアドレスに追加されるオフセットである。

他の実施形態では、セグメントベースのアドレスはゼロであり、EAX レジスタのコンテンツは線形アドレスに相当し得る。

ページングがイネーブルであれば（決定ブロック 40 において、“yes”）、アドレスは仮想アドレスであり（例えば、線形アドレス）、この仮想アドレスはページングメカニズムを介して物理アドレスに変換される（ブロック 42）。この物理アドレスは、モニタユニット 26 A がモニタリングするアドレスであってよい。いずれの場合でも、プロセッサコア 18 A は、モニタリングされるアドレスをモニタユニット（26 A）の MAddr レジスタ 28 A に書き込むことができる（ブロック 44）。加えて、プロセッサコア 18 A は、他のプロセッサコア 18 B にアドレスを通信して送ることができる（ブロック 46）。

30

【 0 0 3 8 】

他の実施形態では、プロセッサコア 18 A は、1 つ以上の別のプロセッサコアにアドレスを通信することができる。プロセッサコア 18 A は、モニタユニット 26 A を “アーム (arm)” してもよい（ブロック 48）。

概して、モニタユニット 26 A をアームするということは、`monitor` 命令が実行されたことを示す状態にモニタユニット 26 A を置くことを指す（従って、モニタリングされるアドレスはモニタユニット 26 A に既に確立されている）。以下に詳細を記載しているように、このアームされた状態を、`Mwait` 命令への応答を決定するために使用してもよい。

40

【 0 0 3 9 】

図 3 は、`Mwait` 命令を実行するために、プロセッサコア 18 A の一実施形態の動作を例示したフローチャートである。プロセッサコア 18 A は、図 3 のオペレーションを実行するために、回路構成および/あるいはマイクロコードを含んでもよい。

図 3 に示すブロックは、理解を簡単にするために特定の順序で例示されているが、任意の順序を使用してもよい。さらに、組合せ論理により、プロセッサコア 18 A において、

50

各ブロックを同時に実行することもできる。各ブロックを複数のクロックサイクルにわたってパイプライン化してもよく、および/または、フローチャートに例示した動作を、所望に応じて、各種実施形態において、複数のクロックサイクルにわたってパイプライン化してもよい。

【0040】

モニタユニット26Aがすでに実行されたmonitor命令を介してアームされていれば(および、続いてキャッシュラインの更新が検出されなければ、つまり、決定ブロック50において"yes")、プロセッサコア18Aは本実施形態において、スリープ状態に入り得る(ブロック)。

別の実施形態では、MWait命令に応答して、様々な状態に入ることができる(例えば、既述の、実装に依存した最適化状態)。

スリープ状態は電力節約状態であり、この状態においてプロセッサコア18Aは電力消費の低減を試みる。ある実施形態では、プロセッサコア18Aは、スリープ状態において命令の実行を停止することができる。

他の種々の実施形態では、スリープ状態は電力消費を低減するために、以下のうちの1つ以上を含む。それらは、プロセッサコア18Aが動作するクロック周波数を減らす、様々な回路に対してクロックをゲーティングする、クロックをオフにする、位相ロックループあるいは他のクロック生成回路をオフにする、プロセッサコア(モニタユニットは除く)の電源を切る、などのように構成してもよい。

スリープステートは、例えば、パソコンシステムにおいて、パワーマネージメントの各種実装品に使用される任意のストップグラント(stop grant)状態であってよい。他の実施形態では、他の状態を使用してもよい。例えば、プロセッサコア18Aがマルチスレッド機能を実装している場合、プロセッサコア18Aは、モニタリングされたキャッシュラインの更新が検出されるまで、MWait命令の実行後に別のスレッドを実行するよう切替えるようにしてもよい。

【0041】

モニタユニット26Aがアームされていなければ(決定ブロック50において、"no")、プロセッサコア18AはMWait命令については何のアクションも起こさず、MWait命令に続く次の命令とともに実行を継続し得る。

モニタリング命令がMWait命令の前に実行されていなければ、モニタユニット26Aはアームすることができない(しかし、他の命令はmonitor命令とMWait命令との間に実行することができる)。加えて、monitor命令はすでに実行されているが、MWait命令を実行する前に、モニタリングされたキャッシュラインの更新が検出されていれば、モニタユニット26Aはアームすることができない。

【0042】

図4は、書込みオペレーションを実行するために、プロセッサコア18Aの一実施形態の動作を例示したフローチャートを示す。プロセッサコア18Aは、図4に示すオペレーションを実行するために、回路構成および/あるいはマイクロコードを含んでもよい。図4に示すブロックは、理解を簡単にするために特定の順序で例示されているが、任意の順序を使用してもよい。

さらに、組合せ論理により、プロセッサコア18Aにおいて、各ブロックを同時に実行することもできる。各ブロックを複数のクロックサイクルにわたってパイプライン化してもよく、および/または、フローチャートに例示した動作を、所望に応じて、各種実施形態において、複数のクロックサイクルにわたってパイプライン化してもよい。

【0043】

モニタユニット26Aは、書込みオペレーションのアドレスをレジスタ28B(MAddr Sアドレスを書込むレジスタ)のアドレスと比較する。書込みアドレスがMAddr Sアドレスと一致すれば(決定ブロック54において、"yes")、モニタユニット26Aは、プロセッサコア18BにWake up-ST信号をアサートし得る(ブロック56)。

10

20

30

40

50

いずれの場合でも、プロセッサコア 18 A はメモリを更新することで書込みを終了することができる（ブロック 58）。

メモリは、キャッシュを実装するプロセッサコア 18 A の実施形態において、キャッシュにおいて更新され得る。加えて、キャッシュコヒーレンシーは、コンピュータシステム 10 に実装されたコヒーレンシープロトコルに従い維持され得る。

【0044】

図 5 は、`monitor / Mwait` 命令の実装に関係したプロセッサコア 18 A の例示的状态を示した状態機械図である。プロセッサコア 18 A の各種実施形態によって、他の目的のために他の状態を実装してもよい。

図 5 は、ノーマル状態 60、アーム状態 62、およびスリープ状態 64 を例示する。

【0045】

ノーマル状態 60 は、命令が実行され、（`monitor / Mwait` 命令に関して定義されたように）キャッシュラインのモニタリングが実行されないプロセッサコア 18 A の状態とすることができる。

アーム状態 62 は、モニタユニット 26 A がモニタリングされるキャッシュラインのアドレスで更新され（`monitor` 命令の実行を介して）、`Mwait` 命令の次の実行を待つ状態であり得る。

スリープ状態 64 は、上述したように、電力節約状態である。上述のように、他の実施形態では、スリープ状態 64 の代わりに他の状態を使用してもよい。

【0046】

プロセッサコア 18 A がノーマル状態 60 にあり、`monitor` 命令が実行されれば、状態機械はアーム状態 62 に変わる。

アーム状態 62 では、モニタリングされたキャッシュに対するインバリデートプローブが検出されれば（`WEXIT` アサート）、あるいは、アサートされた `Wake up - ST` 信号がモニタユニット 26 A によって受信されれば、状態機械はノーマル状態 60 に戻る。この状態の変化は、`Mwait` 命令が実行される前にモニタリングされたキャッシュラインが更新される場合を表す。

他方で、状態機械がアーム状態 62 にある間に `Mwait` 命令が実行されれば、この状態機械はスリープ状態 64 へと変化する。

この状態機械は、モニタリングされたキャッシュライン（`WEXIT`）に対するインバリデートプローブの検出、モニタユニット 26 A への `Wake - up` 信号のアサート（`Wake up - ST`）、あるいは、`Mwait` 命令および/あるいはプロセッサコアの実装に対して定義された任意のその他の終了条件（`Other - Exit`）に回答して、スリープ状態 64 からノーマル状態 60 へ変化し得る。

その他の終了条件は実施形態によって変化してもよいが、その他の終了条件として、プロセッサコア 18 A に対する外部割込みのデリバリ、プロセッサコア 18 A のリセットを含み得る。

【0047】

図 6 は、同一ノード 12 A におけるプロセッサコア（例えば、プロセッサコア 18 A）がモニタリングされたキャッシュラインを更新するときに、プロセッサコア 18 A の動作を示した例である。

プロセッサコア 18 A によって実行されるコードを、下線を付した“プロセッサコア 18 A、ノード 12 A”との見出しの下方に示す。プロセッサコア 18 B によって実行されるコードを、下線を付した“プロセッサコア 18 B、ノード 12 A”との見出しの下方に示す。プロセッサコア 18 A は、`monitor` 命令を実行し、モニタユニット 26 A をモニタリングし、アームするためのキャッシュラインのアドレス“A”を確立する。

次に、このコードはアドレス A に対するチェックを含む（図 6 において、“チェック [A]”と記される）。

このチェックにおいて、モニタリングされたキャッシュライン内のメモリ位置を読み出し、そのメモリ位置を所望の状態と比較する。

10

20

30

40

50

所望の状態がメモリ位置にあれば、チェックはM W a i t命令のまわりに分岐し、次の処理を継続する。

このチェックにより、m o n i t o r命令の実行との競合条件で生じたキャッシュラインの更新が検出され得る。

例では、所望の状態がキャッシュラインに存在せず、プロセッサコア18AはM W a i t命令を実行する。

よって、プロセッサコア18Aはスリープ状態に入る(矢印70)。

【0048】

プロセッサコア18BはアドレスAに対して書込みオペレーションを実行し、(モニタユニット28Bにおいて)この書込みオペレーションのアドレスがプロセッサコア18Aからのシャドーされたモニタリングアドレス(shadowed montor address: M A d d r S)と一致することを確認する。従って、プロセッサコア18B(および、より詳細にはモニタユニット26B)は、W a k e u p - S T信号をアサートすることでプロセッサコア18A(および、より詳細にはモニタユニット26A)に信号を送る。

プロセッサコア18Aは再度アドレスAのチェックを行い(図6のチェック[A])、キャッシュラインにおいて所望の状態を検出する。従って、プロセッサコア18Aは他の命令とともに実行を継続する。

【0049】

図7は、その他のノード12Bにおけるプロセッサコア(例えば、プロセッサコア18C)がモニタリングされたキャッシュラインを更新するときに、プロセッサコア18Aのオペレーションを示した例である。

プロセッサコア18Aによって実行されるコードを、下線を付した“プロセッサコア18A、ノード12A”との見出しの下方に示す。プロセッサコア18Cによって実行されるコードを、下線を付した“プロセッサコア18C、ノード12B”との見出しの下方に示す。加えて、プロセッサコア18Cとプロセッサコア18A間の通信を、図7の中央部分に示す。

図6の例と同様に、プロセッサコア18Aは、m o n i t o r命令を実行し、モニタユニット26Aをモニタリングシームするためのキャッシュラインのアドレス”A”を確立し、このアドレス”A”をチェックし、M W a i t命令を実行する。

従って、プロセッサコア18Aはスリープ状態に入る(矢印74)。

【0050】

プロセッサコア18CはアドレスAに対して書込みオペレーションを実行する。本実施形態では、プロセッサコア18Cはプロセッサコア18Aによってモニタリングされるアドレスのシャドウコピーを有しておらず、よって、コヒーレンシーオペレーションの通常の送信を継続して書込みを終了する。具体的には、プロセッサコア18Cはノード12Bにおいてブリッジ20Bにインバリデートプローブを送信する(矢印76)。

続いてブリッジ20Bはノード12Aにインバリデートプローブを送信する(また、そのインバリデートプローブはブリッジ20Aに到達する)。続いてブリッジ20Aはプロセッサコア18Aにインバリデートプローブを送信し、これによりインバリデートプローブのアドレスがレジスタ28Aのアドレスに一致することが検出される。この結果、プロセッサコア18Aはスリープ状態から抜け出る(矢印78)。プロセッサコア18Aは再度アドレスAのチェックを行い(図7のチェック[A])、キャッシュラインの所望の状態を検出する。従って、プロセッサコア18Aは他の命令とともに実行を継続する。

【0051】

上述した開示を完全に理解すれば、多くの変形および修正が当業者には明らかとなるであろう。請求の範囲は、そのような変形および修正を全て包含するものと解釈されることを意図する。

【産業上の利用可能性】

【0052】

概して、本発明は、プロセッサおよび変更に対するキャッシュラインのモニタリングに

10

20

30

40

50

利用可能である。

【図面の簡単な説明】

【0053】

【図1】複数のプロセッサコアを含むコンピュータシステムの一実施形態のブロック図。

【図2】monitor命令を実行する間のプロセッサコアの一実施形態の動作を例示したフローチャート。

【図3】MWait命令を実行する間のプロセッサコアの一実施形態の動作を例示したフローチャート。

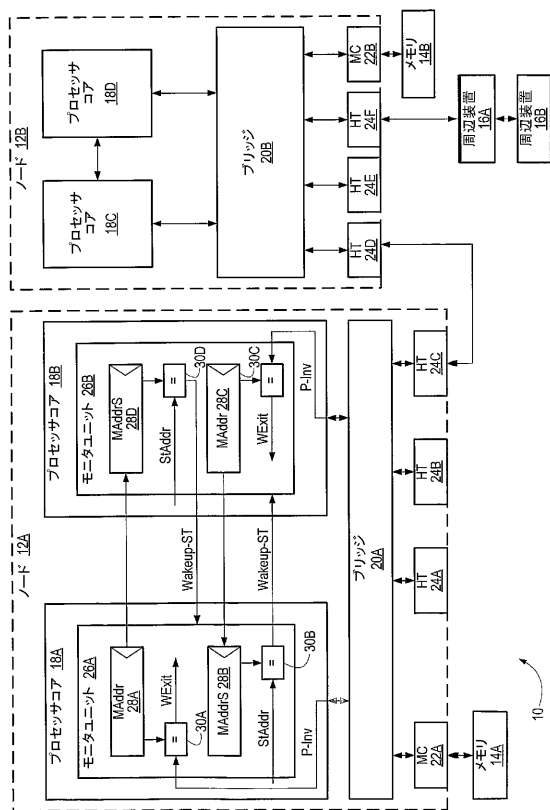
【図4】書き込み命令を実行する間のプロセッサコアの一実施形態の動作を例示したフローチャート。

【図5】キャッシュラインの更新を待つ間に低電力状態に入るためのプロセッサコアの一実施形態の動作を例示した状態機械図。

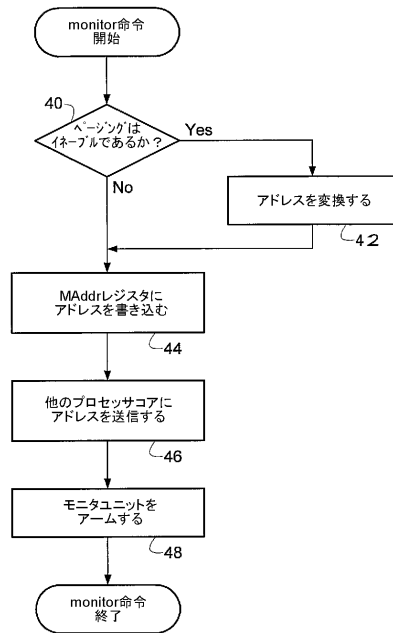
【図6】同一ノードのプロセッサコアがモニタリングされたキャッシュラインを更新したときのプロセッサコアの一実施形態の動作を例示した説明図。

【図7】別ノードのプロセッサコアがモニタリングされたキャッシュラインを更新したときのプロセッサの一実施形態の動作を例示した説明図。

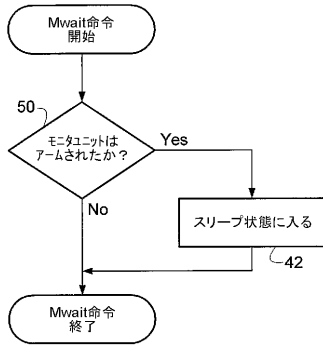
【図1】



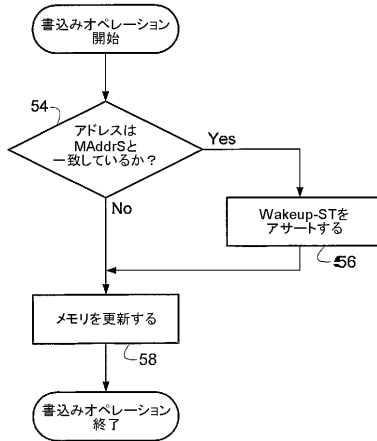
【図2】



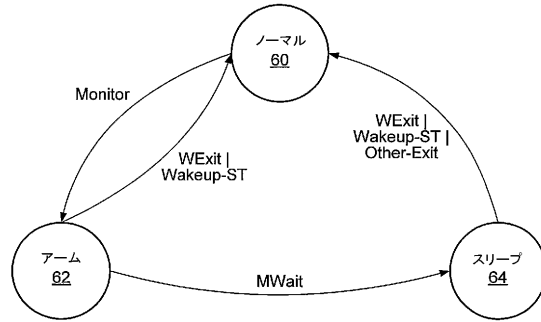
【図3】



【図4】

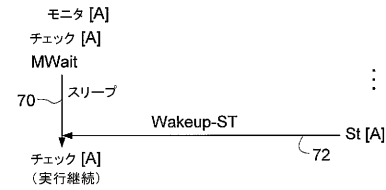


【図5】



【図6】

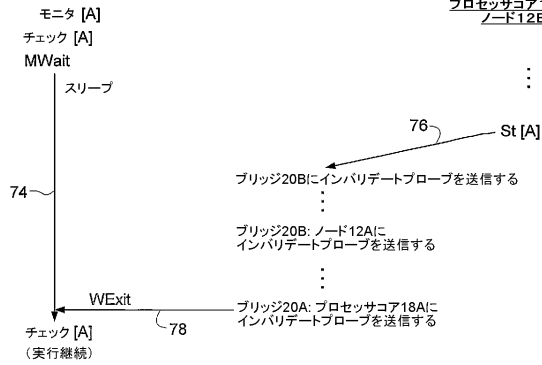
プロセッサコア18A、ノード12A プロセッサコア18B、ノード12A



【図7】

プロセッサコア18A、ノード12A

プロセッサコア18C、ノード12B



フロントページの続き

(74)代理人 100162156

弁理士 村雨 圭介

(74)代理人 100111615

弁理士 佐野 良太

(72)発明者 マイケル ティー . クラーク

アメリカ合衆国、テキサス州 78739、オースティン、モードレッド レイン 6137

審査官 原 秀人

(56)参考文献 国際公開第03/058447(WO, A1)

本田 雅一, Pentium4が変わる!? ついに登場Prescott技術解説, ASCII
I, 日本, 株式会社アスキー, 2004年 3月 1日, 第28巻 第3号, p.50~57

(58)調査した分野(Int.Cl., DB名)

G06F 12/08

G06F 9/52