



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202517849 A

(43)公開日：中華民國 114 (2025) 年 05 月 01 日

(21)申請案號：113122617

(22)申請日：中華民國 113 (2024) 年 06 月 19 日

(51)Int. Cl. : C30B29/38 (2006.01)

C30B25/18 (2006.01)

H01L21/205 (2006.01)

(30)優先權：2023/07/03 日本

2023-109212

(71)申請人：日商信越半導體股份有限公司 (日本) SHIN-ETSU HANDOTAI CO., LTD. (JP)
日本

(72)發明人：萩本和德 HAGIMOTO, KAZUNORI (JP) ; 山田雅人 YAMADA, MASATO (JP)

(74)代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：5 項 圖式數：13 共 43 頁

(54)名稱

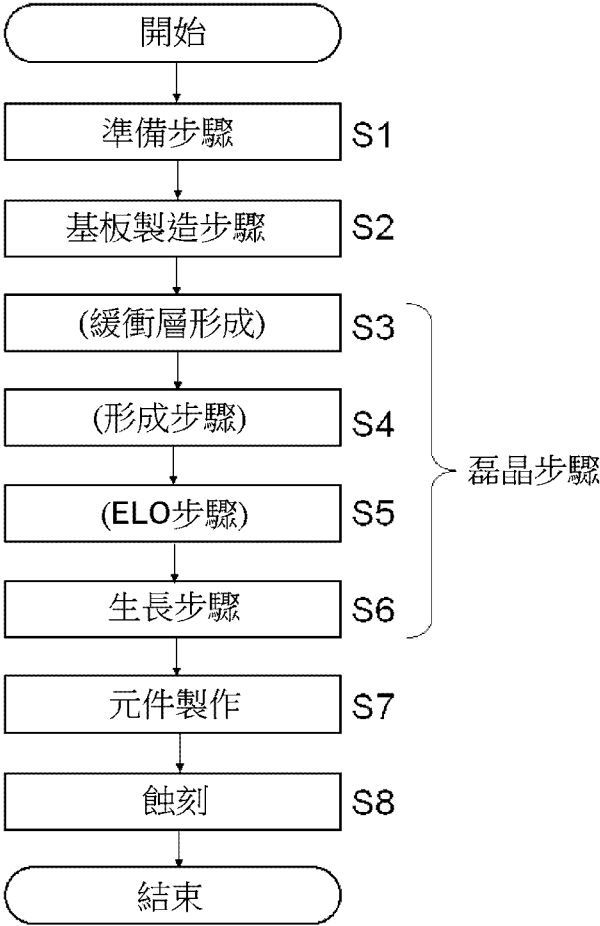
GaN 磊晶生長膜的製造方法及半導體元件的製造方法

(57)摘要

本發明是一種 GaN 磊晶膜的製造方法，其特徵在於，藉由包含以下步驟來製造差排密度為 $1.0 \times 10^6/\text{cm}^2$ 以下的前述 GaN 磊晶膜：準備步驟，準備厚度未達 1mm 的支撐基板，其直徑為 150mm 以上，並且由氮化物陶瓷所構成的芯被密封層密封；基板製造步驟，在前述支撐基板上依序積層平坦化層和由 SiC 單晶所構成的晶種層，而獲得磊晶生長用基板；及磊晶步驟，在前述磊晶生長用基板上生長厚度為 $7\mu\text{m}$ 以上的 GaN 磊晶膜。藉此，提供一種 GaN 磊晶膜的製造方法，其能夠藉由低成本且簡易的製程來生產一種差排密度為 $1.0 \times 10^6/\text{cm}^2$ 以下的 GaN 厚膜，該 GaN 厚膜為大直徑，並且無翹曲或龜裂。

指定代表圖：

圖2





【發明摘要】

【中文發明名稱】 GaN 磊晶生長膜的製造方法及半導體元件的製造方法

【中文】

本發明是一種 GaN 磊晶膜的製造方法，其特徵在於，藉由包含以下步驟來製造差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的前述 GaN 磊晶膜：準備步驟，準備厚度未達 1 mm 的支撐基板，其直徑為 150 mm 以上，並且由氮化物陶瓷所構成的芯被密封層密封；基板製造步驟，在前述支撐基板上依序積層平坦化層和由 SiC 單晶所構成的晶種層，而獲得磊晶生長用基板；及磊晶步驟，在前述磊晶生長用基板上生長厚度為 $7 \mu\text{m}$ 以上的 GaN 磊晶膜。藉此，提供一種 GaN 磊晶膜的製造方法，其能夠藉由低成本且簡易的製程來生產一種差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的 GaN 厚膜，該 GaN 厚膜為大直徑，並且無翹曲或龜裂。

【指定代表圖】第 2 圖

【代表圖之符號簡單說明】

無

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 GaN 磊晶生長膜的製造方法及半導體元件的製造方法

【技術領域】

【0001】 本發明有關一種 GaN 磊晶膜的製造方法及半導體元件的製造方法。

【先前技術】

【0002】 作為用以形成 GaN 磊晶膜的基板，Si、GaAs、Sap(藍寶石)塊體基板系由於能夠獲得大直徑基板，成本方面亦廉價，因此很有前景，但是當試圖生長較厚的磊晶膜以使磊晶膜低差排化時，基板的翹曲和龜裂成為問題。又，當試圖克服此問題時，緩衝步驟變得非常複雜，而生產性下降。

【0003】 另一方面，熱膨脹係數和晶格常數皆相近的 GaN 和 AlN 塊體基板系在物性上很有前景，但是無法量產 150mm 以上的直徑且昂貴。又，如專利文獻 1 所述，存在一種藉由間隙形成剝離法 (Void-Assisted Separation, VAS) 法在異質基板上製作差排密度較低的 GaN 膜並將其製成基板之方法，但是不清楚能否大直徑化，且步驟複雜。又，在非專利文獻 1 中，由於矽基氮化鎵 (GaN on Si) 基板的缺陷密度較高，因此存在以氮化鎵基氮化鎵 (GaN on GaN) 來改善此情形的例子，但是不清楚能否大直徑化。

【0004】 如專利文獻2和專利文獻3所述，當使用具有熱膨脹係數與要成膜的晶體大致相同的陶瓷芯之基板時，能夠形成厚膜，但是由於Si等的晶種與要成膜的晶體的晶格常數差異，而難以將晶體製成 $1.0 \times 10^6 / \text{cm}^2$ 以下的差排密度。

【0005】 再者，當使用具有陶瓷芯之基板時，如專利文獻4所記載，存在一種方法，其藉由離子佈植將包含陶瓷芯之支撐基板分離，來製作縱向電晶體。又，如專利文獻5所記載，亦存在一種方法，其藉由蝕刻平坦化層(SiO₂層)來分離包含陶瓷芯之支撐基板，而製作紫外線發光用器件。

【0006】 又，專利文獻4和專利文獻6記載除了Si以外，還能夠使用SiC、AlN、AlGa_{0.5}N、Al₂O₃等作為含陶瓷芯之支撐基板上的單晶層，較佳是晶格常數較近者等，但是沒有記載能否降低差排密度。

【0007】 又，作為減少差排密度之手段，亦已知磊晶側向生長(Epitaxial Lateral Overgrowth, ELO)。例如專利文獻7、專利文獻8中有以下描述：在專利文獻2的支撐基板上使用了島狀SiN之ELO生長。又，專利文獻9、專利文獻10中有以下描述：作為概念，藉由在包含島狀SiN之含Si膜上生長2階段島狀的Ga_{0.5}N並進行ELO生長，來進行低差排化；並且有以下描述：Ga_{0.5}N的2階段島狀生長部的Si(摻雜)濃度為 $1.0 \times 10^{17} \sim 10^{20} / \text{cm}^3$ 。

【0008】 專利文獻11中有以下描述：不使用SiN等的遮罩，而在生長條件下製作島狀Ga_{0.5}N，並藉由ELO生長來進

行低差排化；並且有以下描述：1次能夠獲得TD(貫穿式差排)密度為 $5.0 \times 10^6 / \text{cm}^2$ 的GaN膜、3次能夠獲得TD密度為 $5.0 \times 10^5 / \text{cm}^2$ 的GaN膜。

【0009】 然而，這些技術係在Si上形成ELO，為了降低差排密度，需要實施複數次的ELO。

【0010】 作為減少差排密度之手段，亦已知以下手段：藉由在不生長源自下方的差排容易直接傳播之(0001)面的情形下形成由傾斜面所構成的膜作為基底層，來減少差排；利用島狀SiN等的遮罩(專利文獻1、專利文獻12～13)，或以沒有遮罩層等的圖案加工的方式根據生長條件來實現傾斜面膜的生長(專利文獻14～17)。再者，所使用的基板是曾經在Si、GaAs、Sap等的基板上藉由VAS法製作的GaN自立基板。然而，不清楚能否大直徑化。

[先前技術文獻]

(專利文獻)

【0011】

專利文獻1：日本特開2020-070229號公報

專利文獻2：日本特開2013-177285號公報

專利文獻3：日本特表2019-523994號公報

專利文獻4：國際公開第2021/230148號

專利文獻5：日本特開2022-056492號公報

專利文獻6：日本特開2022-012558號公報

專利文獻7：日本特開2022-165964號公報

專利文獻8：日本特表2020-505767號公報

專利文獻 9：日本特開 2018-88528 號公報

專利文獻 10：日本特開 2015-29042 號公報

專利文獻 11：日本特開 2016-41654 號公報

專利文獻 12：日本特開 2020-070230 號公報

專利文獻 13：日本特開 2020-033210 號公報

專利文獻 14：日本特開 2020-033211 號公報

專利文獻 15：日本特開 2020-033212 號公報

專利文獻 16：日本特開 2020-033253 號公報

專利文獻 17：日本特開 2020-033254 號公報

(非專利文獻)

【0012】

非專利文獻 1：Odyssey Semiconductor, Inc.
"Defects Matter", Odyssey Semiconductor,
Inc., 2023, [2023 年 5 月 17 日檢索]，網際網路 <URL:
<https://odysseysemi.com/technology/>>

【發明內容】

[發明所欲解決的問題]

【0013】 如上所述，為了磊晶層的厚膜化、大直徑化、減少差排密度，而提出了各種技術，但是尚無一種低成本且簡易的 GaN 磊晶膜的製造方法，其能夠進行大直徑化，且厚膜化時能夠防止翹曲或龜裂的發生，能夠減少差排密度。

【0014】 本發明是為了解決上述問題而完成，其目的在於提供一種 GaN 磊晶膜的製造方法，其能夠藉由低成本且簡

易的製程來生產一種差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的 GaN 厚膜，該 GaN 厚膜為大直徑，並且無翹曲或龜裂。

又，本發明的目的在於提供一種半導體元件的製造方法，其能夠以低成本製造高品質的半導體元件。

[解決問題的技術手段]

【0015】 本發明是為了達成上述目的而完成，其提供一種 GaN 磊晶膜的製造方法，其特徵在於，藉由包含以下步驟來製造差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的前述 GaN 磊晶膜：準備步驟，準備厚度未達 1 mm 的支撐基板，其直徑為 150 mm 以上，並且由氮化物陶瓷所構成的芯被密封層密封；基板製造步驟，在前述支撐基板上依序積層平坦化層和由 SiC 單晶所構成的晶種層，而獲得磊晶生長用基板；及磊晶步驟，在前述磊晶生長用基板上生長厚度為 $7 \mu\text{m}$ 以上的 GaN 磊晶膜。

【0016】 根據這樣的 GaN 磊晶膜的製造方法，藉由在包含陶瓷芯之磊晶生長用基板上生長 GaN 磊晶膜，從而與 Si 和 Sap、GaAs 等的塊體基板不同，能夠製造 GaN 厚膜，該塊體基板雖然存在有廉價且大直徑的產品，但因熱膨脹係數的差異而無法形成較厚的 GaN 磊晶膜。進一步若能夠製造這樣的低差排的厚膜，則元件層的結晶性良好，因此在電子元件中能夠謀求耐壓提升或漏電流減少，並且，在可見光元件和紫外光元件中能夠謀求高輸出、或高效率化，故有助於節能。

【0017】 又，根據這樣的GaN磊晶膜的製造方法，能夠將支撐基板上的單晶層設為SiC單晶。SiC是一種比Si更接近GaN的晶格常數的材料，並且與其他能夠製造高品質GaN磊晶膜的結晶層即GaN和AlN等相比，能夠取得較廉價且大直徑者，因此能夠以簡易的製程形成一種無翹曲或龜裂且差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的GaN磊晶膜。

【0018】 進一步，藉由將支撐基板設為直徑150mm以上，能夠形成大直徑的GaN磊晶膜。

【0019】 又，藉由生長 $7 \mu\text{m}$ 以上的GaN磊晶膜，能夠製成Si和Sap、GaAs等的塊體基板所無法形成之磊晶膜的厚度，該塊體基板雖然存在有廉價且大直徑的產品，但因熱膨脹係數的差異而無法形成較厚的GaN磊晶膜。

【0020】 進一步，藉由將支撐基板的厚度設為未達1mm，能夠讓以往的矽磊晶晶圓用的CMOS線穿透。例如矽基氮化鎵基板元件中，在因熱膨脹係數差異導致翹曲或破裂的問題中無法使用一般規格厚度的Si基板，而需要藉由貼合等來使用厚度為1mm以上的較厚的基板，無法讓以往的矽的CMOS線穿透，但是本發明則能夠讓CMOS線穿透。

【0021】 因此，能夠藉由低成本且簡易的製程來生產一種差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的GaN厚膜，該GaN厚膜為大直徑，並且無翹曲或龜裂。

【0022】 此時，在前述磊晶步驟中，能夠實施形成島狀的SiN層之形成步驟和以該SiN層作為遮罩來生長GaN層之

E L O 步驟，然後，實施在最外表層的前述 S i N 層或前述 G a N 層上生長 G a N 磊晶膜之生長步驟。

【0023】 藉此，能夠進一步減少 G a N 磊晶膜的差排密度。

【0024】 此時，在前述磊晶步驟中，能夠交替地實施前述形成步驟和前述 E L O 步驟。

【0025】 藉此，與各實施 1 次形成步驟和 E L O 步驟的情況相比，能夠進一步減少 G a N 磊晶層的差排密度。

【0026】 此時，作為前述 S i C 單晶，能夠使用 $0^{\circ} \sim 4^{\circ}$ 的偏角的 S i C 單晶。

【0027】 藉此，能夠以階梯流動模式 (s t e p f l o w m o d e) 生長 III 族氮化物磊晶膜。

【0028】 又，本發明提供一種半導體元件的製造方法，其特徵在於，在藉由上文所記載的 G a N 磊晶膜的製造方法所製得的前述 G a N 磊晶膜上製作元件後，藉由對前述平坦化層進行蝕刻來將前述元件從前述支撐基板分離。

【0029】 根據這樣的半導體元件的製造方法，在磊晶膜上製作了元件，該磊晶膜是藉由低成本且簡易的製程來生產差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的 G a N 厚膜而得，該 G a N 厚膜為大直徑，並且無翹曲或龜裂，因而能夠以低成本製造一種無翹曲或龜裂且為高品質的半導體元件。

【0030】 又，藉由蝕刻位於支撐基板與磊晶膜之間的平坦化層來將絕緣性的支撐基板部分分離，藉此，能夠僅將導電性的 G a N 膜用於半導體元件，即使存在有絕緣性的支撐基板部分，在需要沿縱向方向流動電流之縱向元件中，仍

能夠藉由從基板背面實行通電來簡易地進行元件製作步驟。

[發明的功效]

【0031】 如以上所述，根據本發明的 GaN 磊晶膜的製造方法，能夠藉由低成本且簡易的製程來生產一種差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的 GaN 厚膜，該 GaN 厚膜為大直徑，並且無翹曲或龜裂。

又，根據本發明的半導體元件的製造方法，能夠以低成本製造高品質的半導體元件。

【圖式簡單說明】

【0032】 圖 1 示出形成有藉由本發明的實施形態的 GaN 磊晶膜的製造方法所獲得的 GaN 磊晶膜之磊晶基板。

圖 2 示出 GaN 磊晶膜的製造方法、及使用了所製得的磊晶膜之半導體元件的製造方法的一例。

圖 3 示出使用了本發明的 GaN 磊晶膜之元件。

圖 4 示出使用了本發明的 GaN 磊晶膜之元件。

圖 5 示出實施例 1 的磊晶膜。

圖 6 示出實施例 2 的磊晶膜和半導體元件的製造順序。

圖 7 示出實施例 2 的磊晶膜和半導體元件的製造順序。

圖 8 示出實施例 3 的磊晶膜和半導體元件的製造順序。

圖 9 示出實施例 3 的磊晶膜的剖面照片。

圖 10 示出實施例 4 的磊晶膜和半導體元件的製造順序。

圖 11 示出實施例 5 的磊晶膜和半導體元件的製造順序。

圖 1 2 示出實施例 6 的磊晶膜和半導體元件的製造順序。

圖 1 3 示出比較例 1 的磊晶膜和半導體元件的製造順序。

【實施方式】

【0033】 以下，詳細說明本發明，但是本發明不限定於這些說明。

【0034】 如上所述，需要一種 GaN 磊晶膜的製造方法，其能夠藉由低成本且簡易的製程來生產一種 GaN 厚膜，該 GaN 厚膜為大直徑，並且無翹曲或龜裂，差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下。

【0035】 本發明人針對上述問題反覆專心研究，結果發現一種 GaN 磊晶膜的製造方法，其特徵在於，藉由包含以下步驟來製造差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的前述 GaN 磊晶膜：準備步驟，準備厚度未達 1 mm 的支撐基板，其直徑為 150 mm 以上，並且由氮化物陶瓷所構成的芯被密封層密封；基板製造步驟，在前述支撐基板上依序積層平坦化層和由 SiC 單晶所構成的晶種層，而獲得磊晶生長用基板；及磊晶步驟，在前述磊晶生長用基板上生長厚度為 $7 \mu\text{m}$ 以上的 GaN 磊晶膜；根據該 GaN 磊晶膜的製造方法，能夠藉由低成本且簡易的製程來生產一種差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的 GaN 厚膜，該 GaN 厚膜為大直徑，並且無翹曲或龜裂，從而完成本發明。

【0036】 又，如上所述，需要一種半導體元件的製造方法，其能夠以低成本製造高品質的半導體元件。

【0037】 本發明人針對上述問題反覆專心研究，結果發現一種半導體元件的製造方法，其特徵在於，在藉由上文所記載的GaN磊晶膜的製造方法所製得的前述GaN磊晶膜上製作元件後，藉由對前述平坦化層進行蝕刻來將前述元件從前述支撐基板分離，根據該半導體元件的製造方法，能夠以低成本製造高品質的半導體元件，從而完成本發明。

【0038】 以下，參照圖式來進行說明。

以下，一邊參照圖1～2一邊說明本發明的實施形態的GaN磊晶膜的製造方法。

【0039】 首先，參照圖1來說明藉由本發明的實施形態的GaN磊晶膜的製造方法所獲得的GaN磊晶膜。此處，作為GaN磊晶膜，例示了縱向功率元件(MOS-FET)用的膜。

【0040】 如圖1所示，GaN磊晶膜112形成於磊晶生長用基板109上。磊晶生長用基板109成為GaN磊晶膜112生長的基底，並且亦是用於防止GaN磊晶膜112像翹曲這樣變形之支撐構件。再者，在以下的說明中，將如圖1所示在磊晶生長用基板109上形成GaN磊晶膜112而得者稱為磊晶基板1。

【0041】 磊晶生長用基板109具備支撐基板100、平坦化層105、及晶種層107。圖1中在磊晶生長用基板109上形成有緩衝層111，進一步在緩衝層111上形成有ELO層113。

【0042】 支撐基板100是用於防止GaN磊晶膜112變形之支撐構件，且具備芯101及密封層103。

芯101是構成支撐基板100的基礎之層，例如是AlN等氮化物陶瓷。密封層103是覆蓋芯101的周圍(兩面)來防止雜質擴散之層，例如是SiO₂或SiN，或是該等的混合組成物，較佳是SiN。所覆蓋的厚度例如是200nm左右。

【0043】平坦化層105是使由芯101或密封層103的外形所引起的凹凸平坦化之層。又，平坦化層105亦是在GaN磊晶膜112上形成元件後從磊晶生長用基板109分離時藉由蝕刻予以去除的部分。平坦化層105例如包含氧化矽、氮氧化矽及砷化鋁中的任一種，更具體而言，是氧化矽(SiO₂)。平坦化層105至少設置於要接合晶種層107的一側，亦可設置成包括整個基板或設置於基板兩面。

【0044】晶種層107是成為GaN磊晶膜112生長的基底之層，由SiC單晶所構成。SiC是一種比Si更接近GaN的晶格常數的材料，並且與其他能夠製造高品質GaN磊晶膜的結晶層即GaN和AlN等相比，能夠取得較廉價且大直徑者，因此能夠以簡易的製程形成一種無翹曲或龜裂且差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的GaN磊晶膜。再者，差排密度的下限值並無特別限定，例如能夠設為 $1.0 \times 10^4 / \text{cm}^2$ 以上。

【0045】再者，SiC單晶的晶體結構並無特別限定，能夠例示：6H-SiC、4H-SiC、3C-SiC等。例如，若是用於電子元件，則能夠適當使用4H-SiC；若是用於可見光元件及紫外光元件，則能夠適當使用6H-SiC、4H-SiC。

【0046】 緩衝層 111 是當欲緩和因晶種層 107 與 GaN 磊晶膜 112 之間的晶格常數的差異導致的不匹配或對於 GaN 磊晶膜 112 的應力時根據需要而設置之層，例如能夠使用 AlN 或 AlGaIn。

【0047】 ELO 層 113 是磊晶生長 GaN 磊晶膜 112 時降低差排密度之層，當欲進一步降低差排密度時根據需要而形成。

ELO 層 113 具備 SiN 層 110 及 GaN 層 115。

SiN 層 110 是 GaN 層 115 生長時成為遮罩之島狀的層。GaN 層 115 是從無藉由 SiN 層 110 而得的遮罩的間隙中生長之 GaN 層，且是生長時藉由利用 SiN 層 110 限制生長的方向來使差排的方向彎曲而減少到達 GaN 磊晶膜 112 的差排之層。能夠根據元件用途來適當調整島狀的 SiN 層 110 的密度和尺寸。再者，圖 1 中概念性且示意性地圖示了 SiN 層 110 的特徵，以後的圖中為了方便係以層狀形狀表示 SiN 層 110。

【0048】 此處，GaN 磊晶膜 112 是會形成有半導體元件之單晶層。GaN 磊晶膜 112 的組成不限定於 GaN，包含 InN、AlN 等其他 III 族氮化物及其混晶。GaN 磊晶膜 112 的組成、結構、導電型只要根據要形成的元件來適當選擇即可，可以是多層。圖 1 中例示了 n-GaN 層 118、p-GaN 層 122、及 GaN 層 123 的積層結構。此處，GaN 磊晶膜的厚度需要設為 $7\ \mu\text{m}$ 以上。再者，GaN 磊晶膜的厚度的上限值並無特別限定，例如能夠設為 $50\ \mu\text{m}$ 以下。

以上是 GaN 磊晶膜 112 的說明。

【0049】 繼而，參照圖2來說明Ga₂N磊晶膜112的製造方法、及使用了所製得的Ga₂N磊晶膜112之半導體元件的製造方法的一例。

【0050】 首先，準備圖1所示的厚度未達1mm的支撐基板100，其直徑為150mm以上，並且由氮化物陶瓷所構成的芯101被密封層103密封(圖2的S1：準備步驟)。

此處，支撐基板的直徑需要設為150mm以上。當直徑未達150mm時，Ga₂N磊晶膜112的直徑亦變成未達150mm，因此變得無法大直徑化。再者，支撐基板的直徑的上限值並無特別限定，例如能夠設為500mm以下。

【0051】 又，支撐基板的厚度需要設為未達1mm。當厚度為1mm以上時，磊晶基板1的厚度會變成1mm以上，即使試圖投入以往的矽用的CMOS線等以在Ga₂N磊晶膜112上形成元件，仍過厚而無法使其通過線。再者，支撐基板的厚度的下限值並無特別限定，例如能夠設為0.1mm以上。

【0052】 更佳是支撐基板100的厚度在電子資訊技術產業協會(JEITA)或國際半導體產業協會(SEMI)的Si基板厚度規格內。藉由以這樣的方式進行，能夠確實地讓以往的矽用的CMOS線穿透。

【0053】 繼而，在圖1所示的支撐基板100上依序積層平坦化層105和由SiC單晶所構成的晶種層107，而獲得磊晶生長用基板109(圖2的S2：基板製造步驟)。

【0054】 作為具體的平坦化層105的形成方法，只要在支撐基板100的表面藉由電漿氣相沉積(電漿CVD)法、低壓

化學氣相沉積(LPCVD)法、低壓有機金屬氣相沉積(低壓MOCVD)法等形成SiO₂等的氧化膜，並實行熱穩定化處理後，藉由化學機械研磨(CMP)等公知的研磨方法對表面進行研磨來使其平滑即可。平坦化層105的厚度例如在研磨後為0.05 μm以上且3.0 μm以下。

【0055】 作為晶種層107的形成方法，能夠例示轉印SiC單晶基板的表層之方法。具體而言，首先，從藉由昇華法所製作的SiC單晶基板的C面側實行氫離子佈植，而在事前預先形成分離界面。繼而，將已佈植氫離子的SiC單晶基板的C面側與平坦化層105鍵合。此時，根據需要而藉由實行表面活化處理來消除孔洞。

【0056】 繼而，藉由在將SiC單晶基板與平坦化層105鍵合後的狀態下實行分離熱處理，從而以氫離子佈植層作為起點發生剝離而SiC單晶基板的表層被轉印至平坦化層105上，分離界面作為表面出現，因而實行CMP等表面研磨、或者溼式蝕刻或乾式蝕刻，來去除因剝離而產生的損傷層。

【0057】 再者，作為構成晶種層107的SiC單晶，較佳是使用0°～4°的偏角的SiC單晶。藉此，能夠以階梯流動模式生長要形成於晶種層107上的III族氮化物磊晶膜。根據情況而需要更低偏角時，可從4°偏角基板切割出0°偏角基板來使用。

【0058】 晶種層 107 的厚度例如是 $0.04\ \mu\text{m}$ 以上且 $1.0\ \mu\text{m}$ 以下，是根據要形成於 GaN 磊晶膜 112 上的元件的結構或種類來適當設定。

【0059】 又，晶種層 107 的導電性亦能夠根據要形成於 GaN 磊晶膜 112 上的元件的結構或來選擇導電性或非導電性。可列舉例如：低電阻率 ($20\ \text{m}\Omega\text{cm}$ 左右) 或高電阻率 ($1.0 \times 10^6\ \Omega\text{cm}$ 以上)。

【0060】 例如有以下方法：在需要使元件層部沿縱向方向通電之元件中，電極的形成位置如圖 3 所示，全部形成於相同面側圖 3 之方法；及如圖 4 所示分別形成於上表面和下表面之方法。

【0061】 此處，所謂元件層部是總括了在晶種層 107 之上的部分之稱呼，是指 GaN 磊晶膜 112、或總括了緩衝層 111、ELO 層 113 及 GaN 磊晶膜 112 之部分。

【0062】 在圖 3 所示的元件 200 (MOS-FET) 中，有時在晶種層 107 為導電性且附有磊晶生長用基板 109 的情形下利用元件。此時，使用晶種層 107 來形成汲極，因而為了降低水平方向的電阻，晶種層 107 的厚度較佳是較厚，例如優選為 $300\ \text{nm}$ 以上。又，為了容易進行歐姆接觸，晶種層 107 的電阻率較佳是降低至 $0.01 \sim 0.03\ \Omega\text{cm}$ 左右。

【0063】 另一方面，圖 4 所示的元件 201 (MOS-FET) 是晶種層 107 為高電阻率、半絕緣性、絕緣性之情況，且是在 GaN 磊晶膜 112 上形成元件後僅將元件層部分離來利用元件之情況。此時，由於要去除晶種層 107，因此晶種層 107

較佳是較薄，例如優選為未達300nm。再者，當晶種層107為導電性時，不需要去除晶種層107，因此能夠在元件層部的下方殘留有晶種層107之狀態下利用圖4的電極形成類型來利用元件。

在像射頻(RF)元件這樣不希望電流在其下部流動之元件的情況下，較理想是半絕緣性的晶種層107。

【0064】 繼而，根據需要而在晶種層107上形成緩衝層111(圖2的S3)。緩衝層111的形成方法能夠例示MOCVD法。

【0065】 繼而，根據需要來形成ELO層113。

具體而言，實施形成島狀的SiN層110之形成步驟(圖2的S4)和以SiN層110作為遮罩來生長GaN層115之ELO步驟(圖2的S5)。

藉此，能夠進一步減少GaN磊晶膜的差排密度。

【0066】 再者，可根據需要而交替地實施形成步驟和ELO步驟來形成複數層的SiN層110和GaN層115。藉此，與各實施1次形成步驟和ELO步驟的情況相比，能夠進一步減少GaN磊晶膜112的差排密度。

【0067】 然後，生長GaN磊晶膜112(圖2的S6：生長步驟)。

GaN磊晶膜112在實施了形成步驟和ELO步驟之情況下是形成於最外表層的SiN層110或GaN層115上，在未實施形成步驟和ELO步驟且形成了緩衝層111之情況下是

形成於緩衝層111上。在未實行形成步驟和ELO步驟且亦未形成緩衝層111之情況下是形成於晶種層107上。

【0068】 再者，要實行磊晶生長之晶種層107的表面較佳是容易使磊晶層為平坦的面之Si面，亦可以是C面。又，亦可將S3～S6總括稱為磊晶步驟。

以上是GaN磊晶膜112的製造方法的說明。

【0069】 繼而，說明使用了藉由GaN磊晶膜112的製造方法所製得的GaN磊晶膜112之半導體元件的製造方法。

【0070】 首先，在GaN磊晶膜112上製作希望的元件(圖2的S7)。元件的製作包含藉由離子佈植等來變更導電型、藉由濺鍍等來形成絕緣層或電極。

【0071】 此處，當像圖3所示的元件200這樣即使在GaN磊晶膜112上形成元件後也不會將晶種層107或支撐基板100從GaN磊晶膜112分離時，利用以上步驟完成元件。

【0072】 另一方面，當像圖4所示的元件201這樣即使在GaN磊晶膜112上形成元件後也會將支撐基板100從GaN磊晶膜112分離時，藉由對平坦化層105進行蝕刻來將元件從支撐基板100分離(圖2的S8)。蝕刻劑只要能夠溶解平坦化層105，則無特別限定，當平坦化層105為SiO₂時，能夠例示氫氟酸(HF)溶液。

【0073】 再者，分離時不僅可去除平坦化層105，亦可去除晶種層107和緩衝層111。

以上是半導體元件的製造方法的說明。

又，作為製造對象的半導體元件並無特別限定，可列舉：發光二極體(LED)、雷射二極體(LD)、光電二極體(PD)、高電子遷移率電晶體(HEMT)、場效電晶體(FET)、異質接面雙極電晶體(HBT)等。

[實施例]

【0074】 以下，列舉實施例來具體說明本發明，但該實施例並非限定本發明。

【0075】 <實施例1：縱向元件用的磊晶基板>

首先，依以下順序生長Ga_{0.2}N_{0.8}磊晶膜112，來製造圖5所示的磊晶基板1a。

【0076】 首先，如圖1所示，製作以下之物：以密封層103包圍了作為芯101的氮化物陶瓷基板(AlN)，且至少在要接合晶種層107的一側設置有厚度0.05 μm ~ 3.0 μm的氧化矽作為平坦化層105。

【0077】 繼而，將作為晶種層107的4H-SiC(電阻率20 Ω cm、厚度0.04 μm ~ 1.0 μm、磊晶生長面為偏角0°的Si面)轉印至平坦化層105上。然後，將磊晶生長用基板109投入生長裝置來加熱至生長溫度(1000 ~ 1200 °C)，供給三甲基鋁(TMA)、三甲基鎵(TM₃G)、及NH₃氣體來在晶種層107上形成0.15 μm的作為緩衝層111的Al_{0.2}Ga_{0.8}N層。Al_{0.2}Ga_{0.8}N層中摻雜有1.0 × 10¹⁹ atoms/cm³的作為n型摻雜劑的Si。

【0078】 進一步，中斷供給TMA、TM₃G，並供給SiH₄和NH₃來在緩衝層111上以1 nm的厚度生長島狀的SiN層

110，然後停止供給SiH₄，流通TMG來磊晶生長3.0 μm的GaN層115。然後磊晶生長7 μm的摻雜Si的n-GaN層114，進一步形成0.5 μm的摻雜Mg的p-GaN層119，並在其上形成0.5 μm的GaN層120。再者，眾所周知，摻雜於GaN層中的Mg大多在磊晶生長後立即不活化，此時，為了使其活化作為p型摻雜劑，需要另外熱處理。本實施例中係在常壓氮氣氣氛中於1300℃實行熱處理。即使在之後的實施例中，當記載為摻雜Mg的p-GaN層時，亦應當理解為實施了相同的處理。利用以上步驟製作了磊晶基板1a。

【0079】 繼而，使用日立公司製造的電子顯微鏡SU-70半導體反射電子檢測器(PDBSE)，利用5kV的加速電壓，在20 μm×20 μm的範圍內對磊晶基板1a的表面附近的差排密度進行評估。其結果，差排密度為 $7.5 \times 10^5 \text{ cm}^{-2}$ ，製造出了生長有高品質的GaN磊晶膜之縱向元件用的磊晶基板1a。再者，在III族氮化物磊晶生長層中，差排隨著生長而消失，因此即使在生長初期的下層部(就本實施例而言為GaN層115或n-GaN層114的底部)中差排密度超過 $1.0 \times 10^6 / \text{cm}^2$ ，其上層中差排密度亦會急遽減少。因此，若是本發明的生長有7 μm以上的GaN磊晶膜之磊晶基板，則能夠藉由對所製作的磊晶基板的表面附近進行評估，來確保元件性能所需的品質。

【0080】 <實施例2：MOS-FET>

首先，依以下順序生長GaN磊晶膜112，來製造圖6(a)所示的磊晶基板1b。

【0081】 首先，與實施例1同樣地製作以下之物：以密封層103包圍了作為芯101的氮化物陶瓷基板(AlN)，且至少在要接合晶種層107的一側設置有厚度 $0.05\ \mu\text{m} \sim 3.0\ \mu\text{m}$ 的氧化矽作為平坦化層105。

【0082】 繼而，將作為晶種層107的4H-SiC(電阻率 $20\ \Omega\text{cm}$ 、厚度 $0.04\ \mu\text{m} \sim 1.0\ \mu\text{m}$ 、磊晶生長面為偏角 0° 的Si面)轉印至平坦化層105上，與實施例1同樣地在晶種層107上形成 $0.15\ \mu\text{m}$ 的作為緩衝層111的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層。 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層中摻雜有 $1.0 \times 10^{19}\text{ atoms/cm}^3$ 的Si。

【0083】 繼而，與實施例1同樣地在緩衝層111上生長厚度 1 nm 、島狀的SiN層110，然後磊晶生長 $2.0\ \mu\text{m}$ 的Ga_{0.8}N層115，並在其上生長 1 nm 島狀的SiN層110，進一步，磊晶生長 $1.0\ \mu\text{m}$ 的Ga_{0.8}N層115。

也就是，與第一實施形態相比，增加ELO層113的積層次數。

【0084】 然後，磊晶生長 $7\ \mu\text{m}$ 的摻雜Si的n-GaN層114，生長 $0.5\ \mu\text{m}$ 的摻雜Mg的p-GaN層119，並在其上生長 $0.5\ \mu\text{m}$ 的Ga_{0.8}N層120。利用以上步驟製造了磊晶基板1b。

【0085】 與實施例1同樣地測定了磊晶基板1b的表面附近的差排密度，結果為 $6.0 \times 10^5\text{ cm}^{-2}$ ，製造出了生長有高品質的Ga_{0.8}N磊晶膜之縱向元件用的磊晶基板1b。

【0086】 繼而，藉由以下的元件製程對該縱向元件用的磊晶基板 1 b 進行加工，而製作縱向功率元件 (M O S - F E T)。首先，如圖 6 (b) 所示，藉由光微影術在最外表面形成規定的圖案形狀的遮罩 3 0 1，將 n^+ 層 3 0 3 離子佈植於遮罩 3 0 1 的開口部中，而在最外表面的 G a N 層 1 2 0 形成 n^+ 層 3 0 3。

【0087】 進一步，如圖 6 (c) 所示，藉由光微影術來形成以 n^+ 層 3 0 3 成為中心的方式形成有開口部之遮罩 3 0 1，並實行乾式蝕刻至 n - G a N 層 1 1 4 為止。

【0088】 繼而，如圖 6 (d) 所示，藉由光微影術來在前述經乾式蝕刻後的部分形成遮罩 3 0 1，藉由濺鍍形成 S i N 膜 3 0 5。然後，去除遮罩 3 0 1，如圖 6 (e) 所示，藉由濺鍍形成 S i O₂ 膜 3 0 7。

【0089】 繼而，如圖 6 (f) 所示，藉由光微影術來形成遮罩 3 0 1 後，藉由乾式蝕刻對 S i O₂ 膜 3 0 7 的中心進行蝕刻。然後，去除遮罩 3 0 1，如圖 7 (a) 所示，藉由光微影術來形成閘極用的遮罩 3 0 1。

【0090】 進一步，如圖 7 (b) 所示，濺鍍閘極 3 0 9，並去除遮罩 3 0 1。繼而，如圖 7 (c) 所示，藉由光微影術形成遮罩 3 0 1，藉由濺鍍形成 S i O₂ 膜 3 1 1 來用於閘極 3 0 9 的絕緣。進一步，如圖 7 (d) 所示，去除遮罩 3 0 1 後，濺鍍源極 3 1 3。

【0091】 繼而，如圖 7 (e) 所示，藉由光微影術來形成器件分離用的遮罩 3 0 1 後，藉由乾式蝕刻來進行蝕刻至作為平坦化層 1 0 5 的 S i O₂ 層為止。再者，在圖 7 (e) 中，為了簡化圖示，將晶種層 1 0 7 的上側的層總括記載為元件層部 3 1 5。

【0092】 繼而，如圖7(f)所示，去除遮罩301，將暫時支撐基板317黏接於元件層部315上，並浸泡於HF溶液中。藉此，使作為平坦化層105的SiO₂層溶解，而將元件層部315與平坦化層105的下方部分分離。

【0093】 然後，如圖7(g)所示，對分離後的元件層部315側的晶種層107濺鍍汲極316，在氮氣氣氛中進行快速熱退火(Rapid Thermal Anneal, RTA)處理來形成歐姆電極後，對其表面濺鍍Au320。在之後的實施例中，當為了進行電極的歐姆接觸而需要熱處理時，視為在通常已知的條件下實行，並省略記載。進一步，如圖7(h)所示，與預先準備的對導電性基板321的表面濺鍍Au320而成之基板進行金屬接合。又，如圖7(i)所示，逐一拾取經分離後的元件層部315側的晶片，並藉由焊接來黏接於形成有電子電路之基板323上。藉此，能夠形成作為半導體元件的縱向功率元件(MOS-FET)。

【0094】 <實施例3：肖特基能障二極體(SBD)>

首先，依以下順序生長HVPE-GaN磊晶膜401作為GaN磊晶膜112，而製造圖8(a)所示的磊晶基板1c。

【0095】 首先，與實施例1同樣地製作以下之物：以密封層103包圍了作為芯101的氮化物陶瓷基板(AlN)，且至少在要接合晶種層107的一側設置有厚度0.05 μm ~ 3.0 μm的氧化矽作為平坦化層105。

【0096】 繼而，將作為晶種層107的4H-SiC(電阻率20 Ωcm、厚度0.04 μm ~ 1.0 μm、磊晶生長面為偏角0°的Si

面)轉印至平坦化層105上，在晶種層107上與實施例1同樣地形成 $0.15\text{ }\mu\text{m}$ 的作為緩衝層111的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層。 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層中摻雜有 $1.0\times 10^{19}\text{ atoms/cm}^3$ 的Si。

【0097】 繼而，與實施例1同樣地在緩衝層111上生長厚度 1 nm 、島狀的SiN層110，然後磊晶生長 $3.4\text{ }\mu\text{m}$ 的GaN層115。然後生長厚度 1 nm 、島狀的SiN層110，進一步，磊晶生長 $2.1\text{ }\mu\text{m}$ 的GaN層115。

【0098】 然後藉由氫化物氣相磊晶術(Hydride Vapor Phase Epitaxy, HVPE)來進一步磊晶生長 $19\text{ }\mu\text{m}$ 的HVPE-GaN磊晶膜401。利用以上步驟製作了磊晶基板1c。

【0099】 與實施例1同樣地測定了HVPE-GaN磊晶膜401表面附近的差排密度，結果為 $3.0\times 10^5\text{ cm}^{-2}$ ，製造出了生長有高品質的GaN磊晶膜之縱向元件用的磊晶基板1c。

【0100】 又，以電子顯微鏡觀察了縱向元件用的磊晶基板1c的剖面，結果如圖9所示，確認到平坦化層105(SiO_2)、晶種層107(SiC)、緩衝層111、SiN層110、HVPE-GaN磊晶膜401的生長。

【0101】 具體而言，圖9(a)所示的掃描式電子顯微鏡(SEM)圖像中觀察到厚度為約 $24.7\text{ }\mu\text{m}$ 的層。此與緩衝層111(厚度 $0.15\text{ }\mu\text{m}$)、GaN層115(厚度 $3.4\text{ }\mu\text{m}+2.1\text{ }\mu\text{m}$)及HVPE-GaN磊晶膜401($19\text{ }\mu\text{m}$)的厚度的合計量相同程度，可知這些層的合計量為目標的厚度。

【0102】 又，如圖 9 (b)(c) 所示，當放大厚度約 $24.7 \mu\text{m}$ 的層時，觀察到厚度 $3.4 \mu\text{m}$ 的層，此與 GaN 層 115 的第一層的厚度相同，因此可知 GaN 層 115 亦為目標的厚度。

【0103】 又，在圖 9 (d)(e) 所示的穿透式電子顯微鏡 (TEM) 圖像中，能夠確認到依序積層有平坦化層 105 (SiO_2)、晶種層 107 (SiC)、緩衝層 111 ($\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$)、SiN 層 110。

【0104】 繼而，藉由以下的元件製程對該縱向元件用的磊晶基板 1c 進行加工，而製作縱向功率元件 (SBD)。

首先，如圖 8 (b) 所示，藉由光微影術來製作肖特基電極用的遮罩 501，藉由濺鍍形成肖特基電極 503。

【0105】 然後，如圖 8 (c) 所示，藉由光微影術來形成遮罩 501 後，藉由乾式蝕刻來進行蝕刻至作為平坦化層 105 的 SiO_2 為止。繼而，如圖 8 (d) 所示，將暫時支撐基板 504 接合於肖特基電極 503 側，並浸泡於 HF 溶液 319 中，來溶解作為平坦化層 105 的 SiO_2 ，將平坦化層 105 的上部 (元件層部) 與下部分離，使元件層部側露出作為晶種層 107 的 SiC 。

【0106】 進一步，如圖 8 (e) 所示，在晶種層 107 的表面形成汲極 505，進一步，如圖 8 (f) 所示，形成 Au 507。進一步，與預先準備的在導電性基板 321 上附加 Au 507 而成者實行金屬接合。又，如圖 8 (g) 所示，逐一拾取經分離後的晶片，並藉由焊接來黏接在形成有電子電路之基板 322 上。藉此，能夠形成作為半導體元件的縱向功率元件 (SBD)。

【0107】 < 實施例 4：縱向發光器件 >

首先，依以下順序生長 GaN 磊晶膜 112，來製造圖 10(a) 所示的磊晶基板 1d。

【0108】 首先，與實施例 1 同樣地製作以下之物：以密封層 103 包圍了作為芯 101 的氮化物陶瓷基板 (AlN)，且至少要在要接合晶種層 107 的一側設置有厚度 $0.05\ \mu\text{m} \sim 3.0\ \mu\text{m}$ 的氧化矽作為平坦化層 105。

【0109】 繼而，將作為晶種層 107 的 6H-SiC (電阻率 $20\ \Omega\text{cm}$ 、厚度 $0.04\ \mu\text{m} \sim 1.0\ \mu\text{m}$ 、磊晶生長面為偏角 0° 的 Si 面) 轉印至平坦化層 105 上，在晶種層 107 上與實施例 1 同樣地形成 $0.15\ \mu\text{m}$ 的作為緩衝層 111 的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層。 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層中摻雜有 $1.0 \times 10^{19}\ \text{atoms/cm}^3$ 的 Si。

【0110】 繼而，與實施例 1 同樣地在緩衝層 111 上生長 $1\ \text{nm}$ 、島狀的 SiN 層 110，然後磊晶生長 $3.0\ \mu\text{m}$ 的 GaN 層 115，並在其上生長厚度 $1\ \text{nm}$ 、島狀的 SiN 層 110，進一步，磊晶生長 $4.0\ \mu\text{m}$ 的 GaN 磊晶膜 112。

【0111】 進一步，生長作為發光二極體的活性層的 6 對多重量子井 (MQW) ($\text{InGaN} : 2.3\ \text{nm} / \text{GaN} : 11\ \text{nm}$)。

在其上生長 $200\ \text{nm}$ 的摻雜有 Mg 之 GaN 層。

利用以上步驟製造出了縱向發光器件用的磊晶基板 1d。

【0112】 與實施例 1 同樣地測定了磊晶基板 1d 的表面附近的差排密度，結果為 $9.0 \times 10^5\ \text{cm}^{-2}$ ，製造出了生長有高品質的 GaN 磊晶膜 112 之縱向元件用的磊晶基板 1d。

【0113】 繼而，藉由以下的元件製程對該縱向元件用的磊晶基板1d進行加工，而製作縱向發光器件。

首先，如圖10(b)所示，藉由光微影術來在縱向元件用的磊晶基板1c的最外表面形成遮罩601後，藉由濺鍍形成p電極603。然後，如圖10(c)所示，藉由光微影術形成遮罩601來保護p電極603，並且形成用於器件分離的遮罩601。

【0114】 繼而，如圖10(d)所示，藉由乾式蝕刻來實行蝕刻至作為平坦化層105的 SiO_2 為止。進一步，如圖10(e)所示，將暫時支撐基板605安裝於p電極603側，並浸泡於HF溶液319中來溶解平坦化層105，將元件層部與平坦化層105的下部分離。

【0115】 繼而，如圖10(f)所示，在露出於分離後的元件層部側的晶種層107上藉由濺鍍形成n電極607。進一步，如圖10(g)所示，對表面濺鍍Au，與預先準備的在導電性基板321的表面形成Au而成者進行金屬接合，實行燒結處理。又，如圖10(f)所示，逐一拾取晶片，並藉由焊接來黏接在形成有電子電路之基板322上。藉此，能夠形成作為半導體元件的縱向發光器件。

【0116】 <實施例5：橫向功率元件>

首先，依以下順序生長GaN磊晶膜112，來製造圖11(a)所示的橫向功率元件用的磊晶基板1e。

【0117】 首先，與實施例1同樣地製作以下之物：以密封層103包圍了作為芯101的氮化物陶瓷基板(A1N)，且至少

在要接合晶種層 107 的一側設置有厚度 $0.05\ \mu\text{m} \sim 3.0\ \mu\text{m}$ 的氧化矽作為平坦化層 105。

【0118】 繼而，將作為晶種層 107 的 4H-SiC (電阻率 $1.0 \times 10^6\ \Omega\text{cm}$ 以上、厚度 $0.04\ \mu\text{m} \sim 1.0\ \mu\text{m}$ 、磊晶生長面為偏角 0° 的 Si 面) 轉印至平坦化層 105 上，在晶種層 107 上與實施例 1 同樣地形成 $0.15\ \mu\text{m}$ 的作為緩衝層 111 的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層。

【0119】 繼而，與實施例 1 同樣地在緩衝層 111 上以 1nm 的厚度生長島狀的 SiN 層 110，然後磊晶生長 $3.4\ \mu\text{m}$ 的 GaN 層 115，並在其上生長 1nm 、島狀的 SiN 層 110，進一步，以 $4.0\ \mu\text{m}$ 的厚度磊晶生長 GaN 磊晶膜 112。

【0120】 在其上以 25nm 的厚度磊晶生長作為障壁層的 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 層 701，進一步以 3nm 的厚度生長藉由摻雜 Mg 而得的 p-GaN 層 703。利用以上步驟製造出了橫向功率元件用的磊晶基板 1e。

【0121】 與實施例 1 同樣地測定了磊晶基板 1e 的表面附近的差排密度，結果為 $9.0 \times 10^5\text{cm}^{-2}$ ，製造出了生長有高品質的 GaN 磊晶膜 112 之橫向功率元件用的磊晶基板 1e。

【0122】 繼而，藉由以下的元件製程對該橫向功率元件用的磊晶基板 1e 進行加工，而製作橫向功率元件。

首先，如圖 11(b) 所示，藉由光微影術來形成形成 S (源) 極、D (汲) 極的遮罩 705，藉由乾式蝕刻來進行 4nm 蝕刻至 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 層 701 上部為止。

【0123】 繼而，藉由濺鍍來形成S電極707及D電極709。進一步，如圖11(c)所示，藉由光微影術來形成用於形成G(閘)極的遮罩705，濺鍍G電極711，並進行燒結處理。

【0124】 繼而，藉由光微影術來形成器件分離用的遮罩705，如圖11(d)所示，藉由乾式蝕刻來實行蝕刻至平坦化層105為止。進一步，如圖11(e)所示，接合暫時支撐基板713，並浸泡於HF溶液319中，來溶解作為平坦化層105的SiO₂，將元件層部與平坦化層105的下部分離。

【0125】 繼而，如圖11(f)所示，在由暫時支撐基板713支撐元件層部的元件之狀態下，利用Au的薄膜715覆蓋露出的晶種層107，並與經以Au的薄膜715進行覆蓋後的散熱性基板717進行金屬接合。

【0126】 又，如圖11(h)所示，逐一拾取晶片，並將晶片安裝於形成有電子電路之基板322的指定的位置。藉此，能夠形成作為半導體元件的橫向功率元件。

【0127】 <實施例6：橫向發光器件>

首先，依以下順序生長GaN磊晶膜112，來製造圖12(a)所示的橫向發光器件用的磊晶基板1f。

【0128】 首先，與實施例1同樣地製作以下之物：以密封層103包圍了作為芯101的氮化物陶瓷基板(AlN)，且至少在要接合晶種層107的一側設置有厚度0.05 μm ~ 3.0 μm的氧化矽作為平坦化層105。

【0129】 繼而，將作為晶種層107的6H-SiC(電阻率20 Ωcm、厚度0.04 μm ~ 1.0 μm、磊晶生長面為偏角0°的Si

面)轉印至平坦化層105的表層，在晶種層107上與實施例1同樣地形成 $0.15\text{ }\mu\text{m}$ 的作為緩衝層111的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層。 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層中摻雜有 $1.0\times 10^{19}\text{ atoms/cm}^3$ 的Si。

【0130】 繼而，與實施例1同樣地在緩衝層111上以 1 nm 的厚度生長島狀的SiN層110，然後以 $3\text{ }\mu\text{m}$ 的厚度磊晶生長Ga_{0.2}N層115，並在其上以 1 nm 的厚度生長島狀的SiN層110，進一步，以 $4\text{ }\mu\text{m}$ 的厚度磊晶生長Ga_{0.2}N磊晶膜112。

【0131】 繼而，生長作為發光二極體的活性層的6對MQW(InGa_{0.2}N： 2.3 nm /Ga_{0.8}N： 11 nm)，並生長 200 nm 的摻雜有Mg之Ga_{0.2}N層801。利用以上步驟製造了橫向發光器件用的磊晶基板1f。

【0132】 與實施例1同樣地測定了磊晶基板1f的表面附近的差排密度，結果為 $9.0\times 10^5\text{ cm}^{-2}$ ，製造出了生長有高品質的Ga_{0.2}N磊晶膜112之橫向發光器件用的磊晶基板1f。

【0133】 繼而，藉由以下的元件製程對該橫向發光器件用的磊晶基板1f進行加工，而製作橫向發光器件。

首先，如圖12(a)所示，藉由光微影術來形成遮罩901，藉由濺鍍來形成p電極903。

【0134】 繼而，如圖12(b)所示，藉由光微影術來形成遮罩901以形成n電極，藉由乾式蝕刻來對n電極形成部分和器件分離的部分同時進行乾式蝕刻至 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 的緩衝層111的上部為止。

【0135】 然後，如圖12(c)所示，藉由光微影術形成遮罩901，來形成n電極904，然後實行用於形成歐姆電極的燒結。然後，如圖12(d)所示，藉由光微影術來形成遮罩901以進行器件分離，對緩衝層111($\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$)和晶種層107(SiC)進行乾式蝕刻，來使作為平坦化層105的 SiO_2 露出。

【0136】 繼而，如圖12(e)所示，接合暫時支撐基板906，並浸泡於HF溶液319中，來溶解作為平坦化層105的 SiO_2 ，經元件層部與平坦化層105的下部分離，而在露出於元件層部側的晶種層107上形成Au的薄膜905(圖12(f))。

【0137】 繼而，如圖12(g)所示，與經以Au的薄膜905進行覆蓋後的散熱性基板717進行金屬接合。又，如圖12(h)所示，逐一拾取晶片，並將晶片安裝於形成有電子電路之基板322的指定的位置安裝晶片。藉此，能夠形成作為半導體元件的橫向發光器件。

【0138】 <實施例7：縱向元件用的磊晶基板>

除了未形成實施例1中的SiN層110和在其上的Ga₂N層115，與實施例1同樣地製作磊晶基板。與實施例1同樣地測定了Ga₂N層120的差排密度，結果為 $1 \times 10^6 \text{ cm}^{-2}$ ，獲得了差排密度為比實施例1更高之 $1 \times 10^6 \text{ cm}^{-2}$ 以下的高品質的磊晶基板。

【0139】 <比較例1>

依以下順序生長 GaN 磊晶膜 112，來製造圖 13 所示的磊晶基板 2。

【0140】 首先，與實施例 1 同樣地製作以下之物：以密封層 103 包圍了作為芯 101 的氮化物陶瓷基板 (AlN)，且至少在要接合晶種層 107 的一側設置有厚度 $0.05\ \mu\text{m} \sim 3.0\ \mu\text{m}$ 的氧化矽作為平坦化層 105。

【0141】 繼而，作為晶種層 107 並非 SiC，而是將 Si (電阻率 $20\ \Omega\text{cm}$ 、厚度 $0.04\ \mu\text{m} \sim 1.0\ \mu\text{m}$ 、偏角 0°) 轉印至平坦化層 105 上，在晶種層 107 上與實施例 1 同樣地形成厚度 $0.15\ \mu\text{m}$ 的作為緩衝層 111 的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層。 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層中摻雜有 $1.0 \times 10^{19}\ \text{atoms/cm}^3$ 的 Si。然後，與實施例 1 同樣地磊晶生長厚度 $7\ \mu\text{m}$ 的 GaN 層 907。

【0142】 與實施例 1 同樣地測定了 GaN 層 907 的表面附近的差排密度，結果為 $2 \times 10^8\ \text{cm}^{-2}$ ，比實施例更高。然後藉由 HVPE 來進一步磊晶生長 $19\ \mu\text{m}$ 的 GaN 層 909，而製造縱向元件用的磊晶基板。進一步，與實施例 1 同樣地測定了 GaN 層 907 的表面附近的差排密度，結果為 $9 \times 10^6\ \text{cm}^{-2}$ ，比實施例更高。

【0143】 本說明書包括以下態樣。

[1]：一種 GaN 磊晶膜的製造方法，其特徵在於，藉由包含以下步驟來製造差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的前述 GaN 磊晶膜：

準備步驟，準備厚度未達 1 mm 的支撐基板，其直徑為 150 mm 以上，並且由氮化物陶瓷所構成的芯被密封層密封；

基板製造步驟，在前述支撐基板上依序積層平坦化層和由 SiC 單晶所構成的晶種層，而獲得磊晶生長用基板；及

磊晶步驟，在前述磊晶生長用基板上生長厚度為 7 μ m 以上的 GaN 磊晶膜。

[2]：如上述[1]所述之 GaN 磊晶膜的製造方法，其中，在前述磊晶步驟中，

實施形成島狀的 SiN 層之形成步驟和以該 SiN 層作為遮罩來生長 GaN 層之 ELO 步驟，然後，實施在最外表層的前述 SiN 層或前述 GaN 層上生長 GaN 磊晶膜之生長步驟。

[3]：如上述[2]所述之 GaN 磊晶膜的製造方法，其中，在前述磊晶步驟中，

交替地實施前述形成步驟和前述 ELO 步驟。

[4]：如上述[1]～上述[3]中任一項所述之 GaN 磊晶膜的製造方法，其中，作為前述 SiC 單晶，使用 0°～4° 的偏角的 SiC 單晶。

[5]：一種半導體元件的製造方法，其特徵在於，在藉由上述[1]～上述[4]中任一項所述之 GaN 磊晶膜的製造方法所製得的前述 GaN 磊晶膜上製作元件後，藉由對前述平坦化層進行蝕刻來將前述元件從前述支撐基板分離。

【0144】 再者，本發明並不限定於上述實施形態。上述實施形態為例示，任何具有實質上與本發明的申請專利範圍所記載的技術思想相同的構成且發揮相同功效者，皆包含在本發明的技術範圍內。

【符號說明】

【0145】

1, 1 a, 1 b, 1 c, 1 d, 1 e, 1 f: 磊晶基板

1 0 0: 支撐基板

1 0 1: 芯

1 0 3: 密封層

1 0 5: 平坦化層

1 0 7: 晶種層

1 0 9: 磊晶生長用基板

1 1 0, 3 0 5: S i N 層

1 1 1: 緩衝層

1 1 2: G a N 磊晶膜

1 1 3: E L O 層

1 1 5, 1 2 0, 1 2 3, 9 0 7: G a N 層

1 1 8: n - G a N 層

1 1 9, 1 2 2: p - G a N 層

2 0 0, 2 0 1: 元件 (M O S - F E T)

3 0 1, 5 0 1, 6 0 1, 7 0 5, 9 0 1: 遮罩

3 0 3: n ⁺ 層

3 0 7 , 3 1 1 : S i O ₂ 膜

3 0 9 , 7 1 1 : 閘 極

3 1 3 , 7 0 7 : 源 極

3 1 5 : 元 件 層 部

3 1 6 , 5 0 5 , 7 0 9 : 汲 極

3 1 7 , 5 0 4 , 6 0 5 , 7 1 3 , 9 0 6 : 暫 時 支 撐 基 板

3 1 9 : H F 溶 液

3 2 0 , 5 0 7 : A u

3 2 1 : 導 電 性 基 板

3 2 2 , 3 2 3 : 形 成 有 電 子 電 路 之 基 板

5 0 3 : 肖 特 基 電 極

6 0 3 , 9 0 3 : p 電 極

6 0 7 , 9 0 4 : n 電 極

7 1 5 , 9 0 5 : A u 的 薄 膜

7 1 7 : 散 熱 性 基 板

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項1】 一種 GaN 磊晶膜的製造方法，其特徵在於，藉由包含以下步驟來製造差排密度為 $1.0 \times 10^6 / \text{cm}^2$ 以下的前述 GaN 磊晶膜：

準備步驟，準備厚度未達 1 mm 的支撐基板，其直徑為 150 mm 以上，並且由氮化物陶瓷所構成的芯被密封層密封；

基板製造步驟，在前述支撐基板上依序積層平坦化層和由 SiC 單晶所構成的晶種層，而獲得磊晶生長用基板；及

磊晶步驟，在前述磊晶生長用基板上生長厚度為 $7 \mu\text{m}$ 以上的 GaN 磊晶膜。

【請求項2】 如請求項1所述之 GaN 磊晶膜的製造方法，其中，在前述磊晶步驟中，實施形成島狀的 SiN 層之形成步驟和以該 SiN 層作為遮罩來生長 GaN 層之 ELO 步驟，然後，實施在最外表層的前述 SiN 層或前述 GaN 層上生長 GaN 磊晶膜之生長步驟。

【請求項3】 如請求項2所述之 GaN 磊晶膜的製造方法，其中，在前述磊晶步驟中，交替地實施前述形成步驟和前述 ELO 步驟。

【請求項4】 如請求項1所述之 GaN 磊晶膜的製造方法，其中，作為前述 SiC 單晶，使用 $0^\circ \sim 4^\circ$ 的偏角的 SiC 單晶。

【請求項5】 一種半導體元件的製造方法，其特徵在於，

第1頁(發明申請專利範圍)

在藉由請求項 1 ~ 4 中任一項所述之 GaN 磊晶膜的製造方法所製得的前述 GaN 磊晶膜上製作元件後，藉由對前述平坦化層進行蝕刻來將前述元件從前述支撐基板分離。

【發明圖式】

圖1

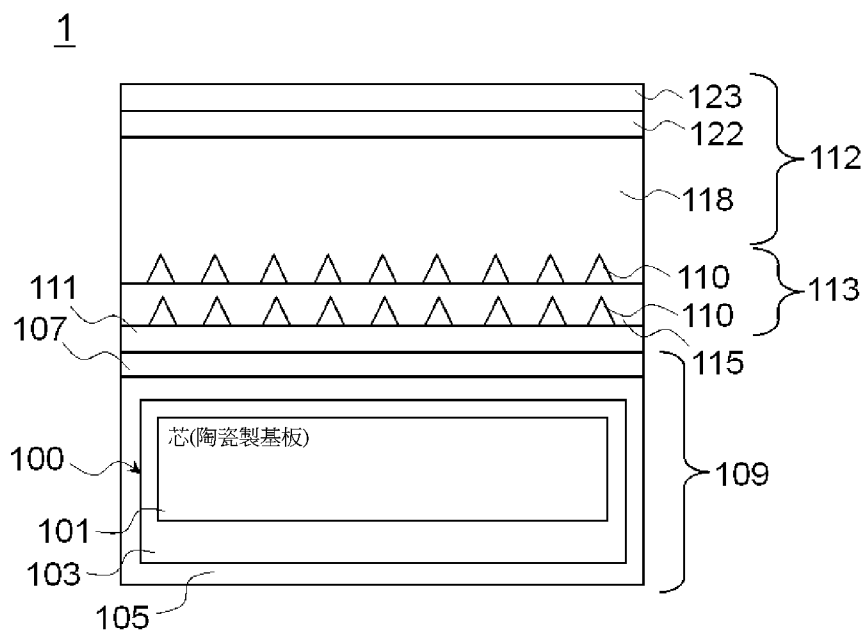


圖2

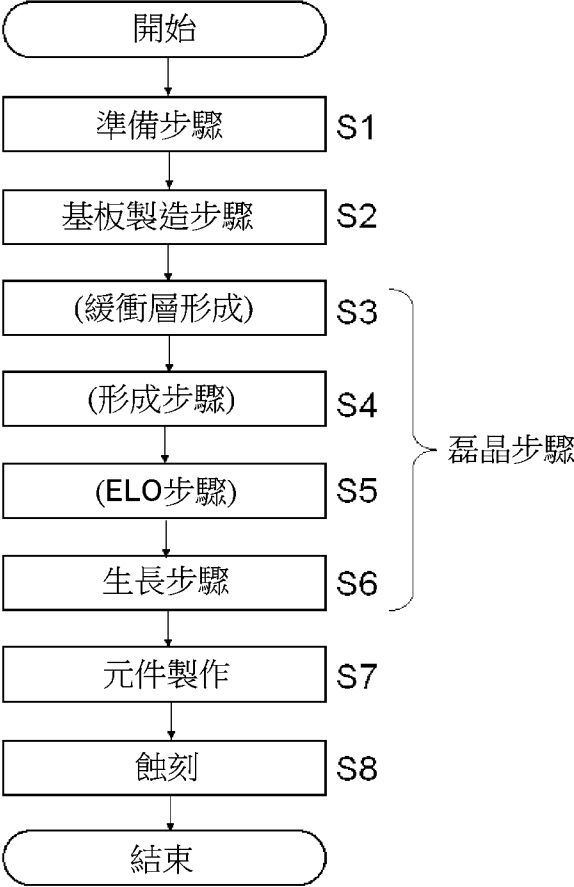


圖3

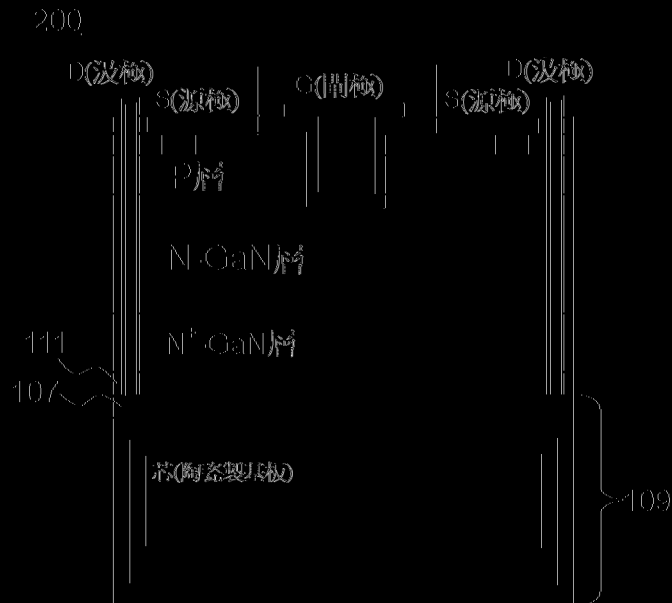


圖4

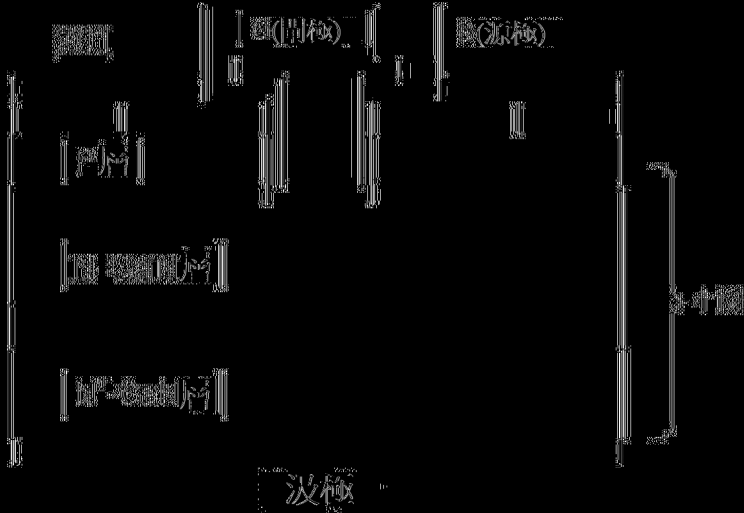


圖5

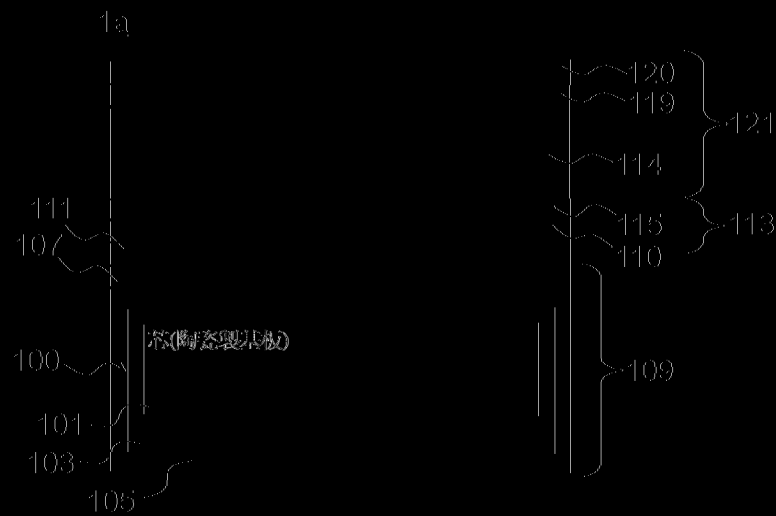


圖6

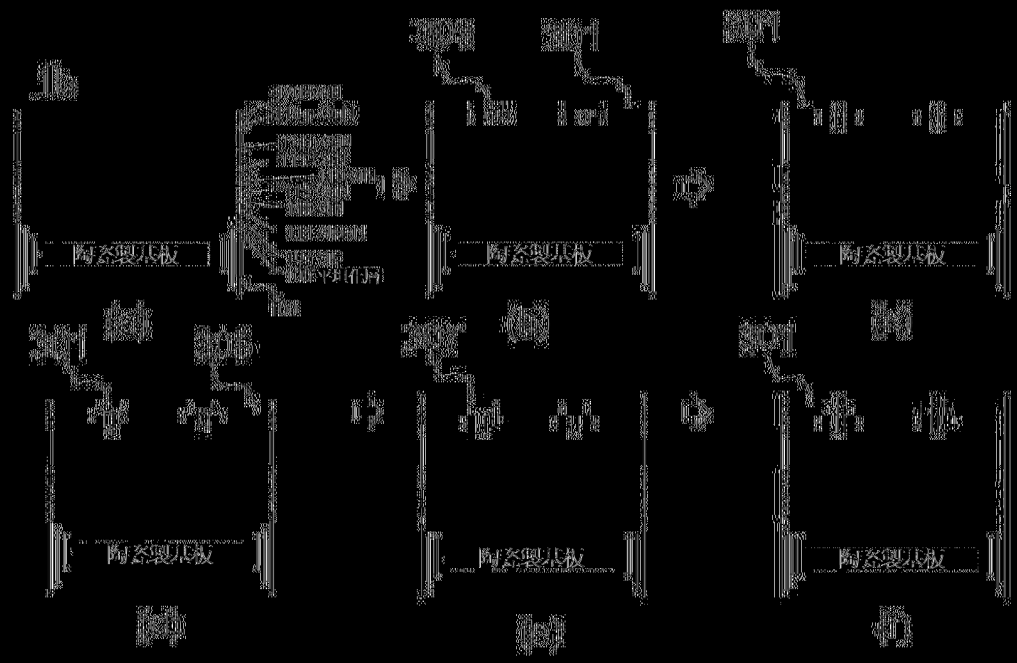


圖7

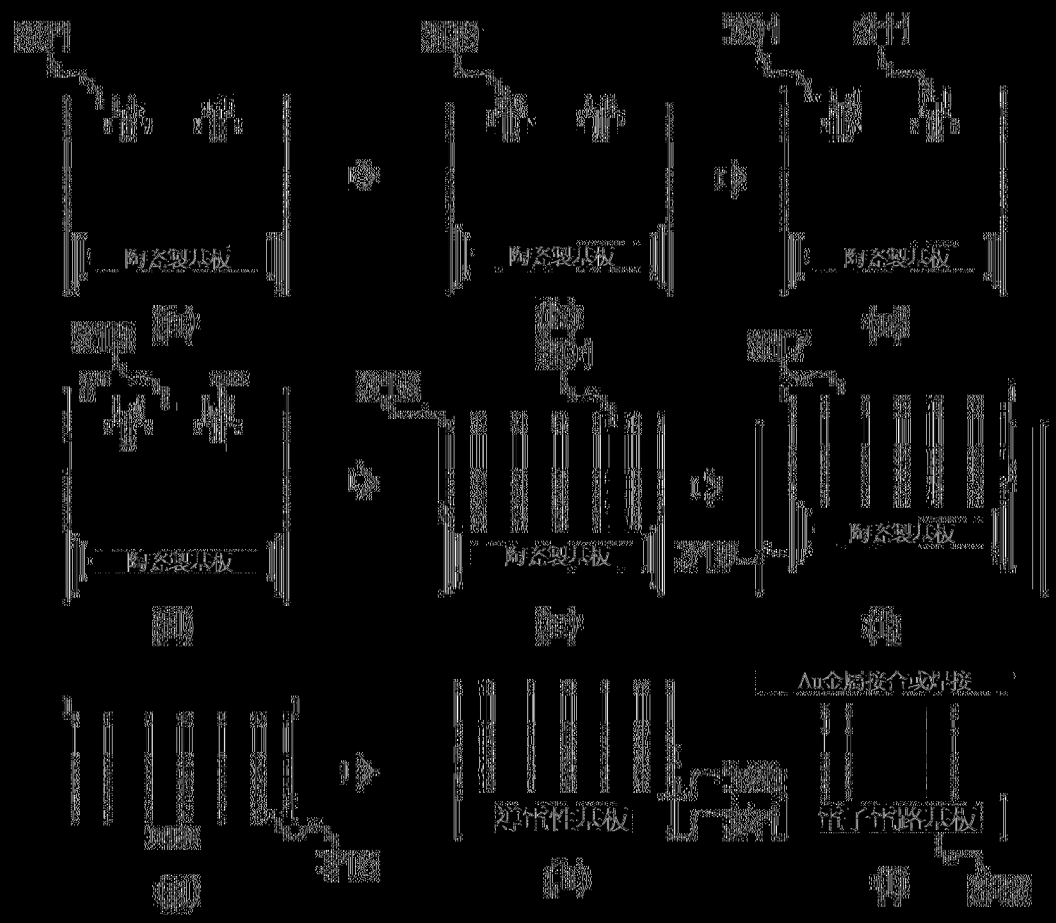


圖8

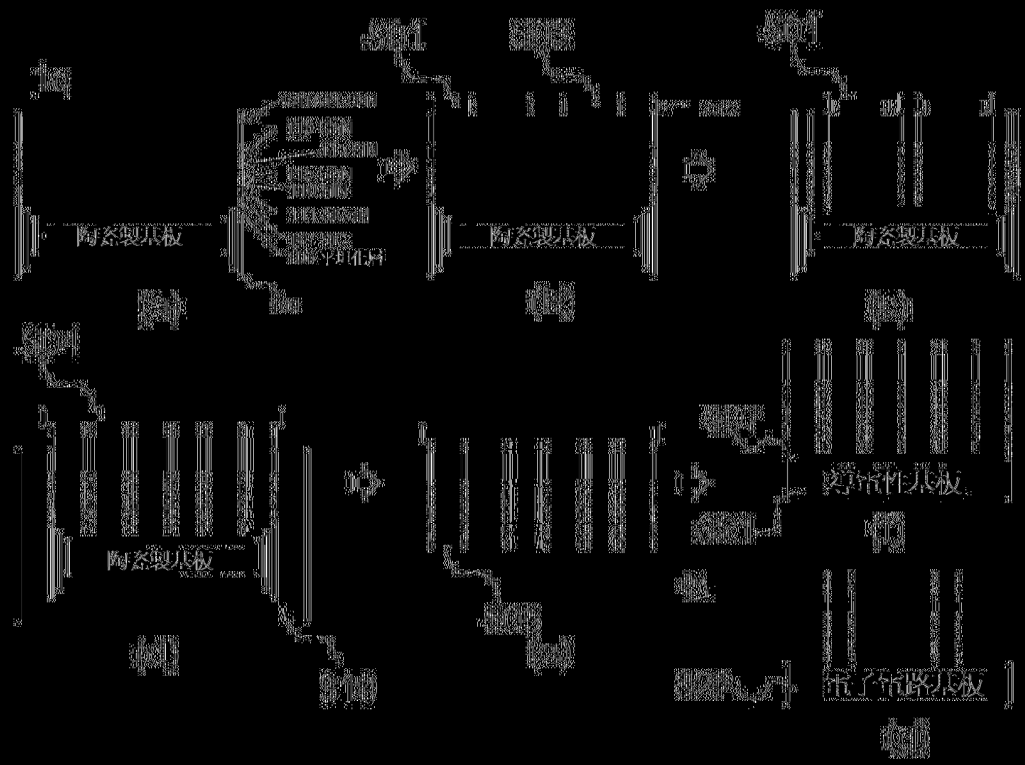


圖9

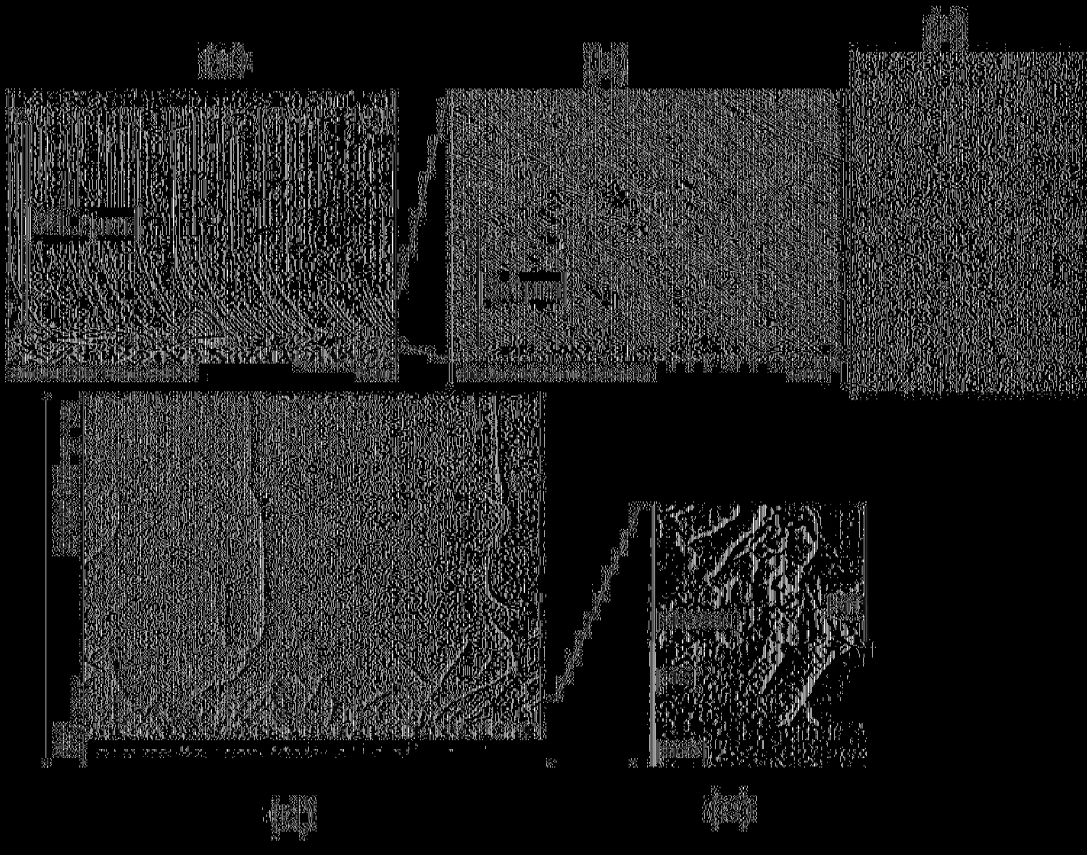


圖10

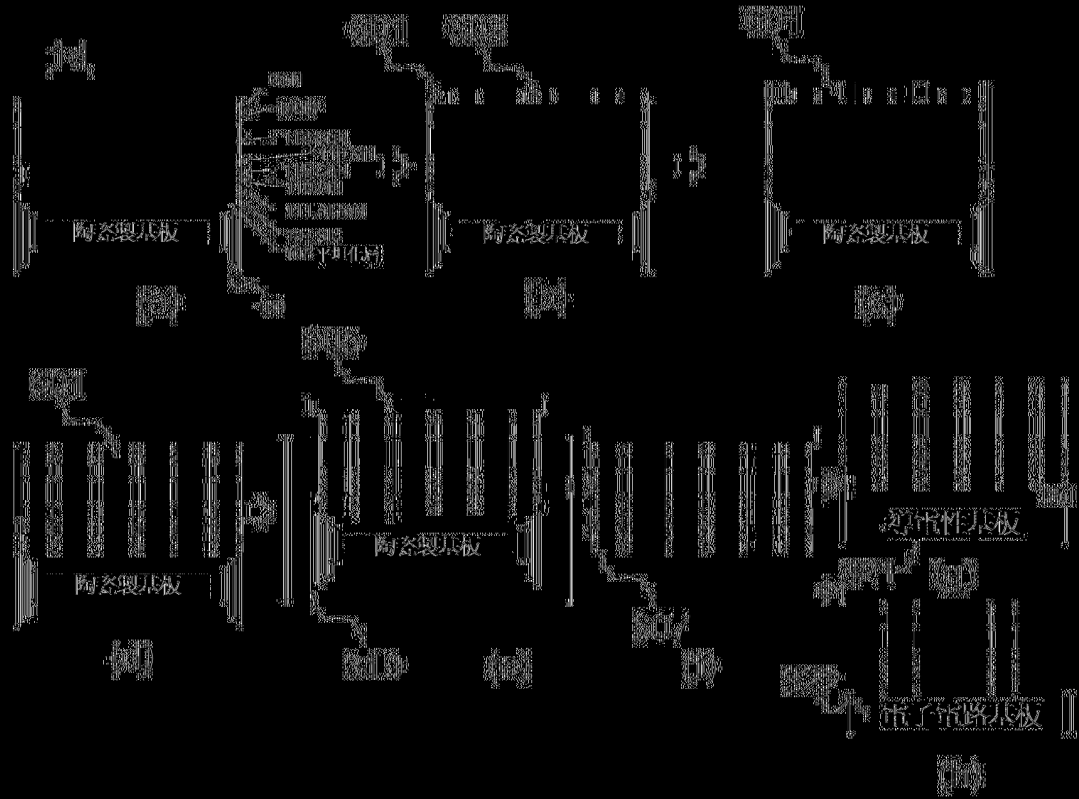


圖11

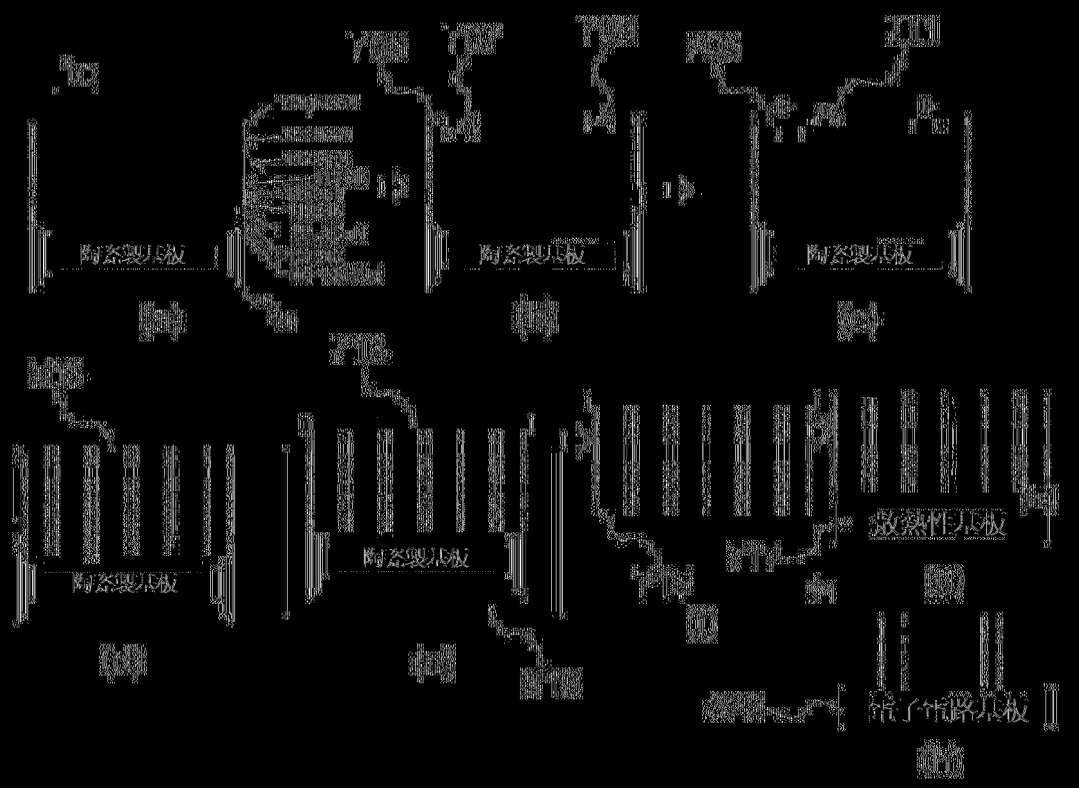


圖12

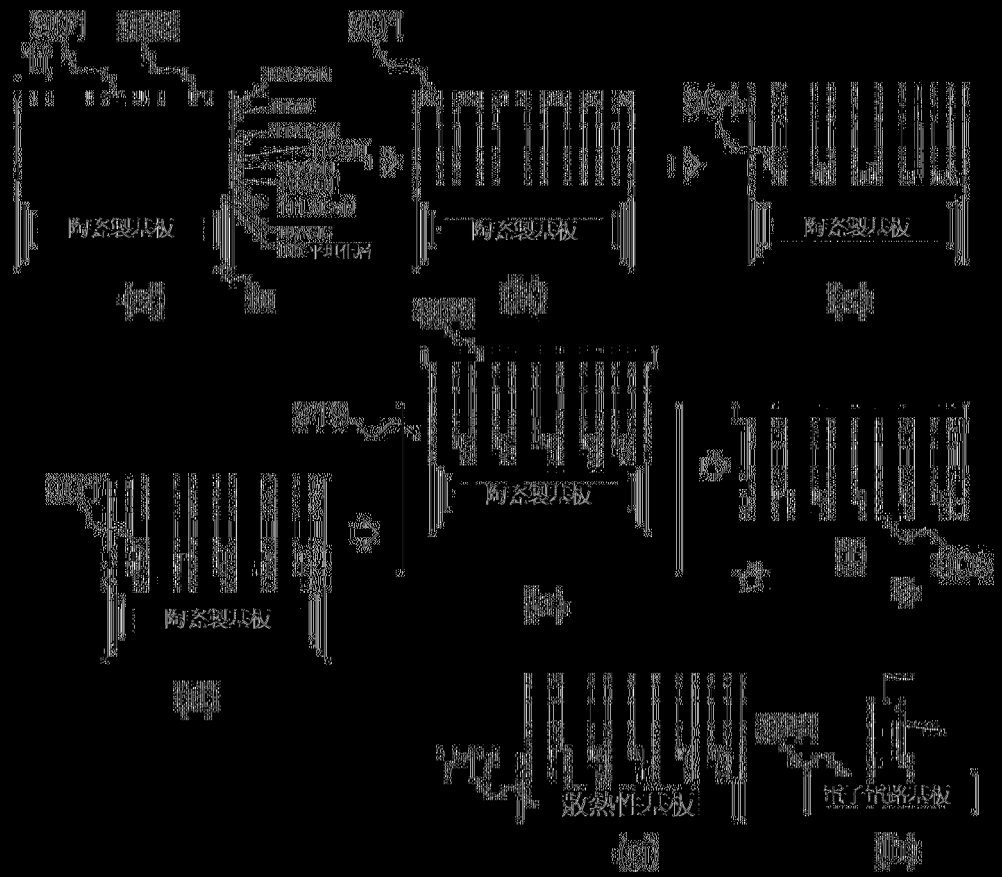


圖13

2.

