Octrooiraad

(10)A **Terinzagelegging** (11) **8200782**

Nederland (19) **NL**

(54) **Werkwijze ter vervaardiging van een halfgeleiderinrichting en halfgeleiderinrichting vervaardigd door toepassing van deze werkwijze.**

(51) Int.Cl³.: H01L21/302, H01L21/461, H01L21/74.

(71) Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.

(74) Gem.: Ir. R.A. Bijl c.s.
Internationaal Octrooibureau B.V.
Prof. Holstlaan 6
5656 AA Eindhoven.

(21) Aanvrage Nr. 8200782.

(22) Ingediend 26 februari 1982.

(32) - -

(33) - -

(31) - -

(62) - -

(43) Ter inzage gelegd 16 september 1983.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

N.V. Philips' Gloeilampenfabrieken te Eindhoven.

"Werkwijze ter vervaardiging van een halfgeleiderinrichting en halfgeleiderinrichting vervaardigd door toepassing van deze werkwijze".

De uitvinding heeft betrekking op een werkwijze ter vervaardiging van een halfgeleiderinrichting onder gebruikmaking van een procédé voor het planariseren van een van groeven voorzien oppervlak van een halfgeleiderlichaam waarbij een laag van een materiaal in vloeibare toestand op het halfgeleiderlichaam wordt gevormd waardoor een configuratie met een praktisch vlak oppervlak wordt verkregen waarna door middel van een niet-selectieve etsbehandeling deze laag samen met een deel van het onderliggende materiaal wordt verwijderd.

De uitvinding betreft bovendien een halfgeleiderinrichting vervaardigd door toepassing van een dergelijke werkwijze.

Het genoemde procédé voor het vormen van een vlak oppervlak is onder meer bekend uit het artikel "Plasma Planarization" van A.C. Adams, gepubliceerd in "Solid State Technology van April 1981, pg. 178/181. In dit artikel wordt een proces beschreven waarbij een laag P-gedoopt glas wordt neergeslagen op een substraat waarvan het oppervlak oneffen is tengevolge van de aanwezigheid van een polykristallijne siliciumstrook. De oneffenheid zet zich voort in de genoemde glaslaag zodat deze een stapvormig bovenvlak vertoont. Om het oppervlak te egaliseren wordt op de glaslaag een photolaklaag in vloeibare vorm aangebracht van een zodanige samenstelling dat de photolaklaag en de P-glaslaag niet-selectief etsbaar zijn t.o.v. elkaar, d.w.z. in een en dezelfde etsbehandeling met ongeveer gelijke snelheid afgeëtst kunnen worden. Door de photolaklaag in vloeibare toestand aan te brengen kan een configuratie met een praktisch vlak bovenvlak verkregen worden. Door vervolgens door middel van een niet-selectieve etsbehandeling de photolaklaag geheel te verwijderen, wordt ter plaatse van de stapvormige verhoging waar de laklaag dunner is ook het P-glas aangetast. Wanneer de photolaklaag geheel is verwijderd is de stapvormige verhoging in de glaslaag ook geheel of praktisch geheel verwijderd, zodat een nagenoeg vlak oppervlak is verkregen.

Bij het vervaardigen van geïntegreerde schakelingen is het meestal gewenst dat het oppervlak van het halfgeleiderlichaam zo vlak mogelijk is. Om een grote pakkingsdichtheid te bereiken is het van belang, het bedradingspatroon dat de schakelingselementen onderling verbindt, zo fijn

mogelijk en met zo laag mogelijke toleranties te vervaardigen. Een niet-vlak oppervlak stelt in het algemeen beperkingen aan minimale toleranties. Vaak is het oppervlak juist niet vlak, tengevolge van, voor speciale doeleinden, aangebrachte groeven die zich vanaf het oppervlak in het siliciumlichaam uitstrekken. In bipolaire schakelingen kunnen bijvoorbeeld groeven aangebracht zijn om in een epitaxiale laag elektrisch geïsoleerde eilanden te vormen. In de eilanden worden schakelingselementen aangebracht die onderling worden verbonden door, op het oppervlak gevormde geleidersporen die, aangezien de groeven de eilanden geheel omringen, de groeven kruisen.

De uitvinding heeft ten doel een werkwijze ter vervaardiging van een halfgeleiderinrichting aan te geven waarbij het oppervlak van een van groeven voorzien halfgeleiderlichaam praktisch geheel geëgaliseerd wordt.

Een werkwijze volgens de uitvinding is daardoor gekenmerkt, dat eerst het niet-vlakke oppervlak van het halfgeleiderlichaam wordt bedekt met een relatief dunne eerste laag die een eerste materiaal omvat en de groeven slechts gedeeltelijk vult, en dat op de eerste laag een relatief dikke tweede laag wordt gevormd die een tweede, van het eerste verschillend, materiaal bevat en de groeven geheel vult, en dat op de tweede laag de genoemde laag in vloeibare toestand als derde laag wordt aangebracht, en dat na het uitharden van de derde laag, de genoemde etsbehandeling wordt uitgevoerd die zolang wordt voortgezet dat de derde laag is verwijderd, van de tweede laag nog delen in de groeven achterblijven, en dat de eerste, de onderste, laag althans praktisch nog niet is aangetast.

De uitvinding zal nader worden toegelicht aan de hand van een uitvoeringsvoorbeeld en de bijgaande schematische tekening waarin

Fig. 1 een bovenaanzicht toont van een deel van een geïntegreerde schakeling vervaardigd door toepassing van een werkwijze volgens de uitvinding;

Fig. 2 een doorsnede van de inrichting langs de lijn II-II toont;

Fig. 3-10 dezelfde doorsneden langs de lijn II-II in verschillende stadia van de inrichting tonen;

Opgemerkt wordt dat de figuren schematisch zijn en niet op schaal getekend.

Hoewel de uitvinding niet alleen toepasbaar is in bipolaire schakelingen maar ook in andere typen van halfgeleiderinrichtingen, betreft het hierna volgende uitvoeringsvoorbeeld een geïntegreerde bipolaire

schakeling vanwege het bijzondere belang van de uitvinding voor dit type halfgeleiderinrichtingen.

De inrichting volgens Fig. 1 en 2 omvat een halfgeleiderlichaam van een conventionele samenstelling, met een p-type siliciumsubstraat 2 en een hierop aangegroeide, aan het oppervlak 1 grenzende n-type epitaxiale siliciumlaag 3. Aan het grensvlak tussen de epitaxiale laag 3 en het substraat 2 bevinden zich kanaalbegrenzende zones 5 van hetzelfde geleidingstype als het substraat maar met een hogere doteringsconcentratie, en laagohmige n-type begraven zones 4. In de epitaxiale laag 3 zijn eilanden 6 gevormd die door het eilandisolatiepatroon 7 van elkaar zijn gescheiden. In de tekening is alleen het in het centrum van Fig. 1 gelegen eiland, geheel weergegeven, terwijl van de aangrenzende eilanden slechts delen zichtbaar zijn. In de eilanden zijn schakelingselementen aangebracht van de geïntegreerde schakeling, zoals transistoren, dioden, weerstanden, en andere, op zichzelf bekende en voor een specifieke schakeling vereiste elementen. Bij wijze van voorbeeld is in het centraal getekende eiland 6 een bipolaire transistor aangebracht met een n-type emitter 8, een p-type basis 9, en een n-type collector omvattende het eiland 6, de n^+- begraven laag 4 en een n^+-type collectorcontactzone 10.

Via contactvensters, in Fig. 1 met onderbroken lijnen weergegeven, zijn de emitter 8 en basis 9, en de collectors 4,10 verbonden met resp. een emitteraansluiting 11, een basisaansluiting 12, en een collectoraansluiting 13 die de transistor met andere schakelingselementen c.q. contactvlakken voor uitwendige aansluitgeleiders verbinden.

Het eilandisolatiepatroon vormt een diëlektrische isolatie waarbij de opstaande randen van de eilanden 5 grenzen aan een diëlektrisch materiaal. Deze vorm van eilandisolatie heeft belangrijke voordelen ten opzichte van de meer gebruikelijke pn-isolatie, waarbij de eilanden onderling elektrisch zijn geïsoleerd door tussenliggende, in de sperrichting voorgespannen pn-overgangen. Bij deze laatste vorm van eilandisolatie dient de basis 8 op relatief grote afstand van de eilandisolatie te zijn gelegen. Bij diëlektrische isolatie daarentegen kan, zoals in Fig. 1 en 2 is weergegeven, de basis direct naast of vlakbij de eilandenisolatie worden aangebracht, waardoor een belangrijke ruimtebesparing kan worden verkregen.

De eilandisolatie 7 wordt gevormd door een patroon van groeven die zich vanaf het oppervlak 1 in de epitaxiale laag 3 uitstrekken. De wanden van de groef zijn bedekt met isolerend materiaal (14,15,16) dat

eenvoudig enkel een laag van siliciumoxyde kan omvatten maar dat in het onderhavige uitvoeringsvoorbeeld twee lagen 14 en 16, van siliciumoxyde en een tussenliggende laag van siliciumnitride bevat, maar dat ook uit andere materialen kan bestaan.

De groeven zijn in het onderhavige uitvoeringsvoorbeeld slechts ten dele met isolerend materiaal, voor de rest met polykristallijn silicium 17 gevuld zodat een praktisch vlak bovenvlak wordt verkregen. Hierdoor kunnen de geleidersporen 11, 12 en 13 die de eilandisolatie kruisen in fijne patronen met kleine toleranties worden vervaardigd waardoor de pakkingsdichtheid van de schakeling verder verhoogd kan worden.

Aan de hand van de Fig. 3-10 wordt een werkwijze volgens de uitvinding ter vervaardiging van de schakeling volgens Fig. 1 en 2 beschreven.

Uitgegaan wordt van een p-type substraat 2, met een soortelijke weerstand tussen 2 en 5 ohm.cm. en $\langle 1,1,1 \rangle$ kristaloriëntatie. Op de gebruikelijke wijze worden aan het oppervlak van het substraat Sb gedoteerde n^+-zones gevormd op de plaatsen van de begraven collectorzones 4 in de voltooide inrichting. Vervolgens kan, door middel van een maskerloze doteerstap de p-type dotering aan het oppervlak van het substraat verhoogd worden ter verkrijging van de kanaalonderbrekende zones 5. De concentratie van deze doteerstap is zo laag dat de hiervoor aangebrachte n-zones 4 niet worden overgedoteerd.

Vervolgens wordt op het substraat door middel van epitaxie de laag 3 aangebracht. De dikte en de soortelijke weerstand van de laag 3 bedragen bij wijze van voorbeeld, 5 μm resp. 1.0 ohm.cm. Door middel van gemaskeerde diffusie van phosphor, wordt eerst de n-type contactzone 10 gevormd. Tegelijkertijd diffundeert het Sb voor een deel in de epitaxiale laag zodat aan het grensvlak tussen de epitaxiale laag 3 en het substraat 2, de begraven collectorzone 4 die met de n-type contactzone 10 is verbonden is verkregen. Het oxydemasker dat voor deze diffusie is gebruikt, kan dan worden verwijderd waarna, door middel van thermische oxydatie op het oppervlak 1 van de epitaxiale laag 3 een ongeveer 0.6 μm dikke oxydelaag 18 wordt aangegroeid. Op de plaatsen waar de basis c.q. het collectorcontactvenster in een later stadium zullen worden gevormd, worden vensters in de oxydelaag 18 aangebracht die weer worden gedicht door de veel dunnere oxydelagen 19. De situatie zoals in Fig. 3 is weergegeven is dan gekregen. De dikte van de oxydelaag 19 bedraagt bijvoorbeeld 0.1 μm.

Achtereenvolgens worden dan een ongeveer 0.15 μm dikke silicium-

nitridelaag 20 (Fig.4) en bijvoorbeeld een ongeveer 1.5 /um dikke laag 21 van Al aangebracht. In plaats hiervan kan ook een andere laag, bijvoorbeeld SiO_2, worden aangebracht. Op de Al-laag 21 wordt een photomasker 21 van bijvoorbeeld een photolaklaag gevormd dat de plaats van eilandisolatie 7 definieert. Door middel van anodische oxydatie, bijvoorbeeld in een oxaalzuuroplossing wordt dan het niet door de photolak 22 afgedekte deel van de Al-laag 21 omgezet in Al_2O_3.

Na de oxydatie kan het photomasker 22 weer worden verwijderd. Daarna kan, maskerloos, in een plasma-ets van bijvoorbeeld CCl_4, het niet-omgezette Al van de laag 21 en de siliciumnitride laag 17 worden verwijderd, en bijvoorbeeld door gebruikelijk nat-etsen, de onderliggende delen van de oxydelaag 10. Nu is een masker verkregen dat de plaats van het isolatiepatroon 7 in de epitaxiale laag 3 definieert.

In de epitaxiale laag 3 wordt dan, bijvoorbeeld door middel van etsen met een CCl_4-plasma, een groef 23 gevormd ter plaatse van het isolatiepatroon 7. De groef 20 strekt zich uit tot in de kanaalstopperzone 5 (Fig. 5) tot een diepte van bijvoorbeeld ongeveer 6 /um. In het onderhavige uitvoeringsvoorbeeld is de groef 23 U-vormig met praktisch rechtopstaande wanden. In de in Fig. 1 getekende configuratie vormen de groeven 23 sloten, die een rechthoekig eiland definiëren, en elkaar, bij de hoeken van de eilanden kruisen. De breedte van de groeven 23 langs de zijden van de rechthoeken bedraagt bijvoorbeeld ongeveer 5 /um (groef 23a in Fig. 5). De diameter van de kruispunten in de sloten, bij de hoeken van de eilanden (groef 23b in Fig. 5) bedraagt, bij die breedte ongeveer 9 à 10 /um.

Er wordt opgemerkt dat in plaats van een U-vorm, de groeven ook een andere vorm, bijvoorbeeld een V-vorm mogen hebben. Vanwege de hogere pakkingsdichtheid zal echter vaak aan U-vormige groeven de voorkeur worden gegeven.

In een volgende stap kan de Al_2O_3-laag 21 worden verwijderd bijvoorbeeld door oplossen in een mengsel met phosphorzuur. Daarna worden de wanden en de bodem van de groeven 23a,23b, door middel van thermische oxydatie bedekt met de oxydelaag 14 (Fig. 6) met een dikte van ongeveer 0,5 /um. Tijdens deze oxydatiestap (locos) wordt het siliciumlichaam plaatselijk tegen oxydatie gemaskeerd door de nitridelaag 20. Het oxyde (14) op de wand is dus veel dikker dan het oxyde 19 op het bovenvlak. Mede hierdoor is het later mogelijk gaten naar het bovenvlak aan te brengen zonder het oxyde van de zijwand van de groef plaatselijk te verwijderen.

In die gevallen, waarin het noodzakelijk of gewenst is, een substraatcontact aan de bovenkant van het halfgeleiderlichaam aan te brengen, kan vervolgens, onder gebruikmaking van de gebruikelijke photomaskeringstechnieken, de oxidelaag 14 plaatselijk althans langs de wand van de groef 23 worden verwijderd. Deze stap is in de tekening niet weergegeven. Door plasma-etsen kan dan de siliciumnitridelaag 20 worden verwijderd. Daarna wordt door een dip-ets het basisvenster geopend. Hierbij wordt tegelijk een laagje van de oxydelagen 18 en 14 verwijderd, maar dit vormt geen bezwaar omdat het oxyde 19 veel dunner is dan de lagen 14 en 18. Via de aldus verkregen vensters vindt vervolgens een boriumdepositie/diffusie plaats ter verkrijging van de p-type basis 9 (Fig.7). Daar waar de oxydelaag 14 langs de wand van een groef 23 was verwijderd, kan een, in de tekening niet weergegeven p-type verbindingszone langs de wand van de groef, tussen de p-type gebieden 2,5 en het oppervlak 1 worden gevormd. Na of tijdens de boordepositie/diffusie wordt het basisvenster weer gesloten door de oxydelaag 24 met een dikte van ongeveer 0.1 μm. Achtereenvolgens wordt dan de siliciumnitridelaag 15, met een dikte van ongeveer 0.15 μm, en, door middel van depositie, de oxydelaag 16 (TEOS) met een dikte van bijvoorbeeld 0.5 μm aangebracht (Fig.7).

Op de oxydelaag 16 wordt, zoals in Fig.8 is weergegeven, de laag 25 aangebracht om de groeven 23a,23b weer op te vullen. De laag 25 bestaat hier uit polykristallijn silicium, maar het zal duidelijk zijn dat in plaats hiervan ook andere materialen kunnen worden toegepast. Het poly wordt bij voorkeur aangebracht door middel van de, op zichzelf bekende LPCVD-methode (low-pressure chemical vapor deposition), door bij lage druk (1 Torr) silaan of een ander geschikt uitgangsmateriaal te ontleden bij een temperatuur van ongeveer 700°C. Het poly groeit in alle richtingen evenveel op het oxyde, zodat, bij een laagdikte van ongeveer 2 μm, de groef 23a praktisch al geheel gevuld is. De depositie wordt verder voortgezet tot groef 23b gevuld is tot boven laag 16. Ter plaatse van de smalle groef 23a vertoont het poly een slechts geringe verdieping. Bij de hoeken van de eilanden daarentegen (23b) vertoont het poly Si een relatief grote put tengevolge van de ter plaatse grote breedte van de groef.

Om uiteindelijk toch een vlak of althans praktisch vlak oppervlak te verkrijgen wordt groef 23b gevuld tot boven laag 16. Op de laag 25 wordt dan een laag 26 aangebracht van een materiaal in vloeibare toestand met een voldoende lage viscositeit, zodat een nagenoeg praktisch vlak bovenvlak 27

wordt verkregen. Voor de laag 26 moet een materiaal worden genomen dat met een gelijke of althans praktisch gelijke etssnelheid tijdens eenzelfde etsbehandeling kan worden verwijderd als de onderliggende polysiliciumlaag 25. In het hier besproken uitvoeringsvoorbeeld werd voor de laag 26, een photolaklaag gebruikt die in de handel verkrijgbaar is onder de naam HPR 204. De dikte van de laag 26 is niet kritisch en ligt tussen 1.5 en 2 /um. Vervolgens wordt een etsbehandeling uitgevoerd met behulp van bijvoorbeeld een CCl_4-plasma, waarbij de photolaklaag 26 en de polysiliciumlaag 25 met ongeveer gelijke snelheid worden aangetast. Wanneer de photolaklaag 26 boven de eilanden en de groef 23a is verwijderd, wordt het polysilicium ter plaatse van de groef 23b nog gemaskeerd door een rest van de photolaklaag. Hierdoor zal het polysilicium op die plaatsen waar het oppervlak van de laag 25 op een lager niveau ligt, pas in een later stadium worden aangetast dan op andere plaatsen.

Fig. 9 toont de inrichting in het stadium dat het polysilicium boven de eilanden geheel is verwijderd, terwijl het achterblijvende polysilicium de groef 23a,23b nog geheel of althans praktisch geheel opvult en de polysilicium delen 17 vormt. Hierbij dient opgemerkt te worden dat het niveau van het poly in de groef 23b even of althans praktisch even hoog is als in de groef 23a, zodat een nagenoeg vlak bovenvlak is verkregen. Wanneer het polysilicium zo ver is verwijderd, komt de siliciumoxydelaag 16 weer vrij te liggen, die zelf weer de onderliggende nitridelaag 15 tegen aantasting in het plasma beschermt. De hiermee gepaard gaande verandering van de reactieproducten in de plasma-reactor kan als maatstaf worden gebruikt voor het tijdstip waarop het etsen kan worden gestopt.

In een volgende stap wordt de siliciumoxydelaag 16, voor zover althans niet door de polysiliciumdelen 17 bedekt, verwijderd. Bij voorkeur wordt voor deze etsstap eerst een oxydatiestap uitgevoerd waarbij op de polysiliciumdelen 17 een ongeveer 0.5 /um dikke oxydelaag wordt gegroeid. Tijdens het etsen van de laag 16 wordt dit oxyde ook weer verwijderd, zodat het niveau van de polysiliciumdelen ongeveer 0.25 /um is verlaagd en in een later stadium stapbedekkingsproblemen kunnen worden vermeden. Het poly kan daarna eventueel gedoteerd worden ter verkrijging van een lage soortelijke weerstand. Tijdens het etsen van het oxyde 16 worden de oxydelagen 14 en 18 beschermd door de nitridelaag 15.

In een volgende stap wordt door middel van photomaskering en etsen de nitridelaag 15 in patroon gebracht (Fig.10), waarbij boven het

eiland 5, het emittervenster, het basiscontactvenster, en het collector-contactvenster worden gedefinieerd door de siliciumnitridedelen resp. 28, 29 en 30. Door middel van een locos-oxydatie wordt dan eerst op het niet door de nitridedelen gemaskeerde oppervlak relatief dik oxyde 31 gegroeid. Tegelijk groeit ook op polysiliciumdelen 17 een oxydelaag.

Vervolgens wordt door middel van een niet-kritisch photomasker, dat het nitride 29 maskeert, de nitridelagen 28 en 30 verwijderd, waarna door middel van een niet-gemaskeerde dipets het dunne oxyde onder de nitridelagen 28 en 30 kan worden verwijderd. Via de aldus verkregen emitter- en collectorcontactvensters wordt een phosphor-diffusie gedaan, ter verkrijging van de emitter 8 en een collectorcontactzone. Daarna wordt door verwijdering van de nitridelaag 29 en het hierondergelegen dunne oxyde, het basiscontactvenster open gemaakt.

Indien nodig, kan plaatselijk het oxyde boven het poly-silicium open gemaakt worden voor het aanbrengen van een aansluiting op het poly-silicium. Een dergelijke aansluiting is in de tekening niet weergegeven. Indien dit poly-Si ook elektrisch contact maakt met het substraat kan men op deze wijze het substraat aan de bovenzijde van de halfgeleiderinrichting contacteren. Ook is het mogelijk, het poly-Si een dusdanige elektrische potentiaal te geven dat kanaalvorming in gebieden langs de groef (bijv. 5 en 9) wordt voorkomen.

De emitteraansluiting 11, de basisaansluiting 12, en de collectoraansluiting 13 kunnen op de gebruikelijke wijze door opdampen en in patroon etsen van bijvoorbeeld Al, of een ander geschikt materiaal worden aangebracht (Fig.2). Dankzij het vrijwel vlakke oppervlak kunnen de verbindingen die het eilandisolatiepatroon kruisen met grote nauwkeurigheid als een fijn patroon worden aangebracht. En doordat de dimensies van de geleidersporen klein kunnen zijn, èn doordat ruimte bespaard wordt door toepassing van diëlektrische eilandisolatie kan de schakeling met een hoge pakkingsdichtheid worden uitgevoerd.

Het zal duidelijk zijn dat de uitvinding niet is beperkt tot het hier beschreven uitvoeringsvoorbeeld, maar dat binnen het kader van de uitvinding nog veel variaties voor de vakman mogelijk zijn. Zo kunnen voor het etsen van de photolaklaag 26 en de onderliggende polysiliciumlaag 25, in plaats van CCl_4 andere halogeen bevattende gasse, al of niet met toevoeging van een oxydant gebruikt worden, ook koolstoffluoride, onder toevoeging van O2 worden toegepast. In plaats van de photolaklaag kunnen andere lagen met voldoende lage viscositeit, zoals bijvoorbeeld

polimide lagen worden toegepast. Ook kunnen de groeven opgevuld worden met bijvoorbeeld poly-imide, in plaats van polykristallijn silicium 17. De in dit geval toegepaste planarisatie-methode verschilt in zoverre van de beschreven methode dat, in plaats van de poly-siliciumlaag 25, een poly-imidelaag wordt aangebracht. De oxydelaag 16 en/of de nitridelaag 15 kunnen in dat geval eventueel weggelaten worden als men, bij het afetsen van de poly-imidelaag met de bovenliggende planariserende laag (bijv. HPR 204), een plasma, bijvoorbeeld een zuurstofplasma gebruikt dat geen andere lagen aanetst. Daarbij wordt het voordeel verkregen dat deze laag in min of meer vloeibare toestand kan worden aangehecht (en na het aanbrengen uitgehard kan worden door verhitten), waardoor het oppervlak van de laag al aanzienlijk vlakker is dan dat van bijvoorbeeld de opgedampte laag 25. Opgemerkt moet worden dat, aangezien poly-imide niet bestand is tegen zeer hoge temperaturen, het aanbrengen van de poly-imidelaag en de daaropvolgende planarisatie-methode plaats dienen te vinden na alle thermische behandelingen, zoals oxydatiestappen en/of diffusiestappen. In plaats van een vloeibare photolaklaag 26 kan ook een lage in vaste toestand worden gebruikt die, na het aanbrengen tijdelijk in vloeibare toestand wordt gebracht, en, nadat een vlak bovenvlak 27 is verkregen, weer in vaste toestand kan worden gebracht.

Conclusies:

1. Werkwijze ter vervaardiging van een halfgeleiderinrichting onder gebruikmaking van een procédé voor het planariseren van een van groeven voorzien oppervlak van een halfgeleiderlichaam waarbij een laag van een materiaal in vloeibare toestand op het halfgeleiderlichaam wordt gevormd waardoor een configuratie met een praktisch vlak oppervlak wordt verkregen waarna door middel van een niet-selectieve etsbehandeling deze laag samen met een deel van het onderliggende materiaal wordt verwijderd, met het kenmerk, dat eerst het niet-vlakke oppervlak van het halfgeleiderlichaam wordt bedekt met een relatief dunne eerste laag die een eerste materiaal omvat en de groeven slechts gedeeltelijk vult, en dat op de eerste laag een relatief dikke tweede laag wordt gevormd die een tweede, van het eerste verschillend, materiaal bevat en de groeven geheel vult, en dat op de tweede laag de genoemde laag in vloeibare toestand als derde laag wordt aangebracht, en dat na het uitharden van de derde laag, de genoemde etsbehandeling wordt uitgevoerd die zolang wordt voortgezet dat de derde laag geheel is verwijderd, van de tweede laag nog delen in groeven achterblijven, en dat de eerste, de onderste, laag althans praktisch nog niet is aangetast.

2. Werkwijze volgens conclusie 2, met het kenmerk, dat genoemde etsbehandeling wordt gestopt wanneer de tweede laag op plaatsen tussen de groeven geheel is verwijderd, zodat een praktisch vlak oppervlak wordt verkregen dat ter plaatse van de groeven gevormd wordt door de resterende delen van de tweede laag en op plaatsen tussen de groeven door delen van de eerste laag.

3. Werkwijze volgens conclusie 1 of 2 met het kenmerk, dat een halfgeleiderlichaam van silicium wordt toegepast en dat als eerste laag een laag met siliciumoxyde wordt aangebracht.

4. Werkwijze volgens conclusie 3 met het kenmerk, dat de genoemde tweede laag wordt aangebracht in de vorm van een polykristallijne siliciumlaag.

5. Werkwijze volgens conclusie 4, met het kenmerk, dat de polykristallijne siliciumlaag wordt aangebracht door middel van een LPCVD-techniek.

6. Werkwijze volgens conclusie 4 of 5 met het kenmerk, dat een halfgeleiderlichaam wordt toegepast in de vorm van een substraat dat is voorzien van een aan het oppervlak grenzende oppervlaktelaag die door tenminste één pn-overgang van het substraat is gescheiden, en waarin door middel van genoemde groeven een aantal onderling geïsoleerde eilanden is

gedefinieerd waarin schakelelementen worden aangebracht.

7. Werkwijze volgens conclusie 6, met het kenmerk dat het substraat en de oppervlaktelaag van onderling tegengesteld geleidingstype zijn.

8. Werkwijze volgens conclusie 6 of 7, met het kenmerk dat de oppervlaktelaag door middel van epitaxiale groei op het substraat wordt aangebracht.

9. Werkwijze volgens een van de conclusies 6 t/m 8, met het kenmerk dat in althans één van de genoemde eilanden een bipolaire transistor wordt gevormd met drie boven elkaar gelegen zones van afwisselend geleidingstype, een emitter en een collectorzone van het ene geleidingstype en een tussenliggende basiszone van het tweede geleidingstype, waarbij tenminste de pn-overgang tussen de basiszone en de collectorzone grenst aan of althans praktisch grenst aan, de opstaande wand van een van genoemde groeven.

10. Werkwijze volgens een of meer van de voorgaande conclusies, met het kenmerk dat de groeven worden aangebracht in de vorm van elkaar kruisende U-vormige sloten met praktisch uniforme doorsnede.

11. Werkwijze volgens conclusie 1, met het kenmerk, dat genoemde eerste laag althans ten dele wordt aangebracht in de vorm van een laag van siliciumoxyde.

12. Werkwijze volgens conclusie 11, met het kenmerk, dat genoemde laag van siliciumoxyde verkregen wordt door de wanden van de groef door middel van plaatselijke oxydatie te oxyderen, waarbij de rest van het oppervlak tegen oxydatie wordt gemaskeerd.

13. Werkwijze volgens conclusie 11 of 12, met het kenmerk dat op de genoemde laag van siliciumoxyde een laag van siliciumnitride wordt aangebracht, waarna op de nitridelaag uit de dampphase een tweede deellaag van siliciumoxyde over het gehele oppervlak wordt aangebracht waarvan delen die na het etsen van de tweede laag, niet door de resterende delen van de tweede laag worden bedekt, weer worden verwijderd.

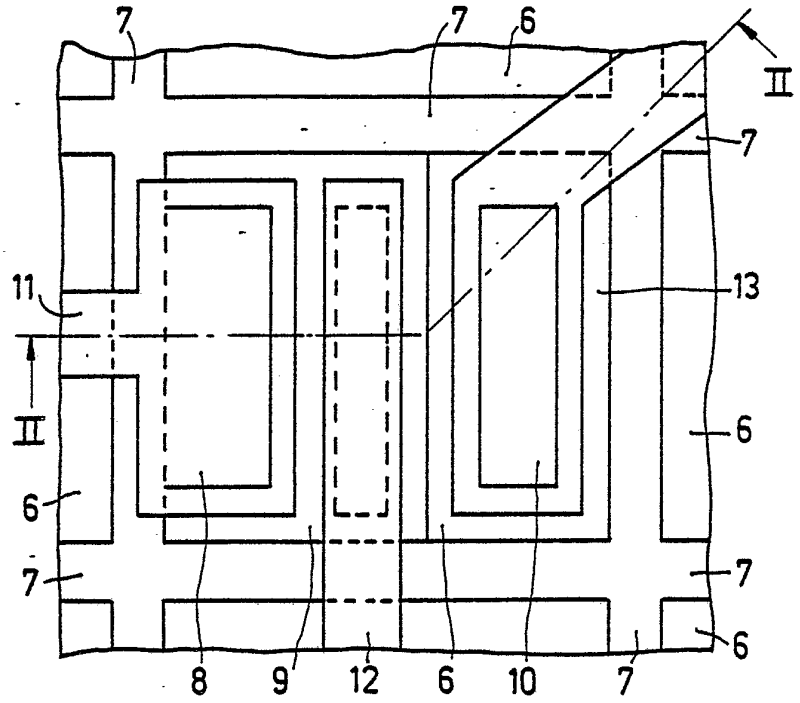


FIG.1

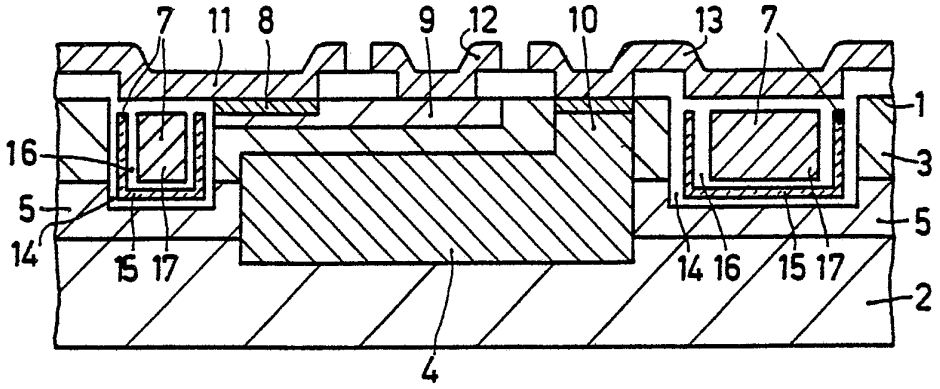


FIG.2

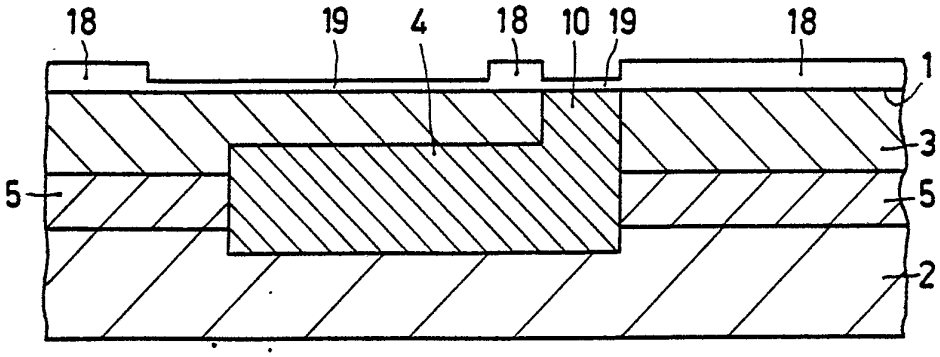


FIG.3

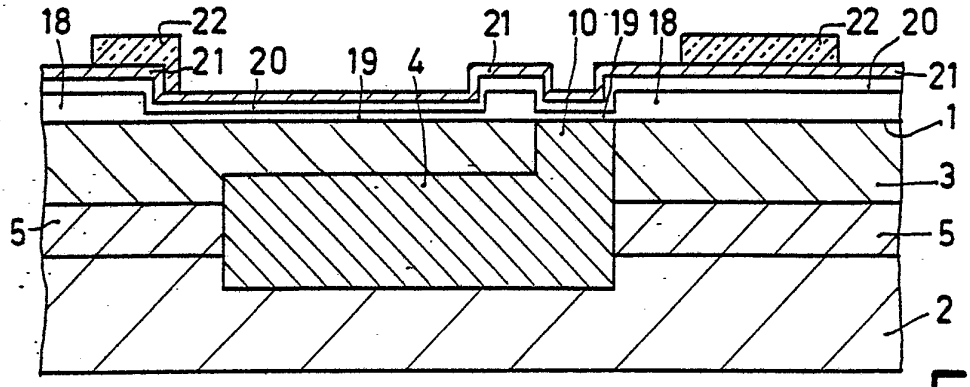


FIG.4

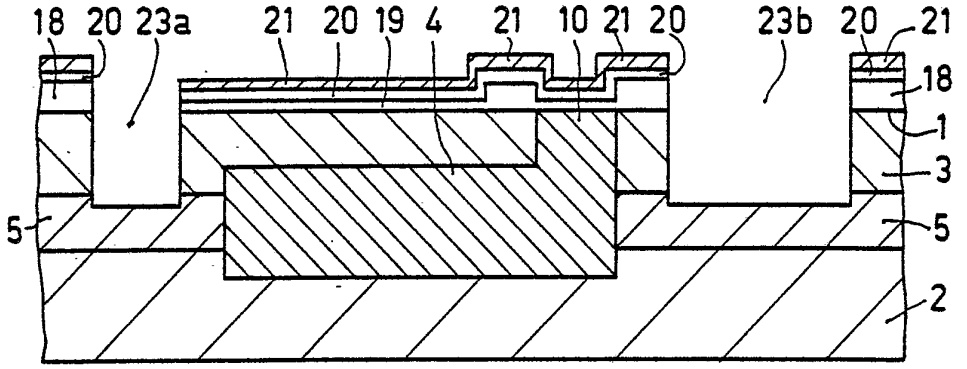


FIG.5

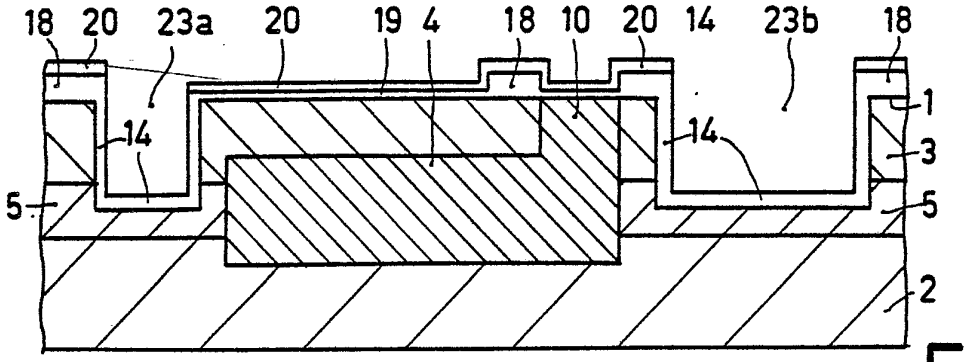


FIG.6

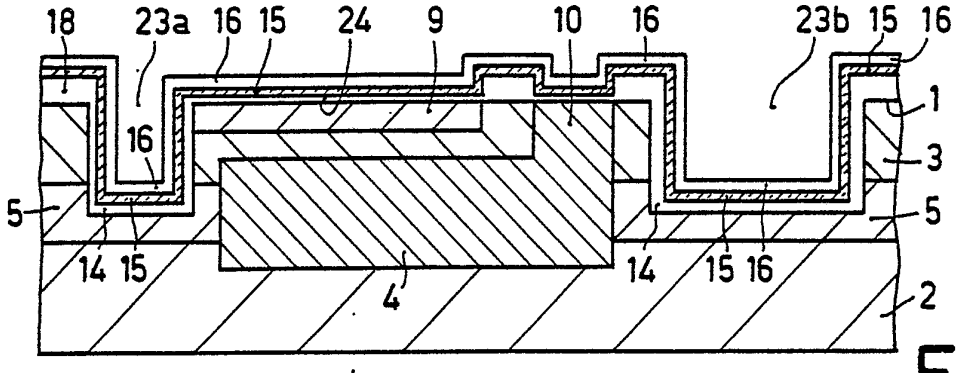


FIG.7

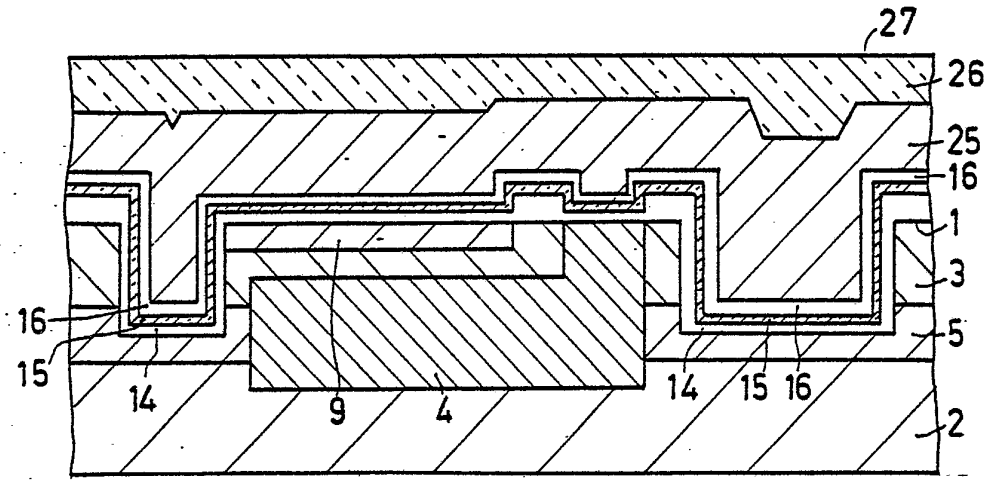


FIG.8

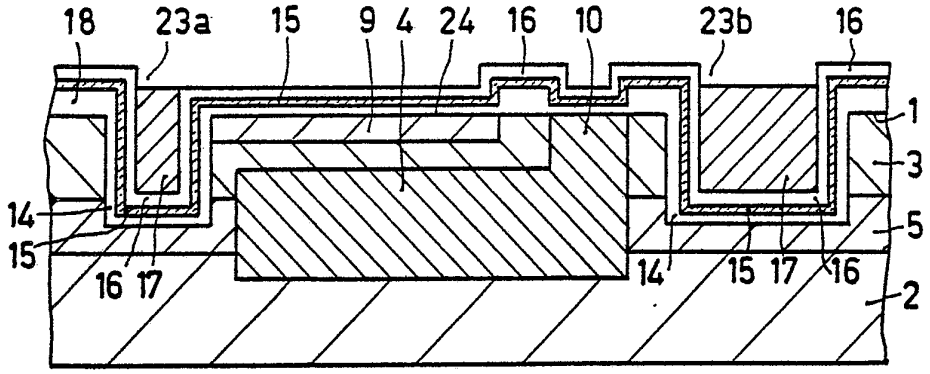


FIG.9

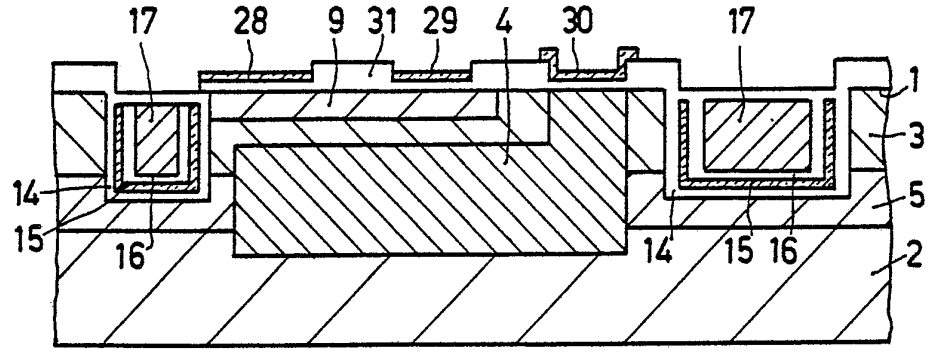


FIG.10