

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96150616

※申請日期：96.12.27

※IPC 分類：H01L 23/12 (2006.01)

一、發明名稱：(中文/英文)

封裝半導體元件的方法，製作導線架的方法及半導體封裝產品
/ METHOD FOR MANUFACTURING LEADFRAME,
PACKAGING METHOD FOR USING THE LEADFRAME AND
SEMICONDUCTOR PACKAGE PRODUCT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯發科技股份有限公司 / MEDIATEK INC.

代表人：(中文/英文)

蔡明介 / TSAI, MING-KAI

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市篤行一路一號 / No. 1, Dusing Rd. 1st,
Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 陳南璋 / CHEN, NAN-JANG

2. 林泓均 / LIN, HONG-CHIN

國 籍：(中文/英文)

1. 中華民國 / TWN
2. 中華民國 / TWN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國/US； 2006/12/27； 60/871,993

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明有關於一種用於半導體元件的導線架結構，特別是有關於一種具有多重外露式晶粒墊座(exposed die pad)的導線架封裝構件及其製法。

【先前技術】

如熟習該項技藝者所知，為了避免外在環境因素的干擾與破壞，半導體晶片通常是以塑膠材料包覆成一封裝構件。封裝構件亦提供半導體晶片與印刷電路板之間的電路連結。這樣的積體電路封裝構件通常包括一金屬導線架、一設置在與金屬導線架一體成型的晶粒墊座上的半導體晶片，以及電連結半導體晶片上的接合墊與導線架各個導腳的金線。半導體晶片與導線架最終會被模封材料包覆住。

目前的封裝產業趨勢是讓封裝構件的體積更小但具有更多功能。由於積體電路晶片的功能越來越複雜，使得導線架封裝構件的外部接腳數也增加許多。接腳數增加使每個晶片的封裝成本升高。為了避免接腳數的增加造成封裝構件體積變大，過去的作法是減少導腳間距。然而，導腳彼此太接近卻容易產生互感(mutual inductance)及互電容(mutual capacitance)，這也是導線架封裝往往

被認為不適合應用在高速半導體晶片的原因。前述的互感及互電容很可能會干擾到高速半導體晶片所傳輸的高速訊號。

考量到這樣的不利因素，許多的行動通訊裝置，如行動電路，以及配備有可傳輸高頻訊號的個人通訊裝置中的半導體晶片都是採用球型格柵陣列(ball grid array)封裝，而不採用導線架封裝方式。若硬是將這樣的高速半導體晶片以導線架封裝，則訊號損失或者如 AC 雜訊等將會明顯影響到晶片操作效能，而變成惱人的問題。

前述球型格柵陣列封裝的缺點在於其成本較高且產品交期較長。此外，發展射頻系統單晶片的挑戰之一在於難以降低射頻及類比電路的功率消耗以及縮小被動元件及類比電晶體的尺寸。由此可知，該技術領域仍需要一種改良之導線架結構以及導線架封裝結構，其具有低成本之優點並且需能夠應用在高速半導體晶片上，當傳送高頻訊號時不會有明顯的訊號損失或雜訊。

【發明內容】

本發明之主要目的在提供一種具有多重外露式晶粒墊座的導線架封裝構件及其製法，以解決習知技藝的問題。

本發明第一具體實施例為一種封裝半導體元件的方法，包

含：將半導體元件安置于導線架的晶粒墊座的主要部分之上，該晶粒墊座另有一個以上的次要部分與一個以上的分隔部分，該次要部分與該主要部分透過該分隔部分連接，其中該分隔部分之一局部區域呈現出一個倒 T 形孔形狀；將半導體元件的一組信號線分別連接到該導線架的多個導腳；對該半導體元件與該導線架進行模包裝，其中該晶粒墊座的底面曝露在模包裝外，並且該 T 形孔于模包裝時填入模包裝材料，以增加該晶粒墊座的穩定性；以及進行膜包裝後，從晶粒墊座的底面對該分隔部分進行分離蝕刻，使該主要部分與該次要部分電性分離。

本發明第二具體實施例為一種製作導線架的方法，該導線架用于封裝半導體元件，該方法包含：在金屬片上製作一導線框主要圖案；依據該導線框主要圖案製作初步導線框；用遮罩在初步導線框上的晶粒墊座區域定義主要部分，至少一次要部分，以及至少一分隔部分；以及對該分隔部分進行初步蝕刻，是該分隔部分之厚度比該主要部分與該次要部分的厚度薄。

本發明第三具體實施例為半導體封裝產品，包含：半導體元件；晶粒墊座，具有主要部分以及一個以上的次要部分，主要部分承載半導體元件；多個導腳，電連接半導體元件的多個信號線；以及封裝模，覆蓋半導體元件、晶粒墊座以及部分的導腳，并曝露該晶粒墊座的次要部分的底面，其中，該多個導腳與該晶粒墊座不共平面，該半導體元件有兩個以上的電信號連接到次要部

分，并透過該次要部分曝露的底面，將這些電信號連接到電路板的電信號接點。

透過本發明特殊的導線架設計，利用新的導線腳設計的封裝方法，使得封裝的產品因為節省導腳、縮短信號路徑等，而產生更好的電子特性，更小的封裝體積或在同樣的封裝體積容納更多的信號接點。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施方式，並配合所附圖式，作詳細說明如下。然而如下之較佳實施方式與圖式僅供參考與說明用，並非用來對本發明加以限制者。

【實施方式】

以下所說明的導線架 (leadframe) 封裝 (packaging) 結構，可用于但不限于不顯目四平包裝 (Low-Profile Quad Flat Pack, LQFP) 的封裝、薄四平包裝 (Thin Quad Flat Pack, TQFP) 封裝、四平非導腳 (Quad Flat Non-leaded, QFN) 封裝、DFN 封裝、多區域 QFN (multi-zone QFN) 封裝，以及多晶粒 (multi-die) 封裝，以及輕點晶片封裝 (flip-chip packaging)。

相對於現有技術，透過省下或釋放原本是用來連接半導體晶

粒的接地墊 (ground pad)、電源墊 (power pad) 或是其他類的信號墊的導腳 (lead)，本發明能更進一步提升導線架結構封裝的極限。此外，透過使用晶粒墊座(die pad)上的分離接地系統，本發明也可用來改善積體電路 (integrated circuit) 封裝產品的電子效能。

第 1 圖例示一個導線架封裝 10 的上方示意圖。如第 1 圖所示，導線架封裝 10 包括作為半導體元件 (semiconductor device) 範例的半導體晶粒 (semiconductor die) 12，安裝于晶粒墊座 (die pad) 14 上。多個焊接墊 (bonding pad) 13 安置于半導體晶粒 12 的上表面。每一個焊接墊 13 透過焊接線 18 電連接導對應的導腳(lead) 16。

通常被稱作輸出輸入墊 (input/output pad) 的焊接墊 13 一般會包括電源墊 (power pad) 13a~13f、接地墊 (ground pad) 13g 及 13h，以及其他的信號墊。電源墊 13a~13f 透過作為信號線的焊接線 (bond wire) 18 焊接到對應的導腳 16a~16f。接地墊 13g 與 13h 透過焊接線 26 焊接到晶粒墊座 14。

最後會被安裝到印刷電路板 (Printed Circuit Board) 的插座 (socket) 的導腳 16，沿著晶粒墊座 14 的四邊安置。半導體晶粒 12、晶粒墊座 14、導腳 16 的內側以及焊接線 18 透過模包裝材料 (molding compound) 20 給封起來。

在這個例子中，晶粒墊座 14 是一個單一、矩形的平面區域，具有四個從晶粒墊座往外延伸的細長支撐杆(supporting bar)15。但是，請注意，其他形狀的晶粒墊座，例如沒有四個細長支撐杆的晶粒墊座，其實也可以使用一下介紹的本發明概念。晶粒墊座 14 的底面刻意曝露出封裝主體 (package body)，以散放半導體晶粒 12 所產生的熱量，這稱作曝露式晶粒墊座 (簡稱 e-pad) 設計。一般來說，晶粒 14 曝露出來的底面點連接導印刷電路板的接地層。

然而，對於一些能夠傳輸高頻信號具有類比/數位混合電路的單晶片(SoC)應用來說，這樣的設計可能會讓數位電路的接地雜訊影響導類比電路的信號通道。

請參照第 2 圖與第 3 圖。第 2 圖為依據本發明實施例的導線架封裝 10a 的上方示意圖。第 3 圖例示導線架封裝 10a 的側視剖面示意圖，其中相同的元件符號代表相同的元件、區域或是層。

如第 2 圖與第 3 圖所示，導線架封裝 10a 包含半導體晶粒 12，其安置在銅或 C725、A192 等銅合金的晶粒墊座上。多個焊接墊安置在半導體晶粒 12 的上方表面。有些焊接墊 13 透過焊接線 18 連接到對應的導腳 16。

焊接墊 13 包含電源墊 13a~13f、數位接地墊 13g~13h、類比接地墊 13i~13j，以及其他的信號墊。本發明的其中一個特徵就是

電源墊 13a~13f 透過比較短的焊接線 28 焊接到一個分離墊區

(separate pad segment) 14a，而不是接到導腳 16a~16f。因此，原先需要保留用來連接電源墊 13a~13f 的導腳 16a~16f 就可以省下來用在別的地方，例如，用來連接半導體晶粒 12 的其他信號墊，或是乾脆把這些導腳省略，以降低導線架封裝 10a 的尺寸以及成本。

從一個角度來看，導線架封裝 10 的效能呈現在透過省下原本要用來連接電源墊 13a~13f 的導腳 16a~16f。這是由于可使用導腳數目 (lead pitch) 增加，也由于晶粒于印刷電路板之間的信號路徑減低。

從另一個角度看，本發明的發明特徵包括，由晶粒墊座 14 分離出來的分離墊 14a，並不直接于與晶粒墊座接觸，而是完全與晶粒墊座保持分離關係。此外，分離墊區 14a 也不會直接與任何導腳 16 接觸，或是由任何導腳 16 加以支撐。因此，分離墊區 14 不會占用任何的導腳 16。與晶粒墊座 14 相似，分離墊區 14a 的底面也曝露在封裝主題之外，使得分離墊區 14a 可以直接與印刷電路板上的電源層接觸，而將電源信號傳給半導體晶粒 12。

本發明的另一特徵是半導體晶粒 12 的數位接地墊 13g~13h，透過焊接線 26 接到晶粒墊座 14，并且半導體晶粒 12 的類比接地 13i 與 13j 透過焊接線 36 焊接到另一個分離墊區 14b。

根據本發明，晶粒墊座 14 連接到數位接地信號，而分離墊區 14b 則連接到類比接地信號。晶粒墊座上的這種分離接地系統，避免了數位電路的雜訊干擾類比信號路徑。此外，類比接地墊 13i 與 13j 接地，並且透過焊接線焊接到分離墊區 14b，表示相對於比透過導腳 16 更短的信號傳輸路徑。

相似的，分離墊區 14b 從晶粒墊座 14 分離出來，並不直接與晶粒墊座 14 接觸，並且實際上是與晶粒墊座 14 保持分離狀態。

如第 3 圖所示，與分離墊區 14a 相似，分離墊區 14b 並不直接與任何導腳 16 接觸。進一步來說，分離墊區 14b 并不需要來自導腳 16 或是晶粒墊座 14 的結構上支撐。在分離墊區 14a 與晶粒墊座 14 間的孔洞 40a，以及在分離墊區 14b 與晶粒墊座 14 間的孔洞 40b 都是用環氧樹脂等模包裝材料 20 來加以填充。

請注意在晶粒墊座 14 之上，有三種不同的部分，也就是主要部分（primary portion），至少一個次要部分（secondary portion），以及至少一個分隔部分（separating portion），其中分隔部分用來分隔主要部分與次要部分。在第 2 圖中，分離墊區 14a 與 14b 可視為是兩個次要部分的範例。作為分隔部分範例的孔洞 40a 與 40b，則用來將次要部分的分離墊區 14a 與 14b，與晶粒墊座上的主要部分進行分隔。

分隔墊區 14b 的底面曝露在封裝主體之外，使得分離墊區 14b 可以與印刷電路板上的類比接地(AGND)層進行連接。晶粒墊座 14 的曝露底面則與數位接地(DGND)層進行連接。如前所述，這種晶粒墊座上的分離接地系統避免數位電路的雜訊干擾到類比信號路徑。

第 4 圖是分離墊區 14b 與環繞分離墊區 14b 的孔洞 40b 的剖面示意圖。如第 4 圖所示，一個貴金屬層 52a，例如金、銀、鎳金或是其組合，安置在晶粒墊座 14 與分離墊區 14b 的模上方（晶粒方）。晶粒墊座 14 與分離墊區 14b 的曝露底面方（印刷電路板方），則都堵上一層貴金屬 52b。被動元件 60 可安置在晶粒墊座 14 與分離墊區 14b 間，跨過孔洞 40b，以作為解除連接（decoupling），防止靜電（ESD，Electrostatic Discharge）或其他特定的電路設計，例如濾波器或匹配器（matching）等用途。

本發明的另一個特點是孔洞 40b（或是孔洞 40a）的部分區域還可以設計成具有倒 T 形狀截面的結構。環氧樹脂模包裝材料 20 填入倒 T 形狀截面的孔洞，可進一步增加封裝的穩定性，並避免導線架主體的變形。由於倒 T 形狀的孔洞 40b 的設計，射入的模包裝材料 20 可以牢牢抓住分離墊區 14b，讓其保持在固定位置。

第 5 圖例示另一種孔洞 40b（或 40a）的另一種設計上的變形。如第 5 圖所示，沙漏形狀的孔洞 40b 在模上方或說晶粒方具有梯

狀上部部分。第 6 圖則例示另一種孔洞 40b（或 40a）的變形。如第 6 圖所示，分離墊區 14b 具有鋸齒形狀的邊緣 70。這樣的設計可以增加分離墊區 14b 與填入孔洞 40b 中的模包裝材料間的附著力。

第 7 圖例示依據本發明的晶粒墊座 14 與作為範例的電感區 82 與 84。彎曲狀的電感區 82 與螺旋狀的電感區 84，可用來作為墊座上的電感，可整合在形成導線架的晶粒墊座 14 時一起製作。彎曲電感區 82 與螺旋電感區 84 并不直接與晶粒墊座 14 接觸。進一步來說，電感區 82 與 84 并不需要任何來自導腳 16 或是晶粒墊座 14 的支撐。

環氧樹脂模包裝材料填入位于彎曲電感區 82 與晶粒墊座 14 間的孔洞 82a，也填入位于彎曲電感區 84 與晶粒墊座 14 間的孔洞 84a。孔洞 82a 與 84a 也可以有部分區域有第 4 圖所示的倒 T 形狀的截面。

由于電感區 82 與 84 並沒有直接與導腳 16 連接，電感具有高 Q 參數，降低了寄生電容并降低了響應頻率。

第 8 圖例示製作依據本發明的具有多曝露墊區的導線架封裝的流程圖。從一個角度看，本發明的導線架封裝可使用兩階段蝕刻（etching）方法來實行。也就是說，晶粒墊座首先經過第一次

半蝕刻(標號 102 所示步驟),也稱作初次蝕刻,這個屬於階段 100 的步驟可以在導線架製造工廠完成。此外,第二次的半蝕刻(標號 202 所示步驟),也稱為分離蝕刻,可以在階段 200,由後續的組裝工廠在模包裝程序後進行。在第 8 圖中,除了“背面加圖案(Back-side Mark)”,“移除背面圖案”,以及“模包裝”(molding)後的“蝕刻”,其它步驟可直接使用傳統的導線架封裝程式來進行。由於需要調整改變的程式並不多,使得這個實施例得以快速導入現有制程,也是本發明的優點之一。“背後加圖案”是在底面要鍍上 Sn 保護層前,先對將來要移除的分隔部分上遮罩。在鍍上 Sn 或是其他貴金屬等保護層時,便不會把這些貴金屬鍍在接下來準備要移除的分隔部分。接著,便是移除這些覆蓋在分隔部分上的遮罩,並對這些區域進行蝕刻,移除剩下的分隔部分的厚度。第二次的半蝕刻將分離墊區 14a 與 14b 從晶粒墊座的主要區域進行分離的動作。

請參考第 9 圖到第 13 圖,并且回頭參照第 8 圖。第 9 圖到第 13 圖為使用本發明兩階段蝕刻組裝導線架過程的剖面示意圖。請注意這邊的元件或是層的厚度為了說明方便,并未用實際的比例繪製。如第 9 圖所示,在蝕刻或是衝壓(stamping)以及鍍膜(plating),可獲得導線架 300。導線架 300 包括單一晶粒墊座 314 以及周邊導腳 316。晶粒墊座 314 的兩面都鍍(coat)有蝕刻遮罩 322,由貴金屬、金屬合金或是光阻(photoresist)構成。蝕刻遮罩 322 具有孔洞開口 324,其定義分離的墊座樣態(pad pattern)

350，以轉換為後面所述的晶粒墊座 314。

如第 10 圖所示，第一次半蝕刻程序執行時，可透過蝕刻遮罩 322，在晶粒墊座的晶粒方透過孔洞開口蝕刻預定厚度。如前所述，第一次半蝕刻的程序可在導線架製作工廠完成。接著，經過半蝕刻的導線架 300 運送到組裝工廠。

如第 11 圖所示，在組裝工廠，半導體晶粒 312 被安置到晶粒墊座 314 之上。焊接線 318 與 336 用來提供焊接墊 313 與導腳 316，以及半導體晶粒 312 上的焊接墊 313 與晶粒墊座 314 之間的電性連接。

如第 12 圖所示，在焊接線後，如第 11 圖的整個組裝可使用熱塑材料（thermosetting compound）320 加以包裝。這個材料可以是低溫硬化樹脂（low-temperature hardening resin）。接著，模封裝可以進行固化（curing）程序。如特殊指定，底面方或說印刷電路板方的包裝封裝則有曝露區域。

如第 13 圖所示，在包裝後，包裝的封裝產品曝露出來的印刷電路板方經過第二次的蝕刻，把剩下來的晶粒墊座的厚度，透過蝕刻遮罩 322 的孔洞開口 324 加以移除，因而形成了分離墊區 314a，使其與晶粒墊座 314 分離。分離墊區 314a 與晶粒墊座 314 完全分離，而且沒有與晶粒墊座 314 有直接的接觸。

第 14 圖到第 17 圖例示具有第 4 圖的倒 T 形開孔的導線架封裝的組裝示意圖。如第 14 圖所示，在蝕刻或是衝壓以及電鍍後，獲得導線架 300。導線架 300 包括單一晶粒墊座 314 與周邊導腳 316。晶粒墊座的兩方都鍍上蝕刻遮罩 322。在曝露的底面，蝕刻遮罩 322 包括支撐杆 (supporting bar) 樣態，以暫時連接分離墊區 314a 與晶粒墊座 314。蝕刻遮罩 322 可用貴金屬、金屬合金或是光阻來製作。蝕刻遮罩 322 具有孔洞開口 324，其定義了分離墊區 350，可以後來被轉換成下面描述的晶粒墊座 314。

接下來，在第 15 圖中，第一次蝕刻（包括從晶粒方向的半蝕刻以及從晶粒墊座底面方向的半蝕刻）在晶粒墊座的兩個方向進行，從蝕刻遮罩 322 的孔洞開口，移除晶粒墊座的整個厚度，以形成倒 T 形孔洞截面 340，以及分離墊區 314a。在這個階段，上述的支撐杆仍然連接在分離墊區 314a 與晶粒墊座 314 之間，以避免分離墊區 314 從晶粒墊座 314 掉落。這個第一次的蝕刻可以在導線架工廠進行。導線架接著被送到組裝工廠。

如第 16 圖所示，在組裝工廠內，半導體晶粒 312 被安置在晶粒墊座 314 之上。焊接線 318 與 336 提供半導體晶粒的焊接墊 313 與導腳 316 之間，以及半導體晶粒的焊接墊 313 與分離墊區 314a 的電性連接。

如第 17 圖所示，在焊接線後，第 16 圖所示的組合整個被熱塑材料 320 模包裝起來。這個材料可以是低溫硬化樹脂。接著，模封裝可以進行硬化(curing)程序。如上所述，模封裝的底面或說印刷電路板面被曝露出來。

根據本發明另一實施例，導線架封裝為多晶片模組 (MCM, multi-chip module) 或是封裝內系統 (SiP, System-in-Package)，包含了多個半導體晶粒以及被動元件在單一的封裝中。第 18 圖例示 SiP 導線架封裝的上方示意圖。在第 18 圖中，SiP 導線架封裝包含第一半導體晶粒 412，安置在主要晶粒墊座 414 上。主要晶粒墊座 414 具有四個細長的支撐杆 415，從主要晶粒墊座 414 的四個方向向外延伸。晶粒墊座 414 的底面曝露在封裝主體外，以將半導體晶粒 412 所產生的熱量散出。主要晶粒墊座 414 的曝露底面可以電連接到印刷電路板的接地層。

第一半導體晶粒 412 的上方有多個焊接墊 413，透過焊接線 418 電連接到對應的導腳 416。SiP 的導線架封裝 400 更包括第二晶粒墊座 514。第二半導體晶粒 512 安置在第二晶粒墊座 514 上。第二晶粒墊座 514 與主要晶粒墊座 414 分離，而且沒有直接與主要晶粒墊座 414 接觸。半導體晶粒 512 的一部分焊接墊 513 透過焊接線 518 電連接到對應的導腳 416。在這個實施例中，第一半導體晶粒 412 為數位晶片，而第二半導體晶粒為類比晶片。

相似的，第二晶粒墊座 514 的底面曝露在封裝之外，以對半導體晶粒 512 產生的熱進行排除。第二晶粒墊座 514 可直接與印刷電路板的類比接地端等接地層電連接，以避免數位電路的雜訊干擾類比信號路徑。此外，分離墊區 614 也可以有與第 3 圖到第 6 圖所示的相同分離墊區 14b，設計在主要晶粒墊座 414 上。

分離墊區 614 的功能可提供高速訊號到半導體晶粒 512，以建立較短的電路徑，並且已達成較少的信號丟失。分離墊區 614 可與主要墊區 414 分離，而且不需要任何來自主要晶粒墊座 414 或是導腳 416 的結構支撐。

另一種作法是，將被動元件 560 安置跨接在主要晶粒墊座 414 與第二晶粒墊座 514 之間的孔洞 540 上。有些焊接墊 413 透過焊接線 618，連接到第二半導體晶粒 512 的焊接墊 513。有些第二半導體晶粒 512 的焊接墊 513，則透過焊接線 718 連接到分離墊區 614。整個組裝用模包裝材料 420 包裝起來。

第 19 圖與第 20 圖說明本發明用在輕點晶片 (flip-chip) 封裝導線架封裝 900。第 19 圖是輕點晶片導線架封裝 900 的上方平面示意圖，第 20 圖則是輕點晶片導線架封裝 900 的剖面示意圖。如第 19 圖與第 20 圖所示，輕點晶片導線架封裝 900 包含晶粒墊座 914，具有四個細長支撐杆 915，從晶粒墊座 914 的主要區域四個角落往外延伸。晶粒墊座 914 的曝露底面則電連接到印刷電路半

的數位接地 (DGND) 層。跳點 (Bump) 或焊接球 (solder ball) 則配置在另一方，也就是晶粒方，其與晶粒墊座 914 的曝露方相反，用以電焊接主要晶粒墊座與晶粒墊座上的輕點晶片。

輕點晶片導線架封裝 900 更包括多個分離墊區 914a~914d，每個連接到一個特殊的信號。舉例來說，分離墊區 914a 連接到 V_{DD1} 的電源信號，分離墊區 914b 連接到 V_{DD2} 的電源信號，分離墊區 914c 連接到 V_{DD3} 的電源信號，分離墊區 914d 則連接到類比接地信號 (AGND)。跳點 (Bump) 924a~924d 則分別安置在分離墊區 914a~914d，提供分離墊區與輕點晶片 912 之間的點焊接。

分離墊區 914a~914d 與晶粒墊座 914 保持分離，并且如前所述，與晶粒墊座沒有直接接觸。進一步，分離墊區 914a~914d 與導腳 916 也都保持分離。孔洞 940a~940d 可以有第 4 圖所示的倒 T 形橫截面。分離墊區 914a~914d 的底面則曝露出來。

導腳 916 沿著晶粒墊座 914 的四周配置。跳點 (Bump) 916a 安置給對應的導腳 916，以進行導腳 916 與輕點晶片 912 間的電焊接。除了底面外，輕點晶片 912、晶粒墊座 914，分離墊區 914a~914d，以及導腳 916 包裝在模包裝材料 920 中。模包裝材料 920 填入孔洞 940a~940d，使得分離墊區 914a~914d 可以更牢固的保持原來的位置。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範

圖所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖例示一個導線架封裝 10 的上方示意圖。

第 2 圖為依據本發明實施例的導線架封裝的上方示意圖。

第 3 圖例示導線架封裝的側視剖面示意圖。

第 4 圖是分離墊區 14b 與環繞分離墊區 14b 的孔洞 40b 的剖面示意圖。

第 5 圖例示孔洞的設計上的變形。

第 6 圖則例示另一種孔洞的變形。

第 7 圖例示依據本發明的晶粒墊座與作為範例的電感區。

第 8 圖例示製作依據本發明的具有多曝露墊區的導線架封裝的流程圖。

第 9 圖為使用本發明兩階段蝕刻組裝導線架過程的剖面示意圖。

第 10 圖為使用本發明兩階段蝕刻組裝導線架過程的剖面示意圖。

第 11 圖為使用本發明兩階段蝕刻組裝導線架過程的剖面示意圖。

第 12 圖為使用本發明兩階段蝕刻組裝導線架過程的剖面示意圖。

第 13 圖為使用本發明兩階段蝕刻組裝導線架過程的剖面示意圖。

第 14 圖例示具有第 4 圖的倒 T 形開孔的導線架封裝的組裝示意圖。

第 15 圖例示具有第 4 圖的倒 T 形開孔的導線架封裝的組裝示意圖。

第 16 圖例示具有第 4 圖的倒 T 形開孔的導線架封裝的組裝示意圖。

第 17 圖例示具有第 4 圖的倒 T 形開孔的導線架封裝的組裝示意圖。

第 18 圖例示 SiP 導線架封裝的上方示意圖。

第 19 圖說明本發明用在輕點晶片 (flip-chip) 封裝導線架封裝。

第 20 圖說明本發明用在輕點晶片 (flip-chip) 封裝導線架封裝。

【主要元件符號說明】

10	導線架封裝	12	半導體晶粒
13	焊接墊	13a~13f	電源墊
13g~13h	接地墊	13i~13j	類比接地墊
14	晶粒墊座	14a	分離墊
14b	分離墊區		
15	支撐杆	16	導腳
16a~16f	導腳	18	焊接線
20	模包裝材料	26	焊接線
28	焊接線	36	焊接線
40a	孔洞	40b	孔洞
52a	貴金屬層	52b	貴金屬
60	被動元件	70	邊緣
82	電感區	82a	孔洞

84	電感區	84a	孔洞
100	階段	102	第一次半蝕刻
200	階段	202	第二次半蝕刻
300	導線架	313	焊接墊
314	晶粒墊座	314a	分離墊區
316	周邊導腳	318	焊接線
320	熱塑材料	322	蝕刻遮罩
324	孔洞開口	336	焊接線
340	倒 T 形孔洞截面	350	墊座樣態
400	導線架封裝	412	半導體晶粒
413	焊接墊	414	主要晶粒墊座
415	支撐杆	416	導腳
418	焊接線	420	模包裝材料
512	第二半導體晶粒	513	焊接墊
514	第二晶粒墊座	518	焊接線
540	孔洞	560	被動元件
614	分離墊區	618	焊接線
718	焊接線	900	輕點晶片導線架封裝
912	輕點晶片	914	晶粒墊座
914a~914d	分離墊區	915	支撐杆
916	導腳	916a	跳點
920	模包裝材料		
924	跳點	924a~924d	跳點

940a~940d

孔洞

十、申請專利範圍：

1. 一種封裝半導體元件的方法，包含：

將半導體元件安置于導線架的晶粒墊座的主要部分之上，該晶粒墊座另有一個以上的次要部分與一個以上的分隔部分，該次要部分與該主要部分透過該分隔部分連接，其中該分隔部分之一局部區域呈現出一個倒 T 形孔形狀；

將半導體元件的一組信號線分別連接到該導線架的多個導腳；

對該半導體元件與該導線架進行模包裝，其中該晶粒墊座的底面曝露在模包裝外，並且該 T 形孔于模包裝時填入模包裝材料，以增加該晶粒墊座的穩定性；以及

進行膜包裝後，從晶粒墊座的底面對該分隔部分進行分離蝕刻，使該主要部分與該次要部分電性分離。

2. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，其中該分隔部分的厚度比該主要部分與該次要部分的厚度為薄。

3. 如申請專利範圍第 2 項所述之封裝半導體元件的方法，更包含對該晶粒墊座進行初步蝕刻，以使得該分隔部分的厚度比該主要部分與該次要部分的厚度為薄。

五、中文發明摘要：

一種封裝半導體元件的方法，包含：將半導體元件安置于導線架的晶粒墊座的主要部分之上，該晶粒墊座另有一個以上的次要部分與一個以上的分隔部分，該次要部分與該主要部分透過該分隔部分連接，其中該分隔部分之一局部區域呈現出一個倒 T 形孔形狀；將半導體元件的一組信號線分別連接到該導線架的多個導腳；對該半導體元件與該導線架進行模包裝，其中該晶粒墊座的底面曝露在模包裝外，並且該 T 形孔于模包裝時填入模包裝材料，以增加該晶粒墊座的穩定性；以及進行膜包裝後，從晶粒墊座的底面對該分隔部分進行分離蝕刻，使該主要部分與該次要部分電性分離。

六、英文發明摘要：

A method for packaging a semiconductor device, comprising: mounting the semiconductor device on a primary portion of a die pad of a leadframe, the die pad further comprising at least one secondary portion and at least one separating portion, the primary portion and the secondary portion being connected via the separating portion; wiring a set of signal lines from the semiconductor device to leads of leadframe; encapsulating the semiconductor device and the leadframe with a molding compound wherein the bottom side of the die pad is exposed outside the molding compound; and applying a separating etching on

the separating portion so as electrically disconnect the primary portion and the secondary portion.

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

10a	導線架封裝	12	半導體晶粒
13	焊接墊	13a~13f	電源墊
13g~13h	接地墊	13i~13j	類比接地墊
14	晶粒墊座	14a	分離墊
14b	分離墊區		
15	支撐杆	16	導腳
16a~16f	導腳	18	焊接線
20	模包裝材料	26	焊接線
28	焊接線	36	焊接線
40a	孔洞	40b	孔洞

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

940a~940d

孔洞

十、申請專利範圍：

1. 一種封裝半導體元件的方法，包含：

將半導體元件安置于導線架的晶粒墊座的主要部分之上，該晶粒墊座另有一個以上的次要部分與一個以上的分隔部分，該次要部分與該主要部分透過該分隔部分連接，其中該分隔部分之一局部區域呈現出一個倒 T 形孔形狀；

將半導體元件的一組信號線分別連接到該導線架的多個導腳；

對該半導體元件與該導線架進行模包裝，其中該晶粒墊座的底面曝露在模包裝外，並且該 T 形孔于模包裝時填入模包裝材料，以增加該晶粒墊座的穩定性；以及

進行膜包裝後，從晶粒墊座的底面對該分隔部分進行分離蝕刻，使該主要部分與該次要部分電性分離。

2. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，其中該分隔部分的厚度比該主要部分與該次要部分的厚度為薄。

3. 如申請專利範圍第 2 項所述之封裝半導體元件的方法，更包含對該晶粒墊座進行初步蝕刻，以使得該分隔部分的厚度比該主要部分與該次要部分的厚度為薄。

4. 如申請專利範圍第 3 項所述之封裝半導體元件的方法，其中，藉由該初次蝕刻在該分隔部分之一局部區域蝕刻出該倒 T 形孔。
5. 如申請專利範圍第 4 項所述之封裝半導體元件的方法，其中，該晶粒墊座的曝露面于該 T 形孔處，附貼被動元件。
6. 如申請專利範圍第 3 項所述之封裝半導體元件的方法，其中，藉由該初次蝕刻在該分隔部分之一局部區域蝕刻出一個沙漏形狀孔，該沙漏形狀孔于模包裝時填入模包裝材料，以增加該晶粒墊座的穩定性。
7. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，其中，該分隔部分之一局部區域呈現鋸齒狀，以增加該晶粒墊座的穩定性。
8. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，更包含將該半導體元件的另一組信號線連接到該次要部分，以透過該次要部分曝露于該模包裝的區域連接到電路板上的信號接點。
9. 如申請專利範圍第 6 項所述之封裝半導體元件的方法，其中，超過兩個以上的電信號連接到同一個該次要部分。
10. 如申請專利範圍第 6 項所述之封裝半導體元件的方法，其中，

該次要部分用來所連接的電信號為高頻信號。

11. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，更包含，將另一半導體元件安置于該次要部分上。
12. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，該次要部分形成晶片外電感元件。
13. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，其中，有兩個次要部分提供兩個接地接點。
14. 如申請專利範圍第 1 項所述之封裝半導體元件的方法，其中，更包含將該半導體元件的類比電路接地信號與數位的接地導接到不同個次要部分的接地點。
15. 一種製作導線架的方法，該導線架用于封裝半導體元件，該方法包含：
 - 在金屬片上製作一導線框主要圖案；
 - 依據該導線框主要圖案製作初步導線框；
 - 用遮罩在初步導線框上的晶粒墊座區域定義主要部分，至少一次要部分，以及至少一分隔部分；以及
 - 對該分隔部分進行初步蝕刻，使該分隔部分之厚度比該主要部分與該次要部分的厚度薄。

16. 如申請專利範圍第 15 項所述之製作導線架的方法，其中，藉由該初次蝕刻在該分隔部分之一局部區域蝕刻出一個倒 T 形孔，該 T 形孔于模包裝時填入模包裝材料，以增加該晶粒墊座的穩定性。

17. 如申請專利範圍第 15 項所述之製作導線架的方法，藉由該初次蝕刻在該分隔部分之一局部區域蝕刻出一個沙漏形狀，該沙漏形狀區域于模包裝時填入模包裝材料，以增加該晶粒墊座的穩定性。

18. 如申請專利範圍第 15 項所述之製作導線架的方法，其中，該分隔部分之一局部區域呈現鋸齒狀，以增加該晶粒墊座的穩定性。

19. 一種半導體封裝產品，包含：

半導體元件；

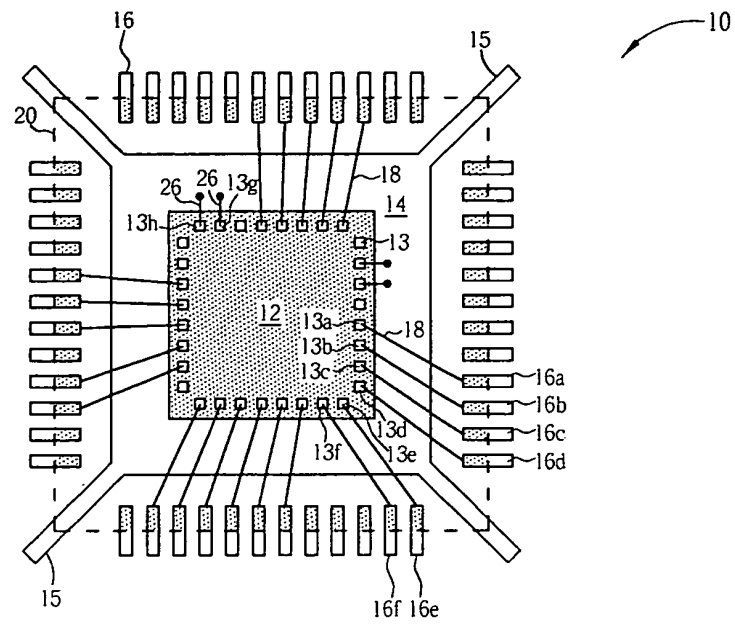
晶粒墊座，具有主要部分以及一個以上的次要部分，主要部分承載半導體元件，該主要部分與該次要部分電性分離；

多個導腳，電連接半導體元件的多個信號線，其中該多個導腳與該晶粒墊座不共平面；以及

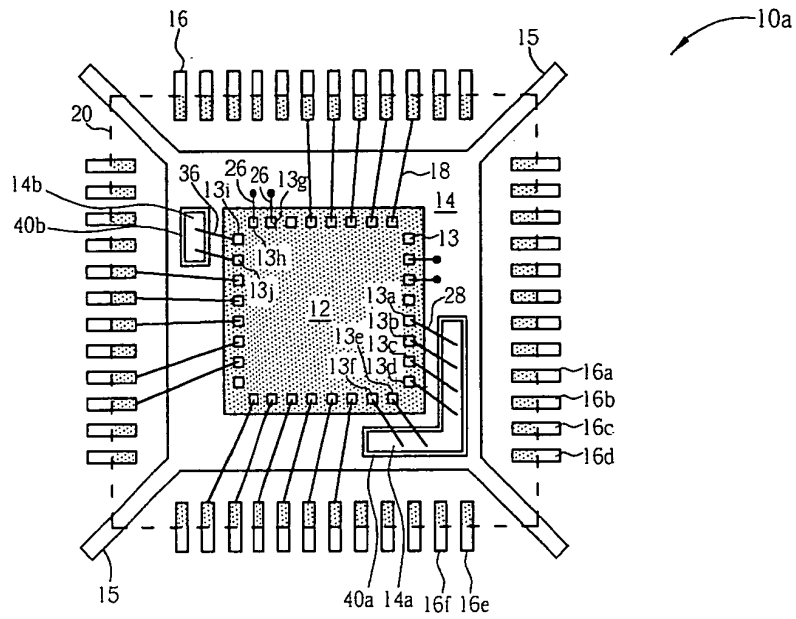
封裝模，覆蓋半導體元件、晶粒墊座以及部分的導腳，并曝露該晶粒墊座的次要部分的底面，其中，該半導體元件有兩個以上的電信號連接到次要部分，并透過該次要部分曝露的底面，將這些電信號連接到電路板的電信號接點。

20. 如申請專利範圍第 19 項所述之半導體封裝產品，其中，有兩個次要部分提供兩個接地接點。
21. 如申請專利範圍第 19 項所述之半導體封裝產品，其中，更包含將該半導體元件的類比電路接地信號與數位的接地導接到不同個次要部分的接地點。
22. 如申請專利範圍第 19 項所述之半導體封裝產品，其中，該次要部分提供連接該半導體元件的高頻信號。
23. 如申請專利範圍第 19 項所述之半導體封裝產品，其中，主要部分與該次要部分間由材料的分隔部分區隔，該分隔部分具有倒T形狀。
24. 如申請專利範圍第 19 項所述之半導體封裝產品，，其中，主要部分與該次要部分間由材料的分隔部分區隔，該分隔部分具有沙漏形狀。
25. 如申請專利範圍第 19 項所述之半導體封裝產品，其中，該分隔部分之一局部區域呈現鋸齒狀，以增加該晶粒墊座的穩定性。

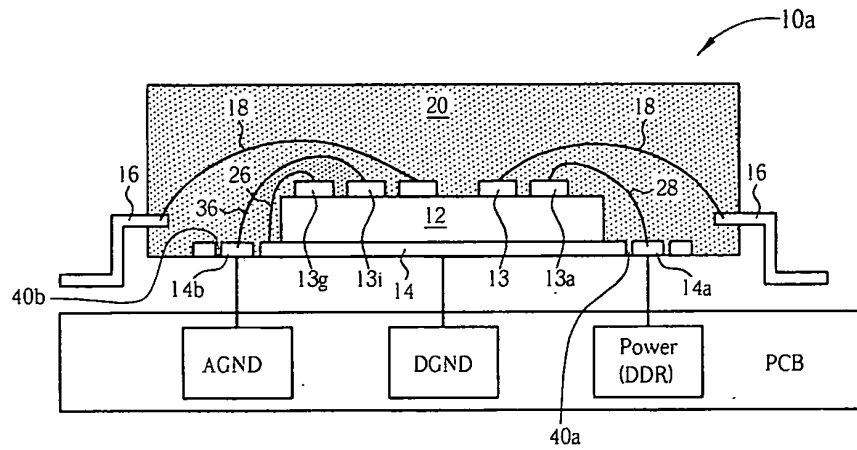
十一、圖式：



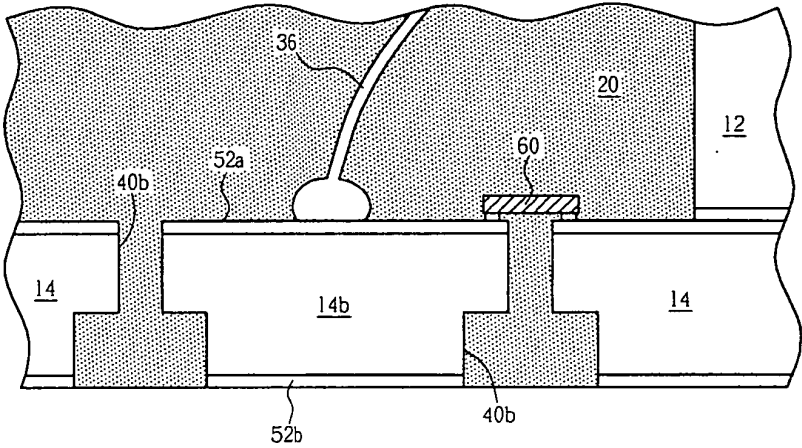
第1圖



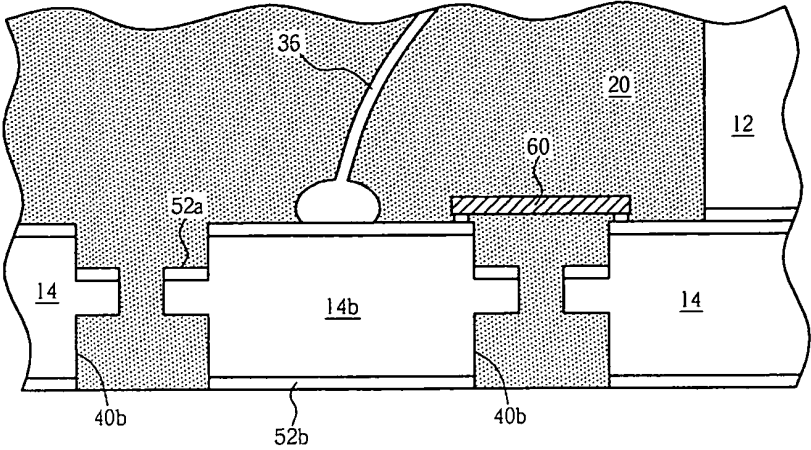
第2圖



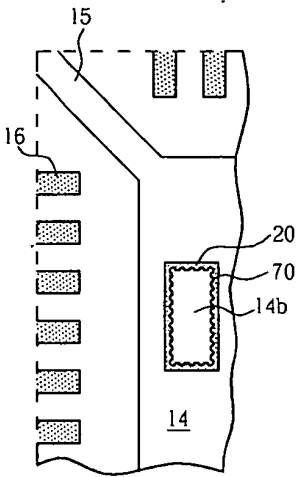
第3圖



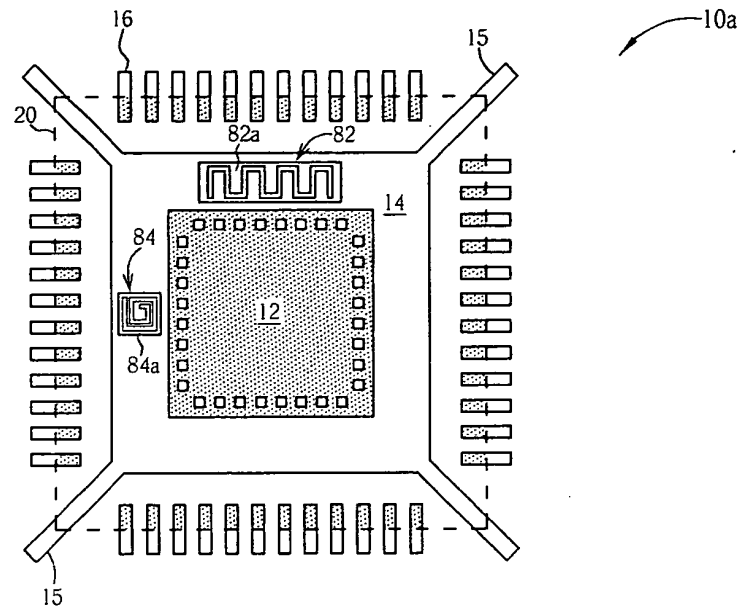
第4圖



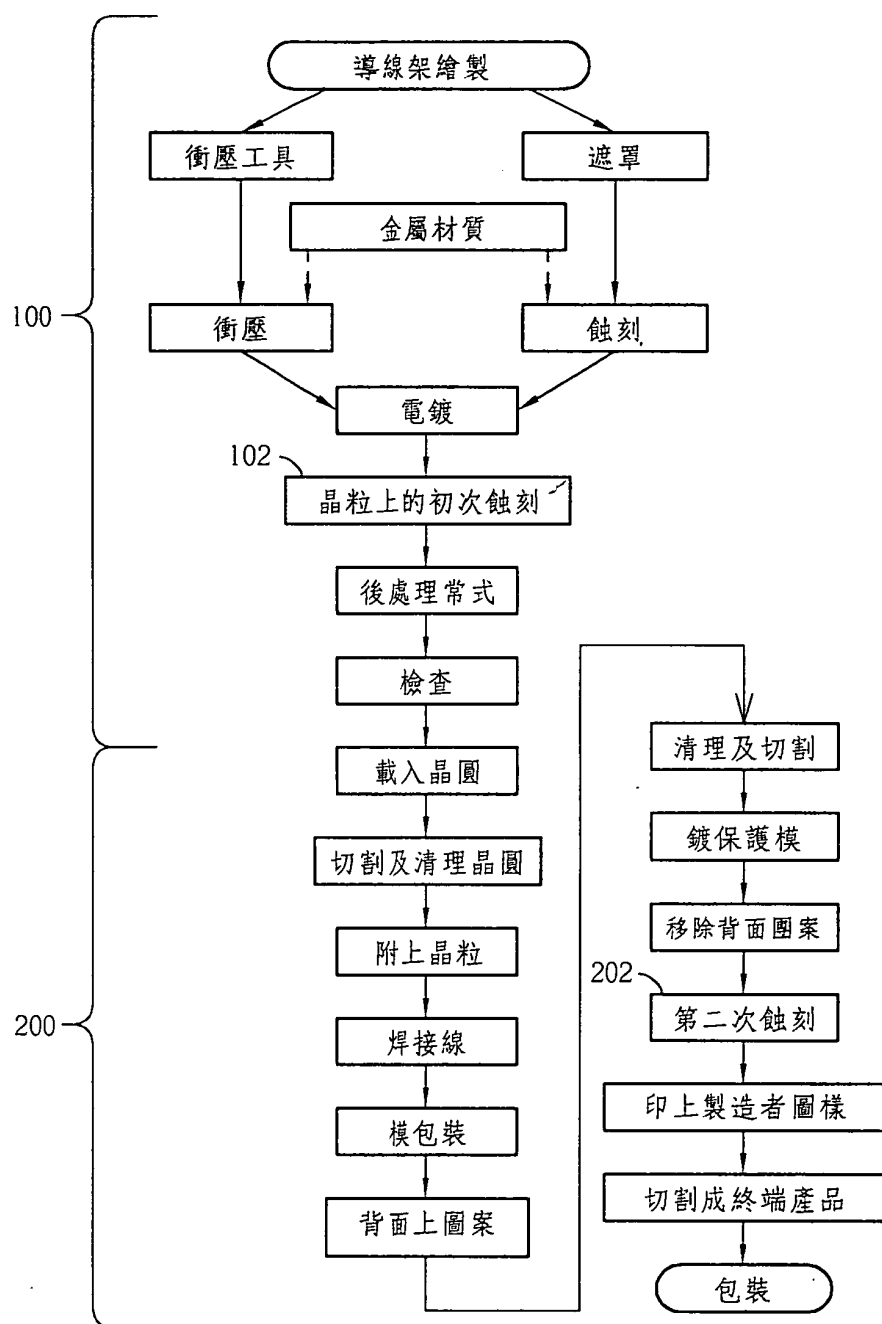
第5圖



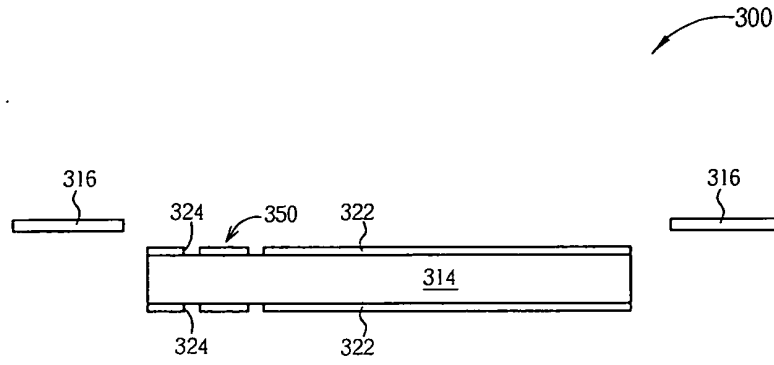
第6圖



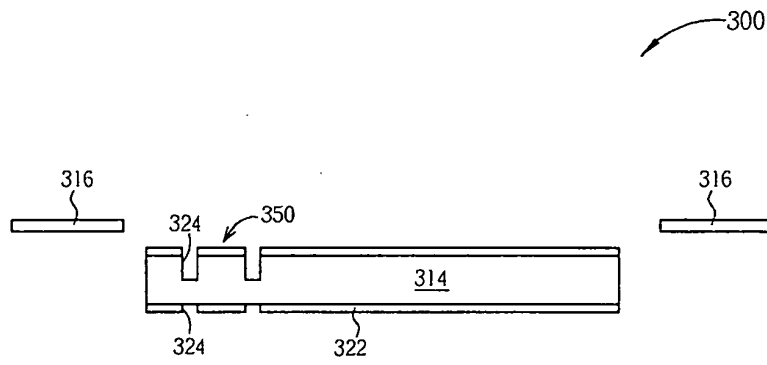
第7圖



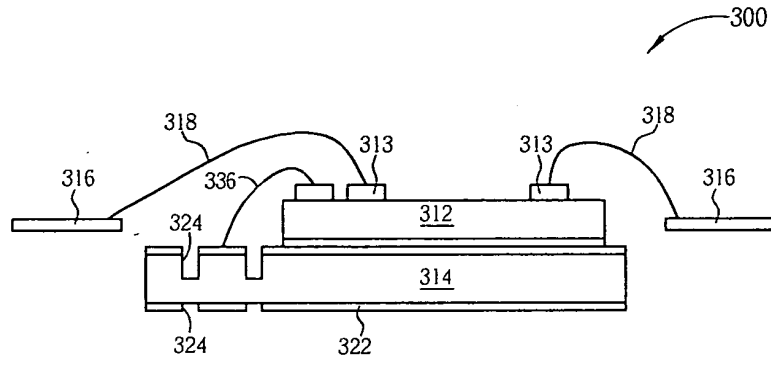
第8圖



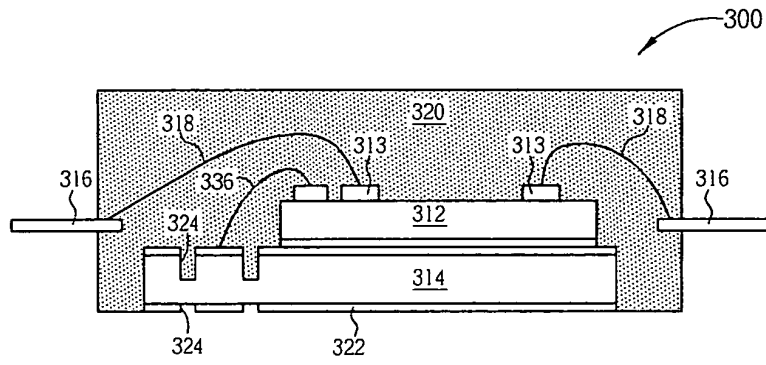
第9圖



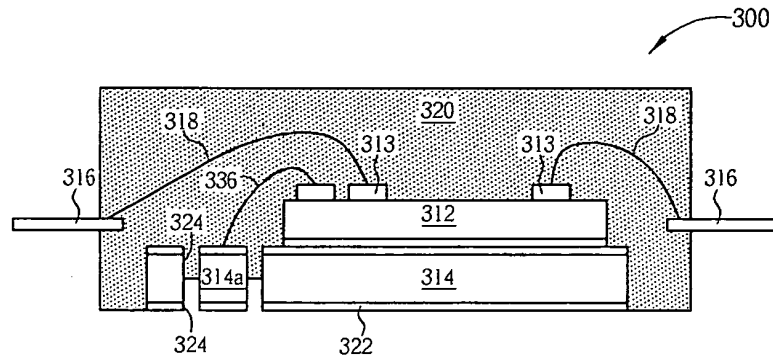
第10圖



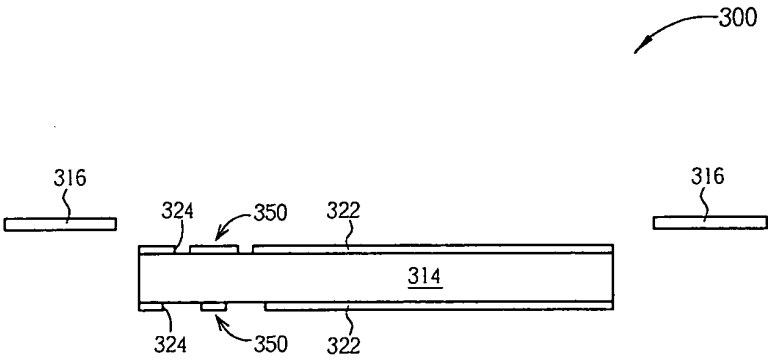
第11圖



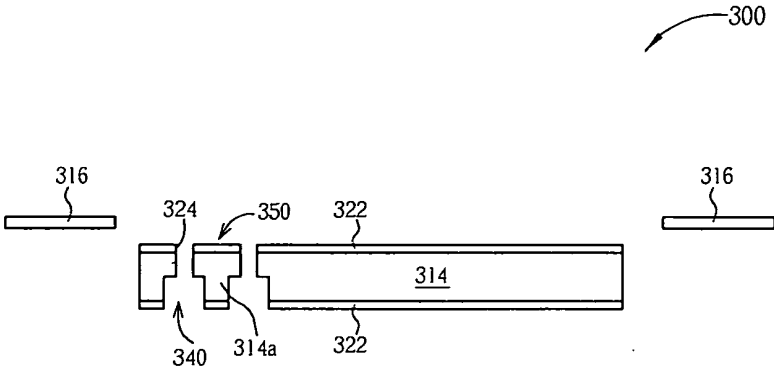
第12圖



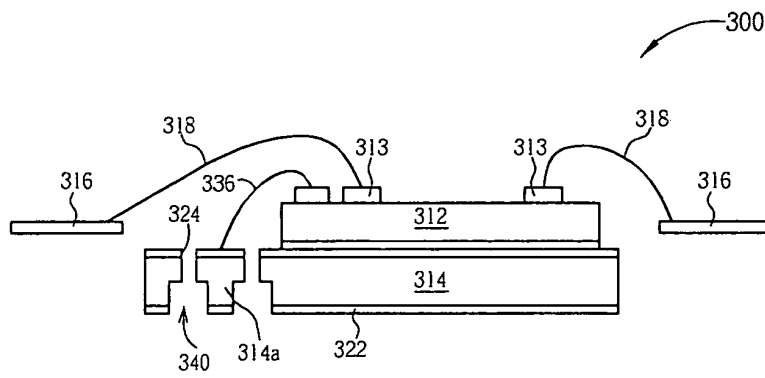
第13圖



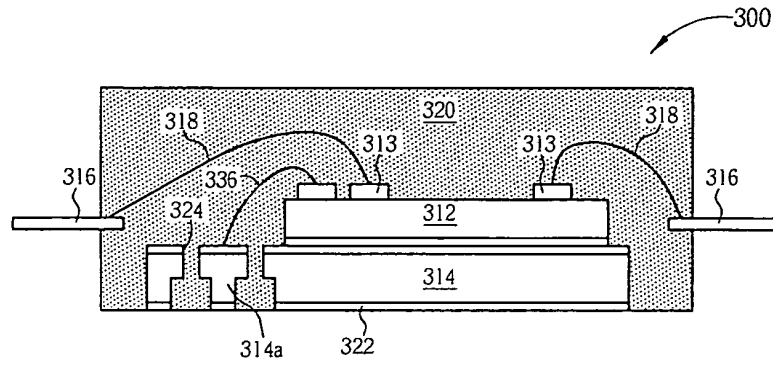
第14圖



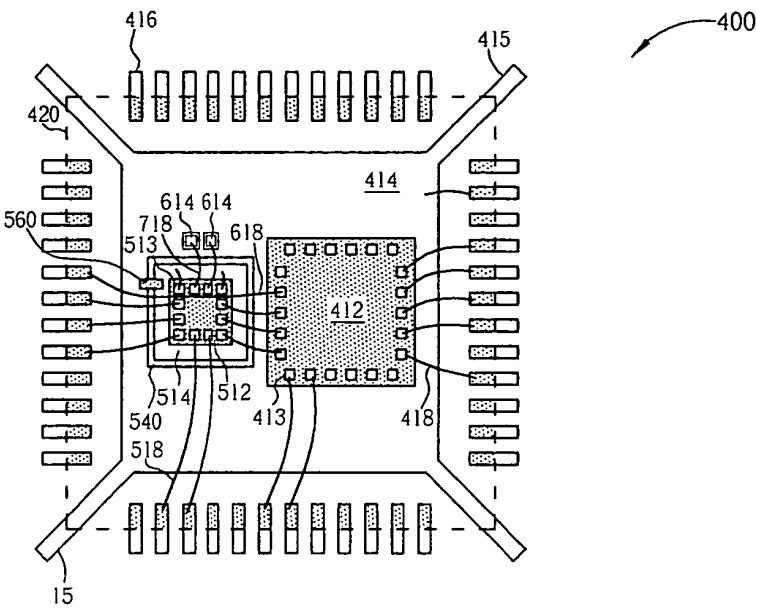
第15圖



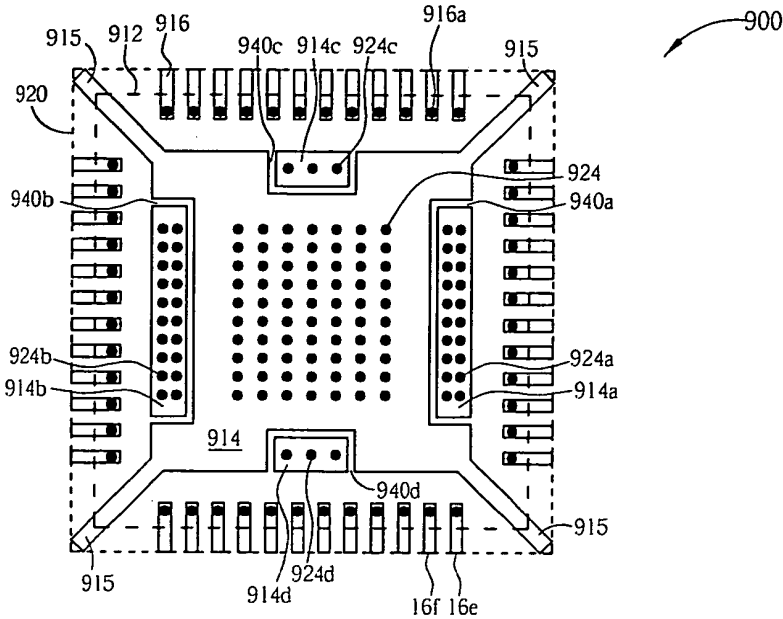
第16圖



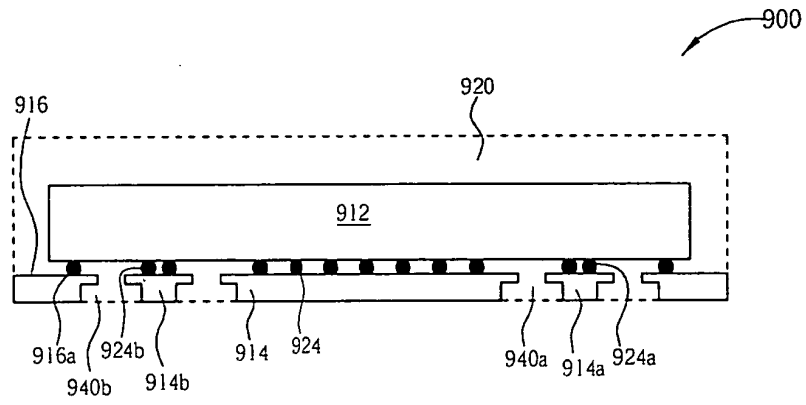
第17圖



第18圖



第19圖



第20圖

the separating portion so as electrically disconnect the primary portion and the secondary portion.

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

10a	導線架封裝	12	半導體晶粒
13	焊接墊	13a~13f	電源墊
13g~13h	接地墊	13i~13j	類比接地墊
14	晶粒墊座	14a	分離墊
14b	分離墊區		
15	支撐杆	16	導腳
16a~16f	導腳	18	焊接線
20	模包裝材料	26	焊接線
28	焊接線	36	焊接線
40a	孔洞	40b	孔洞

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無