



(21) 申請案號：106138847

(22) 申請日：中華民國 106 (2017) 年 11 月 09 日

(51) Int. Cl. :

*H03L7/099 (2006.01)**H03L7/08 (2006.01)**H03L7/00 (2006.01)**H04B1/16 (2006.01)*

(71) 申請人：晨星半導體股份有限公司 (中華民國) MSTAR SEMICONDUCTOR, INC (TW)  
 新竹縣竹北市台元街 26 號 4 樓之 1

(72) 發明人：陳家偉 CHEN, CHIA-WEI (TW)；鄭凱文 CHENG, KAI-WEN (TW)；賴科印 LAI, KO-YIN (TW)

(74) 代理人：洪澄文

申請實體審查：有 申請專利範圍項數：8 項 圖式數：4 共 13 頁

(54) 名稱

信號接收裝置及其信號處理方法

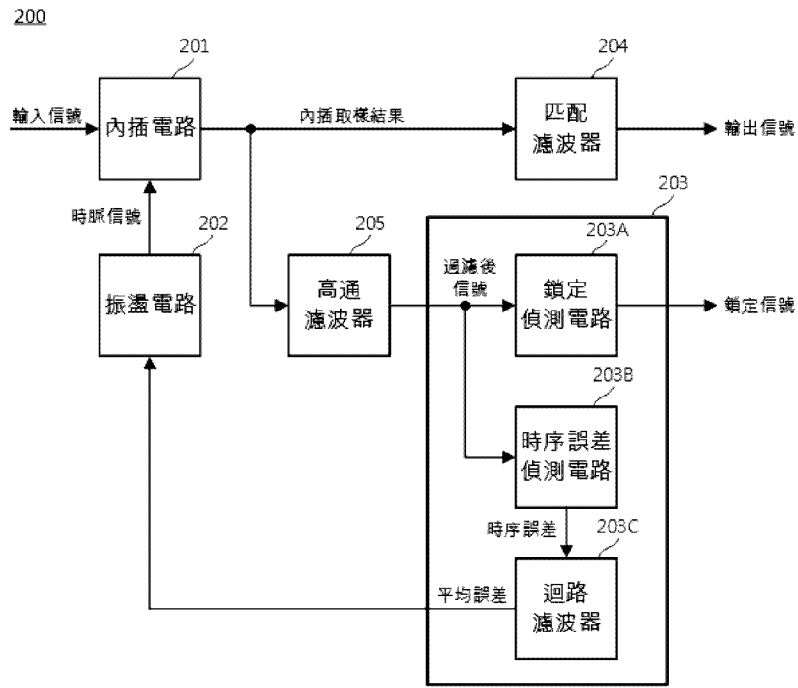
SIGNAL RECEIVING APPARATUS AND SIGNAL PROCESSING METHOD THEREOF

(57) 摘要

本發明提供一種信號接收裝置，其中包含一振盪電路、一內插電路、一匹配濾波器、一高通濾波器與一時序回復電路。該振盪電路係用以產生一時脈信號。該內插電路係用以根據該時脈信號對一輸入信號進行一內插程序，以產生一內插取樣結果。該匹配濾波器係用以解調該內插取樣結果，以產生一輸出信號。該高通濾波器係用以對該內插取樣結果施以一高通濾波程序，以產生一過濾後信號。該時序回復電路係用以接收該過濾後信號，並根據該過濾後信號進行一時序回復程序。

A signal receiving apparatus including an oscillating circuit, an interpolation circuit, a matched filter, a high-pass filter, and a timing recovery circuit is provided. The oscillating circuit generates a clock signal. Based on the clock signal, the interpolation circuit performs an interpolation process on an input signal, so as to generate an interpolation result. The matched filter is used for demodulating the interpolation result, so as to generate an output signal. The high-pass filter performs a high-pass process on the interpolation result, so as to generate a filtered signal. The timing recovery circuit receives the filtered signal and performs a timing recovery process according to the filtered signal.

指定代表圖：



符號簡單說明：

200 . . . 信號接收裝置

201 . . . 內插電路

202 . . . 振盪電路

203 . . . 時序回復電路

203A . . . 鎖定偵測電路

203B . . . 時序誤差偵測電路

203C . . . 迴路濾波器

204 . . . 匹配濾波器

205 . . . 高通濾波器

圖二

## 【發明說明書】

【中文發明名稱】信號接收裝置及其信號處理方法

【英文發明名稱】SIGNAL RECEIVING APPARATUS AND SIGNAL PROCESSING METHOD THEREOF

【技術領域】

【0001】 本發明與信號接收裝置相關，並且尤其與提高其中時序回復電路之效能的技術相關。

【先前技術】

【0002】 隨著電子相關技術的進步，各種類型的通訊設備愈來愈普及。在許多信號接收裝置中，在解讀傳送端提供的資料內容之前，必須先找出正確的符號時序（symbol timing）。更具體地說，信號接收裝置中的時序回復（timing recovery）電路必須找出施加於輸入符號的理想取樣點。

【0003】 圖一呈現一個數位電視廣播（digital video broadcasting, DVB）接收端中與時序回復相關的電路之功能方塊圖。內插電路 101 的輸入信號是前端電路產生的一連串取樣。內插電路 101 會根據振盪電路 102 提供的時脈信號對該輸入信號進行內插取樣，並將其內插取樣結果分別提供給鎖定偵測電路 103 與匹配濾波器（matched filter）104。匹配濾波器 104 負責將該內插取樣結果解調，其輸出信號會被傳遞給後續電路進行解碼。鎖定偵測電路 103 會根據該內插取樣結果之眼圖（eye diagram）來判斷接收端的時序是否已大致同步於傳送端，達到鎖定狀態。換言之，若內插取樣結果的眼圖開口夠大，意味著同一個符號的兩個取樣點的差值大於一預設值，則可判斷信號的品質越好。在鎖定之後，匹配濾波器 104 提供的輸出信號對後續電路才有意義。換句話說，後續電路會根據鎖定偵測電路 103 輸出之鎖定信號的內容來決定是否採信匹配濾波器 104 提供的輸出信號。

【0004】 實務上，在雜訊較多的環境，輸入信號較不穩定，鎖定偵測電

路 103A 往往要花費相當長的時間才能判定接收端已達到鎖定狀態，甚至無法找出鎖定狀態。

### 【發明內容】

【0005】 為解決上述問題，本發明提出一種新的信號接收裝置及其信號處理方法。

【0006】 根據本發明之一實施例為一種信號接收裝置，其中包含一振盪電路、一內插電路、一匹配濾波器、一高通濾波器與一時序回復電路。該振盪電路係用以產生一時脈信號。該內插電路係用以根據該時脈信號對一輸入信號進行一內插程序，以產生一內插取樣結果。該匹配濾波器係用以解調該內插取樣結果，以產生一輸出信號。該高通濾波器係用以對該內插取樣結果施以一高通濾波程序，以產生一過濾後信號。該時序回復電路係用以接收該過濾後信號，並根據該過濾後信號進行一時序回復程序。

【0007】 根據本發明之另一實施例為一種應用於一信號接收裝置之信號處理方法。首先，一時脈信號被產生。根據該時脈信號，一輸入信號被施以一內插程序，以產生一內插取樣結果。接著，該內插取樣結果被施以一高通濾波程序，以產生一過濾後信號。隨後，一時序回復程序係根據該過濾後信號來進行。此外，該內插取樣結果被解調，以產生一輸出信號。

【0008】 關於本發明的優點與精神可以藉由以下發明詳述及所附圖式得到進一步的瞭解。

### 【圖式簡單說明】

#### 【0009】

圖一呈現一個數位電視廣播接收端中與時序回復相關的電路之功能方塊圖。

圖二為根據本發明之一實施例中的信號接收裝置之功能方塊圖。

圖三呈現根據本發明之一實施例中的匹配濾波器與高通濾波器如何共用電路。

圖四為根據本發明之一實施例中的信號處理方法之流程圖。

【0010】 須說明的是，本發明的圖式包含呈現多種彼此關聯之功能性模組的功能方塊圖。該等圖式並非細部電路圖，且其中的連接線僅用以表示信號流。功能性元件及/或程序間的多種互動關係不一定要透過直接的電性連結始能達成。此外，個別元件的功能不一定要如圖式中繪示的方式分配，且分散式的區塊不一定要以分散式的電子元件實現。

### 【實施方式】

【0011】 根據本發明之一實施例為一種信號接收裝置，其功能方塊圖係繪示於圖二。實務上，信號接收裝置 200 可以被整合在多種需要根據接收信號之內插取樣結果進行時序回復的通訊系統中，例如但不限於數位電視廣播 (DVB) 接收端。如圖二所示，信號接收裝置 200 包含內插電路 201、振盪電路 202、時序回復電路 203、匹配濾波器 204 與高通濾波器 205，以下分述各電路的功能。

【0012】 內插電路 201 負責根據振盪電路 202 產生的時脈信號對輸入信號進行一內插程序，以產生一內插取樣結果。該內插取樣結果被分別提供至匹配濾波器 204 與高通濾波器 205。匹配濾波器 204 負責將該內插取樣結果解調，其輸出信號會被傳遞給後續電路進行解碼。高通濾波器 205 係用以對該內插取樣結果施以一高通濾波程序，以產生一過濾後信號。

【0013】 時序回復電路 203 係用以接收該過濾後信號，並根據該過濾後信號進行一時序回復程序。時序回復電路 203 包含一鎖定偵測電路 203A、一時序誤差偵測電路 203B 與一迴路濾波器 203C。鎖定偵測電路 203A 係用以根據過濾後信號判斷該接收端是否已達到一鎖定狀態。時序誤差偵測電路 203B 負責對該過濾後信號施以一時序誤差偵測程序，以產生一組時

序誤差。隨後，迴路濾波器 203C 會產生該組時序誤差之一平均誤差，供振盪電路 202 修正其時脈信號的相位及/或頻率。該平均誤差愈低，表示內插電路 201 選擇的取樣點愈正確、輸出的內插取樣結果愈理想。

【0014】 值得注意的是，鎖定偵測電路 203A 與時序誤差偵測電路 203B 各自在進行偵測時所需要的資訊主要與信號狀態的轉換點(例如由高電位轉換為低電位的信號降緣，或是由低電位轉換為高電位的信號升緣)相關，而這些轉換點的相關訊息都是包含在頻域中的高頻區段。因此，只要為高通濾波器 205 選擇合理的截止頻段，該過濾後信號中仍可保留有鎖定偵測電路 203A 與時序誤差偵測電路 203B 進行偵測時所需要的資訊。相較於內插電路 201 輸出的內插取樣結果，該過濾後信號整體的雜訊較少、較穩定。對於鎖定偵測電路 203A 來說，以過濾後信號做為偵測對象能夠快速地找出鎖定狀態。另一方面，對於時序誤差偵測電路 203B 來說，以過濾後信號做為偵測對象能夠找到準確可信的時序誤差，進而縮短內插電路 101 找出理想取樣點的時間。在雜訊較多的通訊環境中，採用高通濾波器 205 來為時序回復電路 203 提升信號品質的效用尤其顯著。

【0015】 實務上，高通濾波器 205 的截止頻段可由電路設計者根據該內插取樣結果的分布頻帶來決定，不限於特定數值，其電路亦不限於特定架構。

【0016】 為節省硬體資源與耗電量，高通濾波器 205 可被設計為與匹配濾波器 204 共用一部份的電路。圖三呈現一個兼有高通濾波與匹配濾波功能的濾波器電路 300 做為範例。濾波器電路 300 包含一延遲電路 301、一乘法電路 302、一第一加法電路 303、一第二加法電路 304、一第三加法電路 305 與一減法電路 306。延遲電路 301 中有  $N$  個 ( $N$  為大於一之整數) 串接的延遲元件  $L$ ，為內插取樣結果  $x[k]$  產生  $N$  種延遲後信號。圖三中的濾波器電路 300 係以  $N$  等於二十四為例。若以符號  $i$  表示一個範圍在 1 到  $(N-1)$  間之整數指標，則第  $(i+1)$  個延遲後信號所對應之延遲量  $D_{(i+1)}$  大於第  $i$

個延遲後信號所對應之延遲量  $D_i$ 。乘法電路 302 係用以將第  $i$  個延遲後信號乘以一第  $i$  權重，以產生一第  $i$  加權結果。實務上，該等延遲量和權重都是由電路設計者決定的濾波器係數，主要設計目標在實現匹配濾波器 204 的功能。第一加法電路 303 會將內插取樣結果  $x[k]$  與該整數指標  $i$  為偶數的十二個延遲後信號相加，以產生第一加總值  $S_1$ 。第二加法電路 304 則會將該整數指標  $i$  為奇數的另外十二個延遲後信號相加，以產生第二加總值  $S_2$ 。第三加法電路 305 負責將第一加總值  $S_1$  與第二加總值  $S_2$  相加，其相加結果  $y_1$  即為匹配濾波結果，也就是匹配濾波器 204 負責產生的輸出信號。減法電路 306 負責自第一加總值  $S_1$  減去第二加總值  $S_2$ ，其相減結果  $y_2$  即為高通濾波結果，也就是高通濾波器 205 負責輸出的過濾後信號。本發明所屬技術領域中具有通常知識者可理解，有多種電路組態和元件可在不背離本發明精神的情況下實現上述的概念。

【0017】 根據本發明之另一實施例為一種應用於一信號接收裝置之信號處理方法。圖四為該信號處理方法的流程圖。首先，步驟 S401 為產生一時脈信號。步驟 S402 則是根據該時脈信號對一輸入信號進行一內插程序，以產生一內插取樣結果。接著，步驟 S403 為對該內插取樣結果施以一高通濾波程序，以產生一過濾後信號。隨後，步驟 S404 為根據該過濾後信號進行一時序回復程序。此外，在步驟 S403 之後另有一步驟 S405，用以解調該內插取樣結果，以產生一輸出信號。本發明所屬技術領域中具有通常知識者可理解，先前在介紹信號接收裝置 200 時描述之各種操作變化亦可應用至圖四中的信號處理方法，其細節不再贅述。

【0018】 藉由以上具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露之具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。

【符號說明】

【0019】

- |                |                 |
|----------------|-----------------|
| 101、201：內插電路   | 102、202：振盪電路    |
| 203：時序回復電路     | 103、203A：鎖定偵測電路 |
| 203B：時序誤差偵測電路  | 203C：迴路濾波器      |
| 104、204：匹配濾波器  | 200：信號接收裝置      |
| 205：高通濾波器      | 300：濾波器電路       |
| 301：延遲電路       | 302：乘法電路        |
| 303：第一加法電路     | 304：第二加法電路      |
| 305：第三加法電路     | 306：減法電路        |
| S401~S405：流程步驟 |                 |



201919344

**【發明摘要】**

申請日:

IPC分類:

H03L 7/099 (2006.01)

H03L 7/08 (2006.01)

H03L 7/00 (2006.01)

H04B 1/16 (2006.01)

**【中文發明名稱】** 信號接收裝置及其信號處理方法**【英文發明名稱】** SIGNAL RECEIVING APPARATUS AND SIGNAL PROCESSING METHOD THEREOF**【中文】**

本發明提供一種信號接收裝置，其中包含一振盪電路、一內插電路、一匹配濾波器、一高通濾波器與一時序回復電路。該振盪電路係用以產生一時脈信號。該內插電路係用以根據該時脈信號對一輸入信號進行一內插程序，以產生一內插取樣結果。該匹配濾波器係用以解調該內插取樣結果，以產生一輸出信號。該高通濾波器係用以對該內插取樣結果施以一高通濾波程序，以產生一過濾後信號。該時序回復電路係用以接收該過濾後信號，並根據該過濾後信號進行一時序回復程序。

**【英文】**

A signal receiving apparatus including an oscillating circuit, an interpolation circuit, a matched filter, a high-pass filter, and a timing recovery circuit is provided. The oscillating circuit generates a clock signal. Based on the clock signal, the interpolation circuit performs an interpolation process on an input signal, so as to generate an interpolation result. The matched filter is used for demodulating the interpolation result, so as to generate an output signal. The high-pass filter performs a high-pass process on the interpolation result, so as to generate a filtered signal. The timing recovery circuit receives the filtered signal and performs a timing recovery process according to the filtered signal.

【指定代表圖】：第（ 二 ）圖。

【代表圖之符號簡單說明】：

200：信號接收裝置

201：內插電路

202：振盪電路

203：時序回復電路

203A：鎖定偵測電路

203B：時序誤差偵測電路

203C：迴路濾波器

204：匹配濾波器

205：高通濾波器

【特徵化學式】：無

## 【發明申請專利範圍】

【第 1 項】一種信號接收裝置，包含：

- 一振盪電路，用以產生一時脈信號；
- 一內插電路，用以根據該時脈信號對一輸入信號進行一內插程序，以產生一內插取樣結果；
- 一匹配濾波器，用以解調該內插取樣結果，以產生一輸出信號；
- 一高通濾波器，用以對該內插取樣結果施以一高通濾波程序，以產生一過濾後信號；以及
- 一時序回復電路，用以接收該過濾後信號，並根據該過濾後信號進行一時序回復程序。

【第 2 項】如申請專利範圍第 1 項所述之信號接收裝置，其中該時序回復電路包含：

- 一時序誤差偵測電路，用以對該過濾後信號施以一時序誤差偵測程序，以產生一組時序誤差；以及
- 一迴路濾波器，用以產生該組時序誤差之一平均誤差，供該振盪電路修正該時脈信號。

【第 3 項】如申請專利範圍第 1 項所述之信號接收裝置，其中該時序回復電路包含：

- 一鎖定偵測電路，用以根據該過濾後信號判斷該信號接收裝置是否已達到一鎖定狀態。

【第 4 項】如申請專利範圍第 1 項所述之信號接收裝置，其中該高通濾波器被實現為與該匹配濾波器共用一部份電路。

【第 5 項】如申請專利範圍第 4 項所述之信號接收裝置，其中該匹配濾波器與該高通濾波器包含：

- 一延遲電路，用以為該內插取樣結果產生N個延遲後信號，其中之第

( $i+1$ )個延遲後信號所對應之延遲量大於第 $i$ 個延遲後信號所對應之延遲量， $i$ 為範圍在1到( $N-1$ )間之整數指標， $N$ 為大於一之整數；

一乘法電路，用以將第 $i$ 個延遲後信號乘以一第 $i$ 權重，以產生一第 $i$ 加權結果；

一第一加法電路，用以將該內插取樣結果與該整數指標 $i$ 為偶數之延遲後信號相加，以產生一第一加總值；

一第二加法電路，用以將該整數指標 $i$ 為奇數之延遲後信號相加，以產生一第二加總值；

一第三加法電路，用以將該第一加總值與該第二加總值相加，以產生該輸出信號；以及

一減法電路，用以自該第一加總值減去該第二加總值，以產生該過濾後信號。

**【第 6 項】**一種應用於一信號接收裝置之信號處理方法，包含：

產生一時脈信號；

根據該時脈信號對一輸入信號進行一內插程序，以產生一內插取樣結果；

解調該內插取樣結果，以產生一輸出信號；

對該內插取樣結果施以一高通濾波程序，以產生一過濾後信號；以及

根據該過濾後信號進行一時序回復程序。

**【第 7 項】**如申請專利範圍第 6 項所述之信號處理方法，其中該時序回復程序包含：

對該過濾後信號施以一時序誤差偵測程序，以產生一組時序誤差；

以及

產生該組時序誤差之一平均值，用以修正該時脈信號。

**【第 8 項】**如申請專利範圍第 6 項所述之信號處理方法，其中該時序回復

程序包含：

根據該過濾後信號判斷該信號接收裝置是否已達到一鎖定狀態。



