

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 12 月 5 日 (05.12.2019)



(10) 国际公布号
WO 2019/227785 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/106609

(22) 国际申请日: 2018 年 9 月 20 日 (20.09.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810552033.5 2018 年 5 月 31 日 (31.05.2018) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9—2 号, Guangdong 518132 (CN)。

(72) 发明人: 郑燕旋(ZHENG, Yanxuan); 中国广东省深圳市光明新区塘明大道 9—2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: DISPLAY DRIVE SYSTEM

(54) 发明名称: 显示器驱动系统

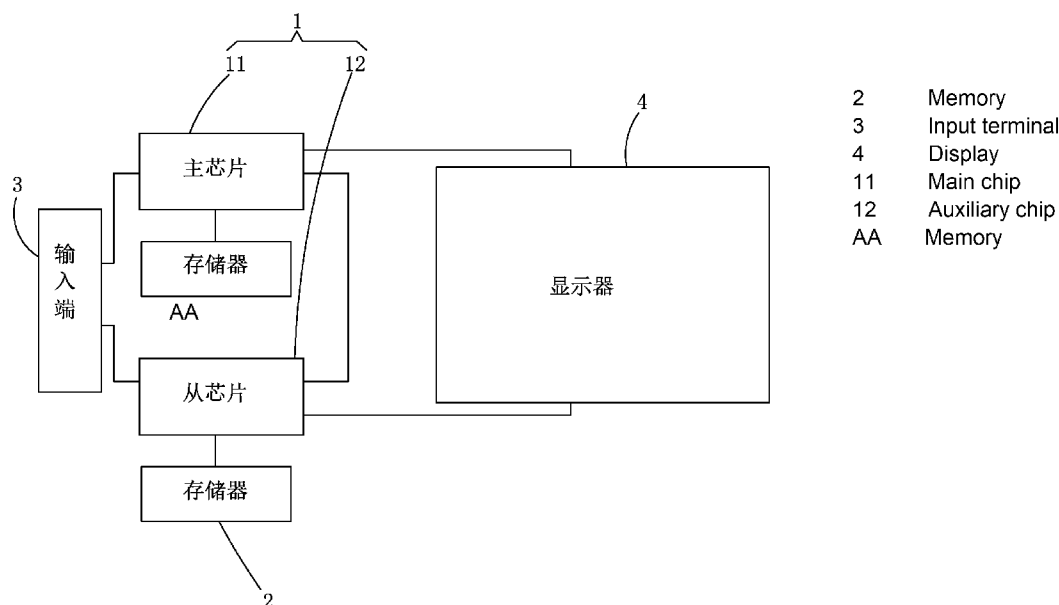


图1

(57) Abstract: A display drive system comprising a main chip (11) and multiple auxiliary chips (12), and enabling the main chip (11) to: mark serial numbers of memory units (21) buffering display data of corresponding regions of a frame when using a memory (2) connected to the main chip to buffer the frame; mark serial numbers of memory units (21) being read when reading display data of corresponding regions of a frame stored in memory units (21) of the memory (2); generate a corresponding synchronization signal and transmit the same to each of the auxiliary chips (12); control display data of a frame to be synchronously buffered to memory units

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(21) of multiple memories (2) that have the same serial numbers; and to control the main chip (11) and the auxiliary chips (12) to synchronously read display data of corresponding regions of a frame stored in the memory units (21) having the same serial numbers from the memories (2) respectively connected thereto. The invention facilitates designs that can achieve a high resolution and a high refresh rate, and eliminates frame display anomalies caused by multiple unsynchronized chips (1).

(57) 摘要: 一种显示器驱动系统, 通过设置一个主芯片 (11) 及多个从芯片 (12), 并使主芯片 (11) 在利用与其连接的存储器 (2) 缓存一帧画面对应区域的显示数据时标记缓存该帧画面对应区域的显示数据的存储单元 (21) 的序号, 在对与存储器 (2) 中的一存储单元 (21) 中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元 (21) 的序号, 产生对应的同步信号传输至每一从芯片 (12) 中, 控制一帧画面的显示数据同步缓存至多个存储器 (2) 中序号相同的存储单元 (21) 中, 并控制主芯片 (11) 及从芯片 (12) 同步读取各自相连的存储器 (2) 中序号相同的存储单元 (21) 中存储的一帧画面对应区域的显示数据, 有利于实现高分辨率高刷新率的设计, 且能够消除多个芯片 (1) 不同步导致的画面显示异常。

显示器驱动系统

技术领域

本发明涉及显示技术领域，尤其涉及一种显示器驱动系统。

5

背景技术

在显示技术领域，液晶显示装置（Liquid Crystal Display，LCD）等平板显示装置已经逐步取代阴极射线管（Cathode Ray Tube，CRT）显示装置。液晶显示装置具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。

10 现有市场上的液晶显示装置大部分为背光型液晶显示装置，其包括液晶显示面板及背光模组（backlight module）。通常液晶显示面板由彩膜（Color Filter，CF）基板、薄膜晶体管（Thin Film Transistor，TFT）阵列基板、夹于彩膜基板与薄膜晶体管阵列基板之间的液晶（Liquid Crystal，LC）及密封胶框（Sealant）组成。液晶显示面板的工作原理是在两片平行的玻璃

15 基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

现有技术中，显示数据需要经过现场可编程逻辑门阵列（FPGA）芯片进行相关的图像处理后再输出至显示器中对显示器进行驱动，通常的做法

20 是利用 FPGA 芯片将几帧显示数据缓存在存储器内，而后 FPGA 芯片对存储器内缓存的数据进行读取并转换后输出。随着视频显示技术的不断更新，高分辨率高刷新率的设计越来越普遍。高分辨率高刷新率要求更高的存储带宽和更高速率更多通道的高速传输接口，而在实际设计中，一个 FPGA 芯片的存储带宽及传输接口的数量是有限的，这就导致仅设置一个 FPGA

25 芯片无法满足高分辨率高刷新率设计，因此需要设置两个或更多的 FPGA 芯片，通常做法会将一帧画面分割为多个区域，多个区域分别与多个 FPGA 芯片对应，且对应多个 FPGA 芯片设置多个存储器，每一 FPGA 芯片均将多帧显示画面对应区域的显示数据在对应的存储器中存储多帧，而后读取对应存储器中的数据并转换后输出。这种设计能够适应高分辨率高刷新率

30 的设计，但不能保证多个 FPGA 各自输出的数据均属于同一帧画面，从而导致画面的显示异常。

发明内容

本发明的目的在于提供一种显示器驱动系统，能够利用多个芯片对显示数据进行转换，消除多个芯片不同步导致的画面显示异常。

为实现上述目的，本发明提供一种显示器驱动系统，包括 M 个芯片、

5 M 个存储器、输入端及显示器，其中，M 为大于 2 的正整数；

所述输入端与 M 个芯片均电性连接；所述显示器与 M 个芯片均电性连接；每一存储器对应与一芯片电性连接；每一存储器均包括依序设置的 N 个存储单元，其中 N 为大于 1 的正整数；所述 M 个芯片中的一个定义为主芯片，其余定义为从芯片，每一从芯片均与所述主芯片电性连接；

10 所述输入端接收多帧画面的显示数据，每一帧画面均包括 M 个区域，每一区域与一芯片对应；所述输入端向 M 个芯片分别传输多帧画面对应区域的显示数据；所述芯片将多帧画面对应区域的显示数据依序循环缓存至与其连接的存储器的 N 个存储单元中，并对 N 个存储单元中存储的多帧画面对应区域的显示数据进行依序循环读取并进行转换后传输至显示器；

15 所述主芯片在利用与其连接的存储器缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号，在对与存储器中的一存储单元中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元在 N 个存储单元中的序号，产生对应的同步信号传输至每一从芯片中，控制一帧画面的 M 个区域的显示数据
20 同步缓存至 M 个存储器中序号相同的存储单元中，并控制主芯片及从芯片同步读取各自相连的存储器中序号相同的存储单元中存储的一帧画面对应区域的显示数据。

M=2。

每一帧画面均包括沿水平方向依次排列的 M 个区域。

25 每一帧画面均包括沿竖直方向依次排列的 M 个区域。

所述 M 个区域的面积相同。

所述 M 个芯片均为 FPGA 芯片。

N=4。

30 所述输入端接收多帧画面的显示数据的同时还接收多帧画面的输入帧起始信号，所述输入端将多帧画面对应区域的显示数据传输至主芯片的同时还将多帧画面的输入帧起始信号传输至主芯片；

所述主芯片对多帧画面的输入帧起始信号进行处理，产生对应的多帧画面的输出帧起始信号；

所述主芯片在利用与其连接的存储器缓存一帧画面对应区域的显示数

据时标记缓存该一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号，在对与存储器中的一存储单元中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元在 N 个存储单元中的序号，产生对应的同步信号的具体过程为：在一帧画面的输入帧起始信号的上升沿时刻，

5 所述主芯片利用与其连接的存储器缓存该一帧画面对应区域的显示数据，同时所述主芯片向每一从芯片传输依次产生的一个具有第一预设时长的高电平脉冲、A 个具有第二预设时长的高电平脉冲及一个具有第三预设时长的低电平，其中，A 等于缓存该一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号，而后另一帧画面的输出起始信号的上升沿时刻

10 到来，所述主芯片对与其连接的存储器中存储有该另一帧画面对应区域的显示数据的存储单元进行读取，同时所述主芯片向每一从芯片传输依次产生的一个具有第四预设时长的高电平脉冲、B 个具有第二预设时长的高电平脉冲及一个具有第三预设时长的低电平，其中，B 等于缓存该另一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号。

15 所述主芯片还向每一从芯片传输脉冲的时钟信号；

所述第一预设时长等于 3 倍的脉冲信号的周期；

所述第二预设时长等于脉冲信号的周期；

所述第三预设时长大于等于 4 倍的脉冲信号的周期；

所述第四预设时长等于 5 倍的脉冲信号的周期。

20 本发明的有益效果：本发明显示器驱动系统通过设置一个主芯片及多个从芯片，并使主芯片在利用与其连接的存储器缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元的序号，在对与存储器中的一存储单元中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元的序号，产生对应的同步信号传输至每一从芯

25 片中，控制一帧画面的显示数据同步缓存至多个存储器中序号相同的存储单元中，并控制主芯片及从芯片同步读取各自相连的存储器中序号相同的存储单元中存储的一帧画面对应区域的显示数据，有利于实现高分辨率高刷新率的设计，且能够消除多个芯片不同步导致的画面显示异常。

30 附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为本发明的显示器驱动系统的结构示意图；

图 2 为本发明的显示器驱动系统的存储器的结构示意图；

图 3 为本发明的显示器驱动系统的同步信号及时钟信号的波形图。

5

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

10 请参阅图 1，本发明提供一种显示器驱动系统包括 M 个芯片 1、M 个存储器 2、输入端 3 及显示器 4，其中，M 为大于 2 的正整数。

所述输入端 3 与 M 个芯片 1 均电性连接。所述显示器 4 与 M 个芯片 1 均电性连接。每一存储器 2 对应与一芯片 1 电性连接；每一存储器 2 均包括依序设置的 N 个存储单元 21，其中 N 为大于 1 的正整数。所述 M 个芯片 1 中的一个定义为主芯片 11，其余定义为从芯片 12，每一从芯片 12 均与
15 所述主芯片 11 电性连接。

所述输入端 3 接收多帧画面的显示数据，每一帧画面均包括 M 个区域，每一区域与一芯片 1 对应。所述输入端 3 向 M 个芯片 1 分别传输多帧画面对应区域的显示数据。所述芯片 1 将多帧画面对应区域的显示数据依序循环缓存至与其连接的存储器 2 的 N 个存储单元 21 中，并对 N 个存储单元
20 21 中存储的多帧画面对应区域的显示数据进行依序循环读取并进行转换后传输至显示器 4。

所述主芯片 11 在利用与其连接的存储器 2 缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号，在对与存储器 2 中的一存储单元 21 中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元 21 在 N 个存储单元 21 中的序号，产生对应的同步信号传输至每一从芯片 12 中，控制一帧画面的 M 个区域的显示数据同步缓存至 M 个存储器 2 中序号相同的存储单元 21 中，并控制主芯片 11 及从芯片 12 同步读取各自相连的存储器 2 中序号
30 相同的存储单元 21 中存储的一帧画面对应区域的显示数据。

具体地，每一帧画面可以均包括沿水平方向或者竖直方向依次排列的 M 个区域。

优选地，所述 M 个区域的面积相同。

具体地，在图 1 所示的实施例中，M=2，也即图 1 所示的实施例中，

所述显示器驱动系统包括 2 个芯片，其中一个定义为主芯片 11，另一个定义为从芯片 12，相应地，每一帧画面均包括两个区域，该两个区域分别与主芯片 11 及从芯片 12 对应。

具体地，所述 M 个芯片 1 均为 FPGA 芯片。

5 具体地，请参阅图 2，在发明的优选实施例中， $N=4$ ，也即每一存储器 2 均包括依序设置的 4 个存储单元，同时能够存储四帧画面对应区域的显示数据。

具体地，所述输入端 3 接收多帧画面的显示数据的同时还接收多帧画面的输入帧起始信号，所述输入端 3 将多帧画面对应区域的显示数据传输至主芯片 11 的同时还将多帧画面的输入帧起始信号传输至主芯片 11。

所述主芯片 11 通过其内部算法对多帧画面的输入帧起始信号进行处理，产生对应的多帧画面的输出帧起始信号。

请参阅图 3，在本发明的一优选实施例中，所述主芯片 11 在利用与其连接的存储器 2 缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号，在对与存储器 2 中的一存储单元 21 中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元 21 在 N 个存储单元 21 中的序号，产生对应的同步信号的具体过程为：在一帧画面的输入帧起始信号的上升沿时刻，所述主芯片 11 利用与其连接的存储器 2 缓存该一帧画面对应区域的显示数据，同时所述主芯片 11 向每一从芯片 12 传输依次产生的一个具有第一预设时长的高电平脉冲、A 个具有第二预设时长的高电平脉冲及一个具有第三预设时长的低电平，其中，A 等于缓存该一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号。该一个具有第一预设时长的高电平脉冲表示该一帧画面的输入帧起始信号的上升沿到来，该 A 个具有第二预设时长的高电平脉冲表示缓存该一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号为 A，例如，如图 3 所示，此时缓存该一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号为 3。该一个具有第三预设时长的低电平表示传输结束。而后另一帧画面的输出起始信号的上升沿时刻到来，所述主芯片 11 对与其连接的存储器 2 中存储有该另一帧画面对应区域的显示数据的存储单元 21 进行读取，同时所述主芯片 11 向每一从芯片 12 传输依次产生的一个具有第四预设时长的高电平脉冲、B 个具有第二预设时长的高电平脉冲及一个具有第三预设时长的低电平，其中，B 等于缓存该另一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号。该一个具有第四预设时长的高电平脉

冲表示该另一帧画面的输出帧起始信号的上升沿到来，该 B 个具有第二预设时长的高电平脉冲表示缓存该另一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号为 B，例如，如图 3 所示，此时缓存该另一帧画面对应区域的显示数据的存储单元 21 在 N 个存储单元 21 中的序号为 1，该一个具有第三预设时长的低电平表示传输结束。

进一步地，在本发明的一优选实施例中，所述主芯片 11 还向每一从芯片 12 传输脉冲的时钟信号。请参阅图 3，所述第一预设时长等于 3 倍的脉冲信号的周期，所述第二预设时长等于脉冲信号的周期，所述第三预设时长大于等于 4 倍的脉冲信号的周期，所述第四预设时长等于 5 倍的脉冲信号的周期。

需要说明的是，本发明的显示器驱动系统通过设置一个主芯片 11 及多个从芯片 12，并使主芯片 11 在利用与其连接的存储器 2 缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元 21 的序号，在对与存储器 2 中的一存储单元 21 中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元 21 的序号，产生对应的同步信号传输至每一从芯片 12 中，控制一帧画面的显示数据同步缓存至多个存储器 2 中序号相同的存储单元 21 中，并控制主芯片 11 及从芯片 12 同步读取各自相连的存储器 2 中序号相同的存储单元 21 中存储的一帧画面对应区域的显示数据，能够实现多个芯片 1 的同步驱动，有利于实现高分辨率高刷新率的设计，且能够消除多个芯片 1 不同步导致的画面显示异常，且设计简单，同步信号仅需要设置一个即可。

综上所述，本发明的显示器驱动系统通过设置一个主芯片及多个从芯片，并使主芯片在利用与其连接的存储器缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元的序号，在对与存储器中的一存储单元中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元的序号，产生对应的同步信号传输至每一从芯片中，控制一帧画面的显示数据同步缓存至多个存储器中序号相同的存储单元中，并控制主芯片及从芯片同步读取各自相连的存储器中序号相同的存储单元中存储的一帧画面对应区域的显示数据，有利于实现高分辨率高刷新率的设计，且能够消除多个芯片不同步导致的画面显示异常。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种显示器驱动系统，包括 M 个芯片、M 个存储器、输入端及显示器，其中，M 为大于 2 的正整数；

5 所述输入端与 M 个芯片均电性连接；所述显示器与 M 个芯片均电性连接；每一存储器对应与一芯片电性连接；每一存储器均包括依序设置的 N 个存储单元，其中 N 为大于 1 的正整数；所述 M 个芯片中的一个定义为主芯片，其余定义为从芯片，每一从芯片均与所述主芯片电性连接；

10 所述输入端接收多帧画面的显示数据，每一帧画面均包括 M 个区域，每一区域与一芯片对应；所述输入端向 M 个芯片分别传输多帧画面对应区域的显示数据；所述芯片将多帧画面对应区域的显示数据依序循环缓存至与其连接的存储器的 N 个存储单元中，并对 N 个存储单元中存储的多帧画面对应区域的显示数据进行依序循环读取并进行转换后传输至显示器；

15 所述主芯片在利用与其连接的存储器缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号，在对与存储器中的一存储单元中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元在 N 个存储单元中的序号，产生对应的同步信号传输至每一从芯片中，控制一帧画面的 M 个区域的显示数据同步缓存至 M 个存储器中序号相同的存储单元中，并控制主芯片及从芯片
20 同步读取各自相连的存储器中序号相同的存储单元中存储的一帧画面对应区域的显示数据。

2、如权利要求 1 所述的显示器驱动系统，其中，M=2。

3、如权利要求 1 所述的显示器驱动系统，其中，每一帧画面均包括沿水平方向依次排列的 M 个区域。

25 4、如权利要求 1 所述的显示器驱动系统，其中，每一帧画面均包括沿竖直方向依次排列的 M 个区域。

5、如权利要求 1 所述的显示器驱动系统，其中，所述 M 个区域的面积相同。

30 6、如权利要求 1 所述的显示器驱动系统，其中，所述 M 个芯片均为 FPGA 芯片。

7、如权利要求 1 所述的显示器驱动系统，其中，N=4。

8、如权利要求 1 所述的显示器驱动系统，其中，所述输入端接收多帧画面的显示数据的同时还接收多帧画面的输入帧起始信号，所述输入端将

多帧画面对应区域的显示数据传输至主芯片的同时还将多帧画面的输入帧起始信号传输至主芯片；

所述主芯片对多帧画面的输入帧起始信号进行处理，产生对应的多帧画面的输出帧起始信号；

5 所述主芯片在利用与其连接的存储器缓存一帧画面对应区域的显示数据时标记缓存该一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号，在对与存储器中的一存储单元中存储的一帧画面对应区域的显示数据进行读取时标记读取的存储单元在 N 个存储单元中的序号，产生对应的同步信号的具体过程为：在一帧画面的输入帧起始信号的上升沿时刻，
10 所述主芯片利用与其连接的存储器缓存该一帧画面对应区域的显示数据，同时所述主芯片向每一从芯片传输依次产生的一个具有第一预设时长的高电平脉冲、A 个具有第二预设时长的高电平脉冲及一个具有第三预设时长的低电平，其中，A 等于缓存该一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号，而后另一帧画面的输出起始信号的上升沿时刻
15 到来，所述主芯片对与其连接的存储器中存储有该另一帧画面对应区域的显示数据的存储单元进行读取，同时所述主芯片向每一从芯片传输依次产生的一个具有第四预设时长的高电平脉冲、B 个具有第二预设时长的高电平脉冲及一个具有第三预设时长的低电平，其中，B 等于缓存该另一帧画面对应区域的显示数据的存储单元在 N 个存储单元中的序号。

20 9、如权利要求 8 所述的显示器驱动系统，其中，所述主芯片还向每一从芯片传输脉冲的时钟信号；

 所述第一预设时长等于 3 倍的脉冲信号的周期；

 所述第二预设时长等于脉冲信号的周期；

 所述第三预设时长大于等于 4 倍的脉冲信号的周期；

25 所述第四预设时长等于 5 倍的脉冲信号的周期。

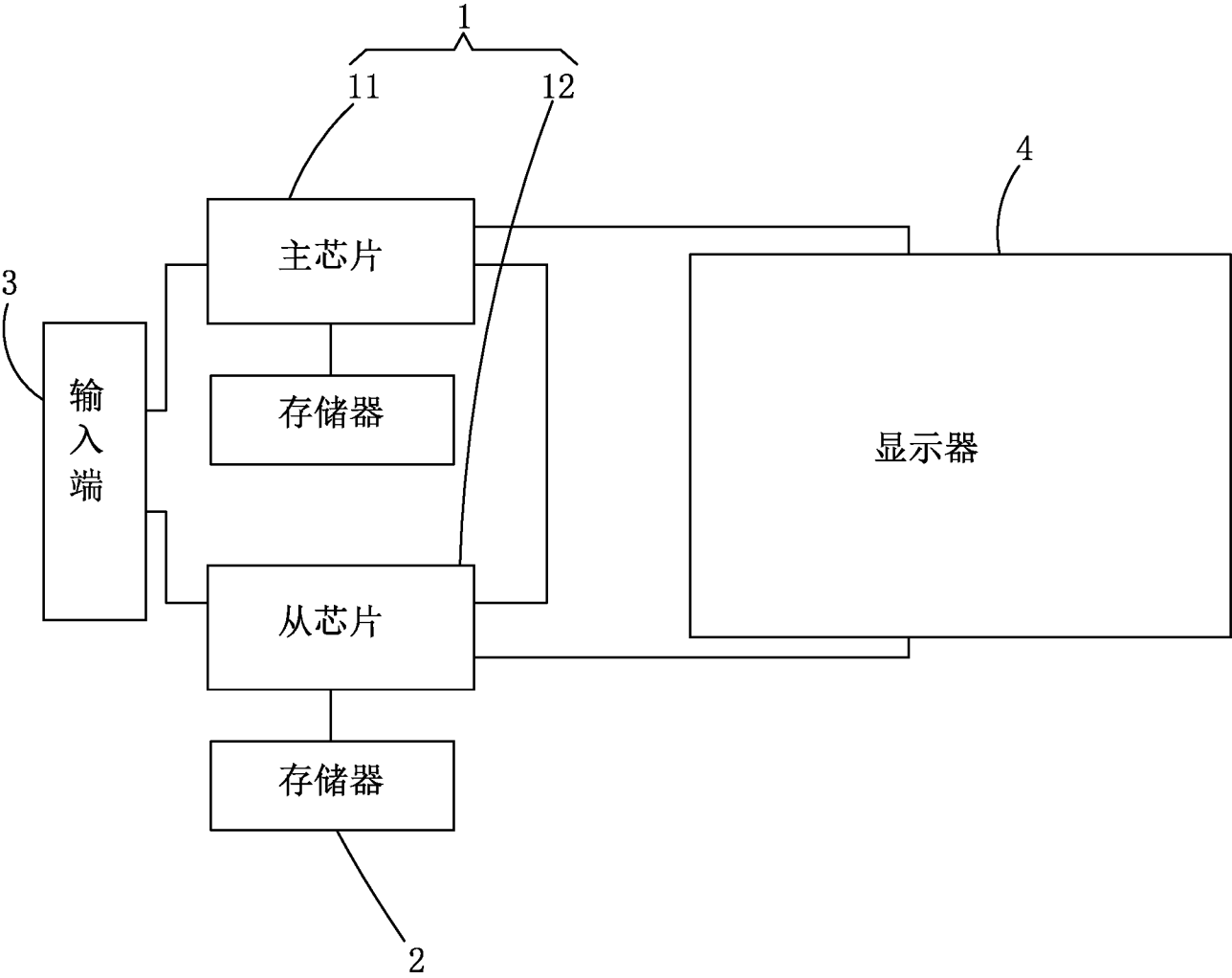


图1

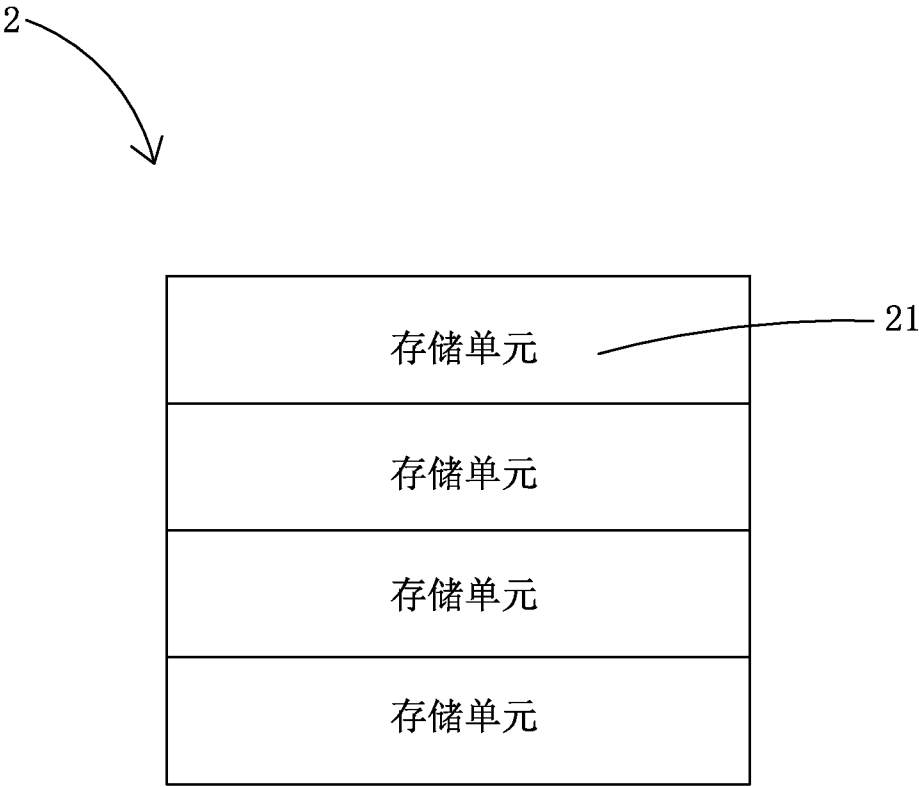


图2

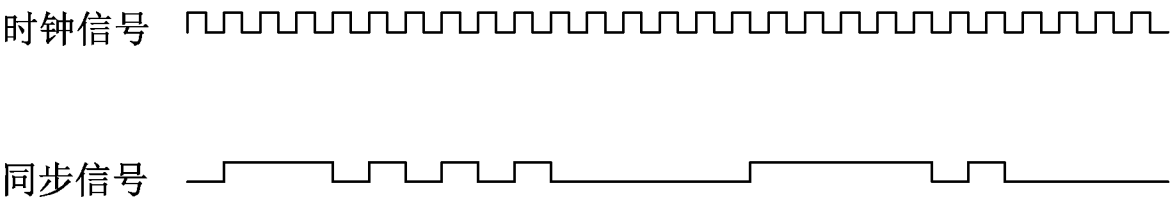


图3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/106609

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G06F; H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 郑燕旋, 分布式, 储存, 存储, 缓存, 暂存, 同步, 编号, 序号, 地址, 主, 从属, 辅, 次, 副, 处理, 时序控制, 芯片, 驱动, 拼接, 视频墙, 电视墙, 分?块, 分?区, 划分, 分割, 大尺寸, 高清, 超清, 高分辨率, GPU, IC, TCON, size, high w definition, main, master, slav+, block?, region+, section?, segment+, simulta+, synchron+, driv+, memory, buffer, storage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105549933 A (VTRON TECHNOLOGIES LTD.) 04 May 2016 (2016-05-04) description, paragraphs [0002], [0024]-[0029] and [0037]-[0044], and figures 1-6	1-9
A	CN 105245759 A (VTRON TECHNOLOGIES LTD.) 13 January 2016 (2016-01-13) entire document	1-9
A	CN 106716519 A (SHARP CORPORATION) 24 May 2017 (2017-05-24) entire document	1-9
A	CN 1734539 A (OKI ELECTRIC INDUSTRY CO., LTD.) 15 February 2006 (2006-02-15) entire document	1-9
A	US 2012086681 A1 (MC TECHNOLOGY CO., LTD.) 12 April 2012 (2012-04-12) entire document	1-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 January 2019

Date of mailing of the international search report

28 February 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/106609

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105549933	A	04 May 2016	None			
CN	105245759	A	13 January 2016	CN	105245759	B	09 October 2018
CN	106716519	A	24 May 2017	US	10074333	B2	11 September 2018
				US	2017263204	A1	14 September 2017
				WO	2016043112	A1	24 March 2016
CN	1734539	A	15 February 2006	KR	20060047943	A	18 May 2006
				CN	100485759	C	06 May 2009
				US	7834869	B2	16 November 2010
				JP	2006047511	A	16 February 2006
				JP	4063800	B2	19 March 2008
				KR	101125606	B1	28 March 2012
				US	2006022968	A1	02 February 2006
US	2012086681	A1	12 April 2012	KR	20130038683	A	18 April 2013
				KR	20120037227	A	19 April 2012
				KR	101181481	B1	10 September 2012

国际检索报告

国际申请号

PCT/CN2018/106609

A. 主题的分类

G09G 3/36 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G06F; H04N

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC: 华星光电, 郑燕旋, 分布式, 储存, 存储, 缓存, 暂存, 同步, 编号, 序号, 地址, 主, 从属, 辅, 次, 副, 处理, 时序控制, 芯片, 驱动, 拼接, 视频墙, 电视墙, 分?块, 分?区, 划分, 分割, 大尺寸, 高清, 超清, 高分辨率, GPU, IC, TCON, size, high w definition, main, master, slav+, block?, region+, section?, segment+, simulta+, synchron+, driv+, memory, buffer, storage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105549933 A (广东威创视讯科技股份有限公司) 2016年 5月 4日 (2016 - 05 - 04) 说明书第[0002]、[0024]-[0029]、[0037]-[0044]段, 附图1-6	1-9
A	CN 105245759 A (广东威创视讯科技股份有限公司) 2016年 1月 13日 (2016 - 01 - 13) 全文	1-9
A	CN 106716519 A (夏普株式会社) 2017年 5月 24日 (2017 - 05 - 24) 全文	1-9
A	CN 1734539 A (冲电气工业株式会社) 2006年 2月 15日 (2006 - 02 - 15) 全文	1-9
A	US 2012086681 A1 (MC TECHNOLOGY CO., LTD.) 2012年 4月 12日 (2012 - 04 - 12) 全文	1-9

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 1月 17日

国际检索报告邮寄日期

2019年 2月 28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

李小兰

电话号码 86-(10)-53962509

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/106609

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105549933	A	2016年 5月 4日	无			
CN	105245759	A	2016年 1月 13日	CN	105245759	B	2018年 10月 9日
CN	106716519	A	2017年 5月 24日	US	10074333	B2	2018年 9月 11日
				US	2017263204	A1	2017年 9月 14日
				WO	2016043112	A1	2016年 3月 24日
CN	1734539	A	2006年 2月 15日	KR	20060047943	A	2006年 5月 18日
				CN	100485759	C	2009年 5月 6日
				US	7834869	B2	2010年 11月 16日
				JP	2006047511	A	2006年 2月 16日
				JP	4063800	B2	2008年 3月 19日
				KR	101125606	B1	2012年 3月 28日
				US	2006022968	A1	2006年 2月 2日
US	2012086681	A1	2012年 4月 12日	KR	20130038683	A	2013年 4月 18日
				KR	20120037227	A	2012年 4月 19日
				KR	101181481	B1	2012年 9月 10日