



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I578452 B

(45)公告日：中華民國 106 (2017) 年 04 月 11 日

(21)申請案號：102119463

(22)申請日：中華民國 102 (2013) 年 05 月 31 日

(51)Int. Cl. : H01L23/12 (2006.01)

H01L21/58 (2006.01)

(30)優先權：2012/06/15 美國

13/524,369

(71)申請人：奇異電器公司(美國) GENERAL ELECTRIC COMPANY (US)

美國

(72)發明人：麥克考奈利 保羅 艾倫 MCCONNELEE, PAUL ALAN (US)；格達 艾朗 維盧
派克夏 GOWDA, ARUN VIRUPAKSHA (IN)

(74)代理人：陳長文

審查人員：湯欽全

申請專利範圍項數：6 項 圖式數：35 共 36 頁

(54)名稱

積體電路封裝及其製造方法

INTEGRATED CIRCUIT PACKAGE AND METHOD OF MAKING SAME

(57)摘要

本發明揭示一種晶片封裝，其包含：一第一晶粒，其具有上面定位有至少一個晶粒墊之一作用表面；一第一黏合劑層，其具有耦合至該第一晶粒之該作用表面之一第一表面及與該第一表面相對之一第二表面；及一第一介電層，其具有一頂部表面。該第一介電層之該頂部表面之一第一部分耦合至該第一黏合劑層之該第二表面。該第一介電層之該頂部表面之不同於該第一部分之一第二部分實質上無黏合劑。

A chip package includes a first die with an active surface having at least one die pad positioned thereon; a first adhesive layer having a first surface coupled to the active surface of the first die and a second surface opposite the first surface; and a first dielectric layer having a top surface. A first portion of the top surface of the first dielectric layer is coupled to the second surface of the first adhesive layer. A second portion of the top surface of the first dielectric layer, distinct from the first portion, is substantially free of adhesive.

指定代表圖：

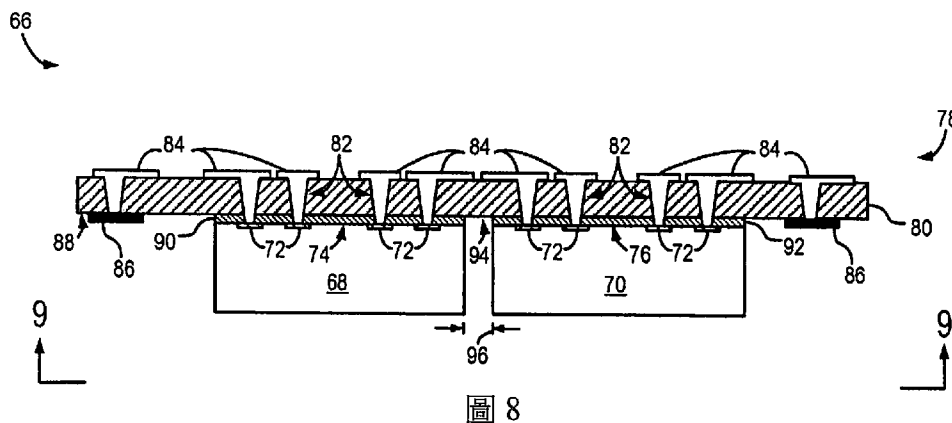


圖 8

符號簡單說明：

66 . . . 多晶片封裝

68 . . . 晶粒

70 . . . 晶粒

72 . . . 接觸墊

74 . . . 作用表面

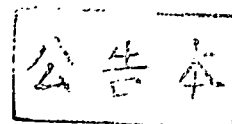
76 . . . 作用表面

78 . . . 再分佈層

80 . . . 介電層

82 . . . 通孔

- 84 . . . 金屬互連件
- 86 . . . 金屬化路徑
- 88 . . . 頂部表面
- 90 . . . 黏合劑層/黏合劑
- 92 . . . 黏合劑層/黏合劑
- 94 . . . 無黏合劑區域/區域
- 96 . . . 間隙



發明摘要

※ 申請案號：102119463

※ 申請日：102.5.31

※ IPC 分類：H01L 2312 2006.01

H01L 2318 2006.01

【發明名稱】

積體電路封裝及其製造方法

INTEGRATED CIRCUIT PACKAGE AND METHOD OF MAKING
SAME

【中文】

本發明揭示一種晶片封裝，其包含：一第一晶粒，其具有上面定位有至少一個晶粒墊之一作用表面；一第一黏合劑層，其具有耦合至該第一晶粒之該作用表面之一第一表面及與該第一表面相對之一第二表面；及一第一介電層，其具有一頂部表面。該第一介電層之該頂部表面之一第一部分耦合至該第一黏合劑層之該第二表面。該第一介電層之該頂部表面之不同於該第一部分之一第二部分實質上無黏合劑。

【英文】

A chip package includes a first die with an active surface having at least one die pad positioned thereon; a first adhesive layer having a first surface coupled to the active surface of the first die and a second surface opposite the first surface; and a first dielectric layer having a top surface. A first portion of the top surface of the first dielectric layer is coupled to the second surface of the first adhesive layer. A second portion of the top surface of the first dielectric layer, distinct from the first portion, is substantially free of adhesive.

【代表圖】

【本案指定代表圖】：第（8）圖。

【本代表圖之符號簡單說明】：

66	多晶片封裝
68	晶粒
70	晶粒
72	接觸墊
74	作用表面
76	作用表面
78	再分佈層
80	介電層
82	通孔
84	金屬互連件
86	金屬化路徑
88	頂部表面
90	黏合劑層/黏合劑
92	黏合劑層/黏合劑
94	無黏合劑區域/區域
96	間隙

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

積體電路封裝及其製造方法

INTEGRATED CIRCUIT PACKAGE AND METHOD OF MAKING
SAME

【先前技術】

本發明之實施例一般而言係關於積體電路封裝，且更特定而言係關於至該積體電路封裝內之黏合劑放置。

隨著積體電路變得愈來愈小且產生較佳操作效能，用於積體電路(IC)封裝之封裝技術已相應地自引線封裝演變至基於層壓之球柵陣列(BGA)封裝且最終演變至晶片尺寸封裝(CSP)。對達成較佳效能、較大小型化及較高可靠度之不斷增加之需要驅動IC晶片封裝技術之進步。出於大規模製造之目的，新封裝技術必須進一步提供批量生產之可能性，藉此允許規模經濟。

通常藉由將一介電基板或撓曲層安裝至在製造程序期間使基板穩定之一框架而開始一標準CSP製造程序。將一黏合劑以液體形式施配至介電基板之表面上且使該框架迅速地旋轉以跨越該電介質之整個表面將液體黏合劑散佈至一均勻厚度。接下來，主動側向下地將一或多個晶粒定位至黏合劑中且固化黏合劑。然後將複數個再分佈層沈積至該介電基板上且圖案化該複數個再分佈層以形成一薄膜金屬重佈線及互連系統，其中八個或八個以上再分佈層係常見的。舉例而言，該等再分佈層通常由一苯環丁烯(BCB)或聚醯亞胺材料形成，且經由一旋塗或層壓施加程序施加。層壓再分佈層與晶粒之間的電連接形成來往於晶粒之一輸入/輸出(I/O)系統。

IC封裝要求之進步對現有嵌入晶片堆積程序構成挑戰。隨著IC封裝變得較薄，該黏合劑層可由於介電層之頂部表面及底部表面上之不均勻應力分佈而致使IC封裝翹曲或以其他方式變得歪曲。此外，為製造較小且較複雜多晶片IC封裝，必須將晶粒更緊密地定位在一起且以極大精確度定位於該電介質上。然而，將晶粒耦合至該電介質之黏合劑層可使得難以精確對準密集晶粒。舉例而言，當將兩個或兩個以上晶粒彼此緊密靠近地定位於該電介質上時，該等晶粒具有在黏合劑固化程序期間「滑動」或移動離開所要位置之一傾向。除僅僅移動離開所要位置以外，在黏合劑固化時密集晶粒可彼此吸引，在最後晶片封裝中可導致晶粒彼此接觸或變得黏貼之不想要結果之一現象。

因此，需要最小化可由黏合劑層造成之翹曲及歪曲且允許IC封裝中之較緊密晶粒間隔及精確晶粒對準之一晶片封裝製作方法。進一步需要容易地併入至一組裝程序中、最小化處理時間且提供一低成本組裝之製作方法。

【發明內容】

根據本發明之一項態樣，一晶片封裝包含：一第一晶粒，其包括上面定位有至少一個晶粒墊之一作用表面；一第一黏合劑層，其具有耦合至該第一晶粒之該作用表面之一第一表面及與該第一表面相對之一第二表面；及一第一介電層，其具有一頂部表面，其中該第一介電層之該頂部表面之一第一部分耦合至該第一黏合劑層之該第二表面。該第一介電層之該頂部表面之不同於該第一部分之一第二部分實質上無黏合劑。

根據本發明之另一態樣，形成一積體晶片封裝之一方法包含：提供包括上面定位有至少一個接觸墊之一作用表面之一第一半導體晶粒；施加一黏合劑層至該第一半導體晶粒之該作用表面；及藉助該黏合劑層將具有施加至其之該黏合劑層之該第一半導體晶粒黏著至一介

電基板之一頂部表面。

根據本發明之另一態樣，一積體晶片封裝包含一介電基板及一第一晶粒總成。該第一晶粒總成包含：一半導體晶粒，其具有上面定位有接觸墊之一作用表面；及一不導電黏合劑層，其具有耦合至該半導體晶粒之該作用表面之一第一表面。該黏合劑層之該第一表面之一表面積實質上等於該半導體晶粒之該作用表面之一表面積。該黏合劑層之與該第一表面相對之一第二表面耦合至該介電基板之一表面。撓性基板之該表面之毗鄰於該第一晶粒總成之一子部分實質上無黏合劑。

根據本發明之另一態樣，形成一積體晶片封裝之一方法包含：提供具有定位於其一頂部表面上之一晶粒位置之一介電基板；提供包括上面定位有至少一個接觸墊之一作用表面之一第一半導體晶粒；及施加一黏合劑層至該第一半導體晶粒之該作用表面及該介電基板之該晶粒位置中之一者。該黏合劑層具有大約等於該第一半導體晶粒之該作用表面之表面積之一表面積。該方法進一步包含藉助該黏合劑層將該第一半導體晶粒黏著至該介電基板之該頂部表面。

根據本發明之另一態樣，形成一積體晶片封裝之一方法包含提供具有定位於其一表面上之複數個晶粒位置之一介電基板及施加一經圖案化黏合劑層至該介電基板之該複數個晶粒位置上以使得在毗鄰晶粒位置之間的該介電基板之該表面上形成一間隙，該間隙實質上無黏合劑。該方法亦包含經由該黏合劑層將複數個半導體晶粒黏著至該介電基板。

依據以下詳細說明及圖式將明瞭其他特徵及優點。

【圖式簡單說明】

圖式圖解說明當前預期用於實施本發明之實施例。

在該等圖式中：

圖1至圖7係展示根據本發明之一實施例之製造一積體晶片封裝之步驟之示意圖。

圖8係根據本發明之一實施例之一積體多晶片封裝之一剖視圖。

圖9係圖8之積體多晶片封裝之一仰視圖。

圖10係圖解說明根據本發明之一實施例之製造一積體晶片封裝之步驟之一流程圖。

圖11係根據本發明之一實施例之一晶圓總成之一仰視圖。

圖12係圖11之晶圓總成之一剖視圖。

圖13係自圖11之晶圓總成鋸割之一晶粒總成之一剖視圖。

圖14係圖解說明根據本發明之另一實施例之製造一積體晶片封裝之步驟之一流程圖。

圖15係根據本發明之一實施例之一晶圓總成之一仰視圖。

圖16係圖15之晶圓總成之一剖視圖。

圖17係自圖15之晶圓總成鋸割之一晶粒總成之一剖視圖。

圖18係圖解說明根據本發明之又一實施例之製造一積體晶片封裝之步驟之一流程圖。

圖19至圖24係展示根據本發明之另一實施例之用於一積體晶片封裝之一堆積程序之步驟之示意圖。

圖25係根據圖19至圖24中所陳述之實施例之用於施配一黏合劑層之一金屬絲網之一部分之一俯視圖。

圖26至圖29係展示根據本發明之另一實施例之用於一積體晶片封裝之一堆積程序之步驟之示意圖。

圖30係根據本發明之一實施例之塗佈有一黏合劑層之一脫模片之一俯視圖。

圖31係在將黏合劑層劃割成晶粒大小之後圖30之塗佈黏合劑之脫模片之一俯視圖。

圖32至35係展示根據本發明之又一實施例之用於一積體晶片封裝之一堆積程序之步驟之示意圖。

【實施方式】

參考圖1至圖7，根據本發明之一實施例陳述用於製造一晶片封裝10 (亦即，一晶片堆積)之一技術中之步驟，其中在堆積程序之各個階段展示晶片封裝10之側剖面圖及俯視圖。參考圖1，提供一初始撓性聚合物層壓層或介電基板12，諸如Kapton®、Ultem®、聚四氟乙烯(PTFE)或另一聚合物/聚醯亞胺膜。如圖1中所展示，介電層12包括一頂部表面14及一底部表面16。根據堆積程序，在介電層12之頂部表面14上沈積一金屬層18。根據各種實施例，金屬層18可由諸如銅、鈦、鉻及諸如此類之一導電材料形成。可使用一濺鍍及鍍覆技術在介電層12上形成金屬層18或以任何其他適合方式(諸如電鍍)添加金屬層18。

參考圖2，舉例而言，使用一常見印刷電路板微影程序圖案化金屬層18以形成金屬化路徑20。接下來，對準一晶粒總成22與介電層12之頂部表面14之無金屬化路徑20之一部分24。如所展示，晶粒總成22包含具有其中一黏合劑層30貼附至其之一作用表面28之一晶粒26。晶粒26之作用表面28包含任何數目個晶粒墊或接觸墊32。晶粒26可係各種晶粒類型(諸如，舉例而言，一記憶體晶粒類型、一處理晶粒類型、一邏輯晶粒類型及一特殊應用積體電路(ASIC)晶粒類型)中之任一者。黏合劑層30具有一第一表面34及一第二表面36且使用一旦完全固化即可鑽孔之一不導電黏合劑材料(舉例而言，諸如一環氧樹脂)形成。在一項實施例中，黏合劑層30在施加至晶粒26之後經部分地固化。可使用若干種不同技術在晶粒26之作用表面28上形成黏合劑層30，如關於圖10至圖18詳細陳述。

現在參考圖3及圖4，在晶片封裝10之堆積技術之下一步驟中，經由黏合劑層30之第二表面36與介電層12之頂部表面14之間的黏合將

晶粒總成22貼附至介電層12。在一項實施例中，在將晶粒總成22定位於介電層12上之前使用一拾放機器或真空吸盤之一經加熱尖端或筒夾來拾取並加熱總成22。當將經加熱晶粒總成22放置於介電層12之部分24上時，來自真空吸盤及/或介電層12之熱致使黏合劑層30變得膠黏，且黏合劑層30接合至介電層12。可使用真空層壓移除晶粒總成22與介電層12之間的任何空隙或空氣間隙。在一交替實施例中，黏合劑層30在施加至晶粒26之後保持膠黏。因此，可使用一拾放機器來將晶粒總成22接合至介電層12而不需要施加熱。

將晶粒總成22固定至介電層12包含完全固化黏合劑層30。如圖4中所展示，黏合劑層30貼附至介電層12之頂部表面14之一部分38且頂部表面14之毗鄰於部分38之部分40、42實質上無黏合劑。

現在參考圖5，圖案化介電層12以形成穿過介電層12之厚度46或介電層12與黏合劑層30之組合厚度48經鑽孔之複數個通孔44。根據一例示性實施例，在對應於金屬化路徑20及接觸墊32之位置處形成通孔44以便曝露金屬化路徑20及接觸墊32。另一選擇係，亦認識到，可藉助包含電漿蝕刻、光畫定(photo-definition)或機械鑽孔程序之其他方法形成通孔44。

如圖6中所展示，晶片封裝10之堆積技術之下一步驟包含藉助(舉例而言)一濺鍍或電鍍程序將一第二金屬層50施加至介電層12之底部表面16。隨後圖案化或蝕刻第二金屬化層50以形成金屬互連件52。根據本發明之一項實施例，圖案化並蝕刻金屬層/材料以使得形成自介電層12之底部表面16且向下穿過通孔44延伸之金屬互連件52。因此，金屬互連件52形成與金屬化路徑20及接觸墊32之一電連接。介電層12、通孔44及金屬互連件52一起形成一初始再分佈層54。

如圖7中進一步展示，在製造技術之下一選用步驟中，透過一系列層壓及圖案化步驟在初始再分佈層54上形成一或多個額外再分佈層

56。將一習用黏合劑層58施加至初始再分佈層54，且將一額外介電層60施加至習用黏合劑層58。在額外介電層60中形成複數個通孔62，且金屬互連件64經形成/經圖案化以向下穿過通孔62並穿過額外介電層60延伸以便電連接每一額外再分佈層56。雖然圖7中展示僅一個額外再分佈層56，但認識到，可基於一所要組態類似地施加更多再分佈層。

雖然晶片封裝10圖解說明為包含一個晶粒26，但熟習此項技術者將容易地認識到，關於圖1至圖7所陳述之製造技術同樣適用於製造具有一個以上晶粒之一晶片封裝，諸如圖8中所展示之多晶片封裝66，多晶片封裝66包含各自具有在各別作用表面74、76上之接觸墊72之多個晶粒68、70。多晶片封裝66包含類似於再分佈層54 (圖6)之一再分佈層78，再分佈層78包括具有通孔82及金屬互連件84之一介電層80。類似於晶片封裝10 (圖6)，在介電層80之一頂部表面88上形成金屬化路徑86。

如所展示，藉由類似於黏合劑層30 (圖2)之一各別黏合劑層90、92將每一晶粒68、70附接至類似於介電層12 (圖1)之一介電層80。由於每一黏合劑層90、92直接施加至一各別晶粒68、70而非作為一完整層施加於介電層80之頂部表面88上，因此黏合劑90、92實質上限於晶粒68、70之表面積。因此，一無黏合劑區域94存在於介電層80之頂部表面88上且實質上環繞晶粒68、70，如圖9中所展示。

各別黏合劑層90、92之間的所得間隙96允許晶粒68、70比在其中跨越介電層之整個表面形成黏合劑層之一封裝中更準確地且更緊密地定位在一起。亦即，由於介電層80之頂部表面88在區域94中無黏合劑，因此在晶粒68、70之間或環繞晶粒68、70不存在固化程序期間晶粒可在其上滑動離開適當位置或吸引在一起之連續黏合劑表面。

根據本發明之一實施例，多個晶粒68、70可經組態以執行完全

相同之任務。舉例而言，晶粒68、70可係為經組態以執行記憶體功能或處理器功能之一個晶粒類型。然而，根據本發明之另一實施例，晶粒68、70並非全部經組態以執行完全相同之任務或係為相同晶粒類型。舉例而言，作為實例，一第一晶粒類型可經組態以執行一第一處理器類型之任務，一第二晶粒類型可經組態以執行一第二處理器類型之任務，且一第三晶粒類型可經組態以執行一記憶體類型之任務。本文中亦涵蓋其他晶粒類型。

現在同時參考圖10至圖13，根據本發明之一實施例陳述用於將一黏合劑層施加至一晶粒之一技術98。作為實例，可使用技術98來將黏合劑層30施加至晶粒26（圖2）或將黏合劑90、92施加至各別晶粒68、70（圖8）。在步驟100處藉由將一黏合劑層102施加至一矽晶圓106之一頂部表面104開始技術98。晶圓106通常自單晶矽晶錠或多晶矽晶錠切片且經製備以使得若干個接觸墊定位於其上。如所展示，藉由劃割線110將晶圓106劃分成複數個晶粒108。將黏合劑層102施配至晶圓106上以便覆蓋其頂部表面104。根據各種實施例，黏合劑層102藉由膜轉移或一旋塗或噴塗程序以液體形式施加至晶圓106。

在步驟112處，在用黏合劑層102塗佈晶圓106之後，使黏合劑層102處於B階段以部分地固化黏合劑層102。選擇黏合劑層102之材料成份以使得繼步驟112處之部分固化之後黏合劑層102並非膠黏的。

在步驟114處，沿著劃割線110將晶圓106鋸割或單粒化成個別晶粒總成116。每一晶粒總成116包含其中黏合劑層102之一部分接合至其之一個別晶粒108。在步驟118處，使用如關於圖3及圖4所闡述之一真空吸盤將晶粒108黏著至一介電層，諸如（舉例而言）圖1之介電層12。來自真空吸盤及/或介電層12之熱致使晶粒108之部分固化之黏合劑層102變得膠黏，藉此允許晶粒108在適當位置處黏貼於介電層上。

可視需要重複步驟100、112、114、118中所陳述之程序以將額外

晶粒定位於介電層上。在步驟120處，將額外熱量施加至黏合劑層102以完全固化黏合劑。另一選擇係，真空吸盤可經組態以在將晶粒108定位於介電層上之後將晶粒108加熱至致使黏合劑層102完全固化黏合劑之一溫度。

圖14至圖17陳述用於將一黏合劑層施加至一晶粒之一替代技術122。參考圖14至圖17，在步驟124處藉由將一黏合劑層126施加至一矽晶圓130之一頂部或作用表面128開始技術122，以與晶圓106類似之一方式(圖12)經由劃割線134將矽晶圓130劃分成複數個晶粒132。以與上文關於技術98之步驟100所闡述類似之一方式將黏合劑層126施加至晶圓130之頂部表面128。在步驟136處，部分地固化黏合劑層126。選擇黏合劑層126中之催化劑比以使得繼部分固化之後黏合劑層102保持膠黏。

在步驟138處，使用低溫層壓、輥層壓或其他類似技術將一脫模片140施加至黏合劑層126之膠黏表面142。在步驟144處，自背側146將晶圓130鋸割成個別晶粒132。可使用一紅外線攝影機來定位劃割線134且將鋸割對準至晶圓130。該鋸割單粒化晶圓130以使得在晶粒132經單粒化之後脫模片140保持完整且個別晶粒總成148保持在脫模片140上。如所展示，每一晶粒總成148包括其中一黏合劑層126黏著至其之一晶粒132。

在步驟150處，一真空吸盤拾取個別晶粒總成148以將其放置於諸如圖1之介電層12之一介電層上。當自脫模片140移除每一晶粒總成148時，黏合劑層126之一部分自脫模片140轉移至對應晶粒132之作用表面128。然後真空吸盤黏合劑層側向下地將各別晶粒總成148放置至介電層上。在使用步驟124、136、138、144及150中所陳述之程序將全部所要晶粒定位於介電層上之後，在步驟152處完全固化黏合劑層126。

現在參考圖18，陳述用於在將一晶粒附接至一介電層之前將一黏合劑層施加至該晶粒之一替代技術154。在步驟156處，將一脫模片定位於處理系統上且用一黏合劑層塗佈其。在步驟158處將黏合劑層部分地固化至B階段且使其在部分固化之後保持膠黏。

在步驟160處，使用一拾放系統來在一經單粒化晶粒之背表面上拾取該晶粒且使晶粒之作用表面向下觸及至膠黏黏合劑中，藉此使作用表面塗佈有黏合劑。在步驟162處，黏合劑側向下地將塗佈黏合劑之晶粒定位至介電層上。在使用步驟156至162中所陳述之程序將全部所要晶粒定位於介電層上之後，在步驟164處完全固化黏合劑。

在一替代實施例中，使用一拾放系統來拾取一經單粒化晶粒且使晶粒之作用表面觸及至一液體或膏狀黏合劑罐中而非如上文所闡述之一塗佈黏合劑之脫模片中。然後在施加或不施加熱至塗佈黏合劑之晶粒之情況下拾放系統將該晶粒轉移至介電層。在轉移程序期間加熱晶粒除去黏合劑中可導致晶粒在放置於介電層上之後「滑行」或移動離開適當位置之額外溶劑。

現在參考圖19至圖24，根據本發明之一實施例陳述用於製造一晶片封裝(諸如晶片封裝10 (圖6))之一替代技術中之步驟，其中在堆積程序之各個階段展示側剖面圖。參考圖19，提供類似於介電層12 (圖1)之一介電層166。如圖19中所展示，介電層166包括一頂部表面168及一底部表面170。根據堆積程序之一選用步驟，可在介電層166之頂部表面168上沈積類似於金屬層18 (圖1)之一預圖案化金屬層172。

參考圖20，在介電層166之頂部表面168之頂部對準具有形成於其中之開口176之一金屬絲網174。圖25圖解說明對應於圖20之剖面圖之金屬絲網174之一部分之一俯視圖。如所展示，金屬絲網174中之開口176經定大小以對應於對應晶粒之表面積，如下文更詳細地闡述。

往回參考圖20，對準金屬絲網174與介電層166以使得開口176定位於介電層166之頂部表面168上之對應晶粒凹坑位置178之頂部。在堆積技術之下一步驟中，沿著金屬絲網174之一邊緣182施配黏合劑180。將一刮漿板184帶入毗鄰黏合劑180之地方中。跨越金屬絲網174拉動刮漿板184，從而使一黏合劑層186留在各別晶粒凹坑178中，如圖21中所展示。

現在參考圖22，在晶片封裝10之堆積技術之下一步驟中，分離金屬絲網174與介電層166且移除金屬絲網174。如圖22中所展示，在所得黏合劑層186之毗鄰部分之間形成一無黏合劑間隙188。在移除金屬絲網174之後，使黏合劑層186 B階段固化至一膠黏狀態。

接下來，使用一拾放機器或真空吸盤對準晶粒190、192與晶粒位置178及黏合劑層186之各別部分，如圖23中所展示。如所展示，每一晶粒190、192具有含有任何數目個晶粒墊196之一作用表面194。類似於圖2之晶粒26，晶粒190、192可係各種晶粒類型(諸如，舉例而言，一記憶體晶粒類型、一處理晶粒類型、一邏輯晶粒類型及一特殊應用積體電路(ASIC)晶粒類型)中之任一者。參考圖24，在晶粒190、192定位於黏合劑186之頂部之後，完全固化黏合劑186。如熟習此項技術者將容易地認識到，在堆積技術之隨後步驟中，可以與關於圖6所闡述類似之一方式在介電層166上形成通孔及金屬化路徑以形成諸如晶片封裝10之一晶片封裝。

現在參考圖26至圖29，根據本發明之另一實施例陳述用於製造一晶片封裝(諸如晶片封裝10 (圖6))之一替代技術中之步驟，其中在堆積程序之各個階段展示晶片封裝10之側剖面圖。參考圖25，提供類似於介電層12 (圖1)之一介電層198，介電層198具有一頂部表面200及一底部表面202。視情況，可在介電層198之頂部表面168上沈積或預圖案化一金屬層204。

在堆積技術之下一步驟中，將填充有黏合劑208之一噴墨印刷機頭206定位於介電層198之一邊緣210處，如圖27中所展示。當噴墨印刷機頭206跨越介電層198行進時，以在各別晶粒位置212處之跨越介電層198之頂部表面200之一圖案施配黏合劑208。如圖28中所展示，施配黏合劑208以使得在毗鄰晶粒位置212之間的介電層198之頂部表面200上形成一間隙214。間隙214實質上無黏合劑。

然後使黏合劑208 B階段固化至一膠黏狀態。接下來，對準具有任何數目個接觸墊220之晶粒216、218與黏合劑208。使用一拾放機器或真空吸盤將每一晶粒216、218之各別作用表面222放置至黏合劑208中，如圖29中所展示。隨後完全固化黏合劑208。如熟習此項技術者將容易地認識到，在堆積技術之隨後步驟中，可以與關於圖6所闡述類似之一方式在介電層198上形成通孔及金屬化路徑以形成諸如晶片封裝10之一晶片封裝。

現在參考圖30至圖35，根據本發明之又一實施例陳述用於製造一晶片封裝之一替代技術中之步驟。首先參考圖30，用一黏合劑層226塗佈一脫模片224。然後將黏合劑層226燒固至B階段以部分地固化黏合劑層226。可根據各種實施例將黏合劑層226燒固至一膠黏狀態或非膠黏狀態。在製造程序之下一步驟中，將黏合劑層226劃割或切割(例如，經由一雷射)成經定大小以實質上匹配個別晶粒232、234(圖34)之作用表面230之表面積之個別黏合劑部分228。

現在參考圖32及圖33，黏合劑部分228定位於在各別晶粒位置240、242處之一聚醯亞胺撓曲層或介電層238之一頂部表面236上，從而在毗鄰黏合劑部分228之間的介電層238上留下一間隙244。在一項實施例中，介電層238之頂部表面236具有形成於其上之一預圖案化金屬互連層246。在製造程序之下一步驟中，使用(舉例而言)一真空吸盤或拾放機器對準晶粒232、234與各別晶粒位置240、242，如圖34中

所展示。在其中將黏合劑層226固化至一膠黏狀態之一實施例中，將晶粒232、234之各別作用表面230放置至各別黏合劑部分228中。在其中將黏合劑層226固化至一非膠黏狀態之一實施例中，在晶粒232、234之放置之前加熱晶粒232、234及/或介電層238。來自晶粒232、234及/或介電層238之熱致使黏合劑部分228變得膠黏且致使晶粒232、234接合至黏合劑部分228，如圖35中所展示。然後完全固化黏合劑部分228。如熟習此項技術者將容易地認識到，在堆積技術之隨後步驟中，可以與關於圖6所闡述類似之一方式在介電層238上形成通孔及金屬化路徑以形成諸如晶片封裝10之一晶片封裝。

因此，本發明之實施例藉由提供其中在將晶粒定位於介電層上之前將黏合劑直接施加至晶粒之作用表面及介電層之對應於晶粒位置之選擇部分中之一者之一晶片製作方法而克服使整個介電層塗佈有黏合劑之先前技術中之前述缺點。因此，所得積體電路裝置之介電基板之表面具有其上含有黏合劑之至少一個部分及實質上無黏合劑之至少一個部分。將黏合劑直接施加至晶粒簡化處理步驟，減少隨後處理步驟，允許晶粒更緊密地放置在一起，且顯著減少介電層之表面上之黏合劑量，藉此最小化不平衡應力且減小材料成本。

因此，根據本發明之一項實施例，一晶片封裝包含：一第一晶粒，其包括上面定位有至少一個晶粒墊之一作用表面；一第一黏合劑層，其具有耦合至該第一晶粒之該作用表面之一第一表面及與該第一表面相對之一第二表面；及一第一介電層，其具有一頂部表面，其中該第一介電層之該頂部表面之一第一部分耦合至該第一黏合劑層之該第二表面。該第一介電層之該頂部表面之不同於該第一部分之一第二部分實質上無黏合劑。

根據本發明之另一實施例，形成一積體晶片封裝之一方法包含：提供包括上面定位有至少一個接觸墊之一作用表面之一第一半導

體晶粒；施加一黏合劑層至該第一半導體晶粒之該作用表面；及藉助該黏合劑層將具有施加至其之該黏合劑層之該第一半導體晶粒黏著至一介電基板之一頂部表面。

根據本發明之又一實施例，一積體晶片封裝包含一介電基板及一第一晶粒總成。該第一晶粒總成包含：一半導體晶粒，其具有上面定位有接觸墊之一作用表面；及一不導電黏合劑層，其具有耦合至該半導體晶粒之該作用表面之一第一表面。該黏合劑層之該第一表面之一表面積實質上等於該半導體晶粒之該作用表面之一表面積。該黏合劑層之與該第一表面相對之一第二表面耦合至該介電基板之一表面。撓性基板之表面之毗鄰於第一晶粒總成之一子部分實質上無黏合劑。

根據本發明之又一實施例，形成一積體晶片封裝之一方法包含：提供具有定位於其一頂部表面上之一晶粒位置之一介電基板；提供包括上面定位有至少一個接觸墊之一作用表面之一第一半導體晶粒；及施加一黏合劑層至該第一半導體晶粒之該作用表面及該介電基板之該晶粒位置中之一者。該黏合劑層具有大約等於該第一半導體晶粒之該作用表面之表面積之一表面積。該方法進一步包含藉助該黏合劑層將該第一半導體晶粒黏著至該介電基板之該頂部表面。

根據本發明之又一實施例，形成一積體晶片封裝之一方法包含提供具有定位於其一表面上之複數個晶粒位置之一介電基板及施加一經圖案化黏合劑層至該介電基板之該複數個晶粒位置上以使得在毗鄰晶粒位置之間的該介電基板之該表面上形成一間隙，該間隙實質上無黏合劑。該方法亦包含經由該黏合劑層將複數個半導體晶粒黏著至該介電基板。

此書面說明使用實例來揭示包含最佳模式之本發明，且亦使得任何熟習此項技術者能夠實踐本發明，包含製造及使用任何裝置或系統且執行任何併入方法。本發明之專利範疇由申請專利範圍定義，且

可包含熟習此項技術者想到之其他實例。若此等其他實例具有不與申請專利範圍之字面語言不同之結構性元件，或若此等其他實例包含含有與申請專利範圍之字面語言之非實質上不同之等效結構性元件，則其意欲在申請專利範圍之範疇內。

【符號說明】

12	初始撓性聚合物層壓層/介電基板/介電層
14	頂部表面
16	底部表面
18	金屬層
20	金屬化路徑
22	晶粒總成/總成
24	部分
26	晶粒
28	作用表面
30	黏合劑層
32	晶粒墊/接觸墊
34	第一表面
36	第二表面
38	部分
40	部分
42	部分
44	通孔
46	厚度
50	第二金屬層/第二金屬化層
52	金屬互連件
54	初始再分佈層/再分佈層

56	額外再分佈層
58	黏合劑層
60	額外介電層
62	通孔
64	金屬互連件
66	多晶片封裝
68	晶粒
70	晶粒
72	接觸墊
74	作用表面
76	作用表面
78	再分佈層
80	介電層
82	通孔
84	金屬互連件
86	金屬化路徑
88	頂部表面
90	黏合劑層/黏合劑
92	黏合劑層/黏合劑
94	無黏合劑區域/區域
96	間隙
98	技術
102	黏合劑層
104	頂部表面
106	矽晶圓/晶圓
108	晶粒

110	劃割線
116	晶粒總成
122	替代技術/技術
126	黏合劑層
128	頂部表面/作用表面
130	矽晶圓/晶圓
132	晶粒
134	劃割線
140	脫模片
142	膠黏表面
146	背側
148	晶粒總成
154	替代技術
166	介電層
168	頂部表面
170	底部表面
172	預圖案化金屬層
174	金屬絲網
176	開口
178	晶粒凹坑位置/晶粒凹坑/晶粒位置
180	黏合劑
182	邊緣
184	刮漿板
186	黏合劑層/黏合劑
188	無黏合劑間隙
190	晶粒

192	晶粒
194	作用表面
196	晶粒墊
198	介電層
200	頂部表面
202	底部表面
204	金屬層
206	噴墨印刷機頭
208	黏合劑
210	邊緣
212	晶粒位置
214	間隙
216	晶粒
218	晶粒
220	接觸墊
222	作用表面
224	脫模片
226	黏合劑層
228	黏合劑部分
230	作用表面
232	晶粒
234	晶粒
236	頂部表面
238	聚亞醯胺撓性層/介電層
240	晶粒位置
242	晶粒位置

244	間隙
246	預圖案化金屬互連層



申請專利範圍

1. 一種形成一積體晶片封裝之方法，其包括：

提供包括上面定位有至少一個接觸墊之一作用表面(active surface)之一第一半導體晶粒；

施加一黏合劑層至該第一半導體晶粒之該作用表面；及

藉助該黏合劑層將具有施加至其之該黏合劑層之該第一半導體晶粒黏著至一介電基板之一頂部表面；

其中施加該黏合劑層至該第一半導體晶粒之該作用表面包括：

施加該黏合劑層至一半導體晶圓，以使得該黏合劑層之一第一表面與該半導體晶圓之一作用表面接觸；且

自該半導體晶圓單粒化(singulating)該第一半導體晶粒。

2. 如請求項1之方法，其進一步包括在單粒化該第一半導體晶粒之前將一脫模片(release sheet)耦合至該黏合劑層之與該第一表面相對之一第二表面。

3. 如請求項1之方法，其進一步包括在單粒化該第一半導體晶粒之前使該黏合劑層B階段固化(curing)。

4. 如請求項1之方法，其進一步包括：

提供包括上面定位有至少一個晶粒墊之一作用表面之一第二半導體晶粒；

施加一黏合劑層至該第二半導體晶粒之該作用表面；及

將具有施加至其之該黏合劑層之該第二半導體晶粒黏著至該介電基板之該頂部表面。

5. 如請求項1之方法，其進一步包括將該第一半導體晶粒及該第二半導體晶粒定位於該介電基板之該頂部表面上，以使得在該第

一半導體晶粒之該黏合劑層與該第二半導體晶粒之該黏合劑層之間的該介電基板之該頂部表面上形成一間隙。

6. 如請求項1之方法，其進一步包括：

在該介電基板之該頂部表面上形成一第一金屬化層；及

形成穿過該介電基板之第一複數個經金屬化連接，該第一複數個經金屬化連接與該第一金屬化層及該至少一個接觸墊中之至少一者接觸。

圖式



圖 1

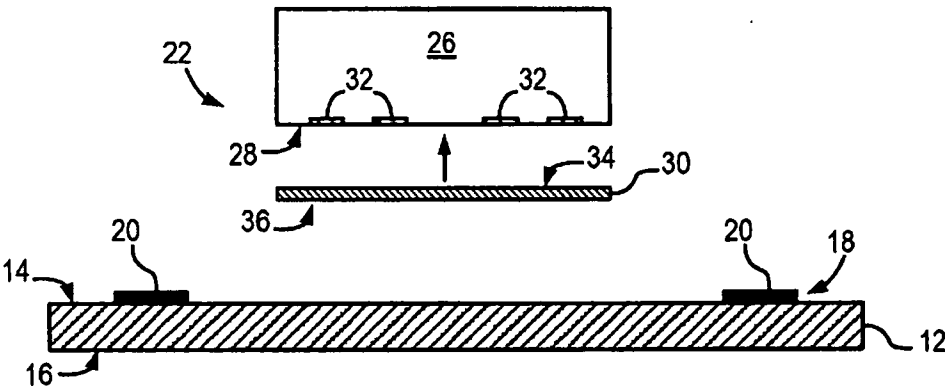


圖 2

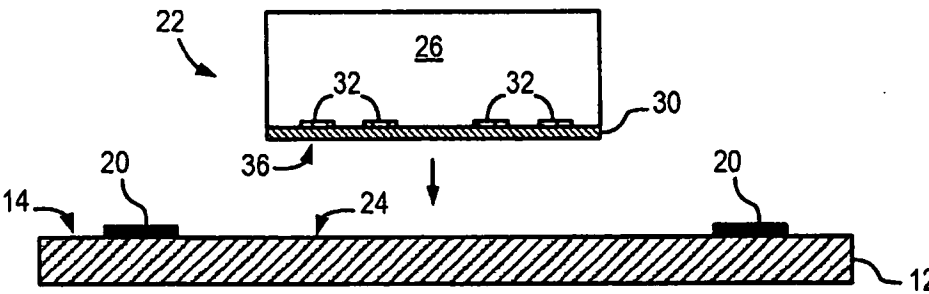


圖 3

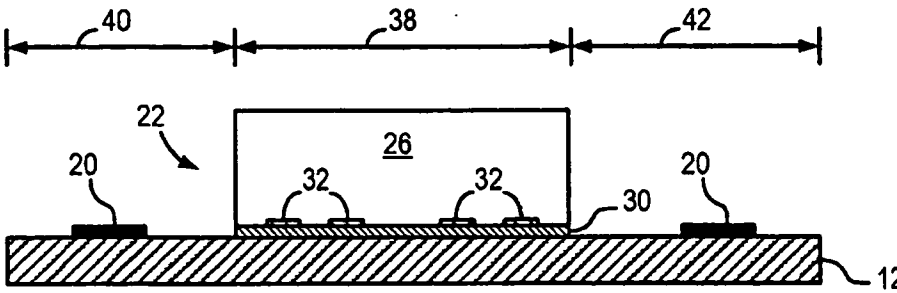


圖 4

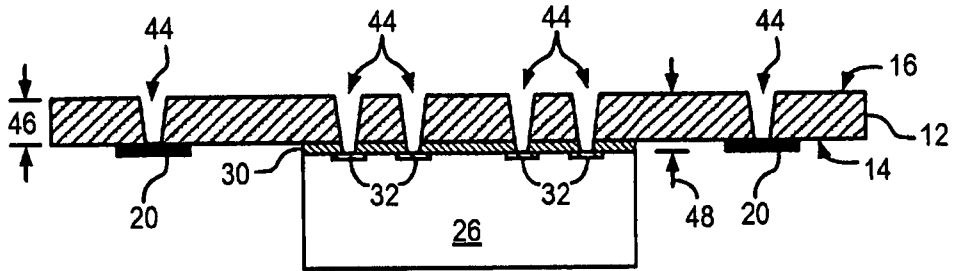


圖 5

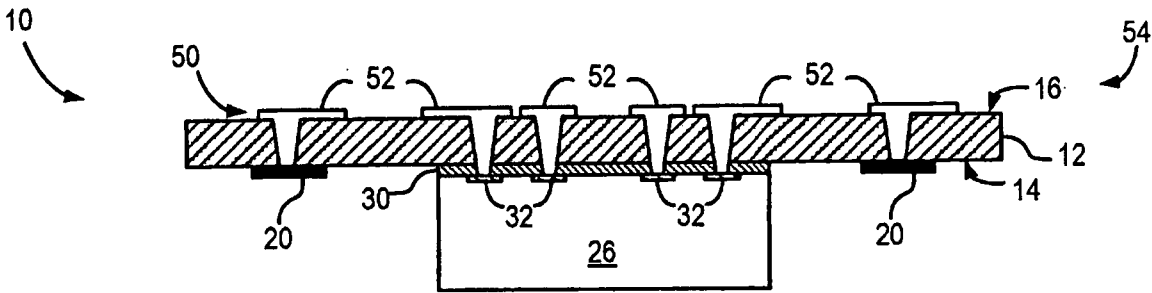


圖 6

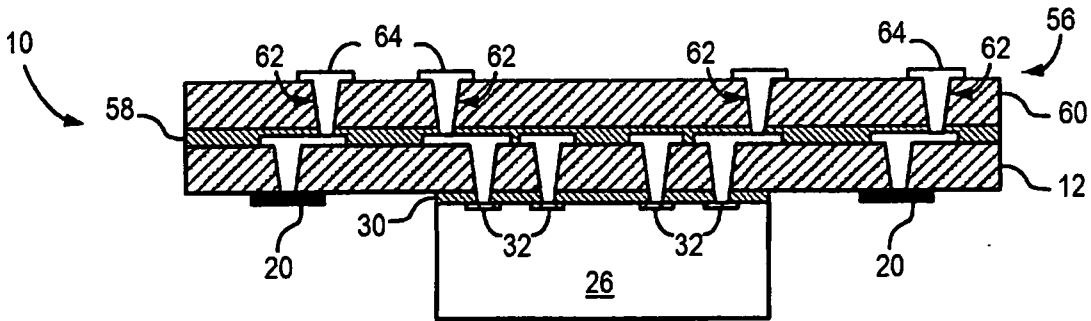


圖 7

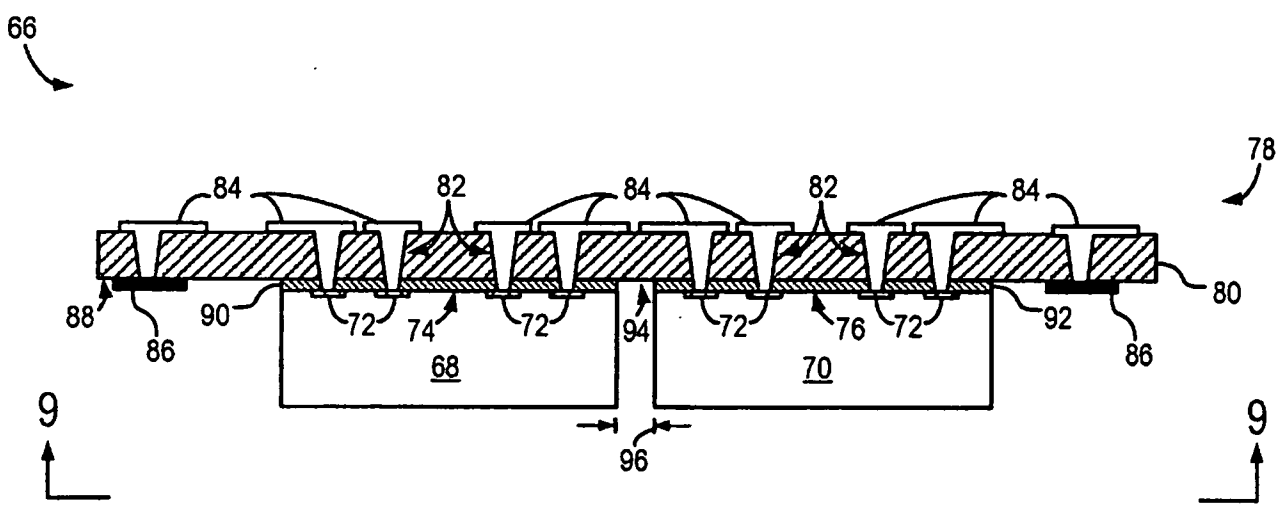


圖 8

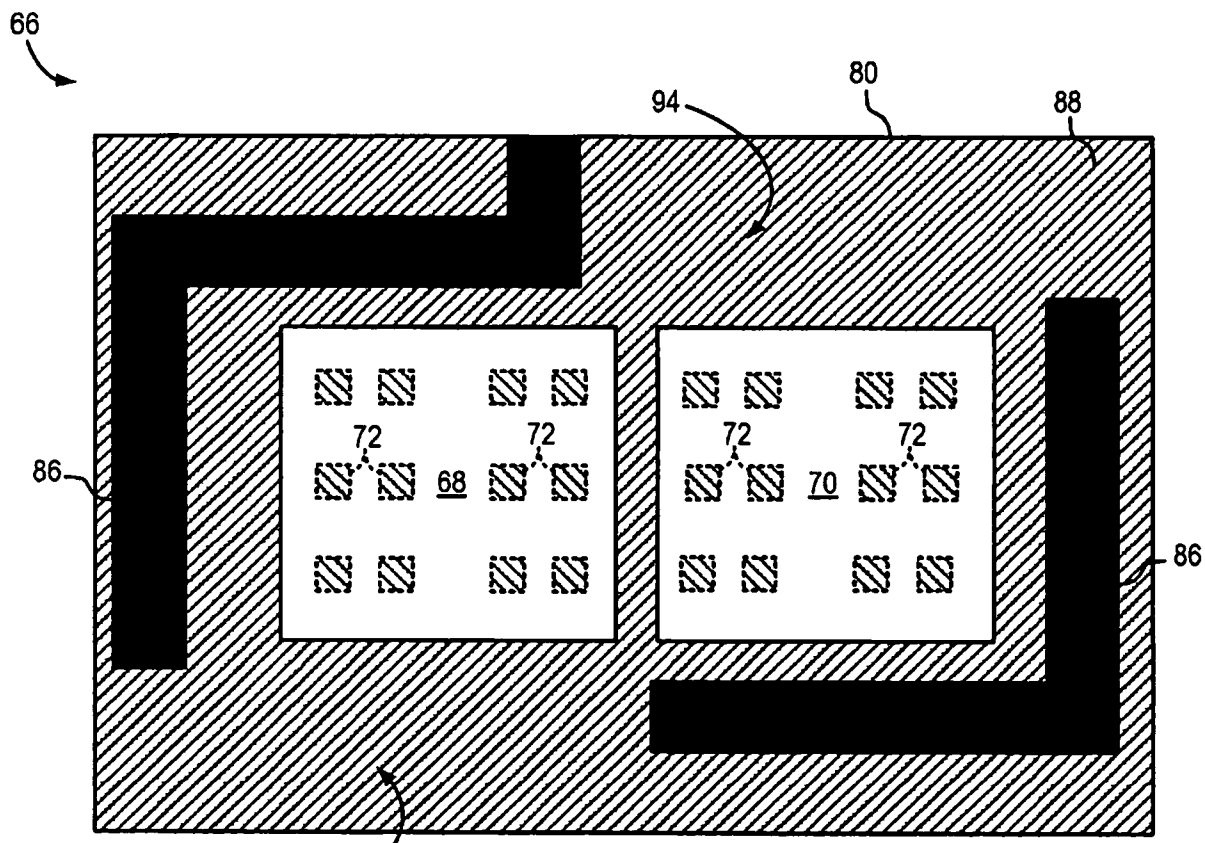


圖 9

98

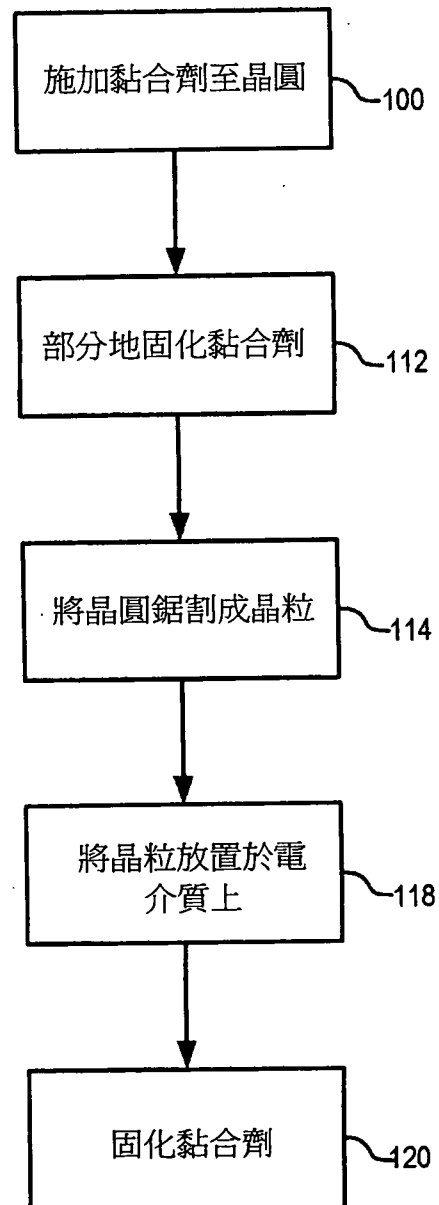


圖 10

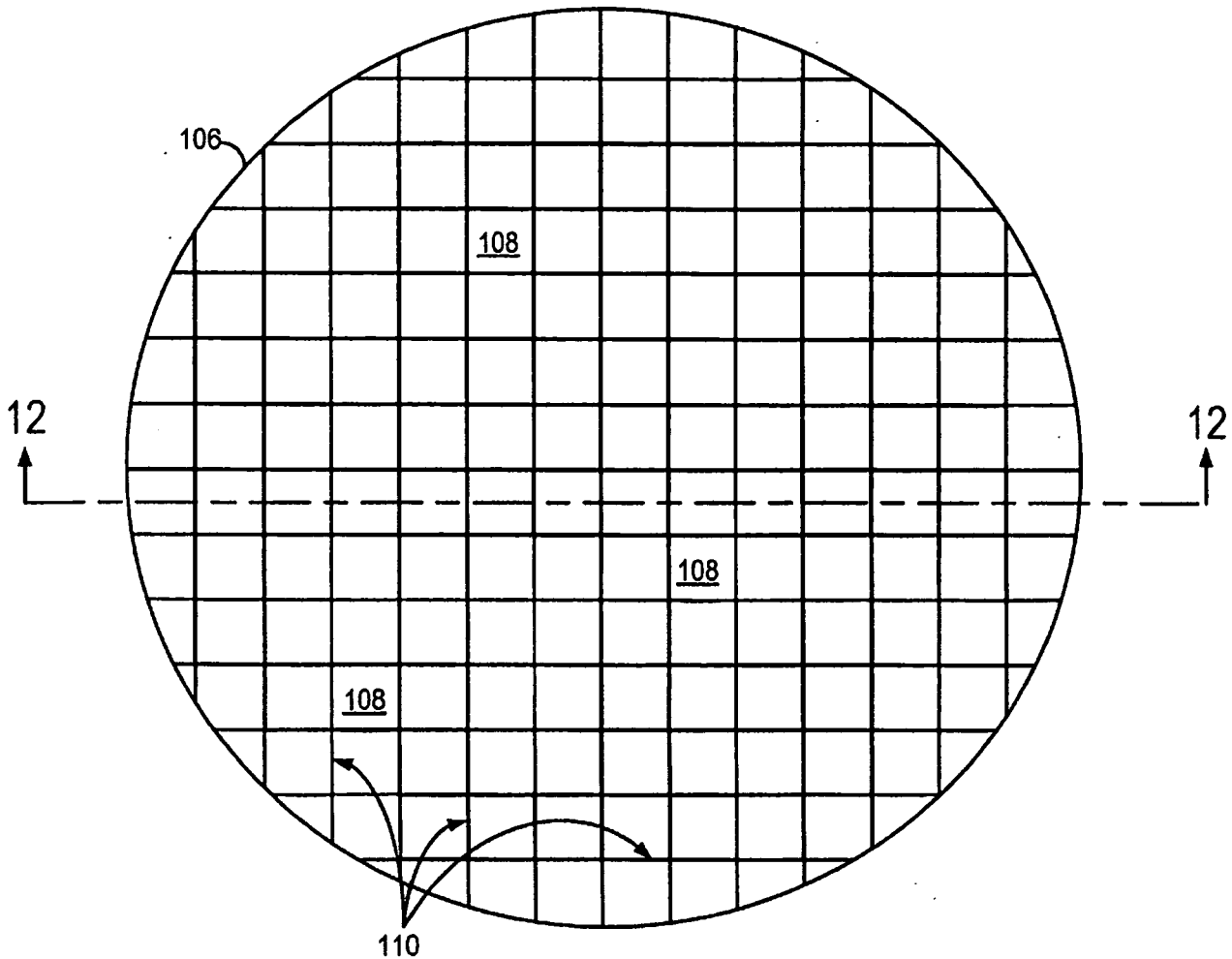


圖 11

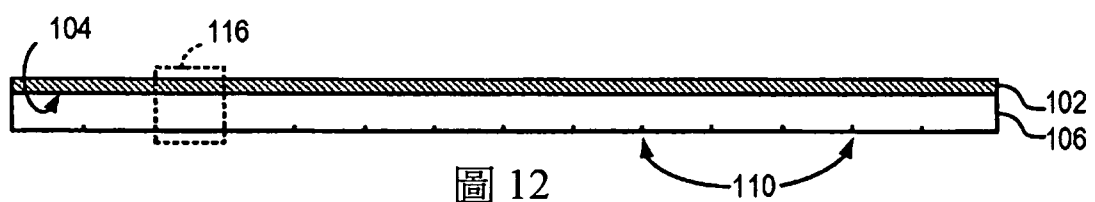


圖 12

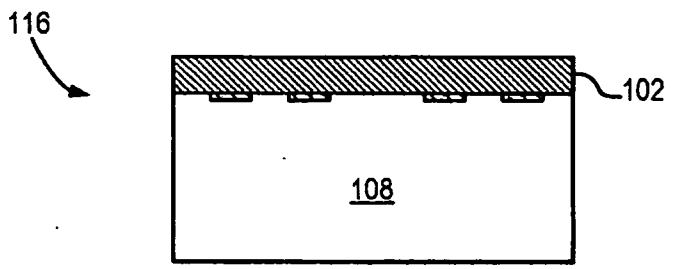


圖 13

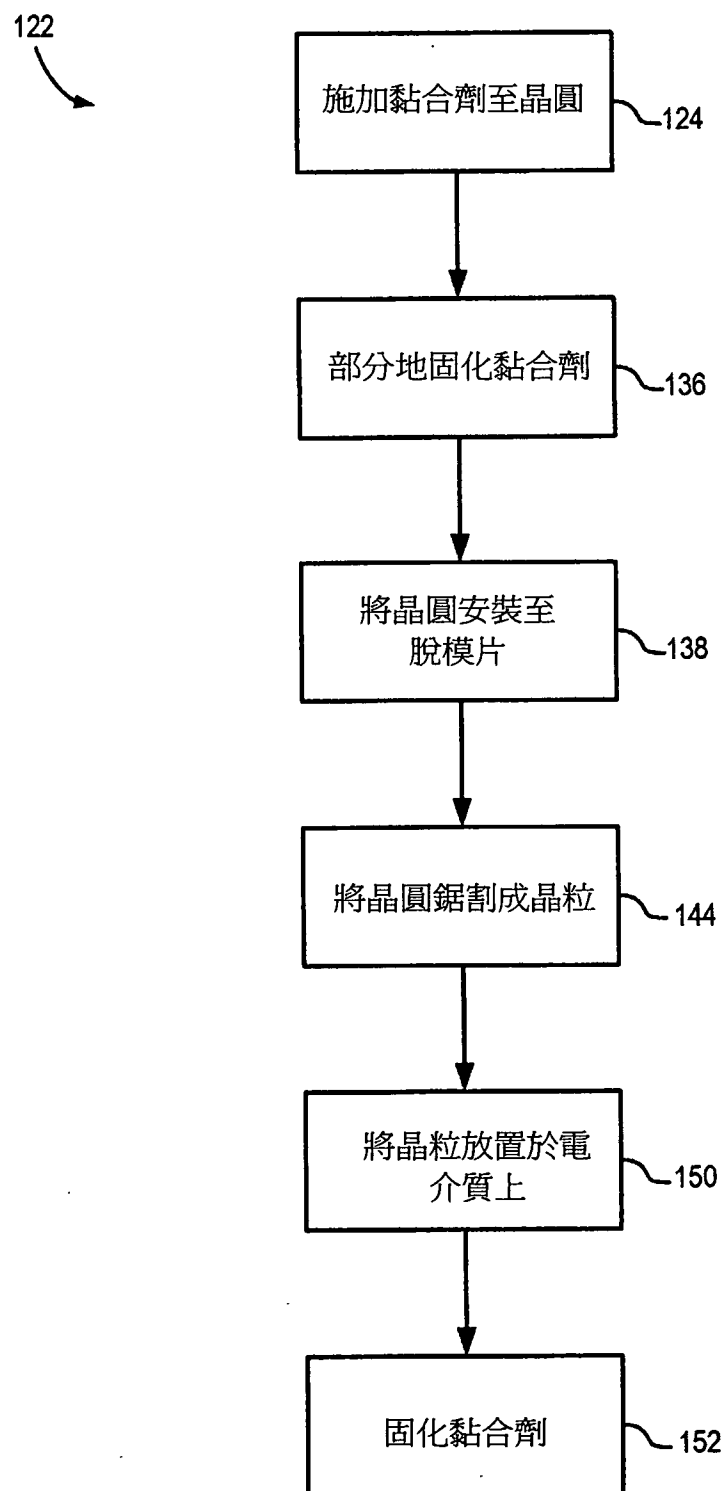


圖 14

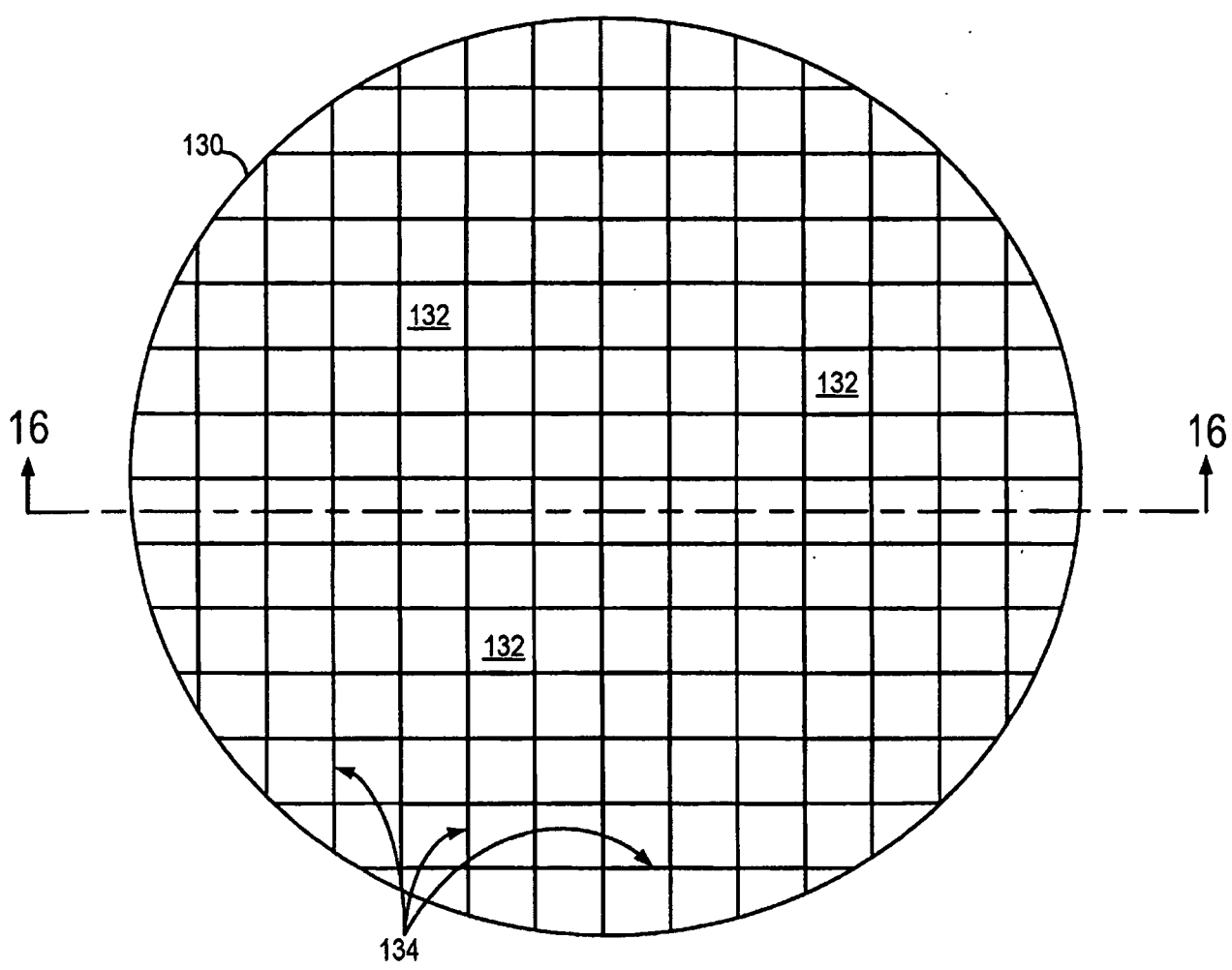


圖 15

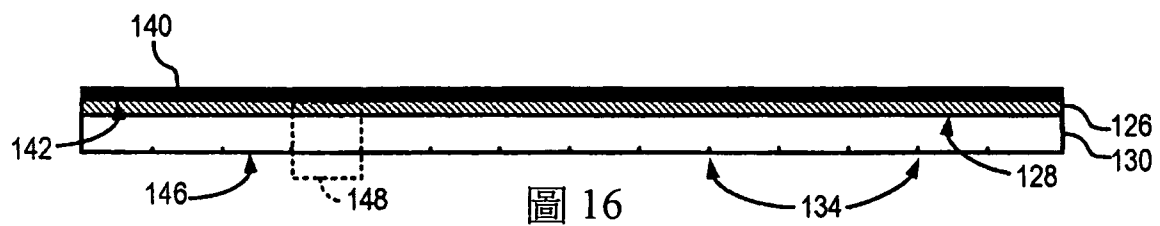


圖 16

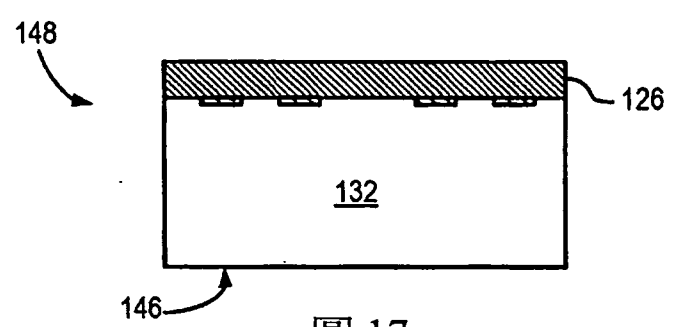


圖 17

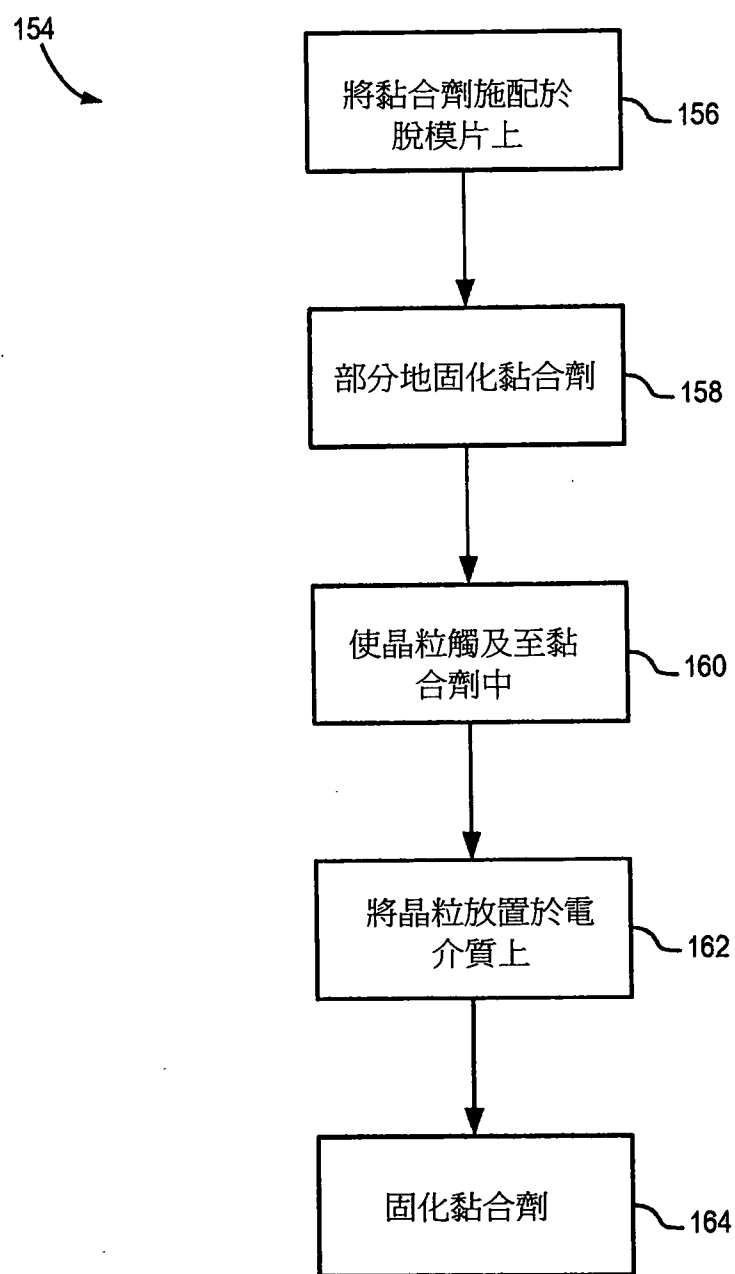


圖 18

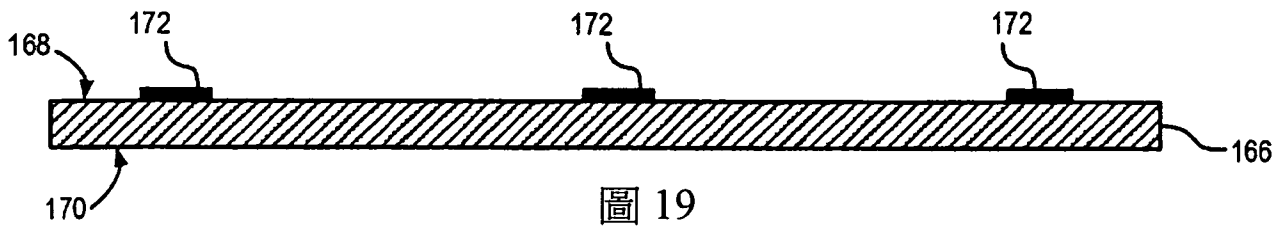


圖 19

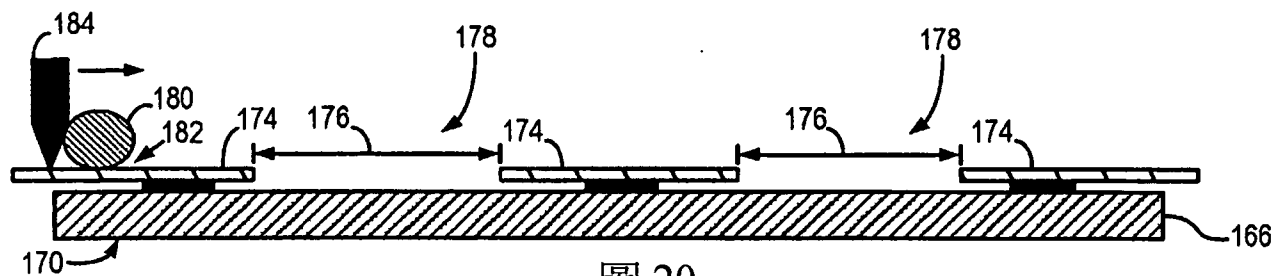


圖 20

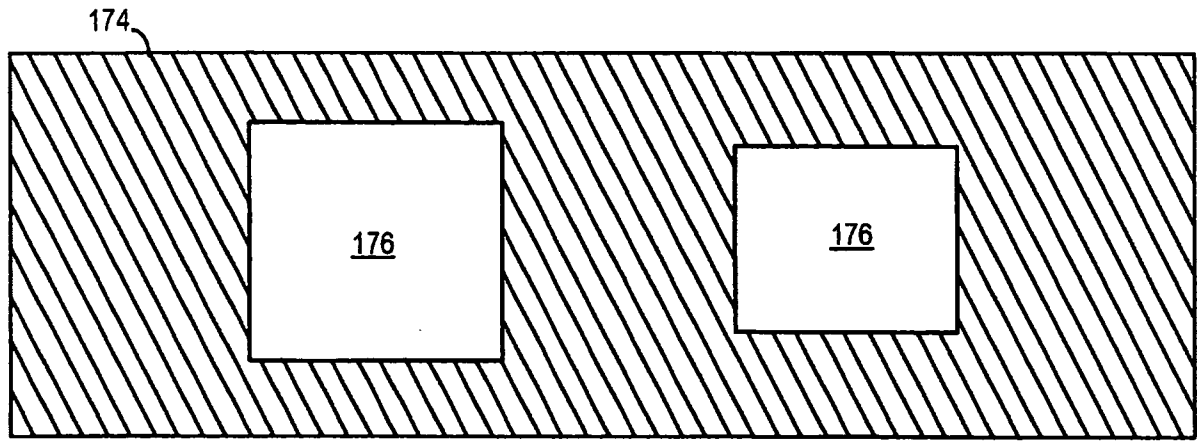


圖 25

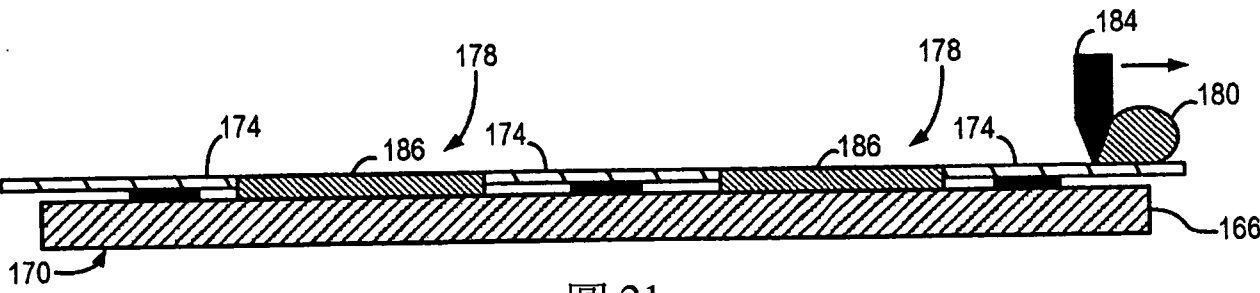


圖 21

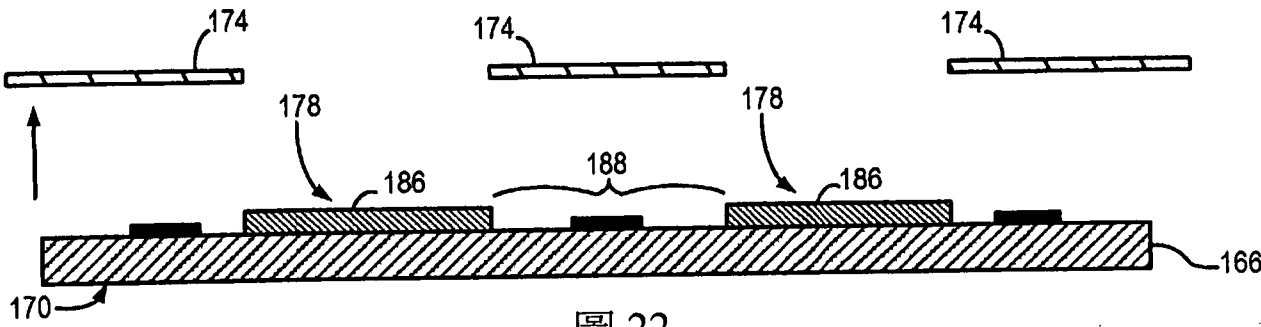


圖 22

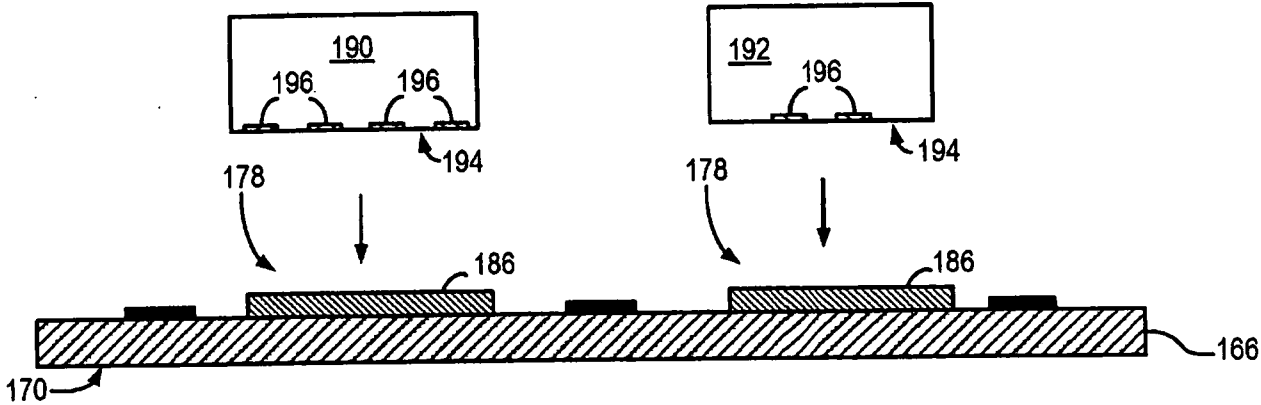


圖 23

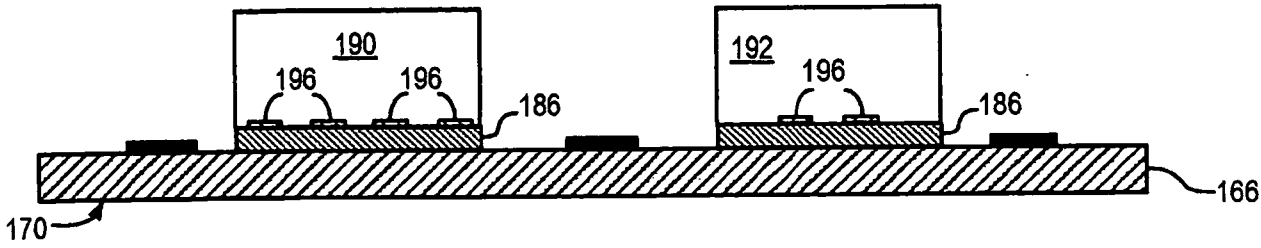
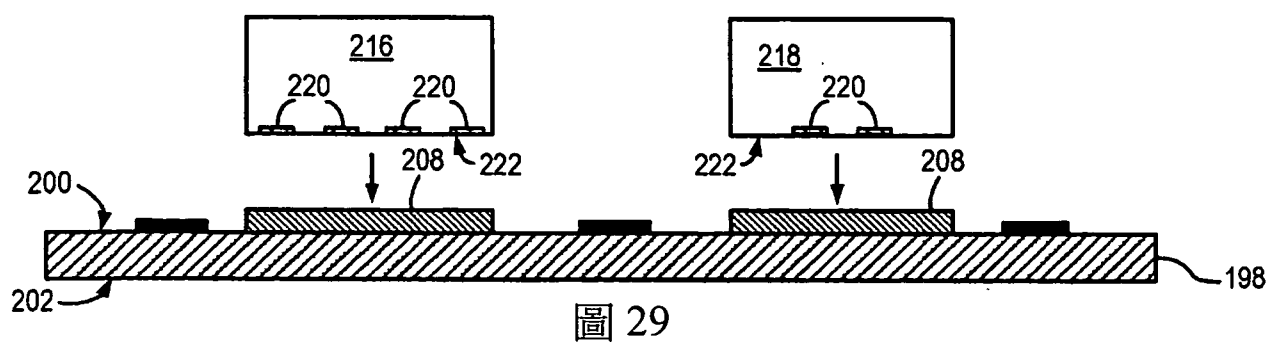
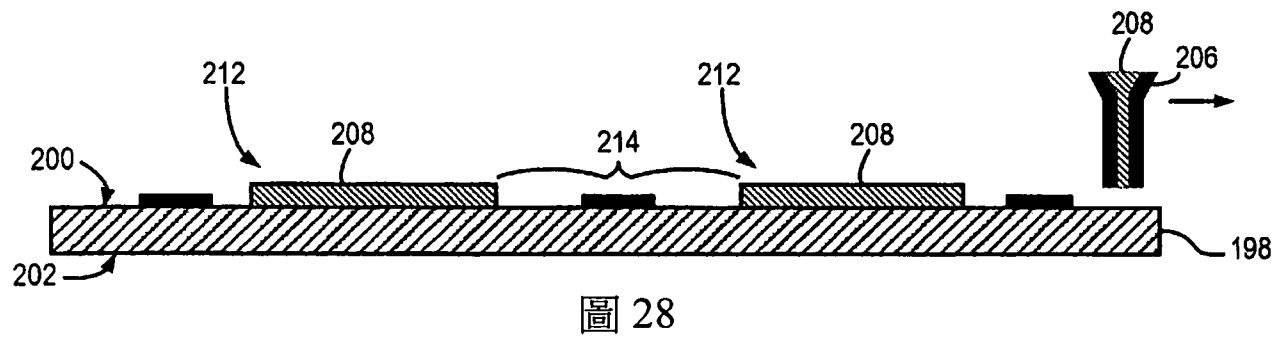
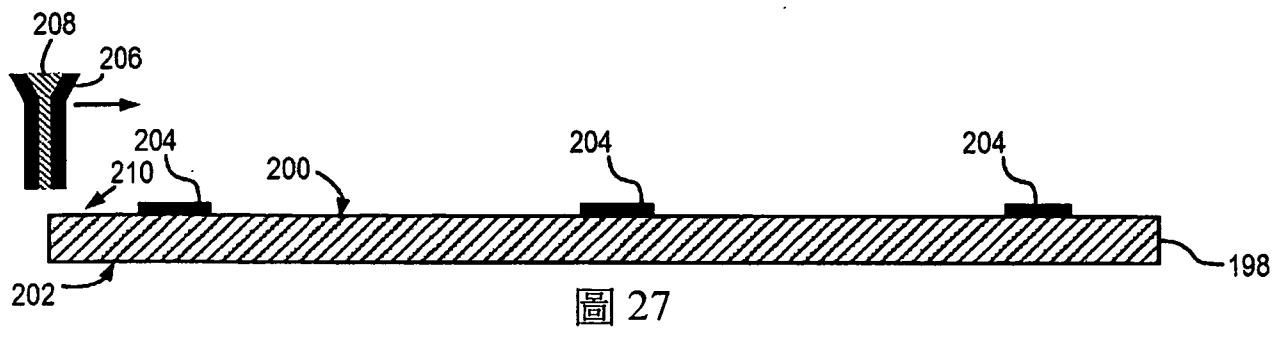
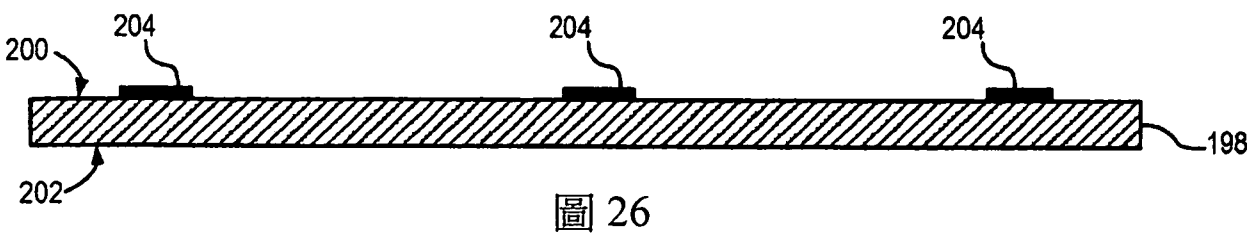


圖 24



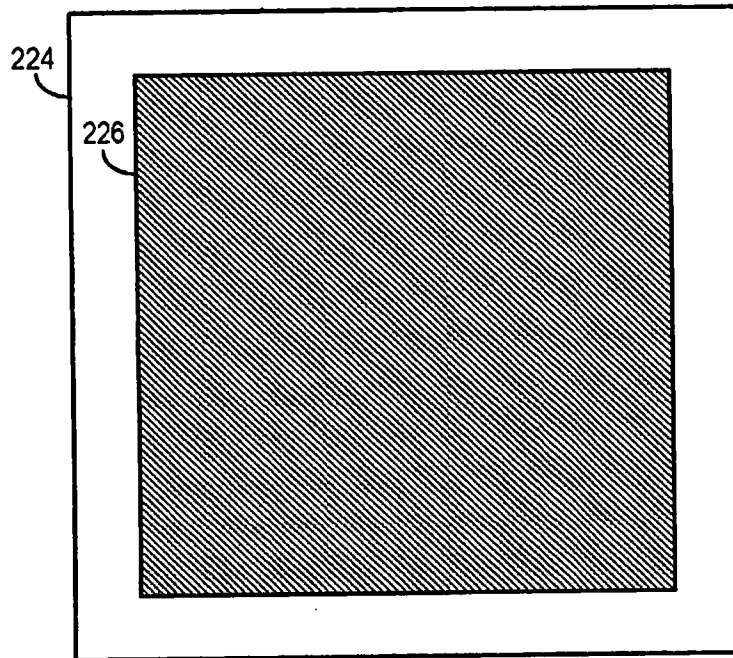


圖 30

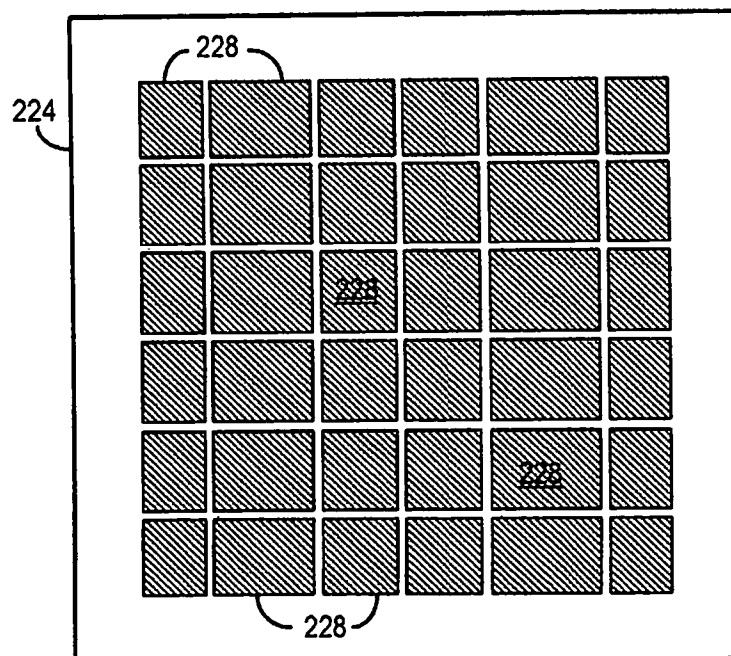


圖 31

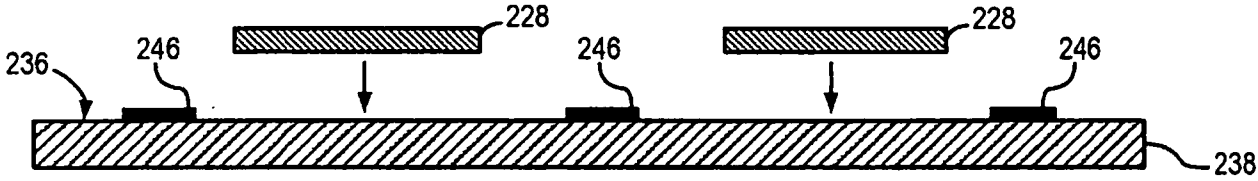


圖 32

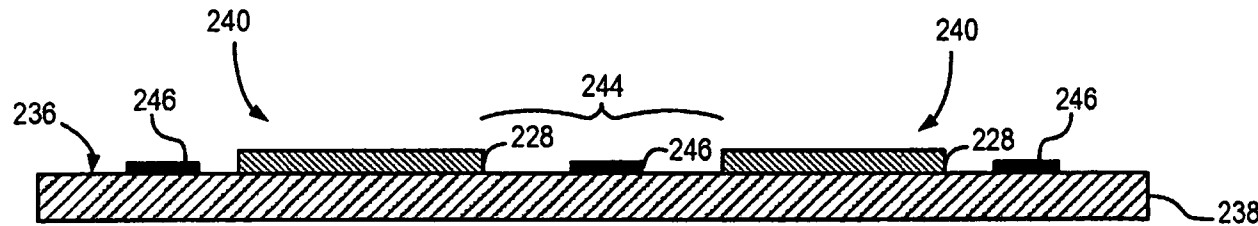


圖 33

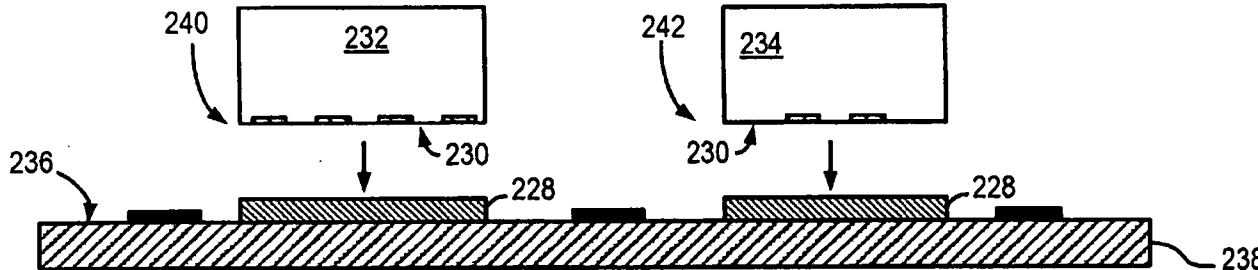


圖 34

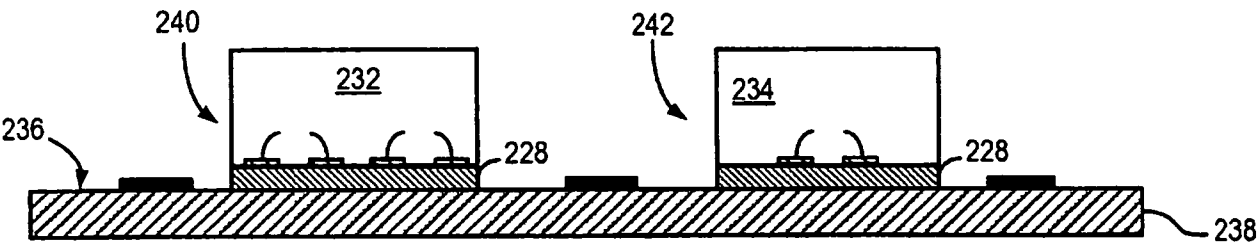


圖 35