

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-123742

(P2024-123742A)

(43)公開日 令和6年9月12日(2024.9.12)

(51)国際特許分類		F I		テーマコード(参考)	
H 0 1 L	21/02 (2006.01)	H 0 1 L	21/02	B	5 F 0 8 3
H 0 1 L	27/00 (2006.01)	H 0 1 L	27/00	3 0 1 C	
H 1 0 B	43/20 (2023.01)	H 0 1 L	27/00	3 0 1 H	
H 1 0 B	43/23 (2023.01)	H 0 1 L	27/00	3 0 1 B	
H 1 0 B	43/27 (2023.01)	H 1 0 B	43/20		
		審査請求	未請求	請求項の数	10 O L (全31頁) 最終頁に続く

(21)出願番号 特願2023-31384(P2023-31384)
 (22)出願日 令和5年3月1日(2023.3.1)

(71)出願人 318010018
 キオクシア株式会社
 東京都港区芝浦三丁目1番21号
 (74)代理人 110003708
 弁理士法人鈴榮特許総合事務所
 (72)発明者 遠島 未希
 東京都港区芝浦三丁目1番21号 キオクシア株式会社内
 (72)発明者 村上 貞俊
 東京都港区芝浦三丁目1番21号 キオクシア株式会社内
 Fターム(参考) 5F083 EP17 EP18 EP22 EP32
 EP33 EP34 EP42 EP76
 HA10 JA55 JA60 PR28
 ZA30

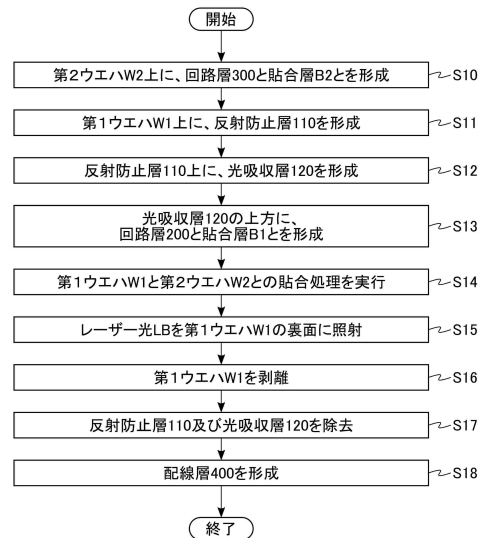
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】半導体装置の製造コストを抑制する。

【解決手段】実施形態の半導体装置の製造方法は、互いに異なる第1回路層及び第2回路層がそれぞれ形成された第1基板及び第2基板を貼り合わせる。実施形態の半導体装置の製造方法は、第1基板上に第1基板よりも屈折率の低い第1層を形成することと、第1層上に第1層よりも屈折率の低い第2層を形成することと、第2層上に第1回路層を形成することと、第1回路層を形成した後に、第1基板のおもて面と第2基板のおもて面とを貼り合わせることと、第1基板と第2基板とを貼り合わせた後に、第1基板の裏面にレーザー光を照射することと、第1基板の裏面にレーザー光を照射した後に、第2基板側に第1回路層が残るように第1基板を剥離することと、を含む。

【選択図】図5



【特許請求の範囲】

【請求項 1】

互いに異なる第 1 回路層及び第 2 回路層がそれぞれ形成された第 1 基板及び第 2 基板を貼り合わせる半導体装置の製造方法であって、

前記第 1 基板上に前記第 1 基板よりも屈折率の低い第 1 層を形成することと、

前記第 1 層上に前記第 1 層よりも屈折率の低い第 2 層を形成することと、

前記第 2 層上に前記第 1 回路層を形成することと、

前記第 1 回路層を形成した後に、前記第 1 基板のおもて面と、前記第 2 基板のおもて面とを貼り合わせることと、

前記第 1 基板と前記第 2 基板とを貼り合わせた後に、前記第 1 基板の裏面にレーザー光を照射することと、

前記第 1 基板の裏面にレーザー光を照射した後に、前記第 2 基板側に前記第 1 回路層が残るように前記第 1 基板を剥離することと、を備える、

半導体装置の製造方法。

【請求項 2】

前記第 1 基板は、シリコン基板であり、

前記第 2 層は、シリコン酸化膜であり、

前記レーザー光は、CO₂レーザーである、

請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 層は、第 1 材料を含み、

前記第 1 層は、前記第 1 材料により形成された部分と、前記第 1 材料よりも屈折率の高い第 2 材料により形成された部分とを含む、

請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 材料は、シリコン酸化膜であり、

前記第 2 材料は、ポリシリコンである、

請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 層において、前記第 2 材料はラインアンドスペースパターン状に形成される、

請求項 3 に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 材料のラインアンドスペースパターンのピッチは、前記レーザー光の波長未満である、

請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 2 材料のラインアンドスペースパターンの前記ピッチは、前記レーザー光の波長の 1 / 5 以下である、

請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 材料のラインアンドスペースパターンに含まれたラインパターンは、複数のサブパターンに分割され、前記複数のサブパターンのピッチは、前記第 2 材料のラインアンドスペースパターンの前記ピッチよりも小さい、

請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 基板の裏面に前記レーザー光を照射する際に、前記レーザー光の偏光を、前記第 2 材料のラインアンドスペースパターンに対して平行な偏光、又は前記第 2 材料のラインアンドスペースパターンに対して直交する偏光に制御することをさらに備える、

請求項 5 に記載の半導体装置の製造方法。

【請求項 10】

10

20

30

40

50

前記第1回路層は、メモリセルを含み、
前記第2回路層は、CMOS回路を含む、
請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体回路基板を3次元に積層する3次元積層技術が知られている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2021-106197号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体装置の製造コストを抑制する。

【課題を解決するための手段】

【0005】

20

実施形態の半導体装置の製造方法は、互いに異なる第1回路層及び第2回路層がそれぞれ形成された第1基板及び第2基板を貼り合わせる。実施形態の半導体装置の製造方法は、第1基板上に第1基板よりも屈折率の低い第1層を形成することと、第1層上に第1層よりも屈折率の低い第2層を形成することと、第2層上に第1回路層を形成することと、第1回路層を形成した後に、第1基板のおもて面と第2基板のおもて面とを貼り合わせることと、第1基板と第2基板とを貼り合わせた後に、第1基板の裏面にレーザー光を照射することと、第1基板の裏面にレーザー光を照射した後に、第2基板側に第1回路層が残るように第1基板を剥離することと、を含む。

【図面の簡単な説明】

【0006】

30

【図1】半導体基板の再利用プロセスの概要を示す模式図。

【図2】貼り合わせ構造を有する半導体装置の構成の一例を示す概略図。

【図3】第1実施形態に係る半導体装置の外観の一例を示す斜視図。

【図4】第1実施形態に係る半導体装置の断面構造の一例を示す断面図。

【図5】第1実施形態に係る半導体装置の製造方法の一例を示すフローチャート。

【図6】第1実施形態に係る半導体装置の製造途中の断面構造の一例を示す断面図。

【図7】第1実施形態に係る半導体装置の光吸収率のシミュレーションで使用される構造を示す模式図。

【図8】第1実施形態に係る半導体装置におけるレーザー光に対する剥離層の光吸収率の変動幅及び平均値と、酸化膜の厚さと、反射防止膜の厚さとの関係性の一例を示すグラフ。

40

【図9】比較例に係る半導体装置における光吸収率のシミュレーションで使用される構造と、入射するレーザー光及び発生する反射光とを示す模式図。

【図10】第1実施形態に係る半導体装置における光吸収率のシミュレーションで使用される構造と、入射するレーザー光及び発生する反射光とを示す模式図

【図11】第1実施形態及び比較例のそれぞれにおけるレーザー光に対する剥離層の光吸収率の変動に関する光学シミュレーションの結果を示すグラフ。

【図12】第2実施形態に係る半導体装置の製造に使用される第1ウエハに形成された剥離層の平面レイアウトの一例を示す平面図。

【図13】第2実施形態に係る半導体装置の製造に使用される第1ウエハに形成された剥

50

離層の平面レイアウトの一例を示す平面図。

【図 1 4】第 2 実施形態に係る半導体装置の製造に使用される第 1 ウエハの断面構造の一例を示す断面図。

【図 1 5】第 2 実施形態に係る半導体装置の製造に使用される部材の特性の一例を示すテーブル。

【図 1 6】第 2 実施形態に係る半導体装置の製造方法の一例を示すフローチャート。

【図 1 7】第 2 実施形態に係る半導体装置の光吸収率のシミュレーションで使用される構造を示す模式図。

【図 1 8】第 2 実施形態及び比較例のそれぞれにおけるレーザー光に対する剥離層の光吸収率の変動に関する光学シミュレーションの結果を示すグラフ。

10

【図 1 9】第 2 実施形態の剥離工程における剥離層の光吸収率分布の一例を示す模式図。

【図 2 0】第 3 実施形態に係る半導体装置の製造方法の一例を示すフローチャート。

【図 2 1】第 3 実施形態に係る半導体装置の光吸収率のシミュレーションで使用される構造を示す模式図。

【図 2 2】第 3 実施形態及び比較例のそれぞれにおけるレーザー光に対する剥離層の光吸収率の変動に関する光学シミュレーションの結果を示すグラフ。

【図 2 3】第 4 実施形態に係る半導体装置の全体構成の一例を示すブロック図。

【図 2 4】第 4 実施形態に係る半導体装置が備えるメモリセルアレイの回路構成の一例を示す回路図。

【図 2 5】第 4 実施形態に係る半導体装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

20

【図 2 6】第 4 実施形態に係る半導体装置のメモリ領域の平面レイアウトの一例を示す平面図。

【図 2 7】第 4 実施形態に係る半導体装置の製造に使用される第 1 ウエハの断面構造の一例を示す、図 2 6 の X X V I I - X X V I I 線に沿った断面図。

【図 2 8】第 4 実施形態に係る半導体装置におけるメモリピラーの断面構造の一例を示す、図 2 7 の X X V I I I - X X V I I I 線に沿った断面図。

【図 2 9】第 4 実施形態に係る半導体装置の断面構造の一例を示す断面図。

【発明を実施するための形態】

【0007】

30

以下に、各実施形態について図面を参照して説明する。各実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は、模式的又は概念的なものである。各図面の寸法や比率などは、必ずしも現実のものとは限らない。構成の図示は、適宜省略されている。平面図に付加されたハッチングは、構成要素の素材や特性とは必ずしも関連していない。本明細書において、略同一の機能及び構成を有する構成要素には、同一の符号が付加されている。参照符号に付加された数字や文字などは、同じ参照符号により参照され、且つ類似した要素同士を区別するために使用される。

【0008】

< 0 > 半導体基板の再利用プロセスの概要

まず、ウエハの再利用プロセスの概要について説明する。図 1 は、ウエハの再利用プロセスの概要を示す模式図である。図 1 に示すように、本明細書における半導体装置は、それぞれに半導体回路が形成された 2 枚の半導体回路基板を貼り合わせ、貼り合わされた半導体回路基板をチップ毎に分離することにより形成される。以下では、半導体回路基板のことを“ウエハ”と呼ぶ。2 枚のウエハを貼り合わせる処理のことを、“貼合処理”と呼ぶ。“ウエハのおもて面”は、半導体回路が形成される側の面である。“ウエハの裏面”は、ウエハのおもて面の反対側の面である。貼合処理の際に上側に配置されるウエハのことを、“第 1 ウエハ W 1 ”と呼ぶ。貼合処理の際に下側に配置されるウエハのことを、“第 2 ウエハ W 2 ”と呼ぶ。

40

【0009】

半導体装置の製造工程では、まず、第 1 ウエハ W 1 と、第 2 ウエハ W 2 との組み合わせ

50

が用意される（“ウエハ割当”）。本例において、第1ウエハW1及び第2ウエハW2のそれぞれは、シリコン基板である。第1ウエハW1は、第1半導体回路の形成に使用される。第2ウエハW2は、第1半導体回路と異なる第2半導体回路の形成に使用される。半導体装置は、第1半導体回路と第2半導体回路との組み合わせを用いて機能するように構成される。第1半導体回路と第2半導体回路とのそれぞれの設計は、半導体装置の機能に応じて適宜変更され得る。

【0010】

次に、第1ウエハW1と第2ウエハW2とのそれぞれの前工程により、第1ウエハW1に第1半導体回路が形成され、第2ウエハW2に第2半導体回路が形成される。また、第1半導体回路の形成前に、ウエハの再利用プロセスを実現するための層が形成される。具体的には、第1ウエハW1上に、剥離層100、回路層200、及び貼合層B1が順に形成される。剥離層100は、第1ウエハW1上に形成された回路と第1ウエハW1とを分離する起点として使用される層である。剥離層100は、後述される剥離処理において使用されるレーザー光を吸収する特性を有する材料（例えば、シリコン酸化膜）を含む。回路層200は、第1の半導体回路を含む層である。貼合層B1は、第2ウエハW2に形成された第1半導体回路との接続に使用される貼合パッドを含む層である。第2ウエハW2上には、回路層300、及び貼合層B2が順に形成される。回路層300は、第2半導体回路を含む層である。貼合層B2は、貼合層B1に形成された貼合パッドとの接続に使用される貼合パッドを含む層である。

10

【0011】

次に、第1ウエハW1と第2ウエハW2との貼合処理が実行される。具体的には、貼合装置が、第1ウエハW1のおもて面と第2ウエハW2のおもて面とを向かい合わせて配置する。そして、貼合装置が、第1ウエハW1のおもて面に形成されたパターンと、第2ウエハW2のおもて面に形成されたパターンとの重ね合わせ位置を調整し、第1ウエハW1と第2ウエハW2のおもて面同士を貼り合わせる。これにより、第1ウエハW1の貼合層B1と、第2ウエハW2の貼合層B2とが貼り合わされ、第1ウエハW1に設けられた第1半導体回路と、第2ウエハW2に設けられた第2半導体回路とが電氣的に接続される。

20

【0012】

次に、第1ウエハW1の剥離処理が実行される。本明細書における剥離処理では、レーザー光を利用した剥離方法が使用される。具体的には、まず第1ウエハW1の裏面にレーザー光が照射される。それから、貼り合わされた第1ウエハW1と第2ウエハW2との間の周縁部からクラックを発生させる。すると、第1ウエハW1が剥離層100を起点にして剥離される。これにより、第2ウエハW2上に、回路層300、貼合層B2、貼合層B1、及び回路層200が順に積層された構造が残る。剥離された第1ウエハW1は、残膜を除去するなどの表面処理が実行された後に、再利用される（“ウエハ再利用”）。

30

【0013】

その後、第2ウエハW2に対して配線工程が実行される。配線工程は、例えば、第1半導体回路及び/又は第2半導体回路と外部の装置との接続に使用されるパッドを形成する工程や、半導体装置に電源を供給するためのパッドを形成する工程などを含む。配線工程が完了した後に、第2ウエハW2は、ダイシング処理によってチップ単位に分離される。これにより、貼り合わせ構造を有する半導体装置が形成される。なお、本明細書では、2枚のウエハを利用して半導体装置が形成される場合について例示するが、これに限定されない。半導体装置の形成に使用されるウエハは、3枚以上であってもよい。すなわち、半導体装置は、述べ3枚以上のウエハを利用した貼り合わせ構造を有していてもよい。

40

【0014】

図2は、貼り合わせ構造を有する半導体装置の構成の一例を示す概略図である。図2は、第1ウエハW1の剥離処理において第1ウエハW1の裏面にレーザー光LBが照射される様子を含わせて示している。図2に示すように、貼合層B1及びB2のそれぞれは、複数の貼合パッドBPを含む。貼合層B1の各貼合パッドBPは、第1半導体回路（図示せず）に接続される。貼合層B2の各貼合パッドBPは、第2半導体回路（図示せず）に接

50

続される。また、貼合層 B 1 の複数の貼合パッド B P は、貼合層 B 2 の複数の貼合パッド B P とそれぞれ対向配置される。対向配置された貼合パッド B P の組は、貼合処理によって貼り合わされ、電氣的に接続される。

【 0 0 1 5 】

第 1 ウエハ W 1 の剥離処理において、レーザー光 L B は、第 1 ウエハ W 1 の裏面に所定の間隔で照射される。レーザー光 L B としては、例えば、波長 9 . 3 μm の C O ₂ レーザーが使用される。C O ₂ レーザーは、シリコン基板を透過し、且つシリコン酸化膜に吸収される特性を有する。言い換えると、レーザー光 L B に対する第 1 ウエハ W 1 の透過率は、レーザー光 L B に対するシリコン酸化膜の透過率よりも高い。なお、剥離層 1 0 0 に入射するレーザー光 L B は、第 1 ウエハ W 1 と剥離層 1 0 0 との界面における反射光の干渉の影響を受ける。このため、レーザー光 L B に対する剥離層 1 0 0 の光吸収率は、第 1 ウエハ W 1 の厚さに応じて変化する。

10

【 0 0 1 6 】

第 1 ウエハ W 1 の裏面に照射されたレーザー光 L B が、第 1 ウエハ W 1 を透過して剥離層 1 0 0 に含まれたシリコン酸化膜に照射されると、シリコン酸化膜が、レーザー光 L B を吸収することにより発熱する。すると、剥離層 1 0 0 に発生した熱は、第 1 ウエハ W 1 と剥離層 1 0 0 との界面の近傍に伝搬する。その結果、第 1 ウエハ W 1 のうち剥離層 1 0 0 との界面の近傍の部分が、伝搬した熱に応じて塑性変形する。塑性変形した第 1 ウエハ W 1 と剥離層 1 0 0 との界面は、レーザーを照射する前よりも剥離し易い状態となる。これにより、剥離処理では、第 1 ウエハ W 1 と剥離層 1 0 0 との間を剥離面として、第 1 ウエハ W 1 と剥離層 1 0 0 との間が剥離され得る。

20

【 0 0 1 7 】

< 1 > 第 1 実施形態

第 1 実施形態に係る半導体装置の製造方法は、第 1 ウエハ W 1 の裏面に照射されたレーザー光 L B に対する剥離層 1 0 0 の光吸収率のばらつきを、剥離層 1 0 0 に反射防止層を挿入することによって抑制する。以下に、第 1 実施形態の詳細について説明する。

【 0 0 1 8 】

< 1 - 1 > 構成

まず、第 1 実施形態に係る半導体装置 1 の構成について説明する。以下で参照される図面では、3次元の直交座標系が使用される。X方向及びY方向は、互いに交差する方向であり、ウエハのおもて面と平行な方向である。Z方向は、X方向及びY方向のそれぞれに対して交差する方向であり、ウエハ（基板）のおもて面に対する鉛直方向に対応する。本明細書における“上下”は、Z方向に沿った方向に基づいて定義される。また、本明細書では、基準とされる基板のおもて面側から離れる方向を正方向（上方）とする。

30

【 0 0 1 9 】

（半導体装置 1 の外観）

図 3 は、第 1 実施形態に係る半導体装置 1 の外観の一例を示す斜視図である。図 3 に示すように、半導体装置 1 は、例えば、下方から順に、第 2 ウエハ W 2、回路層 3 0 0、貼合層 B 2、貼合層 B 1、回路層 2 0 0、剥離層 1 0 0、及び配線層 4 0 0 が積層された構造を有する。貼合層 B 1 及び B 2 の境界部分が、第 1 ウエハ W 1 と第 2 ウエハ W 2 との貼合面に対応する。配線層 4 0 0 は、例えば、半導体装置 1 の表面で露出している複数のパッド P D を含む。複数のパッド P D は、半導体装置 1 と外部の装置との接続に使用される。このように、第 1 実施形態に係る半導体装置 1 は、最終的な構成として剥離層 1 0 0 と第 1 ウエハ W 1 とを有しない。

40

【 0 0 2 0 】

（第 1 ウエハ W 1 の構造）

図 4 は、第 1 実施形態に係る半導体装置 1 の貼り合わせ前の第 1 ウエハ W 1 の断面構造の一例を示す断面図である。図 4 は、第 2 ウエハ W 2 と貼り合わされる前の第 1 ウエハ W 1 に形成された剥離層 1 0 0、回路層 2 0 0、及び貼合層 B 1 の構造の一例を示し、第 1 ウエハ W 1 を基準とした座標軸を表示している。図 4 に示すように、剥離層 1 0 0 は、反

50

射防止層 110、及び光吸収層 120 を含む。

【0021】

剥離層 100 において、反射防止層 110 は、第 1 ウエハ W1 上に設けられる。光吸収層 120 は、反射防止層 110 上に設けられる。光吸収層 120 上には、回路層 200 が設けられる。反射防止層 110 の屈折率は、第 1 ウエハ W1 の屈折率と光吸収層 120 の屈折率との間の値である。言い換えると、第 1 実施形態では、第 1 ウエハ W1 と光吸収層 120 (剥離層 100) との界面に、第 1 ウエハ W1 と光吸収層 120 との間の屈折率を有する反射防止層 110 が挿入されている。反射防止層 110 は、第 1 ウエハ W1 と光吸収層 120 との界面からの反射光強度を低減するように構成される。

【0022】

光吸収層 120 としては、例えば、シリコン酸化膜が使用される。なお、光吸収層 120 は、レーザー光 LB に対する第 1 ウエハ W1 の透過率が、レーザー光 LB に対する光吸収層 120 の透過率よりも高くなるように構成されていればよい。反射防止層 110 は、光吸収層 120 と同じ部材(媒質)と、その他の部材(媒質)とがパターン化して混合された層であってもよい。すなわち、反射防止層 110 は、第 1 ウエハ W1 の屈折率と光吸収層 120 の屈折率との間の屈折率を有する均質媒質により構成されていてもよい。反射防止層 110 と光吸収層 120 とのそれぞれは、“層間膜”と呼ばれてもよい。

【0023】

< 1 - 2 > 製造方法

図 5 は、第 1 実施形態に係る半導体装置 1 の製造方法の一例を示すフローチャートである。図 6 は、第 1 実施形態に係る半導体装置 1 の製造途中の断面構造の一例を示す断面図であり、剥離層 100 の近傍の領域を抽出して示し、図示が省略された第 2 ウエハ W2 を基準とした座標軸を表示している。以下に、第 1 実施形態に係る半導体装置 1 の製造方法について、図 5 を適宜参照して説明する。

【0024】

まず、第 2 ウエハ W2 上に、回路層 300 と貼合層 B2 とが形成される (S10)。S10 の処理は、第 2 ウエハ W2 の前工程に対応する。また、第 1 ウエハ W1 上に、反射防止層 110 が形成される (S11)。次に、反射防止層 110 上に、光吸収層 120 が形成される (S12)。次に、光吸収層 120 の上方に、回路層 200 と貼合層 B1 とが形成される (S13)。S11 ~ S13 の処理は、第 1 ウエハ W1 の前工程に対応する。S10 の処理と、S11 ~ S13 の処理とは、並列に実行されてもよいし、これらの処理順番が入れ替えられてもよい。

【0025】

次に、第 1 ウエハ W1 と第 2 ウエハ W2 との貼合処理が実行される (S14)。S14 の処理により、第 1 ウエハ W1 に形成された貼合層 B1 と、第 2 ウエハ W2 に形成された貼合層 B2 とが貼り合わされ、回路層 200 に含まれた第 1 半導体回路と、回路層 300 に含まれた第 2 半導体回路とが電氣的に接続される。

【0026】

次に、図 6 に示すように、レーザー光 LB を第 1 ウエハ W1 の裏面に照射する (S15)。S15 の処理で使用されるレーザー光 LB は、例えば、波長 9.2 ~ 10.8 μm の無偏光の CO₂ レーザーである。S15 の処理において、レーザー光 LB は、第 1 ウエハ W1 を透過して、剥離層 100 に達する。このとき、光吸収層 120 は、第 1 ウエハ W1 の裏面(空気との界面)における反射光と、第 1 ウエハ W1 及び反射防止層 110 の界面における反射光と、反射防止層 110 及び光吸収層 120 の界面における反射光とによる干渉効果に応じた光吸収率でレーザー光 LB を吸収する。そして、光吸収層 120 は、レーザー光 LB を吸収することによって発熱し、第 1 ウエハ W1 の剥離面に接した部分の近傍が、光吸収層 120 において発生した熱に基づいて塑性変形する。そして、レーザー光 LB は、照射位置を変更して、所定の間隔で第 1 ウエハ W1 の裏面に照射される。

【0027】

次に、第 1 ウエハ W1 が剥離される (S16)。S16 の処理により、反射防止層 11

10

20

30

40

50

0と第1ウエハW1との間を剥離面として第1ウエハW1が剥離され、第2ウエハW2上に回路層300と回路層200とが残った構造が形成される。次に、反射防止層110及び光吸収層120が除去される(S17)。S17の処理では、回路層200の一部が除去されてもよい。次に、配線層400が形成される(S18)。S18の処理において、半導体装置1の表面に、回路層200に含まれた第1半導体回路と、回路層300に含まれた第2半導体回路とのいずれかに接続された複数のパッドPDが形成される。これにより、図3に示された半導体装置1の構造が形成される。

【0028】

(剥離層100の設計パラメータの適正化方法)

以下に、第1実施形態に係る半導体装置1における剥離層100の設計パラメータの適正化方法について、図7及び図8を参照して説明する。 10

【0029】

図7は、第1実施形態に係る半導体装置1における光吸収率のシミュレーションで使用する構造を示す模式図であり、第1ウエハW1と第2ウエハW2とが貼り合わされた後の半導体装置1の構造を模式的に示している。また、図7は、第2ウエハW2を基準とした座標軸を表示している。図7に示すように、本シミュレーションにおいて、半導体装置1は、回路層200及び300、貼合層B1及びB2、並びに光吸収層120に対応する部分が、シリコン酸化膜OXに置き換えられた構成を有する。シリコン酸化膜OXは、本シミュレーションにおいて1つの光吸収層120として機能する。本シミュレーションにおいて、第1ウエハW1及び第2ウエハW2のそれぞれは、シリコン基板である。また、第1ウエハW1及び第2ウエハW2のそれぞれの厚さは、775 μm に設定される。本シミュレーションにおいて、シリコン酸化膜OXの厚さは、0.4 μm に設定される。本シミュレーションにおいて、反射防止層110は、屈折率が2.5の膜である。また、反射防止層110の厚さは、0.1 μm に設定される。以下では、第1ウエハW1の厚さのことを“ウエハ厚さ”と呼び、シリコン酸化膜OXの厚さのことを“酸化膜厚さH0”と呼び、反射防止層110の厚さのことを“反射防止層厚さH1”と呼ぶ。 20

【0030】

図8は、第1実施形態に係る半導体装置1におけるレーザー光LBに対する剥離層100の光吸収率の変動幅及び平均値と、酸化膜厚さH0と、反射防止層厚さH1との関係性を示すシミュレーション結果を示すグラフである。図8は、図7に示された半導体装置1の第1ウエハW1の裏面にレーザー光LBが照射された場合の光吸収層120の光吸収率に関連するシミュレーション結果を示している。図8の(A)の等高線は、ウエハ厚さの変化によって生じる光吸収率の変動幅を示している。図8の(B)の等高線は、ウエハ厚さの変化によって生じる光吸収率の平均値を示している。図8の(A)及び(B)のそれぞれの縦軸は、酸化膜厚さH0に対応付けられている。図8の(A)及び(B)のそれぞれの横軸は、反射防止層厚さH1に対応付けられている。 30

【0031】

剥離層100の設計パラメータを適正化する場合、まず、酸化膜厚さH0と反射防止層厚さH1とのそれぞれの条件を変えた際の光吸収率の変動幅及び平均値を評価する。本例における光吸収率の変動幅の評価結果としては、図8の(A)に示されたようなシミュレーション結果が得られる。本例における光吸収率の平均値の評価結果としては、図8の(B)に示されたようなシミュレーション結果が得られる。剥離層100の特性としては、光吸収率の変動幅が小さい方が好ましく、光吸収率の平均値が大きい方が好ましい。このため、剥離層100の設計パラメータとしては、光吸収率の変動幅が小さく、且つ光吸収率の平均値が大きい領域が選択されることが好ましい。例えば、本例における剥離層100の設計パラメータとしては、図8の(A)及び(B)のそれぞれに示された領域OPに対応する酸化膜厚さH0及び反射防止層厚さH1の組が選択される。 40

【0032】

設計パラメータの適正化の際には、酸化膜厚さH0及び反射防止層厚さH1のそれぞれに閾値や範囲が予め設定されてもよい。また、光吸収率の変動幅を示す数式と、光吸収率 50

の平均値を示す数式とに基づいて、光吸収率の変動幅が小さく且つ光吸収率の平均値が大きくなるような値が算出されてもよい。図5に示されたS11及びS12のそれぞれの処理において、事前に計測されたウエハ厚さの値に基づいた酸化膜厚さH0及び反射防止層厚さH1に近づくように、処理パラメータが調整されてもよい。

【0033】

<1-3>第1実施形態の効果

以上で説明された第1実施形態に係る半導体装置1の製造方法に依れば、半導体装置の製造コストを抑制することができる。以下に、第1実施形態の効果の詳細について説明する。

【0034】

貼り合わせ構造を有する半導体装置の製造方法として、第1ウエハW1と第2ウエハW2とを貼り合わせた後に、バックグラインド（裏面切削）処理などにより第1ウエハW1を除去する方法が知られている。一方で、貼り合わせ後の第1ウエハW1を他の半導体装置の製造に再利用することができれば、バックグラインド処理などに伴う排水処理やウエハコストを抑制することができる。そこで、第1ウエハW1に半導体回路を形成する前に剥離層100を形成し、レーザー照射により剥離層100を起点とした剥離処理を実行する“レーザー剥離”が検討されている。

【0035】

レーザー剥離では、例えば、剥離層100に含まれたシリコン酸化膜がレーザー光LBによって加熱されることによって、第1ウエハW1と剥離層100との界面の近傍が塑性変形する。そして、第1ウエハW1及び第2ウエハW2の貼合面にクラックを発生させることによって、剥離層100を起点として第1ウエハW1が剥離され得る。しかしながら、レーザー剥離では、第1ウエハW1の裏面（空気との界面）における反射光と、第1ウエハW1と剥離層100との界面における反射光との干渉効果により、剥離層100での光吸収率が変化する。つまり、剥離層100の光吸収率が、これらの光の干渉効果の大小に応じて変動する。例えば、光の干渉効果の大小は、ウエハ厚さに応じて変化する。レーザー剥離においては、一定のパワーを剥離層100に吸収させることによって、安定した剥離プロセスが可能となる。つまり、光吸収率の変動は、レーザー剥離による第1ウエハW1の剥離プロセスが不安定になる要因となり得る。

【0036】

ここで、ウエハ厚さに応じた光吸収率の変化の要因について説明する。図9は、比較例に係る半導体装置における光吸収率のシミュレーションで使用される構造と、入射するレーザー光LB及び発生する反射光を示す模式図である。また、図9は、第2ウエハW2を基準とした座標軸を表示している。図9に示すように、比較例に係る半導体装置は、図7に示された第1実施形態に係る半導体装置1のシミュレーションで使用された構造に対して、反射防止層110がシリコン酸化膜OXに置き換えられた構成を有する。なお、空気の屈折率は1.0であり、第1ウエハW1及び第2ウエハW2のそれぞれの屈折率は3.42であり、シリコン酸化膜OXの屈折率は1.63である。比較例におけるシリコン酸化膜OXの厚さ（酸化膜厚さ）は、0.5 μmである。

【0037】

比較例において、無偏光のCO₂レーザー（波長9.2～10.8 μm）が第1ウエハW1の裏面に照射されると、例えば、3種類の反射光RP1～RP3が発生する。反射光RP1は、CO₂レーザーが空気と第1ウエハW1との界面において反射した光に対応する。反射光RP1の強度は、空気とシリコンとの屈折率差が大きいため、大きい。反射光RP2は、第1ウエハW1とシリコン酸化膜OXとの界面において反射した光に対応する。反射光RP2の強度は、シリコンとシリコン酸化膜OXとの屈折率差が大きいため、大きい。反射光RP3は、シリコン酸化膜OXと第2ウエハW2との界面において反射した光に対応する。反射光RP3の強度は、シリコン酸化膜OXによる吸収の影響を受けるため、小さい。このため、比較例では、相対的に反射光RP1及びRP2の干渉効果が大きくなる。

10

20

30

40

50

【 0 0 3 8 】

これに対して、第 1 実施形態に係る半導体装置 1 は、第 1 ウエハ W 1 とシリコン酸化膜 O X との界面に、反射防止層 1 1 0 が挿入された構成を有している。図 1 0 は、第 1 実施形態に係る半導体装置 1 における光吸収率のシミュレーションで使用される構造と、入射するレーザー光及び発生する反射光とを示す模式図である。また、図 1 0 は、第 2 ウエハ W 2 を基準とした座標軸を表示している。図 1 0 は、図 7 に示された第 1 実施形態に係る半導体装置 1 のシミュレーションで使用された構造に対して、レーザー光 L B と反射光 R P 1 及び R P 2 とを模式的に示している。なお、反射防止層 1 1 0 の屈折率 n は、 $1.63 < n < 3.42$ である。

【 0 0 3 9 】

第 1 実施形態において、無偏光の C O ₂ レーザー（波長 9 . 2 ~ 1 0 . 8 μ m）が第 1 ウエハ W 1 の裏面に照射されると、比較例と同様の反射光 R P 1 が発生する。また、第 1 実施形態では、比較例で説明された反射光 R P 2 は、2 つの反射光 R P 2 a 及び R P 2 b に分かれる。具体的には、反射光 R P 2 a は、第 1 ウエハ W 1 と反射防止層 1 1 0 との界面で反射した光に対応する。反射光 R P 2 b は、反射防止層 1 1 0 とシリコン酸化膜 O X との界面で反射した光に対応する。反射光 R P 2 a 及び R P 2 b の強度の合計は、屈折率差が第 1 ウエハ W 1 及び反射防止層 1 1 0 の界面と反射防止層 1 1 0 とシリコン酸化膜 O X との界面とのそれぞれで比較例の反射光 R P 2 の場合よりも小さくなることから、比較例の反射光 R P 2 よりも低減される。また、第 1 実施形態では、反射光 R P 2 a 及び R P 2 b の位相が、反射防止層 1 1 0 の厚さに応じてずれる。その結果、第 1 実施形態では、反射光 R P 1 及び R P 2 の干渉による変動幅が、比較例よりも縮小し得る。

【 0 0 4 0 】

図 1 1 は、第 1 実施形態及び比較例のそれぞれにおける剥離層 1 0 0 の光吸収率の変動に関する光学シミュレーションの結果を示すグラフである。横軸は、ウエハ厚さ（ μ m）を示している。縦軸は、光吸収率を示している。破線は、図 9 に示された比較例の構成における光吸収率に対応する。実線は、図 1 0 に示された第 1 実施形態の構成における光吸収率を示している。図 1 1 に示すように、光吸収率は、ウエハ厚さに応じて周期的に変化する。本例において、第 1 実施形態及び比較例のそれぞれの光吸収率は、1 . 4 μ m 周期で変動している。そして、比較例における光吸収率は、1 6 % ~ 5 1 % の範囲で変動している。すなわち、比較例における光吸収率の変動幅は、3 5 % 程度である。一方で、第 1 実施形態における光吸収率は、1 4 % ~ 4 3 % の範囲で変動している。すなわち、第 1 実施形態における光吸収率の変動幅は、2 9 % 程度である。

【 0 0 4 1 】

以上のように、第 1 実施形態に係る半導体装置 1 の製造方法は、レーザー剥離を利用した第 1 ウエハ W 1 の剥離工程において、ウエハ厚さのばらつきに基づく光吸収率の変動を抑制することができる。つまり、第 1 実施形態に係る半導体装置 1 の製造方法は、レーザー剥離において剥離層 1 0 0 に吸収させるエネルギーのばらつきを抑制することができ、安定した剥離プロセスを実現することができる。その結果、第 1 実施形態に係る半導体装置 1 の製造方法は、第 1 ウエハ W 1 を再利用する半導体装置の製造プロセスの歩留まりを向上させることができ、半導体装置の製造コストを抑制することができる。

【 0 0 4 2 】

< 2 > 第 2 実施形態

第 2 実施形態に係る半導体装置 1 の製造方法は、均質媒質からなる反射防止層 1 1 0 を利用して、第 1 ウエハ W 1 の裏面に照射されたレーザー光 L B に対する剥離層 1 0 0 の光吸収率のばらつきを抑制する。以下に、第 2 実施形態の詳細について、第 1 実施形態と異なる点を主に説明する。

【 0 0 4 3 】

< 2 - 1 > 構成

まず、第 2 実施形態に係る半導体装置 1 の構成について説明する。第 2 実施形態に係る半導体装置 1 は、製造過程で形成される剥離層 1 0 0 の構造が異なることを除いて、第 1

10

20

30

40

50

実施形態と同様の構成を有する。以下では、第2実施形態に係る半導体装置1の製造過程で形成される剥離層100のことを、“剥離層100a”と呼ぶ。

【0044】

(1:剥離層100aの平面レイアウト)

図12及び図13のそれぞれは、第2実施形態に係る半導体装置1の製造に使用される第1ウエハW1に形成された剥離層100aの平面レイアウトの一例を示す平面図である。図12及び図13は、剥離層100aの第1及び第2構成例にそれぞれ対応する。

【0045】

図12に示すように、剥離層100aは、平面視において、複数の反射防止層110aを有する。複数の反射防止層110aは、例えば、Y方向に沿って延伸して設けられた部分 10
を有する。各反射防止層110aのY方向に沿って延伸して設けられた部分は、平面視においてラインアンドスペースパターン状、すなわち略等間隔に配置される。本例において、ラインアンドスペースパターン状に配置された複数の反射防止層110aのスペースに対応する部分には、光吸収層120が設けられている。

【0046】

図13に示すように、各反射防止層110aは、複数のサブパターン111に分割されて構成されてもよい。複数のサブパターン111のそれぞれは、上述された反射防止層110aと同様の材料からなる。各反射防止層110aに対応して、複数のサブパターン111は、例えば、Y方向に沿って延伸して設けられた部分を有する。各サブパターン111のY方向に沿って延伸して設けられた部分は、平面視においてラインアンドスペースパターン状、すなわち略等間隔に配置される。本例において、ラインアンドスペースパターン状に配置された複数のサブパターン111のスペースに対応する部分には、光吸収層120が設けられている。 20

【0047】

以下では、ラインアンドスペースパターン状に形成されたパターンのうちライン部分の幅のことを“ライン幅”と呼び、スペース部分の幅のことを“スペース幅”と呼ぶ。ラインアンドスペースパターン状に配置された複数の反射防止層110aのライン部分が配列したピッチのことを“メインピッチP1”と呼ぶ。メインピッチP1は、レーザー光LBの波長に基づいた寸法に設計される。具体的には、メインピッチP1は、レーザー光LBの波長の1/5以下に設計される。また、ラインアンドスペースパターン状に配置された複数のサブパターン111のライン部分が配列したピッチのことを“サブピッチP2”と呼ぶ。サブピッチP2は、メインピッチP1よりも狭く設計される。さらに、サブピッチP2は、各反射防止層110aに含まれたサブパターン111の数に応じて、隣の反射防止層110aと重ならないような寸法に設計される。 30

【0048】

このように、剥離層100aでは、反射防止層110aがレーザー光LBの波長よりも十分に短い周期(メインピッチP1)の構造により設けられる。このため、反射防止層110aが設けられた高さにおける反射防止層110a及び光吸収層120の組は、レーザー光LBにとって、有効媒質近似(EMA: Effective Medium Approximation)理論に基づいて均質媒質(すなわち、一様な膜)とみなされ得る。EMA理論は、波長よりも十分に短い周期の構造を均質媒質としてみなすための解析理論である。EMAの最も単純なモデルの一つとしては、媒質の体積比から等価な屈折率nと消衰係数kを算出するリニアEMAモデルが知られている。第2実施形態では、上述された均質媒質が、第1ウエハW1の屈折率と、光吸収層120の屈折率との間の屈折率になるように設計される。 40

【0049】

なお、剥離層100aは、図12及び図13に示された複数の反射防止層110aの配置が90度回転したような構成を有していてもよい。すなわち、剥離層100aは、X方向に沿って延伸した部分がラインアンドスペースパターン状に配置された複数の反射防止層110aと、Y方向に沿って延伸した部分がラインアンドスペースパターン状に配置された複数の反射防止層110aとのうち少なくとも一つを有していればよい。反射防止層 50

110aが設けられた高さにおける反射防止層110a及び光吸収層120の体積混合比は、サブピッチP2によって調整されてもよい。均質媒質の屈折率は、等価屈折率と呼ばれてもよい。第1実施形態で説明された反射防止層厚さH1は、第2実施形態における反射防止層110aのパターン高さ、すなわち均質媒質の膜厚に相当する。

【0050】

(2:第1ウエハW1の構造)

図14は、第2実施形態に係る半導体装置1の製造に使用される第1ウエハW1の断面構造の一例を示す断面図である。図14は、第2ウエハW2と貼り合わされる前の第1ウエハW1に形成された剥離層100a、回路層200、及び貼合層B1の構造の一例を示し、第1ウエハW1を基準とした座標軸を表示している。図14に示すように、剥離層100aは、複数の反射防止層110a、及び光吸収層120を含む。

10

【0051】

剥離層100aにおいて、複数の反射防止層110aは、第1ウエハW1上に設けられる。光吸収層120は、第1ウエハW1上に設けられた部分と、反射防止層110の上面及び側面に設けられた部分とを有する。言い換えると、光吸収層120は、複数の反射防止層110aのそれぞれの側面及び上面を覆うように設けられている。第1実施形態では、第1ウエハW1と光吸収層120との界面に、複数の反射防止層110aと光吸収層120の一部からなる均質媒質が挿入されている。言い換えると、反射防止層110aが設けられた高さの層において、複数の反射防止層110aと光吸収層120とは、第1ウエハW1と光吸収層120との界面からの反射光強度を低減するように構成される。反射防止層110aとしては、例えば、ポリシリコンが使用される。反射防止層110aは、“部材”とよばれてもよい。剥離層100aにおいて、酸化膜厚さH0と反射防止層厚さH1とのそれぞれは、光吸収率の変動を抑制するように設計される。

20

【0052】

(3:半導体装置1の製造に使用される部材の特性)

図15は、第2実施形態に係る半導体装置1の製造に使用される部材の特性の一例を示すテーブルである。図15は、半導体装置1の製造に使用され得る4種類の媒質の屈折率nと消衰係数kとを例示している。図15の(1)~(3)は、それぞれシリコン(Si)、シリコン酸化膜(SiO₂)、ポリシリコン(poly-Si)に対応している。図15の(4)は、媒質(2)と媒質(3)との組み合わせ((2)+(3))により構成された均質媒質に対応する。具体的には、本例の均質媒質では、シリコン酸化膜が光吸収層120に対応し、ポリシリコンが反射防止層110aに対応する。

30

【0053】

図15の(1)に示すように、シリコンの屈折率nは、3.42であり、シリコンの消衰係数kは0である。図15の(2)に示すように、シリコン酸化膜の屈折率nは、1.63であり、シリコン酸化膜の消衰係数kは2.31である。図15の(3)に示すように、ポリシリコンの屈折率nは、3.66であり、ポリシリコンの消衰係数kは0である。図15の(4)に示された均質媒質の特性は、光吸収層120の厚さ(酸化膜厚さ)が0.5µmであり、且つ反射防止層110aのメインピッチP1、サブピッチ、ライン幅、スペース幅、パターン高さがそれぞれ0.9µm、0.3µm、0.225µm、0.075µm、0.2µmである場合の特性に対応する。本例における均質媒質の屈折率nは、3.08であり、均質媒質の消衰係数kは0.31である。このように、均質媒質の屈折率は、第1ウエハW1として使用されるシリコンと、光吸収層120として使用されるシリコン酸化膜との間の値に調整され得る。

40

【0054】

<2-2>製造方法

図16は、第2実施形態に係る半導体装置1の製造方法の一例を示すフローチャートである。図16に示すように、第2実施形態に係る半導体装置1の製造方法は、図5に示された第1実施形態に係る半導体装置1の製造方法において、S12の処理が、S20及びS21の処理に置き換えられた構成を有する。

50

【 0 0 5 5 】

具体的には、まず、第 1 実施形態と同様に、S 1 0 及び S 1 1 の処理が順に実行される。すなわち、第 2 ウエハ W 2 上に回路層 3 0 0 と貼合層 B 2 とが形成される (S 1 0) 。第 1 ウエハ W 1 上に反射防止層 1 1 0 が形成される (S 1 1) 。

【 0 0 5 6 】

そして、反射防止層 1 1 0 が、ラインアンドスペースパターン状に加工される (S 2 0) 。 S 2 0 の処理において、反射防止層 1 1 0 は、図 1 2 又は図 1 3 に示された反射防止層 1 1 0 a の形状に加工される。反射防止層 1 1 0 の加工には、例えば、フォトリソグラフィ処理とエッチング処理との組み合わせが使用される。そして、第 1 ウエハ W 1 及び加工された反射防止層 1 1 0 a 上に、光吸収層 1 2 0 が形成される (S 2 1) 。 S 2 1 の処理において、光吸収層 1 2 0 は、 S 2 0 の処理において反射防止層 1 1 0 が除去された部分が埋まるように形成される。 S 2 1 の処理の後に、光吸収層 1 2 0 の上面の平坦化処理が実行されてもよい。

10

【 0 0 5 7 】

その後、第 1 実施形態と同様に、 S 1 3 ~ S 1 8 の処理が順に実行され、図 3 に示された半導体装置 1 の構造が形成される。なお、 S 1 0 の処理と、 S 1 1 、 S 2 0 、 S 2 1 及び S 1 3 の処理とは、並列に実行されてもよいし、これらの処理順番が入れ替えられてもよい。第 2 実施形態において、第 1 実施形態と同様の剥離層 1 0 0 の設計パラメータの適正化方法が使用されてもよい。第 2 実施形態における光吸収率の変動幅及び平均値のシミュレーションでは、ラインアンドスペースパターンのピッチ、サブピッチ、ライン幅などが変数として使用されてもよい。 S 1 1 、 S 2 0 及び S 1 2 のそれぞれの処理において、事前に計測されたウエハ厚さの値に基づいた酸化膜厚さ H 0 及び反射防止層厚さ H 1 などに近づくように、処理パラメータが調整されてもよい。第 2 実施形態に係る半導体装置 1 のその他の製造方法は、第 1 実施形態に係る半導体装置 1 の製造方法と同様である。

20

【 0 0 5 8 】

< 2 - 3 > 第 2 実施形態の効果

図 1 7 は、第 2 実施形態に係る半導体装置 1 における光吸収率のシミュレーションで使用される構造と、入射するレーザー光及び発生する反射光とを示す模式図である。図 1 7 は、図 7 に示された第 1 実施形態に係る半導体装置 1 のシミュレーションで使用された構造において、反射防止層 1 1 0 が反射防止層 1 1 0 a に置き換えられた構造と、無偏光の C O 2 レーザーとを模式的に示し、第 2 ウエハ W 2 を基準とした座標軸を表示している。本例では、反射防止層 1 1 0 a が設けられた高さにおいて、図 1 5 に示された均質媒質と同じ構成が設けられている。均質媒質と第 1 ウエハ W 1 との境界により、第 1 実施形態と同様に、反射光 R P 2 a が発生する。また、均質媒質とシリコン酸化膜 O X との境界により、第 1 実施形態と同様に、反射光 R P 2 b が発生する。その結果、第 2 実施形態では、反射光 R P 1 及び R P 2 の干渉による変動幅が、第 1 実施形態と同様に、比較例よりも縮小し得る。

30

【 0 0 5 9 】

図 1 8 は、第 2 実施形態及び比較例のそれぞれにおける剥離層 1 0 0 a の光吸収率の変動に関する光学シミュレーションの結果を示すグラフである。横軸は、ウエハ厚さ (u m) を示している。縦軸は、光吸収率を示している。破線は、図 9 に示された比較例の構成における光吸収率に対応する。実線は、図 1 7 に示された第 2 実施形態の構成における光吸収率を示している。図 1 8 に示すように、第 2 実施形態の光吸収率は、 1 . 4 u m 周期で変動している。そして、第 2 実施形態における光吸収率は、 1 8 % ~ 4 3 % の範囲で変動している。すなわち、第 2 実施形態における光吸収率の変動幅は、 2 5 % 程度であり、比較例における光吸収率の変動幅の 3 5 % よりも狭い。

40

【 0 0 6 0 】

以上のように、第 2 実施形態に係る半導体装置 1 の製造方法は、レーザー剥離を利用した第 1 ウエハ W 1 の剥離工程において、第 1 実施形態よりも、ウエハ厚さのばらつきに基づく光吸収率の変動を抑制することができる。つまり、第 2 実施形態に係る半導体装置 1

50

の製造方法は、第1実施形態よりも、レーザー剥離において剥離層100aに吸収させるエネルギーのばらつきを抑制することができ、安定した剥離プロセスを実現することができる。その結果、第2実施形態に係る半導体装置1の製造方法は、第1ウエハW1を再利用する半導体装置の製造プロセスの歩留まりを向上させることができ、半導体装置の製造コストを抑制することができる。

【0061】

図19は、第2実施形態の剥離工程における剥離層の光吸収率分布の一例を示す模式図である。図19の(A)は、サブパターン111が設けられない場合の剥離層100aの構造と、レーザー光LBの照射により発生した熱の分布を示している。図19の(B)は、サブパターン111が設けられた場合の剥離層100aの構造と、レーザー光LBを照射した際の光吸収率の分布を示している。シリコン酸化膜OXaは、シリコン酸化膜OXのうち上述された均質媒質に対応する部分である。シリコン酸化膜OXbは、光吸収層120に対応する部分である。“HI”は、光吸収率の高い部分を示している。“LO”は、光吸収率の低い部分を示している。図19に示すように、レーザー光LBが照射された際の光吸収率は、サブパターン111が設けられた場合の方が、サブパターン111が設けられない場合よりも均一になり得る。サブパターン111が導入されることによって、有効媒質近似の成立性と、等価屈折率の調整とを独立して制御することができる。

【0062】

<3>第3実施形態

第3実施形態は、第2実施形態と同様の剥離層100aとレーザー光LBの偏光との組み合わせにより光吸収率のばらつきを抑制する半導体装置1の製造方法に関する。以下に、第3実施形態の詳細について、第1及び第2実施形態と異なる点を主に説明する。

【0063】

<3-1>構成

第3実施形態に係る半導体装置1の構成は、第2実施形態に係る半導体装置1と同様である。また、第3実施形態に係る半導体装置1の製造過程で形成される剥離層100aの構造も同様に、第2実施形態に係る半導体装置1と同様である。

【0064】

<3-2>製造方法

図20は、第3実施形態に係る半導体装置1の製造方法の一例を示すフローチャートである。図20に示すように、第3実施形態に係る半導体装置1の製造方法は、図16に示された第2実施形態に係る半導体装置1の製造方法において、S15の処理が、S30の処理に置き換えられた構成を有する。

【0065】

具体的には、まず、第2実施形態と同様に、S10、S11、S20、S21、S13、及びS14の処理が順に実行される。すなわち、第2ウエハW2上に回路層300と貼合層B2とが形成される(S10)。第1ウエハW1上に反射防止層110が形成される(S11)。反射防止層110が、ラインアンドスペースパターン状に加工される(S20)。第1ウエハW1及び加工された反射防止層110a上に、光吸収層120が形成される(S21)。光吸収層120の上方に、回路層200と貼合層B1とが形成される(S13)。第1ウエハW1と第2ウエハW2との貼合処理が実行される(S14)。

【0066】

そして、ラインアンドスペースパターン状の反射防止層110aに対して、パターン直交偏光のレーザー光Lba又はパターン平行偏光のレーザー光Lbbを、第1ウエハW1の裏面に照射する(S30)。パターン直交偏光は、ラインアンドスペースパターンに対して直交する偏光である。パターン平行偏光は、ラインアンドスペースパターンに対して平行な偏光である。S30の処理において、レーザー光Lba又はLbbは、第1ウエハW1を透過して、反射防止層110aと光吸収層120からなる剥離層100aに達する。このとき、光吸収層120は、第1ウエハW1の裏面(空気との界面)における反射光と、第1ウエハW1と剥離層100aとの界面(すなわち、反射防止層110aの上端部

分)における反射光と、反射防止層110aの下端部分における反射光との干渉効果に応じた光吸収率で、レーザー光LBa又はLBbを吸収する。すると、光吸収層120は、レーザー光LBa又はLBbを吸収することによって発熱し、第1ウエハW1の剥離面に接した部分の近傍が、光吸収層120において発生した熱に基づいて塑性変形する。そして、レーザー光LBa又はLBbは、照射位置を変更して、所定の間隔で第1ウエハW1の裏面に照射される。

【0067】

その後、第1実施形態と同様に、S16~S18の処理が順に実行され、図3に示された半導体装置1の構造が形成される。なお、S10の処理と、S10、S11、S20、S21、S13、及びS14の処理とは、並列に実行されてもよいし、これらの処理順番が入れ替えられてもよい。S30の処理において、剥離層100における反射防止層110aのレイアウトに応じて、レーザー光LBa及びLBbが使い分けられてもよい。第3実施形態に係る半導体装置1の製造方法は、第1ウエハW1の裏面にレーザー光LBを照射する際に、レーザー光LBの偏光を、反射防止層110aのラインアンドスペースパターンに対して平行な偏光、又は反射防止層110aのラインアンドスペースパターンに対して直交する偏光に制御する工程(S30)を含む。第3実施形態に係る半導体装置1のその他の製造方法は、第2実施形態に係る半導体装置1の製造方法と同様である。

10

【0068】

<3-3>第3実施形態の効果

図21は、第3実施形態に係る半導体装置1における光吸収率のシミュレーションで用いられる構造を示す模式図である。図21は、図17に示された第2実施形態に係る半導体装置1のシミュレーションで使用された構造と、パターン直交偏光のCO₂レーザー(図21の(A))と、パターン平行偏光のCO₂レーザー(図21の(B))とを模式的に示している。本例では、均質媒質と第1ウエハW1との境界により、第2実施形態と同様に、反射光RP2a(図示せず)が発生する。また、均質媒質とシリコン酸化膜OXとの境界により、第2実施形態と同様に、反射光RP2b(図示せず)が発生する。その結果、第3実施形態では、反射光RP1及びRP2の干渉による変動幅が、第2実施形態と同様に、比較例よりも縮小し得る。さらに、第3実施形態では、パターンに対して直交又は平行の偏光を利用する。

20

【0069】

図22は、第3実施形態及び比較例のそれぞれにおける剥離層100aの光吸収率の変動に関する光学シミュレーションの結果を示すグラフである。横軸は、ウエハ厚さ(um)を示している。縦軸は、光吸収率の変動を示している。破線は、図9に示された比較例の構成における光吸収率に対応する。実線は、図21に示された第3実施形態の構成においてパターン直交偏光のCO₂レーザーが使用された場合の光吸収率の変動を示している(第3実施形態(A))。二点鎖線は、図21に示された第3実施形態の構成においてパターン平行偏光のCO₂レーザーが使用された場合の光吸収率の変動を示している(第3実施形態(B))。

30

【0070】

図22に示すように、第3実施形態の光吸収率は、パターン直交偏光とパターン平行偏光のいずれにおいても、パターン1.4um周期で変動している。そして、第3実施形態における光吸収率は、パターン直交偏光が利用された場合において、21%~48%の範囲で変動している。また、第3実施形態における光吸収率は、パターン平行偏光が利用された場合において、16%~39%の範囲で変動している。すなわち、第3実施形態における光吸収率の変動幅は、パターン直交偏光が利用された場合に27%程度であり、パターン水平偏光が利用された場合に23%程度である。このように、パターン直交偏光が利用された場合とパターン平行偏光が利用された場合とのそれぞれにおいて、光吸収率の変動幅は、比較例における光吸収率の変動幅の35%よりも狭い。また、パターン直交変更が利用された場合、無偏光の場合(第2実施形態)よりも光吸収率の変動幅が大きい。一方で、パターン直交偏光が利用された場合、無偏光の場合よりも光吸収率の下限が高くな

40

50

る。従って、パターン直交偏光の利用は、第2実施形態よりも光吸収率の平均値を高く保ったまま、光吸収率の変動幅を抑制することができる。

【0071】

以上のように、第3実施形態に係る半導体装置1の製造方法は、レーザー剥離を利用した第1ウエハW1の剥離工程において、無偏光の場合よりも、ウエハ厚さのばらつきに基づく光吸収率の変動を抑制することができる場合がある。つまり、第3実施形態に係る半導体装置1の製造方法は、適切な偏光を利用することによって、第2実施形態よりも、レーザー剥離において剥離層100aに吸収させるエネルギーのばらつきを抑制することができ、安定した剥離プロセスを実現することができる。その結果、第3実施形態に係る半導体装置1の製造方法は、第1ウエハW1を再利用する半導体装置の製造プロセスの歩留まりを向上させることができ、半導体装置の製造コストを抑制することができる。

10

【0072】

<4>第4実施形態

第4実施形態は、第1～第3実施形態のいずれかが適用される半導体装置1の具体例である。以下に、第4実施形態として、上記実施形態と、データを不揮発に記憶することが可能なメモリデバイスとが組み合わされる場合について説明する。

【0073】

<4-1>構成

<4-1-1>半導体装置1aの全体構成

図23は、第4実施形態に係る半導体装置1aの全体構成の一例を示すブロック図である。図23に示すように、半導体装置1aは、NAND型フラッシュメモリなどのメモリデバイスである。半導体装置1aは、外部のメモリコントローラ2によって制御される。半導体装置1aは、例えば、メモリセルアレイ10、入出力回路11、ロジックコントローラ12、レジスタ回路13、シーケンサ14、ドライバ回路15、ロウデコーダモジュール16、及びセンスアンプモジュール17を備える。

20

【0074】

メモリセルアレイ10は、複数のブロックBLK0～BLKn(“n”は、1以上の整数)を含む。ブロックBLKは、複数のメモリセルの集合である。ブロックBLKは、例えば、データの消去の単位に対応する。ブロックBLKは、複数のページを含む。ページは、データの読み出し及び書き込みが実行される単位に対応する。図示が省略されているが、メモリセルアレイ10には、複数のビット線BL0～BLm(“m”は1以上の整数)と、複数のワード線WLとが設けられる。各メモリセルは、例えば、1つのビット線BLと1つのワード線WLとに関連付けられる。

30

【0075】

入出力回路11は、メモリコントローラ2との間に入出力信号の送受信を司るインターフェース回路である。入出力信号は、例えば、データDAT、ステータス情報、アドレス情報、コマンドなどを含む。入出力回路11は、データDATを、センスアンプモジュール17とメモリコントローラ2とのそれぞれとの間で入出力し得る。入出力回路11は、レジスタ回路13から転送されたステータス情報を、メモリコントローラ2に出力し得る。入出力回路11は、メモリコントローラ2から転送されたアドレス情報及びコマンドのそれぞれを、レジスタ回路13に出力し得る。

40

【0076】

ロジックコントローラ12は、メモリコントローラ2から入力された制御信号に基づいて、入出力回路11及びシーケンサ14のそれぞれを制御する。例えば、ロジックコントローラ12は、シーケンサ14を制御し、半導体装置1aをイネーブルにする。ロジックコントローラ12は、入出力回路11が受信した入出力信号がコマンドやアドレス情報などであることを入出力回路11に通知する。ロジックコントローラ12は、入出力信号の入力又は出力を入出力回路11に命令する。

【0077】

レジスタ回路13は、ステータス情報、アドレス情報、及びコマンドを一時的に記憶す

50

る。ステータス情報は、シーケンサ 14 の制御に基づいて更新され、入出力回路 11 に転送される。アドレス情報は、ブロックアドレス、ページアドレス、カラムアドレスなどを含む。コマンドは、半導体装置 1a の様々な動作に関する命令を含む。

【0078】

シーケンサ 14 は、半導体装置 1a の全体の動作を制御する。シーケンサ 14 は、レジスタ回路 13 に記憶されたコマンド及びアドレス情報に基づいて、読み出し動作、書き込み動作、消去動作などを実行する。

【0079】

ドライバ回路 15 は、読み出し動作、書き込み動作、消去動作などで使用される電圧を生成する。そして、ドライバ回路 15 は、生成した電圧を、ロウデコーダモジュール 16

10

【0080】

ロウデコーダモジュール 16 は、動作対象のブロック B L K の選択や、ワード線 W L などの配線への電圧の転送に使用される回路である。ロウデコーダモジュール 16 は、複数のロウデコーダ R D 0 ~ R D n を含む。ロウデコーダ R D 0 ~ R D n は、それぞれブロック B L K 0 ~ B L K n に関連付けられている。各ロウデコーダ R D は、ブロック B L K の選択に使用される。

【0081】

センスアンプモジュール 17 は、各ビット線 B L への電圧の転送や、データの読み出しに使用される回路である。センスアンプモジュール 17 は、複数のセンスアンプユニット S A U 0 ~ S A U m を含む。センスアンプユニット S A U 0 ~ S A U m は、それぞれ複数のビット線 B L 0 ~ B L m に関連付けられている。各センスアンプユニット S A U は、データを判定するためのセンスアンプや、データを一時的に保持するラッチ回路を含む。

20

【0082】

半導体装置 1a における回路層 200 は、例えば、メモリセルアレイ 10 を含む。半導体装置 1a における回路層 300 は、例えば、入出力回路 11、ロジックコントローラ 12、レジスタ回路 13、シーケンサ 14、ドライバ回路 15、ロウデコーダモジュール 16、及びセンスアンプモジュール 17 を含む。なお、半導体装置 1a 及びメモリコントローラ 2 の組み合わせが、1つの半導体装置を構成してもよい。このような半導体装置としては、例えば、S D ^T M カードのようなメモリカードや、S S D (solid state drive)

30

【0083】

< 4 - 1 - 2 > メモリセルアレイ 10 の回路構成

図 24 は、第 4 実施形態に係る半導体装置 1a が備えるメモリセルアレイ 10 の回路構成の一例を示す回路図である。図 24 は、メモリセルアレイ 10 に含まれた複数のブロック B L K のうち 1つのブロック B L K を示している。図 24 に示すように、ブロック B L K は、例えば、5つのストリングユニット S U 0 ~ S U 4 を含む。選択ゲート線 S G D 0 ~ S G D 4 及び S G S とワード線 W L 0 ~ W L 7 とは、ブロック B L K 毎に設けられる。ビット線 B L 0 ~ B L m とソース線 S L とは、複数のブロック B L K で共有される。

【0084】

40

各ストリングユニット S U は、複数の N A N D ストリング N S を含む。複数の N A N D ストリング N S は、それぞれビット線 B L 0 ~ B L m に関連付けられる。すなわち、各ビット線 B L は、複数のブロック B L K 間で同一のカラムアドレスが割り当てられた N A N D ストリング N S により共有される。各 N A N D ストリング N S は、関連付けられたビット線 B L とソース線 S L との間に接続される。各 N A N D ストリング N S は、例えば、メモリセルトランジスタ M T 0 ~ M T 7 並びに選択トランジスタ S T 1 及び S T 2 を含む。各メモリセルトランジスタ M T は、制御ゲート及び電荷蓄積層を有するメモリセルであり、データを不揮発に保持 (記憶) する。選択トランジスタ S T 1 及び S T 2 のそれぞれは、ストリングユニット S U の選択に使用される。

【0085】

50

各 NAND ストリング NS では、選択トランジスタ ST1、メモリセルトランジスタ MT7 ~ MT0、及び選択トランジスタ ST2 が、この順番に、直列に接続される。具体的には、選択トランジスタ ST1 のドレイン及びソースは、関連付けられたビット線 BL と、メモリセルトランジスタ MT7 のドレインとにそれぞれ接続される。選択トランジスタ ST2 のドレイン及びソースは、メモリセルトランジスタ MT0 のソースと、ソース線 SL とにそれぞれ接続される。メモリセルトランジスタ MT0 ~ MT7 は、選択トランジスタ ST1 及び ST2 の間で直列に接続される。

【0086】

選択ゲート線 SGD0 ~ SGD4 は、それぞれストリングユニット SU0 ~ SU4 に関連付けられる。各選択ゲート線 SGD は、関連付けられたストリングユニット SU に含まれた複数の選択トランジスタ ST1 のそれぞれのゲートに接続される。選択ゲート線 SGS は、関連付けられたブロック BLK に含まれた複数の選択トランジスタ ST2 のそれぞれのゲートに接続される。ワード線 WL0 ~ WL7 は、メモリセルトランジスタ MT0 ~ MT7 のそれぞれの制御ゲートにそれぞれ接続される。

10

【0087】

同一のストリングユニット SU 内で共通のワード線 WL に接続された複数のメモリセルトランジスタ MT の集合は、例えば、“セルユニット CU” と呼ばれる。例えば、各メモリセルトランジスタ MT が 1 ビットデータを記憶する場合のセルユニット CU の記憶容量が、“1 ページデータ” として定義される。セルユニット CU は、各メモリセルトランジスタ MT が記憶するデータのビット数に応じて 2 ページデータ以上の記憶容量を有し得る。

20

【0088】

なお、半導体装置 1a が備えるメモリセルアレイ 10 の回路構成は、その他の構成であってもよい。例えば、各ブロック BLK が含むストリングユニット SU の数や、各 NAND ストリング NS が含むメモリセルトランジスタ MT 並びに選択トランジスタ ST1 及び ST2 のそれぞれの数は、任意の数に設計され得る。

【0089】

< 4 - 1 - 3 > 半導体装置 1a の構造

以下に、第 4 実施形態に係る半導体装置 1a の構造について説明する。

【0090】

(1: メモリセルアレイ 10 の平面レイアウト)

30

図 25 は、第 4 実施形態に係る半導体装置 1 が備えるメモリセルアレイ 10 の平面レイアウトの一例を示す概略図である。図 25 に示すように、メモリセルアレイ 10 は、例えば、メモリ領域 MR と、引出領域 HR1 及び HR2 とを有する。メモリ領域 MR は、複数の NAND ストリング NS を含む。メモリ領域 MR は、引出領域 HR1 及び HR2 によって、X 方向に挟まれている。引出領域 HR1 及び HR2 のそれぞれは、積層配線（例えば、ワード線 WL 並びに選択ゲート線 SGD 及び SGS）と、ロウデコーダモジュール 16 との間の接続に使用される領域である。また、メモリセルアレイ 10 は、複数のスリット SLT と、複数のスリット SHE と、複数のコンタクト CC とを含む。

【0091】

各スリット SLT は、X 方向に沿って延伸して設けられた部分を有し、X 方向に沿って引出領域 HR1、メモリ領域 MR、及び引出領域 HR2 を横切っている。複数のスリット SLT は、Y 方向に並んでいる。各スリット SLT は、当該スリット SLT を介して隣り合う配線（例えば、ワード線 WL0 ~ WL7、並びに選択ゲート線 SGD 及び SGS）を分断している。各スリット SLT には、側壁に絶縁体のスペーサが設けられた導電体が、これらの配線とは絶縁されて配置されていてもよいし、絶縁体が埋め込まれていてもよい。メモリセルアレイ 10 では、スリット SLT によって Y 方向に沿って区切られた領域のそれぞれが、1 つのブロック BLK に対応している。

40

【0092】

各スリット SHE は、X 方向に沿って延伸して設けられた部分を有し、X 方向に沿ってメモリ領域 MR を横切っている。複数のスリット SHE は、Y 方向に並んでいる。本例で

50

は、Y方向に隣り合う2つのスリットS L Tの間のそれぞれに、4つのスリットS H Eが配置されている。各スリットS H Eは、例えば、絶縁体が埋め込まれた構造を有する。各スリットS H Eは、当該スリットS H Eを介して隣り合う配線を分断している。スリットS H Eは、少なくとも選択ゲート線S G Dを分断していればよい。メモリセルアレイ10では、スリットS L T及びS H EによってY方向に沿って区切られた領域のそれぞれが、1つのストリングユニットS Uに対応している。

【0093】

メモリセルアレイ10が備える積層配線（例えば、選択ゲート線S G S、ワード線W L 0 ~ W L 7、及び選択ゲート線S G D）のそれぞれの端部は、引出領域H R 1及びH R 2のそれぞれにおいて、テラス部分を有する。テラス部分は、ビット線B L側に設けられた配線層（導電体層）と重ならない部分に対応する。複数のテラス部分により形成される構造は、階段（step）、段丘（terrace）、畦石（rimstone）などと類似している。本例では、X方向に段差を有する階段構造が、選択ゲート線S G Sの端部と、ワード線W L 0 ~ W L 7のそれぞれの端部と、選択ゲート線S G Dの端部とによって形成される。

10

【0094】

積層配線に接続されるコンタクトC Cは、引出領域H R 1及びH R 2の少なくとも一方のテラス部分に接続される。例えば、偶数番のブロックB L K（B L K 0、B L K 2、...）の積層配線は、引出領域H R 1に設けられたコンタクトC Cに接続される。奇数番のブロックB L K（B L K 1、B L K 3、...）の積層配線は、引出領域H R 2に設けられたコンタクトC Cに接続される。

20

【0095】

なお、半導体装置1aが備えるメモリセルアレイ10の平面レイアウトは、その他のレイアウトであってもよい。例えば、隣り合う2つのスリットS L Tの間に配置されるスリットS H Eの数は、任意の数に設計され得る。各ブロックB L Kが備えるストリングユニットS Uの個数は、隣り合う2つのスリットS L Tの間に配置されたスリットS H Eの数に基づいて変更され得る。積層配線に接続されるコンタクトC Cの配置は、適宜変更され得る。半導体装置1は、各引出領域H Rのテラス部分が省略された構造を有していてもよい。この場合、積層配線のある配線層に接続されるコンタクトC Cは、上層の導電体層を貫通し且つ離れて（絶縁されて）設けられる。引出領域H Rは、メモリ領域M RをX方向に分割するように配置されてもよい。

30

【0096】

（2：メモリ領域M Rの平面レイアウト）

図26は、第4実施形態に係る半導体装置1aのメモリ領域M Rの平面レイアウトの一例を示す平面図である。図26は、1つのブロックB L K（すなわち、ストリングユニットS U 0 ~ S U 4）を含む領域を示している。図26に示すように、メモリ領域M Rにおいて、メモリセルアレイ10は、例えば、複数のメモリピラーM Pと、複数のコンタクトC Vと、複数のビット線B Lとを含む。各スリットS L Tは、コンタクトL I及びスペーサS Pを含む。

【0097】

各メモリピラーM Pは、1つのN A N DストリングN Sとして機能する。複数のメモリピラーM Pは、隣り合う2つのスリットS L Tの間の領域において、例えば、24列の千鳥状に配置される。本例では、紙面の上側から数えて、5列目のメモリピラーM Pと、10列目のメモリピラーM Pと、15列目のメモリピラーM Pと、20列目のメモリピラーM Pとのそれぞれに、1つのスリットS H Eが重なって配置される。

40

【0098】

各ビット線B Lは、Y方向に延伸して設けられた部分を有する。複数のビット線B Lは、X方向に並んでいる。各ビット線B Lは、ストリングユニットS U毎に、少なくとも1つのメモリピラーM Pと重なるように配置される。本例では、1つのメモリピラーM Pに、2つのビット線B Lが重なって配置されている。メモリピラーM Pは、1つのビット線B Lと、コンタクトC Vを介して電氣的に接続される。

50

【 0 0 9 9 】

コンタクト L I は、X 方向に延伸して設けられた部分を有する導電体である。スペーサ S P は、コンタクト L I の側面に設けられた絶縁体である。コンタクト L I は、スペーサ S P によって挟まれている。コンタクト L I と、当該コンタクト L I と Y 方向に隣り合う導電体（例えば、ワード線 W L 0 ~ W L 7 並びに選択ゲート線 S G D 及び S G S ）との間は、スペーサ S P によって離隔及び絶縁される。スペーサ S P は、例えば酸化膜である。

【 0 1 0 0 】

（ 3 : 第 1 ウエハ W 1 の断面構造 ）

図 2 7 は、第 4 実施形態に係る半導体装置 1 の製造に使用される第 1 ウエハ W 1 の断面構造の一例を示す、図 2 6 の X X V I I - X X V I I 線に沿った断面図である。図 2 7 は、第 2 ウエハ W 2 と貼り合わされる前の第 1 ウエハ W 1 に形成されたメモリセルアレイ 1 0 のメモリ領域 M R における構造の一例を示し、第 1 ウエハ W 1 を基準とした座標軸を表示している。図 2 7 に示すように、回路層 2 0 0 は、例えば、導電体層 2 0 ~ 2 5、絶縁体層 3 0 ~ 3 5、及びコンタクト V 0 及び V 1 を含む。貼合層 B 1 は、例えば、導電体層 2 6 及び絶縁体層 3 5 を含む。

10

【 0 1 0 1 】

導電体層 2 0 は、例えば、光吸収層 1 2 0 上に設けられる。導電体層 2 0 上に、絶縁体層 3 0 が設けられる。絶縁体層 3 0 上に、導電体層 2 1 及び絶縁体層 3 1 が交互に設けられる。最上層の導電体層 2 2 上に、絶縁体層 3 2 が設けられる。絶縁体層 3 2 上に、導電体層 2 3 が設けられる。導電体層 2 3 上に、絶縁体層 3 3 が設けられる。絶縁体層 3 3 上に、導電体層 2 4 が設けられる。導電体層 2 4 上に、コンタクト V 0 が設けられる。コンタクト V 0 上に、導電体層 2 5 が設けられる。導電体層 2 5 上に、コンタクト V 1 が設けられる。コンタクト V 1 上に、導電体層 2 6 が設けられる。コンタクト V 0、導電体層 2 5 及びコンタクト V 1 は、絶縁体層 3 4 によって覆われている。絶縁体層 3 4 は複数の絶縁体層により構成され得る。絶縁体層 3 4 上に、絶縁体層 3 5 が設けられる。

20

【 0 1 0 2 】

導電体層 2 1、2 2、及び 2 3 のそれぞれは、例えば、X Y 平面に沿って広がった板状に形成される。導電体層 2 4 は、例えば、Y 方向に延伸したライン状に形成される。導電体層 2 0、2 1 及び 2 3 は、それぞれソース線 S L、選択ゲート線 S G S、及び選択ゲート線 S G D として使用される。複数の導電体層 2 2 は、下方から順に、それぞれワード線 W L 0 ~ W L 7 として使用される。メモリピラー M P と導電体層 2 1 とが交差した部分は、選択トランジスタ S T 2 として機能する。メモリピラー M P と導電体層 2 2 とが交差した部分は、メモリセルトランジスタ M T として機能する。メモリピラー M P と導電体層 2 3 とが交差した部分は、選択トランジスタ S T 1 として機能する。導電体層 2 4 は、ビット線 B L として使用される。導電体層 2 4 と 2 5 との間は、コンタクト V 0 を介して接続される。導電体層 2 5 と導電体層 2 6 との間は、コンタクト V 1 を介して接続される。導電体層 2 6 は、貼合パッド B P に対応する。導電体層 2 6 は、例えば、銅を含む。

30

【 0 1 0 3 】

スリット S L T は、X Z 平面に沿って広がった板状に形成された部分を有し、絶縁体層 3 0 ~ 3 2、及び導電体層 2 1 ~ 2 3 を分断している。スリット S L T の底部は、導電体層 2 0 に接している。スリット S L T 内のコンタクト L I は、導電体層 2 0 と電氣的に接続される。また、スリット S L T 内のスペーサ S P は、導電体層 2 1 ~ 2 3 のそれぞれとコンタクト L I との間を離隔及び絶縁している。

40

【 0 1 0 4 】

各メモリピラー M P は、Z 方向に沿って延伸して設けられ、絶縁体層 3 0 ~ 3 2、及び導電体層 2 1 ~ 2 3 を貫通している。各メモリピラー M P は、例えば、コア部材 4 0、半導体層 4 1、及び積層膜 4 2 を含む。コア部材 4 0 は、Z 方向に沿って延伸して設けられた絶縁体である。半導体層 4 1 は、コア部材 4 0 を覆っている。半導体層 4 1 は、メモリピラー M P の側面を介して導電体層 2 0 に接している。積層膜 4 2 は、半導体層 4 1 と導電体層 2 0 とが接した部分を除いて半導体層 4 1 の側面を覆っている。半導体層 4 1 の上

50

に、コンタクトC Vが設けられる。半導体層4 1と導電体層2 4との間は、コンタクトC Vを介して接続される。

【0105】

(4:メモリピラーMPの断面構造)

図28は、第4実施形態に係る半導体装置1におけるメモリピラーMPの断面構造の一例を示す、図27のX X V I I I - X X V I I I線に沿った断面図である。図28は、メモリピラーMPと導電体層2 2とを含み且つソース線S Lの表面と平行な断面を示している。図28に示すように、積層膜4 2は、トンネル絶縁膜4 3、絶縁膜4 4、及びブロック絶縁膜4 5を含む。

【0106】

コア部材4 0は、例えば、メモリピラーMPの中央部分に設けられる。半導体層4 1は、コア部材4 0の側面を囲っている。トンネル絶縁膜4 3は、半導体層4 1の側面を囲っている。絶縁膜4 4は、トンネル絶縁膜4 3の側面を囲っている。ブロック絶縁膜4 5は、絶縁膜4 4の側面を囲っている。導電体層2 2は、ブロック絶縁膜4 5の側面を囲っている。半導体層4 1は、メモリセルトランジスタM T 0 ~ M T 7並びに選択トランジスタS T 1及びS T 2のチャンネル(電流経路)として使用される。トンネル絶縁膜4 3及びブロック絶縁膜4 5のそれぞれは、例えば、シリコン酸化膜を含む。絶縁膜4 4は、メモリセルトランジスタM Tの電荷蓄積層として使用され、例えば、シリコン窒化膜を含む。これにより、メモリピラーMPの各々が、1つのN A N DストリングN Sとして機能する。

【0107】

(5:半導体装置1 aの断面構造)

図29は、第4実施形態に係る半導体装置1 aの断面構造の一例を示す断面図である。図29は、メモリ領域M Rを含む断面を示し、第2ウエハW 2を基準とした座標軸を表示している。図29に示すように、半導体装置1 aは、図27に示された回路層2 0 0及び貼合層B 1の構造が上下に反転した構造を有する。また、第2ウエハW 2は、図示が省略された複数のウェル領域を含む。複数のウェル領域のそれぞれには、例えば、トランジスタが形成される。複数のウェル領域の間は、例えば、S T I (Shallow Trench Isolation)によって分離される。回路層3 0 0は、例えば、絶縁体層5 0、導電体層G C及び5 2 ~ 5 4、並びにコンタクトC S及びC 0 ~ C 3を含む。貼合層B 2は、例えば、絶縁体層5 1、及び導電体層5 5を含む。配線層4 0 0は、例えば、絶縁体層6 0を含む。

【0108】

絶縁体層5 0は、第2ウエハW 2上に設けられる。絶縁体層5 0は、第2ウエハW 2上に設けられた回路を覆っている。絶縁体層5 0は、複数の絶縁体層により構成され得る。絶縁体層5 1は、絶縁体層5 0上に設けられる。絶縁体層5 1は、絶縁体層3 5に接している。絶縁体層5 1及び3 5の境界部分が、第1ウエハW 1と第2ウエハW 2との貼合面に対応する。絶縁体層5 1は、例えば、シリコン酸化膜である。

【0109】

導電体層G Cは、第1ウエハW 1上のゲート絶縁膜上に設けられる。導電体層G Cは、トランジスタのゲート電極として使用される。コンタクトC 0は、導電体層G C上に設けられる。2つのコンタクトC Sは、トランジスタのソース端及びドレイン端にそれぞれ対応する2つの不純物拡散領域(図示せず)に接続される。コンタクトC S及びC 0上に、個別に導電体層5 2が設けられる。導電体層5 2上に、コンタクトC 1を介して導電体層5 3が設けられる。導電体層5 3上に、コンタクトC 2を介して導電体層5 4が設けられる。導電体層5 4上に、コンタクトC 3を介して導電体層5 5が設けられる。導電体層5 5は、貼合パッドB Pに対応する。導電体層5 5は、例えば、銅を含む。導電体層5 5上に、対向配置された導電体層2 6が接している。これにより、導電体層2 4(ビット線B L)が、第1ウエハW 1上に設けられたトランジスタに電氣的に接続される。

【0110】

導電体層2 0(ソース線S L)上には、絶縁体層6 0が設けられる。図示が省略されているが、配線層4 0 0は、回路層2 0 0及び3 0 0のいずれかに含まれた半導体回路に接

10

20

30

40

50

続される導電体層を含む。当該導電体層は、例えば、絶縁体層60を貫通して設けられたパッドPDに接続される(図示せず)。貼合パッドBPを介して接続される配線は、ビット線BL以外の配線であってもよい。

【0111】

<4-2>第4実施形態の効果

第1~第3実施形態で説明された半導体装置1の製造方法は、第4実施形態で説明されたような半導体装置1aに対しても利用することができる。さらに、第4実施形態では、反射防止層110又は110aによって光吸収率の変動幅が抑制されることによって、レーザー剥離時に回路層200に対して過剰な熱が与えられることが抑制され得る。これにより、第4実施形態に係る半導体装置1aの製造方法は、第1実施形態と同様の効果を実現することができ、且つメモリセルアレイ10が加熱されることによるメモリセルトランジスタMTなどの特性劣化を抑制することができる。

10

【0112】

<4>変形例など

以上で説明された各実施形態は、様々な変形が可能である。

【0113】

上記実施形態において、半導体装置1及び1aの回路構成、平面レイアウト、及び断面構造のそれぞれは、適宜変更され得る。例えば、メモリピラーMPの半導体層41とソース線SLとの間は、メモリピラーMPの底部を介して接続されてもよい。メモリピラーMPは、複数のピラーがZ方向に2本以上連結された構造を有していてもよい。メモリピラーMPは、選択ゲート線SGDに対応するピラーと、ワード線WLに対応するピラーとが連結された構造を有していてもよい。各コンタクトは、Z方向に連結された複数のコンタクトによって接続されてもよい。複数のコンタクトの連結部分には、導電体層が挿入されてもよい。半導体装置1aが備える配線層やコンタクトの数は、適宜変更され得る。

20

【0114】

本明細書において“接続”は、電氣的に接続されていることを示し、例えば、間に別の素子を介することを除外しない。“電氣的に接続される”は、電氣的に接続されたものと同様に動作することが可能であれば、絶縁体を介していてもよい。“柱状”は、半導体装置1の製造工程において形成されたホール内に設けられた構造体であることを示している。“幅”は、例えば、X方向又はY方向における構成要素の幅のことを示している。“ウエハ”や“半導体基板”は、“基板”と呼ばれてもよい。“半導体層”は、“導電体層”と呼ばれてもよい。“領域”は、基準とされる基板によって含まれる構成と見なされてもよい。“平面位置”は、平面レイアウトにおける構成要素の位置を示している。“上面(平面)視”は、例えば、ウエハのおもて面側から、対象物を見ることに対応する。本明細書において、ピッチを計測する基準としては、パターンのX方向又はY方向の端部が利用されてもよいし、パターンの中心部分が利用されてもよい。反射防止層110及び110aや光吸収層120などに使用される材料は、不純物を含み得る。これらの層は、主要な材料として、上記実施形態で説明されたシリコン酸化膜やポリシリコンなどが使用されていればよい。

30

【0115】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

【0116】

1, 1a ... 半導体装置、2 ... メモリコントローラ、10 ... メモリセルアレイ、11 ... 入出力回路、12 ... ロジックコントローラ、13 ... レジスタ回路、14 ... シーケンサ、15 ... ドライバ回路、16 ... ロウデコーダモジュール、17 ... センスアンプモジュール、20~26 ... 導電体層、30~35 ... 絶縁体層、40 ... コア部材、41 ... 半導体層、42 ... 積層

50

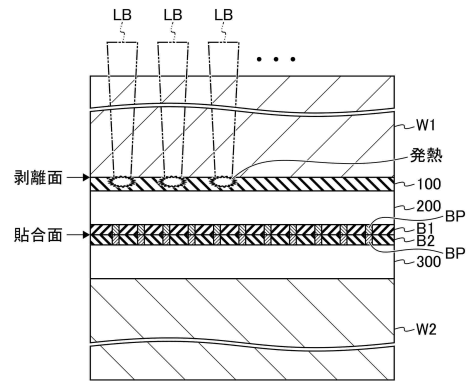
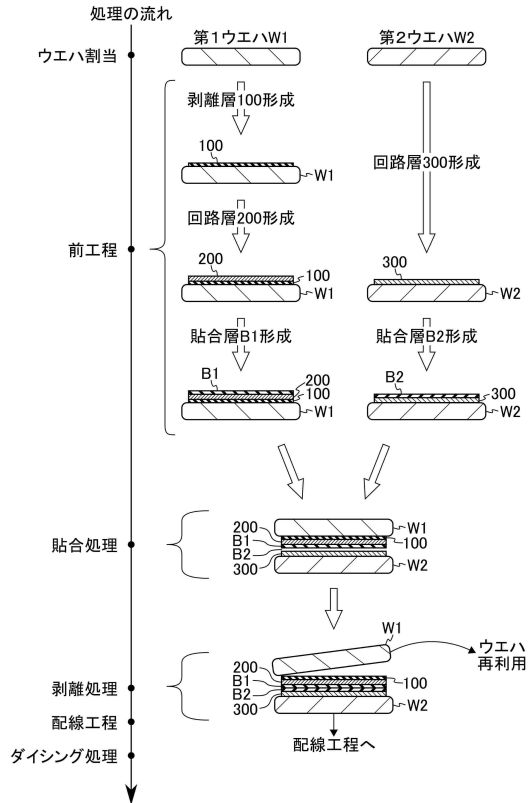
膜、43...トンネル絶縁膜、44...絶縁膜、45...ブロック絶縁膜、50, 51...絶縁体層、52~55...導電体層、60...絶縁体層、100, 100a...剥離層、110, 110a...反射防止層、111...サブパターン、120...光吸収層、130...熱伝導層、200, 300...回路層、400...配線層、B1, B2...貼合層、BLK...ブロック、SU...ストリングユニット、BL...ビット線、WL...ワード線、SGD...選択ゲート線、MT...メモリセルトランジスタ、ST1, ST2...選択トランジスタ、RD...ロウデコーダ、SAU...センスアンプユニット、C0~C3, V0, V1...コンタクト、H0...酸化膜厚さ、H1...反射防止層厚さ、HR1, HR2...引出領域、P1...メインピッチ、P2...サブピッチ、W1...第1ウエハ、W2...第2ウエハ

【図面】

10

【図1】

【図2】



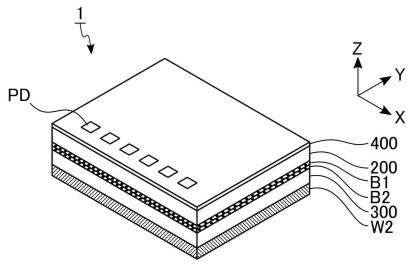
20

30

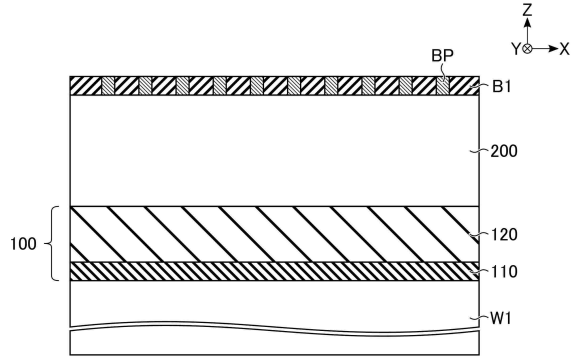
40

50

【図3】



【図4】

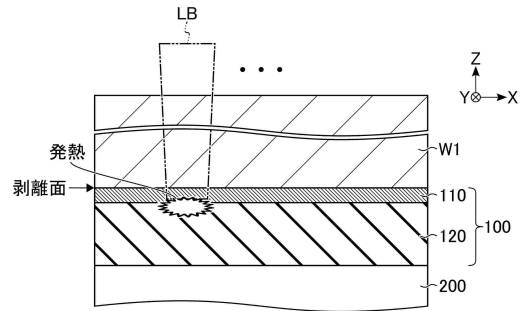


10

【図5】



【図6】



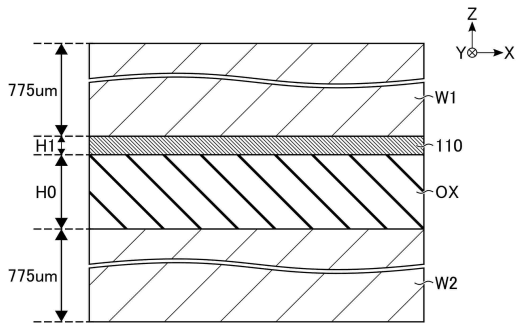
20

30

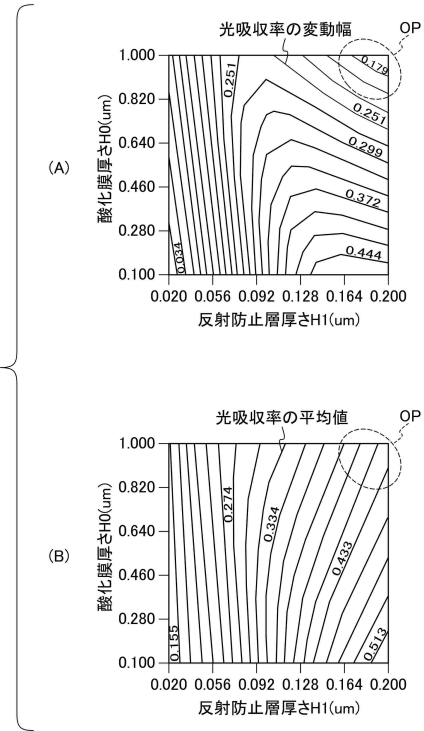
40

50

【 図 7 】



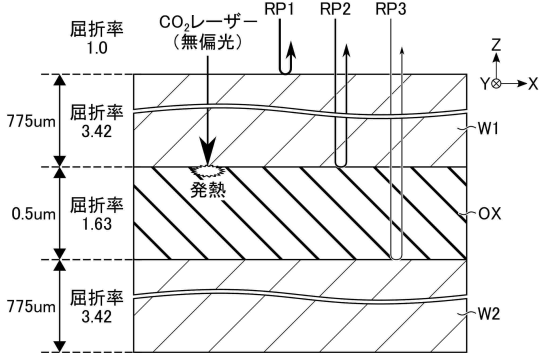
【 図 8 】



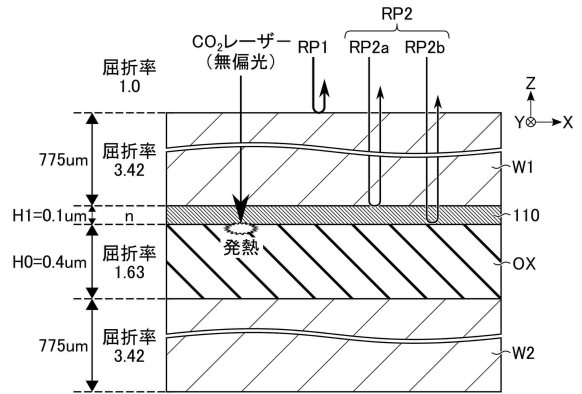
10

20

【 図 9 】



【 図 10 】

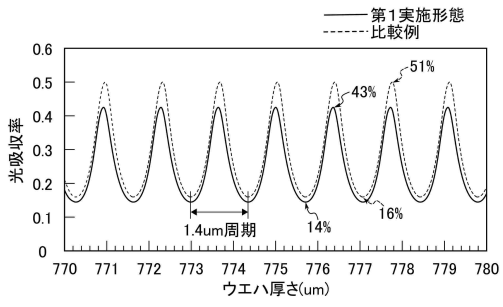


30

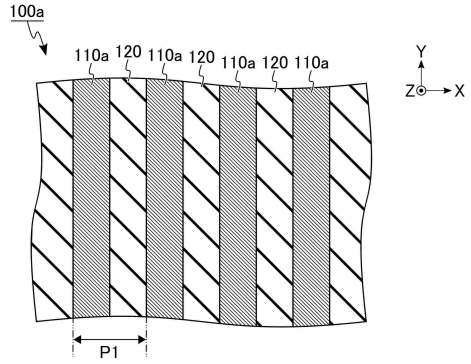
40

50

【 図 1 1 】



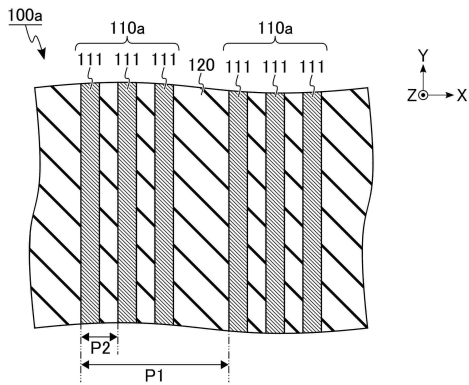
【 図 1 2 】



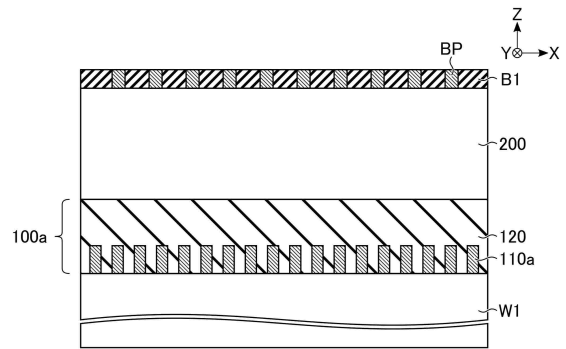
10

20

【 図 1 3 】



【 図 1 4 】



30

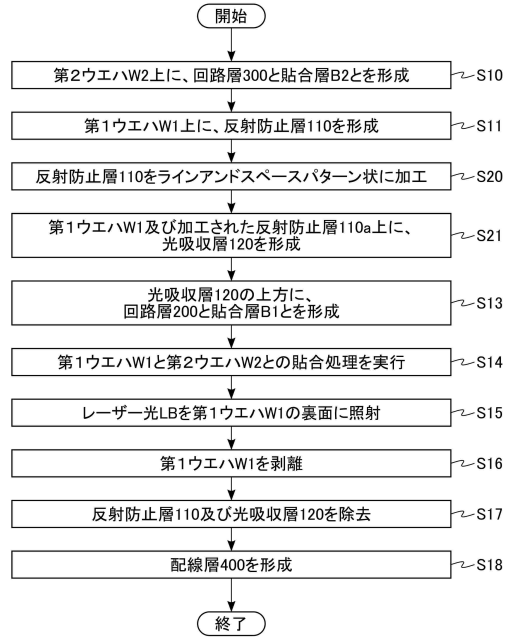
40

50

【 図 1 5 】

	媒質	屈折率(n)	消衰係数(k)
(1)	シリコン (Si)	3.42	0
(2)	シリコン酸化膜 (SiO ₂)	1.63	2.31
(3)	ポリシリコン (poly-Si)	3.66	0
(4)	均質媒質 (媒質(2)+(3))	3.08	0.31

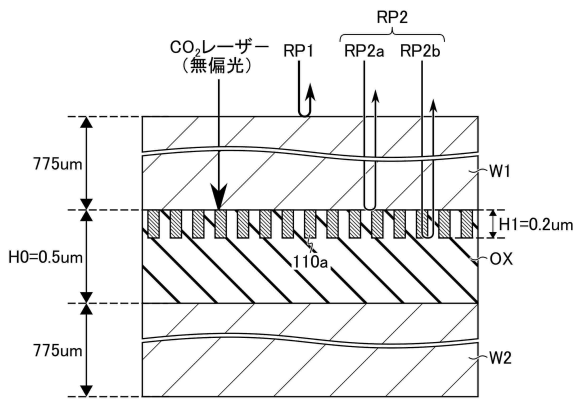
【 図 1 6 】



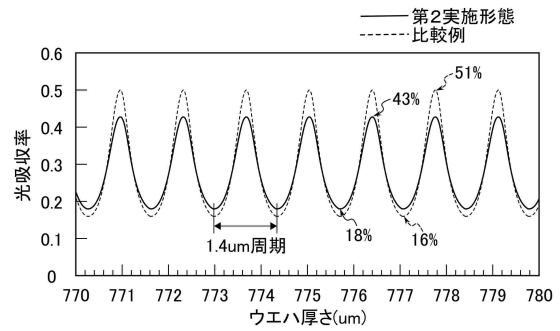
10

20

【 図 1 7 】



【 図 1 8 】

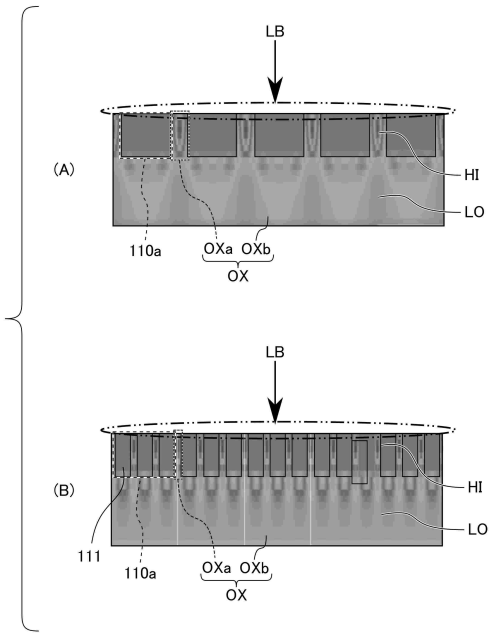


30

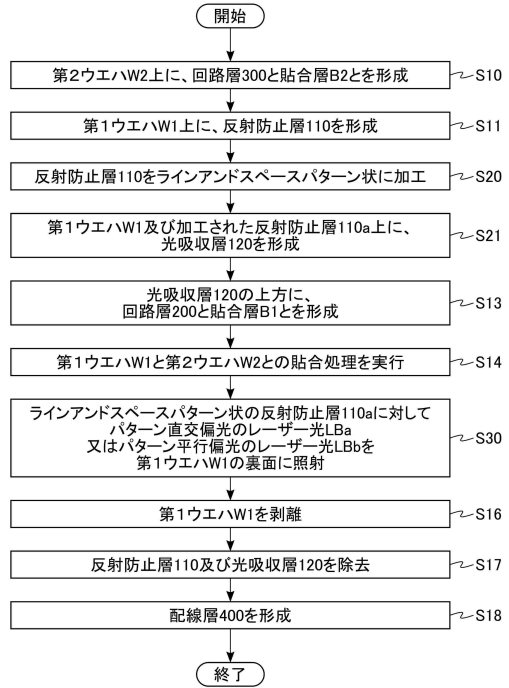
40

50

【図19】



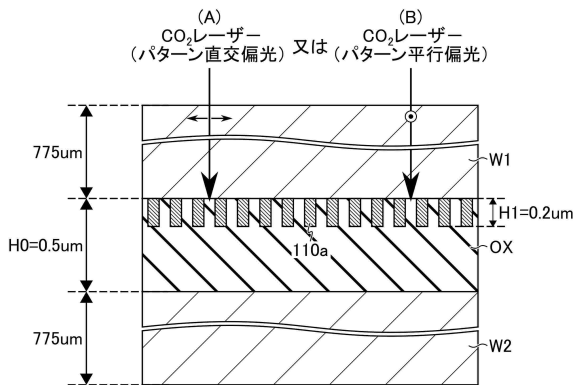
【図20】



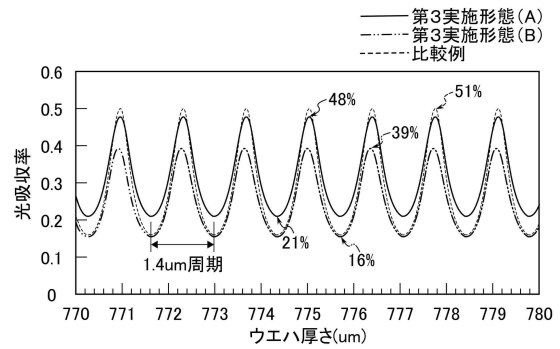
10

20

【図21】



【図22】

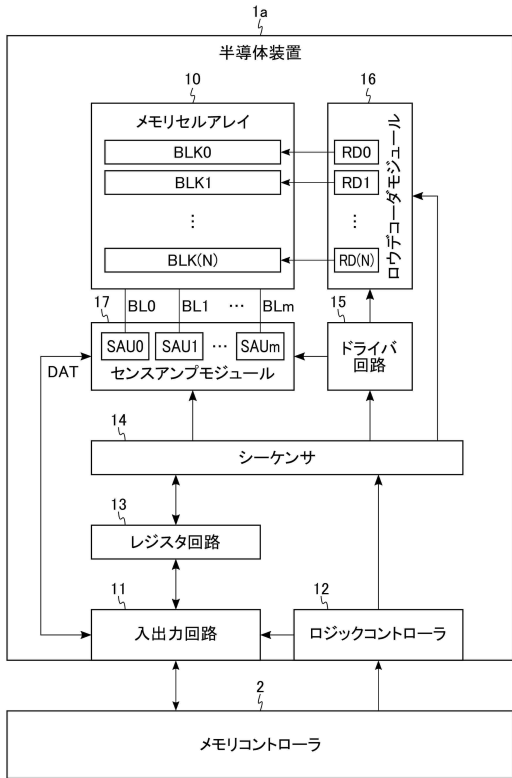


30

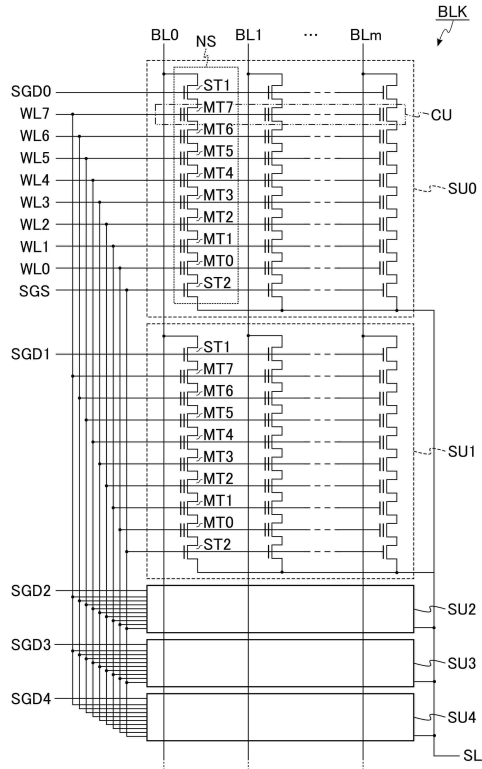
40

50

【図 2 3】



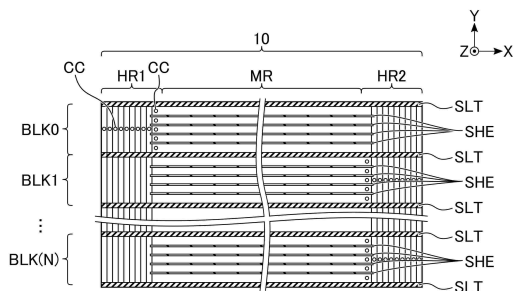
【図 2 4】



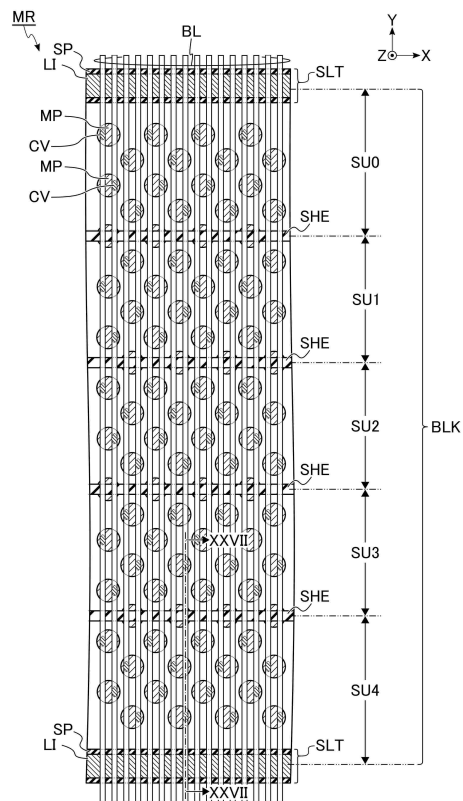
10

20

【図 2 5】



【図 2 6】

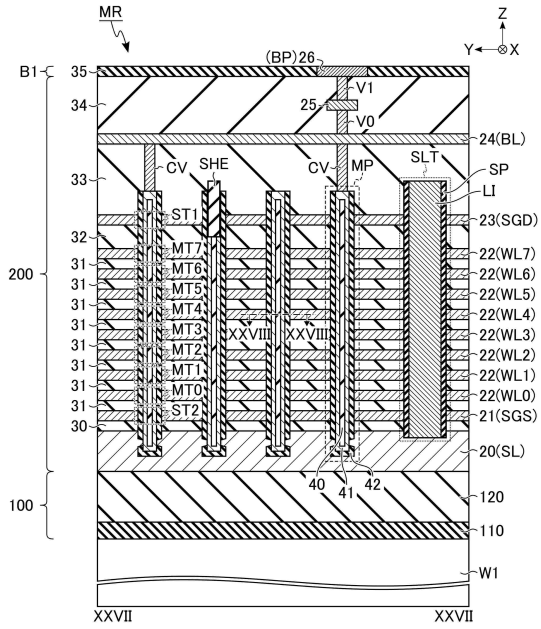


30

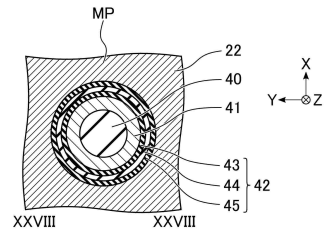
40

50

【 図 2 7 】



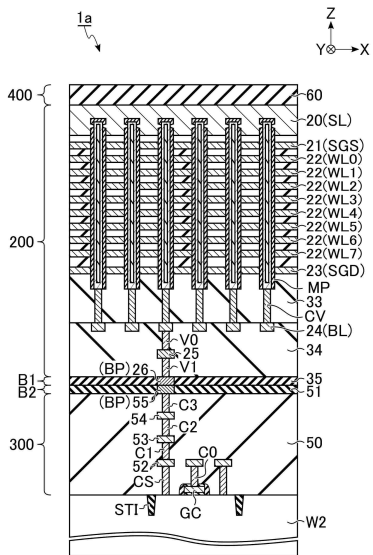
【 図 2 8 】



10

20

【 図 2 9 】



30

40

50

フロントページの続き

(51)国際特許分類

H 1 0 B 43/35 (2023.01)

F I

H 1 0 B 43/23

H 1 0 B 43/27

H 1 0 B 43/35

H 0 1 L 21/02

テーマコード (参考)

C