

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. (11) 공개번호 10-2006-0043811  
*H01L 21/288* (2006.01) (43) 공개일자 2006년05월15일

(21) 출원번호 10-2005-0019919  
(22) 출원일자 2005년03월10일

(30) 우선권주장 JP-P-2004-00069421 2004년03월11일 일본(JP)

(71) 출원인 신꼬오텐기 고교 가부시키가이샤  
 일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자 야마노 다카하루  
 일본국 나가노켄 나가노시 오시마다마치 80 신꼬오텐기 고교 가부시키  
 가이샤 내

(74) 대리인 문두현  
 문기상

**심사청구 : 없음**

---

**(54) 도금 방법**

---

**요약**

반도체 웨이퍼 상에 도금을 하여 전극을 형성하는 방법으로서, 도금 공정 중에 도금액이 누출되는 것을 확실하게 방지할 수 있는 방법을 설명한다. 도금 방법은 반도체 웨이퍼 상에 도전층을 형성하는 공정; 도전층 상에 네가티브 레지스트층을 형성하는 공정; 네가티브 레지스트층의 중심부를 노광하는 공정; 네가티브 레지스트층의 중심부를 노광하는 공정 후에 네가티브 레지스트층의 외주부를 노광하는 공정; 소정의 도금 패턴을 형성하기 위해 네가티브 레지스트층을 현상 처리하는 공정; 그리고 도금 패턴 상에 도금을 행하는 공정을 포함한다.

**대표도**

도 15

**색인어**

반도체 웨이퍼, 도전층, 네가티브 레지스트층, 건식 막 레지스트, 노광, 도금

**명세서**

**도면의 간단한 설명**

도 1은 종래의 재배선 패턴 형성 공정을 설명하기 위한 반도체 기판의 평면도.

도 2는 도 1의 반도체 기판을 AA'선을 따라서 본 단면도.

도 3은 도 1에 계속하여, 재배선 패턴 형성 공정을 설명하기 위한 반도체 기판의 평면도.

도 4는 도 3의 반도체 기판을 AA'선을 따라서 본 단면도.

도 5는 도 3에 계속하여, 재배선 패턴 형성 공정을 설명하기 위한 반도체 기판의 평면도.

도 6은 도 5에 계속하여, 재배선 패턴 형성 공정을 설명하기 위한 반도체 기판의 확대된 사시도.

도 7은 도금 지그에 장착된 반도체 기판의 확대된 사시도.

도 8은 본 발명의 실시예에 따르는 도금 방법을 설명하기 위한 반도체 기판의 평면도.

도 9는 도 8의 반도체 기판을 AA'선을 따라서 본 단면도.

도 10은 도 8에 계속하여, 본 발명의 실시예에 따르는 재배선 패턴을 형성하는 도금 방법을 설명하기 위한 반도체 기판의 평면도.

도 11은 도 10의 반도체 기판을 AA'선을 따라서 본 단면도.

도 12는 도 11에 계속하여, 본 발명의 실시예에 따르는 재배선 패턴을 형성하는 도금 방법을 설명하기 위한 반도체 기판의 평면도.

도 13은 도 12에 계속하여, 본 발명의 실시예에 따르는 재배선 패턴을 형성하는 도금 방법을 설명하기 위한 반도체 기판의 평면도.

도 14는 도 13의 반도체 기판을 AA'선을 따라서 본 단면도.

도 15는 본 발명의 실시예에 따르는 제 5 공정이 끝난 후의 반도체 기판의 외주부의 확대된 사시도.

도 16a와 도 16b는 각각, 본 발명의 실시예에 따르는 도금 방법에 사용된 도금 지그(160)의 마스크 지그(161)의 평면도와 측단면도.

도 17a와 도 17b는 각각, 본 발명의 실시예에 따르는 도금 방법에 사용된 도금 지그(160)의 이면 덮개 지그(162)의 평면도와 측단면도.

도 18은 본 발명의 실시예에 따르는 도금 방법에 사용된 도금 지그(160)를 조립하는 방법을 나타내는 측단면도.

도 19는 반도체 웨이퍼(100)가 장착된 도금 지그(160)를 나타내는 측단면도.

도 20은 본 발명의 실시예에 따르는 도금 장치와 도금 방법을 나타내는 개략도.

도 21은 도금 지그(160)에 장착된 반도체 웨이퍼(100)의 확대된 사시도.

\*도면의 주요 부분에 대한 부호의 설명\*

100 : 반도체 웨이퍼

110 : 도전층

120 : 네가티브 레지스트층

140 : 외주 노광 영역

150 : 도금 패턴

160 : 도금 지그

161 : 마스크 지그

162 : 이면 덮개 지그

180 : 도금 장치

182 : 도금 액

184 : 음극

185 : 양극

200 : 단위 노광 영역

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 웨이퍼 상에 도금을 행함으로써 재배선 패턴을 형성하는 방법에 관한 것이다.

반도체 제품, 예를 들면, 수퍼 칩-사이즈 패키지(Super CSP) 제품에서는, 반도체 웨이퍼에서 잘려 나온 반도체 칩의 표면 상에 도금을 행함으로써 도전성 포스트(post)(예를 들면, 구리 포스트) 또는 재배선 패턴이 형성된다. 또한, 범프(bump)가 형성된 반도체 제품의 제조 공정에서, 도전성 포스트 또는 재배선 패턴이 형성된다. 도금 처리에 앞서, 반도체 웨이퍼 상에 도금용 전극(금전층)이 형성된다.

예를 들면, 일본국 특허 공개 공보 2003-031768 (5 페이지, 도 1)이 당해 기술의 배경 기술을 나타낸다.

도 1 내지 도 6은 종래의 재배선 패턴 형성 공정을 나타낸다.

도 1은 반도체 기판의 평면도이다.

도 2는 도 1의 AA'선을 따른 반도체 기판의 단면도이다.

제 1 공정은 도전층 형성 공정이다. 즉, 도 1과 도 2에 도시된 바와 같이, 반도체 웨이퍼(600) 상에 스퍼터링(sputtering)에 의해 도전층(610)이 형성된다. 선택적으로, 폴리이미드 또는 애폴시로 형성된 절연층이 반도체 웨이퍼(600) 상에 배치될 수도 있고, 절연층 상에 도전층(610)이 놓여질 수도 있다.

도 3은 도 1에 계속하여 재배선 패턴 형성 공정을 설명하기 위한 반도체 기판의 평면도이다.

도 4는 도 3의 AA'선을 따른 반도체 기판의 단면도이다.

제 2 공정은 레지스트층 형성 공정이다. 즉, 도 3과 도 4에 도시된 바와 같이, 도전층(610) 상에 레지스트층(620)이 형성된다. 또한 제 2 공정 후, 뒤따르는 제 3 공정(후술됨) 전에, 레지스트층(620)을 보호하기 위해 레지스트층(620) 상에 보호막(도시 안됨)이 배치된다. 여기서, 레지스트층(620)은 네가티브 형일 수도 있고 포지티브 형일 수도 있다. 이하에서는, 레지스트층(620)은 네가티브 레지스트층으로 가정한다.

도 5는 도 3에 계속하여 재배선 패턴 형성 공정을 설명하기 위한 반도체 기판의 평면도이다.

제 3 공정은 노광 공정이다. 즉, 도 5에 도시된 바와 같이, 네가티브 레지스트층(620) 위의 특정 자리에 레티클 패턴(도시 안됨)이 배치되고, 스텝식 투영 노광 장치(projection lithography stepper)(도시 안됨)로 레티클 패턴을 통하여 네가티브 레지스트층(620) 위에 자외선을 방사하여 네가티브 레지스트층(620)을 노광한다. 그런 다음에, 네가티브 레지스트층(620) 상의 보호막이 제거된다.

도 5에 도시된 격자 영역에서, 각 셀(700)은 스텝식 투영 노광 장치에 의해 한 번에 노광되는 영역을 가리킨다(이하 "단위 노광 영역"이라 함). 스텝식 투영 노광 장치는 형성되어야 할 도금용 전극의 형상(도금 패턴)에 대응하는 레티클 패턴이 형성된 레티클을 사용하여 단위 노광 영역(700)을 차례로 노광한다.

도 6은 도 5에 계속하여 재배선 패턴 형성 공정을 설명하기 위한 반도체 기판의 확대된 사시도이다. 도 6에서는, 도 5에 도시된 노광 공정 후에 반도체 기판 상에 현상 처리를 행한다.

도 6에 도시된 바와 같이, 반도체 웨이퍼(600) 상에 도전층(610)이 형성되고, 도전층(610) 상에 레지스트층(620)(점찍힌 부분)이 형성된다.

노광 공정과 현상 공정 때문에, 도금 패턴(재배선 패턴)(650)이 레지스트층(620)에 형성된다. 본 예에서는, 레지스트층(620)이 네가티브 레지스트층이므로, 레지스트층(620)의 노광된 부분은 현상액에 대해 불용성이 되거나 거의 용해되지 않게 되고, 노광되지 않은 부분은 현상에 의해 제거되어, 도금 패턴(650)이 된다. 도금 패턴(650)이 형성된 위치에서, 도전층(610)이 노출된다.

도금 패턴(650)이 형성된 반도체 웨이퍼(600)는 도금 지그에 장착된 후, 일본국 특개평 8-170198 (도 1 및 도 2) 및 일본국 특개평 11-204459 (도 1)에 도시된 바와 같이, 반도체 웨이퍼(600)는 도금액으로 채워진 도금 탱크 속에 담궈지고 전해 도금(예를 들면, 구리 도금)에 의해 도금된다. 이 공정에서, 도금 지그에 밀봉 고무가 배치되고, 이 밀봉 고무는 반도체 웨이퍼(600)의 외주위에 액밀(liquid-tight) 상태로 배치된다. 이런 식으로, 도금액은 반도체 웨이퍼(600)의 도금 위치에만 접촉되고, 반도체 웨이퍼(600)의 배면측으로 누출되지 않는다.

상기 도금 공정에서는, 도금 패턴(650)에 소정의 도전성 금속재(예를 들면, 구리)가 도금되고 그것에 의해, 도금 패턴(650)에 재배선 패턴이 형성된다. 이어서, 네가티브 레지스트층(620)이 제거되고, 도금 패턴(650)에 대응하는 재배선 패턴이 반도체 웨이퍼(600) 상에 형성된다.

최근에는, 재배선 패턴의 전기적 특성을 향상시키기 위해, 반도체 웨이퍼(600) 상에 형성되는 재배선 패턴의 두께를 증가시키는 것이 제안되고 있다. 종래에는, 네가티브 형 또는 포지티브 형의 액체 레지스트를 코팅하여 레지스트층을 형성하였다. 그러나, 이 방법으로는  $10 \mu\text{m}$  이하의 얇은 레지스트층만 형성할 수 있고, 재배선 패턴의 두께를 증가시키는 것이 어려웠다. 이런 이유로, 최근에는, 재배선 패턴의 두께를 증가시키기 위해 건식 막 레지스트(dry film resist, DFR)를 사용하는 것이 제안되고 있다.

그러나, 상기 도금 공정에서  $10 \mu\text{m}$  이상 두께의 건식 막 레지스트를 사용하면, 밀봉 고무를 사용하더라도, 도금액의 누출을 방지하기 어려워, 도금액은 반도체 웨이퍼(600)의 외주위 및 배면측으로 누출된다.

도 7은 도금 지그에 장착된 반도체 기판의 확대된 사시도이다. 도해와 설명의 편의를 위해, 도 7에는 도금 지그의 밀봉 고무(635)만 도시한다.

도 7에서, 밀봉 고무(635)의 내측이 도금액에 접촉하고, 밀봉 고무(635)의 외측으로 도금액이 누출되지 않도록 밀봉 고무(635)가 구성되어 있다.

그런데, 도 5를 참조하여 설명한 바와 같이, 노광 공정에서는, 레티클을 사용하여 반도체 웨이퍼(600)의 단위 노광 영역(700)을 차례로 노광한다. 이 공정에서, 반도체 웨이퍼(600)의 예지에서는, 단위 노광 영역(700)이 반도체 웨이퍼(600)의 밖으로 확장되어, 이러한 레티클의 패턴이 노광될 수 없게 된다.

도 7의 반도체 웨이퍼(600)의 에지를 주목해 보면, 반도체 웨이퍼(600)의 에지의 홈 형상의 도금 패턴(650)은 연통부(651)를 통해 외부와 연통된다. 즉, 네가티브 또는 포지티브 레지스트층(620)의 측면에 구멍이 존재한다. 따라서, 도금 공정에서, 도금 액은 도금 패턴(650)의 내측부(652)에서 연통부(651)쪽으로 흐르고, 그 결과, 밀봉 고무(635)가 있음에도 불구하고, 도금 액이 밀봉 고무(635)의 외측으로 누출된다.

얇은 네가티브 또는 포지티브 레지스트층(620)(예를 들면, 10  $\mu\text{m}$  이하)의 경우에는, 밀봉 고무(635)를 레지스트층(620)에 가압하면, 레지스트층(620)은 가요성 수지로 되어 있기 때문에, 구부러지게 된다. 게다가, 밀봉 고무(635)가 레지스트층(620)을 밀봉하면, 모세관 현상이 발생하고, 도금 패턴(650)내에 들어갈 때 밀봉 고무(635)는 탄성 변형된다. 이러한 사실 때문에, 레지스트층(620)이 얇으면 도금 액 누출은 발생하지 않는다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 일반적인 목적은 종래 기술의 하나 또는 그 이상의 문제를 해결하기 위한 것이다.

본 발명의 좀 더 구체적인 목적은 도금 액의 누출을 확실히 방지할 수 있는 도금 방법을 제공하는 것이다.

### 발명의 구성 및 작용

본 발명은 반도체 웨이퍼 상에 도전층을 형성하는 공정; 도전층 상에 네가티브 레지스트층을 형성하는 공정; 네가티브 레지스트층의 중심부를 노광하는 공정; 네가티브 레지스트층의 중심부를 노광하는 공정 후에 네가티브 레지스트층의 외주부를 노광하는 공정; 소정의 도금 패턴을 형성하기 위해 노광된 네가티브 레지스트층을 현상 처리하는 공정; 그리고, 도금 패턴 상에 도금을 행하는 공정을 포함하는 도금 방법을 제공한다.

상기 발명에 따르면, 네가티브 레지스트층의 중심부가 노광된 후에, 네가티브 레지스트층의 외주부가 노광된다. 그러므로, 현상 공정 후에, 외주부에 네가티브 레지스트층이 남게 된다. 그 결과, 네가티브 레지스트층 상에 형성되는 도금 패턴은 외주부에는 없게 되며, 외주부에 남아 있는 네가티브 레지스트층은 도금 공정에서 도금 액이 누출되는 것을 방지하는 데 역할을 한다.

한 실시예에서는, 네가티브 레지스트층의 두께는 10  $\mu\text{m}$  이상이다.

상기 발명에 따르면, 네가티브 레지스트층의 두께가 10  $\mu\text{m}$  이상이고, 주어진 도금 패턴의 두께가 두꺼운 경우에도, 도금 공정에서 도금 액이 누출되는 것을 방지할 수 있다.

다른 실시예에서는, 네가티브 레지스트층은 건식 막 레지스트로 형성된다.

상기 발명에 따르면, 네가티브 레지스트층이 건식 막 레지스트로 형성되면, 반도체 웨이퍼 상에 10  $\mu\text{m}$  이상 두께의 네가티브 레지스트층을 쉽게 부착할 수 있다.

다른 실시예에서는, 도금을 행하는 공정에서, 밀봉형 도금 지그를 사용한다.

상기 발명에 따르면, 도금을 행하는 공정에서 밀봉형 도금 지그를 사용하기 때문에, 도금 공정에서 도금 액이 누출되는 것을 보다 효과적으로 방지할 수 있다.

다른 실시예에서는, 네가티브 레지스트층의 중심부를 노광시키는 공정에서, 스텝식 투영 노광 장치를 사용하여 네가티브 레지스트층의 단위 노광 영역을 한 번에 노광한다.

본 발명의 이들 및 그 밖의 목적, 특징, 그리고 장점은 첨부된 도면을 참조하여 주어지는 바람직한 실시예의 후술 할 상세한 설명에 의해 보다 명확해질 것이다.

이하에서는, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

즉, 예를 들면, 수퍼 칩-사이즈 패키지(Super CSP) 반도체 제품 등의 반도체 웨이퍼 상에 재배선 패턴을 형성하는 도금 방법에 대해 설명한다.

도 8은 본 발명의 실시예에 따르는 도금 방법을 설명하기 위한 반도체 기판의 평면도이다.

도 9는 도 8의 반도체 기판을 AA'선을 따라서 본 단면도이다.

도 8 및 도 9에 도시된 바와 같이 제 1 공정에서는 도전층이 형성된다. 즉, 재배선 패턴을 형성하기 위한 도전층(110)(예를 들면, 구리)이 예를 들면, 직경이 8인치(20.32 cm)인 실리콘 웨이퍼 등의 반도체 웨이퍼(100) 상에 퇴적된다.

도전층(110)은 아르곤 가스 등의 방전용 가스 환경에서 글로우(glow) 방전을 이용하여 타겟이 되는 반도체 웨이퍼(100)의 표면 상에 이온을 주입하는, 스퍼터링(sputtering)에 의해 형성될 수도 있다.

선택적으로, 폴리이미드 또는 애폴시로 형성된 절연층이 반도체 웨이퍼(100) 상에 배치될 수도 있고, 절연층 상에 도전층(110)이 퇴적될 수도 있다.

도 10은 도 8에 계속하여, 본 발명의 실시예에 따르는 재배선 패턴을 형성하는 도금 방법을 설명하기 위한 반도체 기판의 평면도이다.

도 11은 도 10의 반도체 기판을 AA'선을 따라서 본 단면도이다.

제 2 공정에서는, 레지스트층이 형성된다. 즉, 도 10 및 도 11에 도시된 바와 같이, 도전층(110) 상에 네가티브 레지스트층(120)이 형성된다.

여기서, 레지스트층(120)은 네가티브 형일 수도 있고 포지티브 형일 수도 있다. 본 실시예에서는, 레지스트층(120)은 네가티브 레지스트층으로 가정한다.

자외선이 조사된 네가티브 레지스트층(120)의 부분은 현상액에 대해 불용성이 되거나 거의 녹지 않게 되는 특성이 있어서, 현상 후에 도전층(110)의 표면 상에 남는다.

네가티브 레지스트층(120)은 건식 막 레지스트(DFR)를 도전층(110) 상에 붙여서 형성된다. 이 경우, 10  $\mu\text{m}$  보다 두꺼운 네가티브 레지스트층(120)을 형성하는 것이 용이하며, 또한, 도금 처리 후에 네가티브 레지스트층(120)을 제거하는 것도 용이하다.

본 실시예에서는, 네가티브 레지스트층(120)으로 30  $\mu\text{m}$  두께의 건식 막 레지스트(DFR)가 사용된다. 네가티브 레지스트층(120)을 이렇게 두껍게 하면, 작은 전기 저항과 양호한 전기적 특성을 가지는 재배선 패턴을 형성하는 것이 가능하다.

도 12는 도 11에 계속하여, 본 발명의 실시예에 따르는 재배선 패턴을 형성하는 도금 방법을 설명하기 위한 반도체 기판의 평면도이다.

도 12에 도시된 바와 같이, 제 3 공정에서는 제 1 노광 공정이 행해진다. 즉, 네가티브 레지스트층(120)을 보호하기 위해 네가티브 레지스트층(120) 상에, 노광용 빛을 투과시키는 보호막(130)이 부착된다. 예를 들면, 보호막(130)은 PET(Poly Ethylene Terephthalate)로 형성된다.

다음으로, 도전층(130) 상의 금전 전극 상방에 있는, 보호막(130) 상에 잉크가 인쇄되어 차광층(145)을 형성한다.

그런 다음, 레티클 패턴(도시 안됨)이 네가티브 레지스트층(120) 상방의 특정한 위치에 배치되고, 스텝식 투영 노광 장치(도시 안됨)로 자외선을 네가티브 레지스트층(120) 위에 조사하여 네가티브 레지스트층(120)을 노광한다.

도 12에 도시된 격자 영역에서, 각 셀(200)은 스텝식 투영 노광 장치에 의해 한 번에 노광되는 영역을 가리킨다(이하 "단위 노광 영역"이라 함). 스텝식 투영 노광 장치는 각 단위 노광 영역(200)을 차례로 노광한다. 도 5를 참조하여 설명한 바와 같이, 반도체 웨이퍼(100)의 예지에서는, 단위 노광 영역(200)이 반도체 웨이퍼(100)의 밖으로 확장되어, 이러한 레티클의 패턴이 노광될 수 없게 된다.

스텝식 투영 노광 장치로 네가티브 레지스트층(120) 위에 빛을 조사하면, 네가티브 레지스트층(120)은 레티클을 통하여 노광되고, 레티클을 통하여 자외선이 조사된 네가티브 레지스트층(120)의 부분은 현상액에 대해 불용성이 되거나 거의 녹

지 않게 된다. 그러나, 레티클로 차폐된 네가티브 레지스트층(120)의 부분은 노광되지 않으며, 현상액에 대해 가용성으로 남는다. 즉, 도금 패턴(150)이 형성될 위치, 전해 도금시 전력을 공급하는 금전 전극(115)의 위치 및 차광층(145)이 형성되는 위치에 대응하는 네가티브 레지스트층(120)의 부분은 현상액에 대해 가용성으로 남는다.

도 13은 도 12에 계속하여, 본 발명의 실시예에 따르는 재배선 패턴을 형성하는 도금 방법을 설명하기 위한 반도체 기판의 평면도이다.

도 14는 도 13의 반도체 기판을 AA'선을 따라서 본 단면도이다.

도 13 및 도 14에 도시된 바와 같이, 제 4 공정에서는 제 2 노광 공정이 행해진다. 즉, 제 2 노광 공정에서는, 자외선 등의 노광용 빛을 네가티브 레지스트층(120)의 외주부에 조사한다. 이 공정에서, 제 2 노광은 차광층(145)이 형성된 상태에서 행해진다. 또한, 제 2 노광은 레이저 다이오드에서 나오는 수렴된 광선에 의해 행해진다.

제 4 공정에서, 노광되는 영역은 도 13의 그물로 표시한 영역이고, 이 영역은 "외주 노광 영역(140)"이라고 부른다. 외주 노광 영역(140)은 반도체 웨이퍼(100) 상의 네가티브 레지스트층(120)의 에지의 환형부에 해당된다.

상기 설명한 바와 같이, 자외선이 조사된 네가티브 레지스트층(120)의 부분은 현상액에 대해 불용성이 되거나 거의 녹지 않게 된다. 즉, 제 4 공정에서, 네가티브 레지스트층(120)의 외주부(외주 노광 영역(140))는 환형부를 형성하며, 현상액에 대해 불용성이 되거나 거의 녹지 않게 된다. 그러나, 차광층(145)에 대응하는 네가티브 레지스트층(120)의 부분은 현상액에 대해 가용성으로 남는다.

일례로서, 반도체 웨이퍼(100)의 반경 방향으로의 외주 노광 영역(140)의 폭은 3  $\mu\text{m}$  내지 4  $\mu\text{m}$ 로 설정될 수 있다.

제 4 공정이 끝나면, 본 실시예에 따르는 도금 방법의 제 5 공정으로 현상 처리가 행해진다.

제 5 공정에서는, 네가티브 레지스트층(120) 상에 부착되어 있는 보호막(130)이 제거된다. 그런 후, 반도체 웨이퍼(100)를 현상 처리액에 담가서 현상 처리한다.

상기 설명한 바와 같이, 제 3 공정(제 1 노광) 및 제 4 공정(제 2 노광)에서 노광된 네가티브 레지스트층(120)의 부분은 현상액에 대해 불용성이 되거나 거의 녹지 않게 되므로, 현상 후에도 도전층(110) 상에 남는다. 한 편, 제 3 공정 및 제 4 공정에서 노광되지 않은 네가티브 레지스트층(120)의 부분은 현상액에 대해 가용성이며, 현상 공정에서 제거된다. 도금 패턴(150)이 형성되는 위치 및 금전 전극(115)의 위치에 대응하는 네가티브 레지스트층(120)의 부분이 이러한 노광되지 않는 부분에 포함된다.

도 15는 본 발명의 실시예에 따르는 제 5 공정이 끝난 후의 반도체 기판의 외주부의 확대된 사시도이다.

도 15에 도시된 바와 같이, 현상 처리를 하면, 네가티브 레지스트층(120)에 복수의 도금 패턴(150)이 형성된다. 또한, 외주 노광 영역(140)이 네가티브 레지스트층(120)의 에지에 환형으로 형성된다. 또한, 금전 전극(115)이 특정 위치에 형성된다. 금전 전극(115)은 외부 노광 영역(140)의 바깥쪽 에지에 형성되며, 외주 노광 영역(140)보다 폭이 작다.

외주 노광 영역(140)이 있기 때문에, 반도체 웨이퍼(100)의 에지의 홈 형상의 도금 패턴(150a)이더라도 외부와 연통되지 않는다. 즉, 종래에 연통부(651)가 형성되었던 부분은 본 실시예의 외주 노광 영역(140)에 포함되고, 이 부분은 현상 및 제거되지 않는다. 즉, 외주 노광 영역(140)은 도금 패턴(150a)이 외부와 연통되는 것을 방지하는 데 역할을 한다.

제 5 공정이 끝나면, 본 실시예에 따르는 도금 방법의 제 6 공정으로 도금이 행해진다. 제 6 공정에서는, 먼저, 도금 패턴(150)이 형성된 반도체 웨이퍼(100)를 도금 지그(160)에 장착한다. 도금 지그(160)는 대략 마스크 지그(161)와 이면 덮개 지그(162)를 포함한다.

도 16a 및 도 16b는 각각, 본 발명의 실시예에 따르는 도금 방법에 사용된 도금 지그(160)의 마스크 지그(161)의 평면도와 측단면도이다.

도 16a 및 도 16b에 도시된 바와 같이, 마스크 지그(161)에는 중심보다 약간 낮은 위치에 개구부(164)가 형성된 마스크 본체(163)가 있다. 일례로서, 마스크 본체(163)는 수지로 형성된다. 외부 접속 단자(165)는 마스크 본체(163)의 상부에 배열되고, 밀봉 고무(167)와 금전 단자(166)는 개구부(164)의 주변에 환형으로 배열된다.

외부 접속 단자(165)와 급전 단자(166)는 전기 접속되어 있다. 또한, 급전 단자(166)는 밀봉 고무(167)의 바깥쪽에 배열된다.

또한, 복수의 나사 구멍(168)이 개구부(164)의 바깥쪽 위치에 형성된다. 이면 덮개 지그(162)를 고정시킬 때, 이 나사 구멍(168)으로 나사(도시 안됨)를 조인다.

도 17a와 도 17b는 각각, 본 발명의 실시예에 따르는 도금 방법에 사용된 도금 지그(160)의 이면 덮개 지그(162)의 평면도와 측단면도이다.

도 17a 및 17b에 도시된 바와 같이, 이면 덮개 지그(162)는 덮개 본체(170)와 고정 프레임(171)을 포함한다. 덮개 본체(170)는 원반 형태이며, 그 크기는 반도체 웨이퍼(100)의 직경보다 크게 설정된다. 또한, 덮개 본체(170)의 배면측에 후방 밀봉 고무(172)가 배열된다.

후방 밀봉 고무(172)는 후술하는 방법으로 반도체 웨이퍼(100)를 장착할 때 반도체 웨이퍼(100)의 후면 전체와 접촉하기 위하여 충분한 면적을 가진다. 또한, 관통 구멍(173)이 복수의 고정 프레임(171)의 단부에 형성된다(본 실시예에서는, 2개의 고정 프레임(171)이 있다).

다음으로, 도 18 및 도 19를 참조하여 도금 지그(160)에 반도체 웨이퍼(100)를 장착하는 절차를 설명한다.

도 18은 본 발명의 실시예에 따르는 도금 방법에 사용된 도금 지그(160)를 조립하는 방법을 나타내는 측단면도.

도 19는 반도체 웨이퍼(100)가 장착된 도금 지그(160)를 나타내는 측단면도이다.

반도체 웨이퍼(100)를 도금 지그(160)에 장착하기 위해서는, 먼저, 반도체 웨이퍼(100)를 마스크 지그(161)에 장착해야 한다.

반도체 웨이퍼(100)를 마스크 지그(161)에 장착할 때, 반도체 웨이퍼(100)의 네가티브 레지스트층(120)이 형성된 면이 밀봉 고무(167)를 대향하도록 배치된다. 또한, 이 공정에서, 밀봉 고무(167)는 밀봉 고무(167) 전체가 반도체 웨이퍼(100)와 접촉하도록 위치 결정되며, 반도체 웨이퍼(100) 상에 형성된 급전 전극(115)은 급전 단자(166)에 연결되도록 위치 결정된다.

다음으로, 도시되지 않은 나사를 사용하여 이면 덮개 지그(162)를 반도체 웨이퍼(100)가 장착된 마스크 지그(161)와 마주 보게 고정시킨다. 이 단계에서, 덮개 본체(170)의 배면측 상의 후방 밀봉 고무(172)는 반도체 웨이퍼(100)의 후면 전체와 접촉하도록 배치된다.

이런 식으로, 도 19에 도시된 바와 같이, 반도체 웨이퍼(100)가 도금 지그(160)에 장착된다.

상술한 바와 같이 도금 지그(160)에 반도체 웨이퍼(100)를 장착하면, 반도체 웨이퍼(100) 상에 도금 처리가 행해진다.

도 20은 본 발명의 실시예에 따르는 도금 장치와 도금 방법을 도시하는 개략도이다.

도 20에서, 반도체 웨이퍼(100)를 도금(전해 도금)하는 도금 장치(180)는 도금 탱크(181), 전원(183), 음극(184), 양극(185)을 포함한다. 여기에서는, 일례로서, 구리 도금을 설명한다. 즉, 도금액(182)은 구리 이온을 포함하고, 양극(185)은 구리로 되어 있다.

음극(184)은 도금 지그(160)의 외부 접속 단자(165)에 접속된다. 그러므로, 음극(184)은 외부 접속 단자(165), 급전 단자(166), 급전 전극(115)(도전층(110)의 일부로서)을 통하여 도전층(110)에 전기 접속된다. 또한, 도전층(110)은 네가티브 레지스트층(120)의 도금 패턴(150)이 형성된 위치에서 노출된다. 그러므로, 구리 이온은 음극을 띠는 도전층(110) 상에 퇴적되고, 도금 패턴(150)에 재배선 패턴이 형성된다.

도 21은 도금 지그(160)에 장착된 반도체 웨이퍼(100)의 확대된 사시도이다.

도 21은 도금 지그(160)에 장착된 반도체 웨이퍼(100)의 확대된 외주부를 나타낸다. 도해와 설명의 편의를 위해, 도 21에는 도금 지그의 밀봉 고무(167)만 도시한다.

상술한 바와 같이 본 실시예에서는, 제 4 공정(제 2 노광 공정)에서, 네가티브 레지스트층(120)의 외주부가 노광되므로, 반도체 웨이퍼(100) 상의 네가티브 레지스트층(120)의 에지에 환형의 외주 노광 영역(140)이 형성된다. 외주 노광 영역(140)은 댐 역할을 하고, 반도체 웨이퍼(100)의 에지에 있는 도금 패턴(150a)의 바깥쪽은 외주 노광 영역(140)에 의해 차단되며, 반도체 웨이퍼(100)의 에지에 있는 도금 패턴(150a)의 안쪽도 외주 노광 영역(140)에 의해 차단된다.

또한, 반도체 웨이퍼 상의 밀봉 고무(167)의 접촉 위치는 외주 노광 영역(140)의 안쪽에 위치하지 않도록 설정된다. 즉, 밀봉 고무(167)는 외주 노광 영역(140) 상의 금전 전극(115)의 안쪽에 위치한다.

이러한 구성 때문에, 도 21에 도시된 바와 같이, 반도체 웨이퍼(100)가 장착되어 있는 도금 지그(160)가 도금액(182)에 담궈질 때에도, 도금액(182)이 도금 패턴(150a)를 통하여 밀봉 고무(167)의 외부로 누출될 수 없다.

그러므로, 도금 지그(160)를 형성하는 금전 단자(166)가 도금액에 의해 부식되는 것을 방지할 수 있고, 반도체 웨이퍼(100)의 배면측에 도금액(182)이 접착되는 것을 방지할 수 있다. 또한, 네가티브 레지스트층(120)이 두께  $10 \mu\text{m}$  이상의 DFR인 경우에도, 외주 노광 영역(140)이 있기 때문에, 도금 공정에서 도금액(182)이 누출되는 것을 확실히 방지할 수 있다.

일례로서, 본 실시예에서, 네가티브 레지스트층(120)의 두께는  $30 \mu\text{m}$ 로 설정된다. 네가티브 레지스트층(120)의 두께가  $35 \mu\text{m}$  내지  $40 \mu\text{m}$ 인 경우라도, 도금 공정에서 도금액(182)이 누출되는 것을 확실히 방지할 수 있다는 것을 알 수 있다.

제 6 공정(도금 공정)이 끝난 후에, 네가티브 레지스트층(120)과 외주 노광 영역(140)은 제거된다. 이런 식으로, 도금 패턴(150)의 형태에 대응하는 형태를 가지는 재배선 패턴을 포함하는 반도체 웨이퍼(100)가 형성된다.

설명을 위해 특정 실시예를 선택하고 이를 참조하여 본 발명을 설명하였지만, 본 발명이 이러한 실시예로 한정되지 않으며, 본 분야의 기술을 가진 자들에 의해 본 발명의 기본 취지와 범위를 벗어나지 않는 수많은 변형물이 만들어질 수 있다는 것은 명백하다.

예를 들면, 상기에서는, 재배선 패턴을 형성하는 것을 예로 하여 본 발명을 설명하였으나, 본 발명은 재배선 패턴에 한정되지 않으며, 도전성 포스트, 범프 등의 전해 도금에 의해 형성될 수 있는 것들에 응용할 수 있다.

### 발명의 효과

본 발명에 따르면, 도금 공정에서 도금 패턴을 통하여 도금액이 누출되는 것을 확실히 방지할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

도금 방법에 있어서,

반도체 웨이퍼 상에 도전층을 형성하는 공정과,

상기 도전층 상에 네가티브 레지스트층을 형성하는 공정과,

상기 네가티브 레지스트층의 중심부를 노광하는 공정과,

상기 네가티브 레지스트층의 중심부를 노광하는 상기 공정 후에 상기 네가티브 레지스트층의 외주부를 노광하는 공정과,

소정의 도금 패턴을 형성하기 위해 상기 노광된 네가티브 레지스트층을 현상 처리하는 공정과,

상기 도금 패턴 상에 도금을 행하는 공정을 포함하는 것을 특징으로 하는 도금 방법.

### 청구항 2.

제 1 항에 있어서,

상기 네가티브 레지스트층의 두께는  $10 \mu\text{m}$  이상인 것을 특징으로 하는 도금 방법.

### 청구항 3.

제 2 항에 있어서,

상기 네가티브 레지스트층은 건식 막(dry film) 레지스트로 형성되는 것을 특징으로 하는 도금 방법.

### 청구항 4.

제 1 항에 있어서,

상기 도금을 행하는 공정에서, 밀봉형 도금 지그를 사용하는 것을 특징으로 하는 도금 방법.

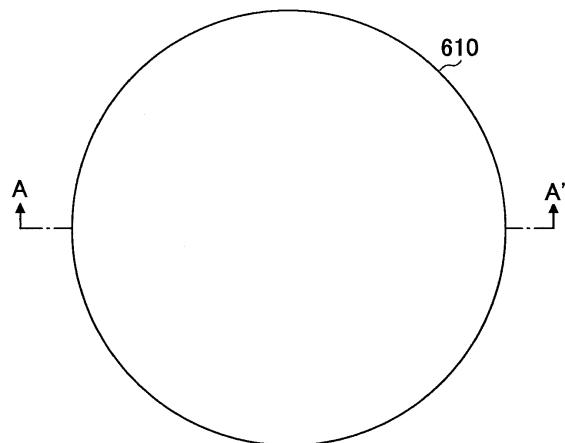
### 청구항 5.

제 1 항에 있어서,

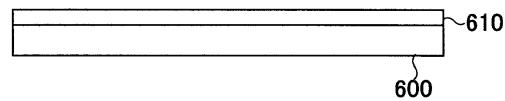
네가티브 레지스트층의 중심부를 노광시키는 공정에서, 스텝식 투영 노광 장치(projection lithography stepper)를 사용하여 네가티브 레지스트층의 하나의 단위 영역을 한번에 노광하는 것을 특징으로 하는 도금 방법.

**도면**

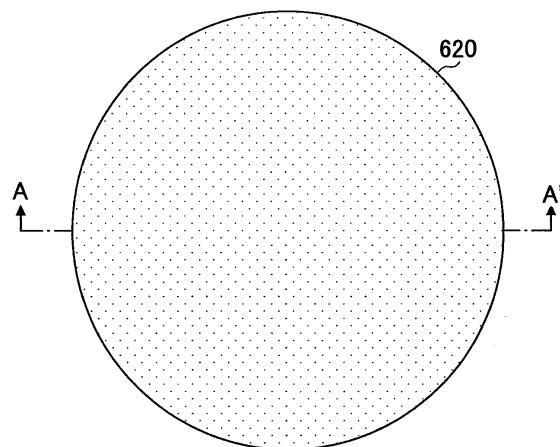
도면 1



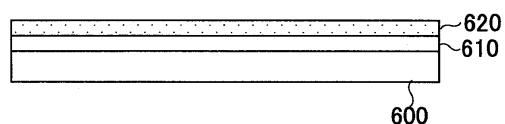
도면2



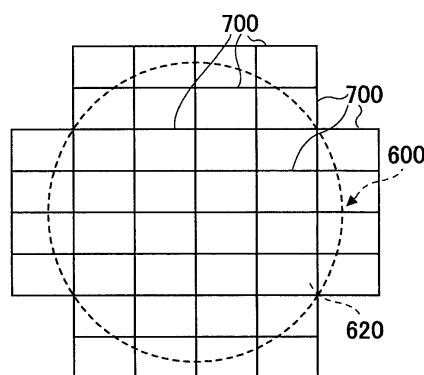
도면3



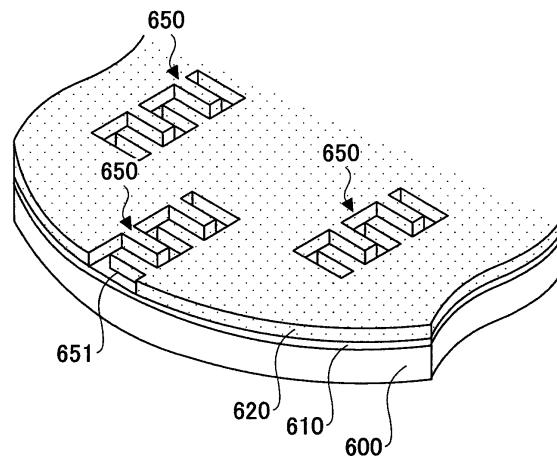
도면4



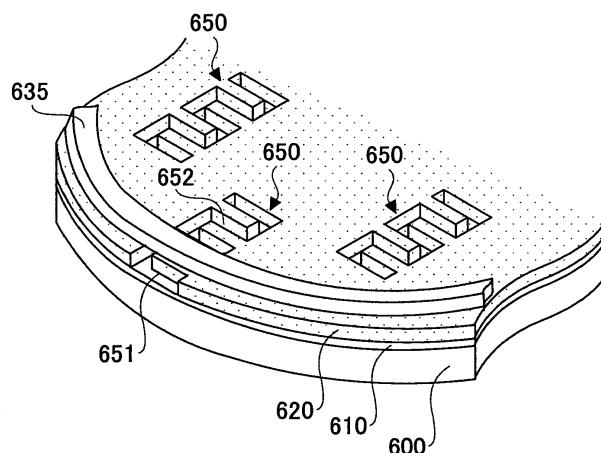
도면5



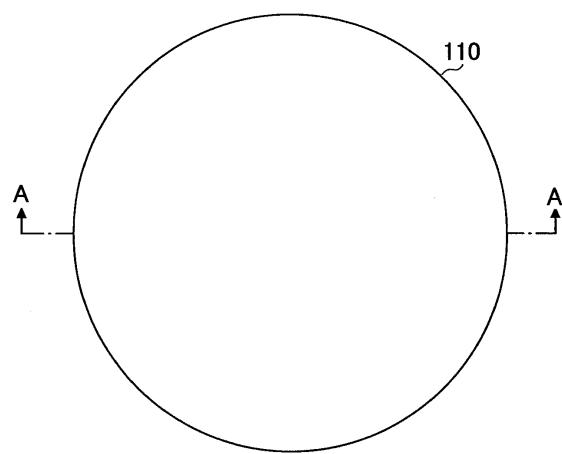
도면6



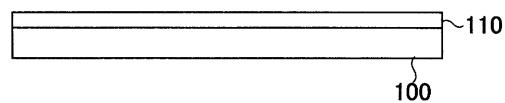
도면7



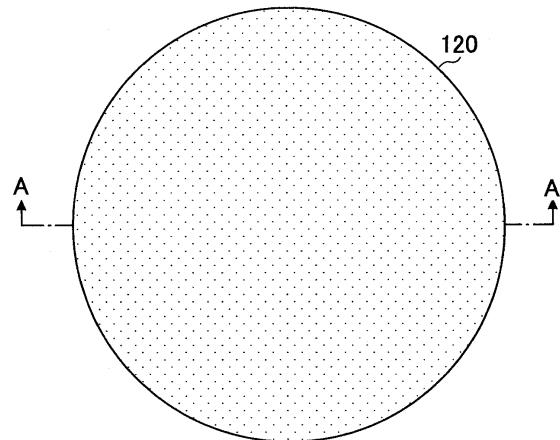
도면8



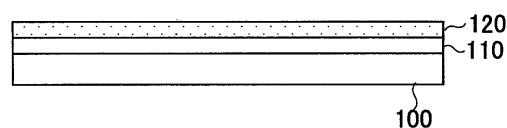
도면9



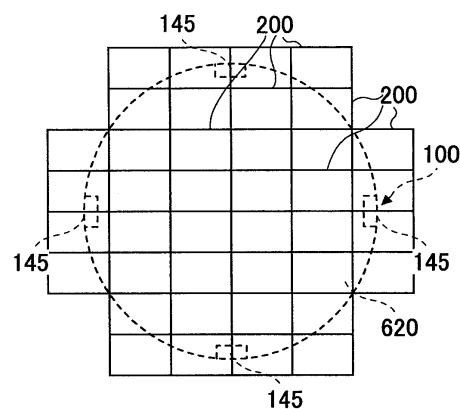
도면10



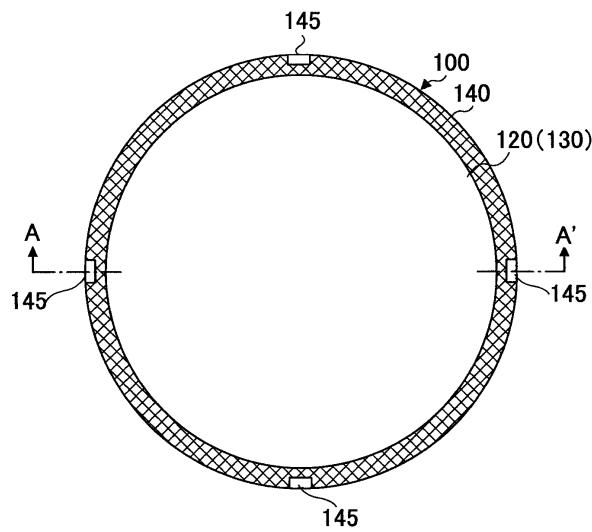
도면11



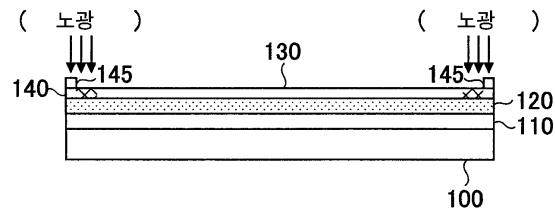
도면12



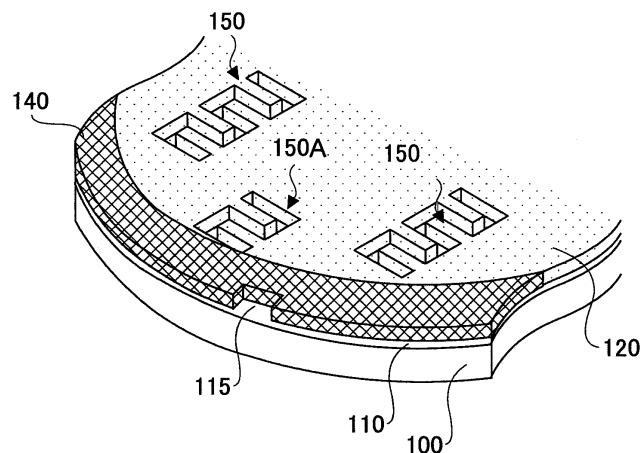
도면13



도면14



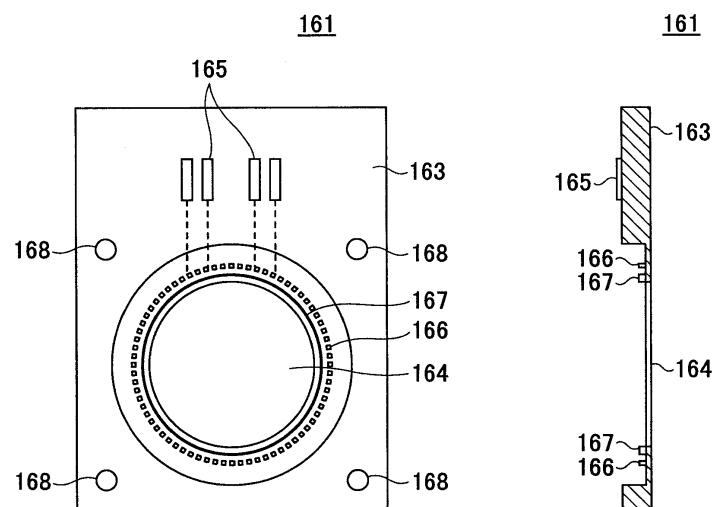
도면15



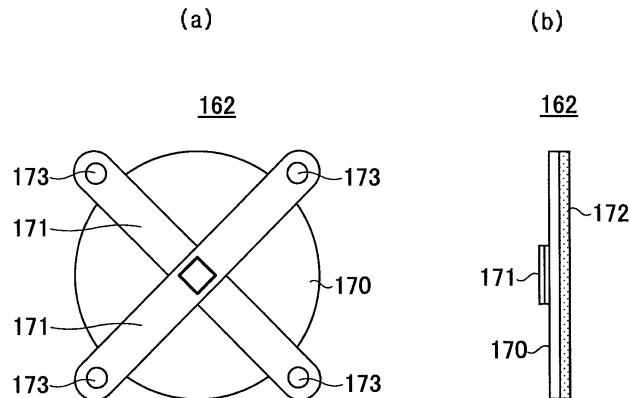
도면16

(a)

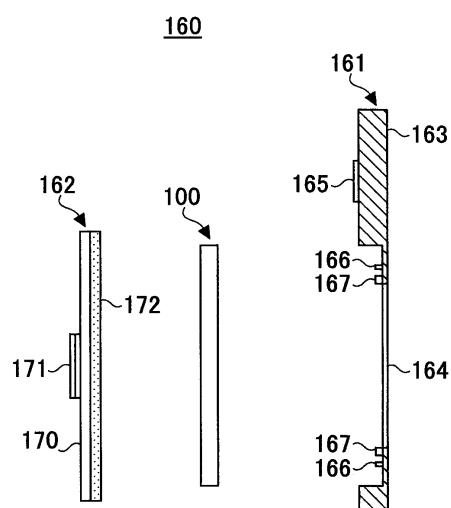
(b)



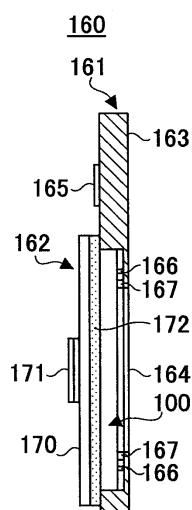
도면17



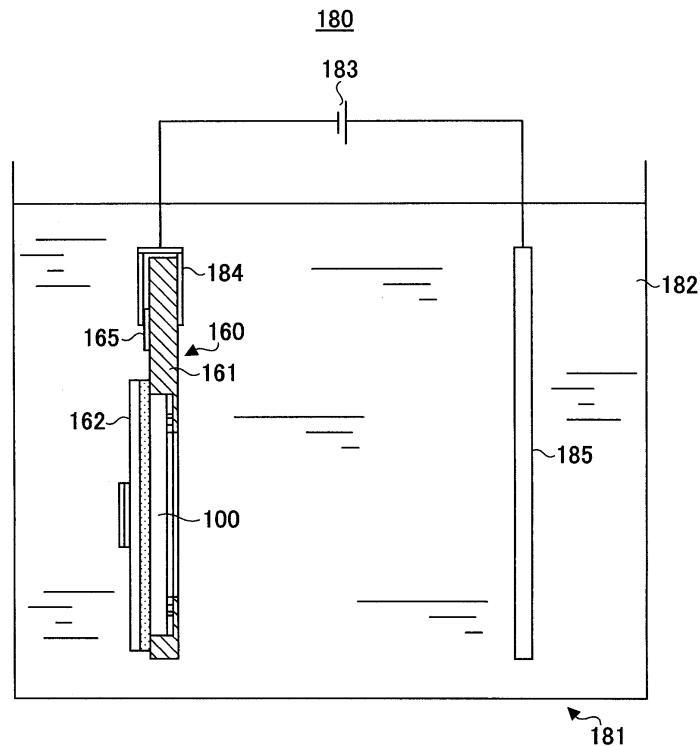
도면18



도면19



도면20



도면21

