

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5769818号  
(P5769818)

(45) 発行日 平成27年8月26日 (2015. 8. 26)

(24) 登録日 平成27年7月3日 (2015. 7. 3)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 2 S
HO 1 L 29/739 (2006. 01)	HO 1 L 29/78 6 5 2 C
HO 1 L 29/12 (2006. 01)	HO 1 L 29/78 6 5 2 F
	HO 1 L 29/78 6 5 2 B
	HO 1 L 29/78 6 5 5 A
	請求項の数 6 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2013-547021 (P2013-547021)  
 (86) (22) 出願日 平成24年9月24日 (2012. 9. 24)  
 (86) 国際出願番号 PCT/JP2012/074340  
 (87) 国際公開番号 W02013/080641  
 (87) 国際公開日 平成25年6月6日 (2013. 6. 6)  
 審査請求日 平成26年1月24日 (2014. 1. 24)  
 (31) 優先権主張番号 特願2011-263331 (P2011-263331)  
 (32) 優先日 平成23年12月1日 (2011. 12. 1)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100088672  
 弁理士 吉竹 英俊  
 (74) 代理人 100088845  
 弁理士 有田 貴弘  
 (72) 発明者 日野 史郎  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内  
 (72) 発明者 三浦 成久  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型または第2導電型の半導体基板(10)と、  
 前記半導体基板(10)上に形成された第1導電型のドリフト層(20)と、  
 前記ドリフト層(20)表層において周期的に複数配置された、平面視上の第1辺の長さがa、これと直交する平面視上の第2辺の長さがbの方形状の第2導電型のウェル領域(30)と、  
 各前記ウェル領域(30)表層に形成された第1導電型のソース領域(40)と、  
 各前記ソース領域(40)上から前記ドリフト層(20)上に亘って、ゲート絶縁膜(50)を介して形成されたゲート電極(60)と、  
 各前記ゲート電極(60)に対向する前記ウェル領域(30)に規定されたチャンネル領域とを備え、  
 前記第1辺の方向をx軸方向、前記第2辺の方向をy軸方向として、  
 前記x軸方向の各前記ウェル領域(30)間の距離がA、前記y軸方向の各前記ウェル領域(30)間の距離がBであり、  
 前記ウェル領域(30)の内の、x軸方向に第1ウェル領域に隣接する第2ウェル領域は、前記第1ウェル領域からy軸方向に0より大きくb+Bより小さい幅だけずれて配置され、  
 前記ウェル領域(30)の内の、y軸方向に第1ウェル領域に隣接する第3ウェル領域は、前記第1ウェル領域からx軸方向に0より大きくa+Aより小さい幅だけずれて配置

され、

共通のウェル領域(30)に前記y軸方向および前記x軸方向からそれぞれ隣接する前記ウェル領域(30)同士が、平面視において部分的に重なって配列され、

前記ソース領域(40)同士が、平面視において重なっていないことを特徴とする、半導体装置。

【請求項2】

第1導電型または第2導電型の半導体基板(10)と、

前記半導体基板(10)上に形成された第1導電型のドリフト層(20)と、

前記ドリフト層(20)表層において周期的に複数配置された、平面視上の第1辺の長さがa、これと直交する平面視上の第2辺の長さがbの方形の第2導電型のウェル領域(30)と、

各前記ウェル領域(30)表層に形成された第1導電型のソース領域(40)と、

各前記ソース領域(40)上から前記ドリフト層(20)上に亘って、ゲート絶縁膜(50)を介して形成されたゲート電極(60)と、

各前記ゲート電極(60)に対向する前記ウェル領域(30)に規定されたチャネル領域とを備え、

前記第1辺の方向をx軸方向、前記第2辺の方向をy軸方向として、

前記x軸方向の各前記ウェル領域(30)間の距離がA、前記y軸方向の各前記ウェル領域(30)間の距離がBであり、

前記ウェル領域(30)の内の、x軸方向に第1ウェル領域に隣接する第2ウェル領域は、前記第1ウェル領域からy軸方向に0より大きくb+Bより小さい幅だけずれて配置され、

前記ウェル領域(30)の内の、y軸方向に第1ウェル領域に隣接する第3ウェル領域は、前記第1ウェル領域からx軸方向に0より大きくa+Aより小さい幅だけずれて配置され、

各前記ウェル領域(30)が、平面視において互いに離間して配列されたことを特徴とする、

半導体装置。

【請求項3】

前記y軸方向で隣接する前記ウェル領域(30)の、前記x軸方向のずれ長を $L_{ox}$ とし、

前記x軸方向で隣接する前記ウェル領域(30)の、前記y軸方向のずれ長を $L_{oy}$ とし、

前記ウェル領域(30)同士の、前記x軸方向の距離を $L_{jx}$ 、前記y軸方向の距離を $L_{jy}$ とし、

各前記ウェル領域(30)表層の、前記ソース領域(40)との間に形成される前記x軸方向のチャネル長を $L_{chx}$ 、前記y軸方向のチャネル長を $L_{chy}$ とする場合、

$0 < L_{ox} < L_{chx} + L_{jx}$ 、かつ、 $0 < L_{oy} < L_{chy} + L_{jy}$ であることを特徴とする、

請求項1または請求項2に記載の半導体装置。

【請求項4】

装置構造が、MOSFETおよびIGBTのいずれかであることを特徴とする、

請求項1または請求項2に記載の半導体装置。

【請求項5】

前記半導体基板(10)および前記ドリフト層(20)が、ワイドバンドギャップ半導体からなることを特徴とする、

請求項1または請求項2に記載の半導体装置。

【請求項6】

前記半導体基板(10)および前記ドリフト層(20)が、炭化珪素からなることを特徴とする、

10

20

30

40

50

請求項 1 または請求項 2 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、炭化珪素を用いた電力用半導体装置に関するものである。

【背景技術】

【0002】

縦型 MOSFET、IGBT など、チャンネルを有する縦型半導体装置で、チャンネルが主面と平行な方向に形成される、一般にプレーナ型と呼ばれる構造では、チャンネル抵抗を低減するために高いチャンネル幅密度を有する平面レイアウトが望まれている。

10

【0003】

当該レイアウトを形成する方法として、例えば特許文献 1 および特許文献 2 に開示されるような、ウェル領域を平面視で四角形セル形状とし、碁盤目状に当該ウェル領域を配置することで、互いに直交する 2 直線上の方向にチャンネルを形成する（以下、碁盤目配置）というものが広く知られている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 1 - 2 1 1 9 7 8 号公報

20

【特許文献 2】特開平 5 - 2 3 5 3 6 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 に示された方法では、ウェル領域の間に形成される JFET 領域が網目状に形成されるが、その網目の交点にあたる位置では、逆バイアス印加時にゲート絶縁膜に高い電界が印加されることとなり、ゲート絶縁膜が損傷しやすいという問題があった。

【0006】

一方、チャンネル幅密度は、ユニットセル内のチャンネル幅を、セル面積（2 方向のセルピッチの積）で除した値で決まるため、更なるチャンネル幅密度の増大には、セルピッチを縮小する必要があるが、加工精度の問題などから必ずしも容易ではない。

30

【0007】

碁盤目配置で、さらにチャンネル幅密度を増大させる方法として、特許文献 2 で開示されるように、対角線上に配置されたセルを連続的に形成するものがある。

【0008】

しかし、当該方法を用いた場合、セル間を接続する領域のウェルに形成されるチャンネルは、それ以外の領域に形成されるチャンネルに対して、ソース電極と半導体層との接触領域からの距離が長くなるため、寄生抵抗の増大やスイッチング時の遅延により、導通損失やスイッチング損失の増大が懸念される。

【0009】

40

本発明は、上記のような問題を解決するためになされたものであり、導通損失やスイッチング損失の増大を抑制しつつ、装置の信頼性を向上させることができる半導体装置の提供を目的とする。

【課題を解決するための手段】

【0010】

本発明の一態様に関する半導体装置は、第 1 導電型または第 2 導電型の半導体基板と、前記半導体基板上に形成された第 1 導電型のドリフト層と、前記ドリフト層表層において周期的に複数配置された、平面視上の第 1 辺の長さが a、これと直交する平面視上の第 2 辺の長さが b の形状の第 2 導電型のウェル領域と、各前記ウェル領域表層に形成された第 1 導電型のソース領域と、各前記ソース領域上から前記ドリフト層上に亘って、ゲート

50

絶縁膜を介して形成されたゲート電極と、各前記ゲート電極に対向する前記ウェル領域に規定されたチャンネル領域とを備え、前記第1辺の方向をx軸方向、前記第2辺の方向をy軸方向として、前記x軸方向の各前記ウェル領域間の距離がA、前記y軸方向の各前記ウェル領域間の距離がBであり、前記ウェル領域の内の、x軸方向に第1ウェル領域に隣接する第2ウェル領域は、前記第1ウェル領域からy軸方向に0より大きくb+Bより小さい幅だけずれて配置され、前記ウェル領域の内の、y軸方向に第1ウェル領域に隣接する第3ウェル領域は、前記第1ウェル領域からx軸方向に0より大きくa+Aより小さい幅だけずれて配置され、共通のウェル領域に前記y軸方向および前記x軸方向からそれぞれ隣接する前記ウェル領域同士が、平面視において部分的に重なって配列され、前記ソース領域同士が、平面視において重なっていないことを特徴とする。

10

本発明の別の態様に関する半導体装置は、第1導電型または第2導電型の半導体基板と、前記半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表層において周期的に複数配置された、平面視上の第1辺の長さがa、これと直交する平面視上の第2辺の長さがbの形状の第2導電型のウェル領域と、各前記ウェル領域表層に形成された第1導電型のソース領域と、各前記ソース領域上から前記ドリフト層上に亘って、ゲート絶縁膜を介して形成されたゲート電極と、各前記ゲート電極に対向する前記ウェル領域に規定されたチャンネル領域とを備え、前記第1辺の方向をx軸方向、前記第2辺の方向をy軸方向として、前記x軸方向の各前記ウェル領域間の距離がA、前記y軸方向の各前記ウェル領域間の距離がBであり、前記ウェル領域の内の、x軸方向に第1ウェル領域に隣接する第2ウェル領域は、前記第1ウェル領域からy軸方向に0より大きくb+Bより小さい幅だけずれて配置され、前記ウェル領域の内の、y軸方向に第1ウェル領域に隣接する第3ウェル領域は、前記第1ウェル領域からx軸方向に0より大きくa+Aより小さい幅だけずれて配置され、各前記ウェル領域が、平面視において互いに離間して配列されたことを特徴とする。

20

【発明の効果】

【0011】

本発明にかかる半導体装置によれば、導通損失やスイッチング損失の増大を抑制しつつ、装置の信頼性を向上させることができる。

【0012】

本発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

30

【図面の簡単な説明】

【0013】

【図1】半導体装置の断面構造を模式的に示す図である。

【図2】本発明の前提技術となる半導体装置の平面構造を模式的に示す図である。

【図3】半導体装置の平面構造を模式的に示す図である。

【図4】半導体装置の平面構造を模式的に示す図である。

【図5】半導体装置の平面構造を模式的に示す図である。

【図6】半導体装置の平面構造を模式的に示す図である。

【図7】半導体装置の平面構造を模式的に示す図である。

40

【図8】半導体装置の平面構造を模式的に示す図である。

【図9】本発明の前提技術となる半導体装置の平面構造を模式的に示す図である。

【図10】本発明の前提技術となる半導体装置の平面構造を模式的に示す図である。

【図11】半導体装置の平面構造における、各長さを説明する図である。

【図12】点Yおよび距離aのオフセット長依存性を模式的に示す図である。

【図13】ユニットセル面積およびセル内のチャンネル幅に相当する長さの、オフセット長依存性を模式的に示す図である。

【図14】チャンネル幅密度のオフセット長依存性を示す図である。

【発明を実施するための形態】

【0014】

50

< 実施の形態 1 >

< 構成 >

図 1 は、本発明の実施の形態 1 における、半導体装置の断面模式図である。本実施の形態においては、第 1 導電型を n 型、第 2 導電型を p 型とし、炭化珪素を用いた縦型 MOSFET として説明するが、導電型は逆であってもよいし、半導体装置も当該 MOSFET に限られるものではない。

【 0 0 1 5 】

図 1 において、4H のポリタイプを有する、n 型で低抵抗の、炭化珪素からなる半導体基板 10 の第 1 主面（図における上面）上に、n 型の炭化珪素からなるドリフト層 20 が形成されている。半導体基板 10 は、第 1 主面の面方位が (0001) 面で c 軸方向に対して、4° 傾斜されている。

10

【 0 0 1 6 】

ドリフト層 20 表面には、第 1 不純物であるアルミニウム (Al) を p 型不純物として含有する複数の p 型のウェル領域 30 が、離間、すなわち互いにある幅だけ間隔をあけて、かつ、周期的に形成されている。

【 0 0 1 7 】

また、各ウェル領域 30 断面の表層部内側には、第 2 不純物である窒素 (N) を n 型不純物として含有する n 型のソース領域 40 が、ウェル領域 30 より浅く形成されている。

【 0 0 1 8 】

また、ウェル領域 30 の内側で、望ましくはソース領域 40 の内側には、第 1 不純物であるアルミニウム (Al) を p 型不純物として含有するウェルコンタクト領域 35 が形成されている。ウェル領域 30 とその内側に形成されたウェルコンタクト領域 35 とは、電氣的に短絡している。

20

【 0 0 1 9 】

また、ウェル領域 30、ソース領域 40、ウェルコンタクト領域 35 を含むドリフト層 20 表面には、ソース領域 40 表面の一部を除き、酸化珪素で構成されるゲート絶縁膜 50 が形成されている。

【 0 0 2 0 】

さらに、ゲート絶縁膜 50 上には、一对のソース領域 40 に挟まれた領域に対応してゲート電極 60 が形成されている。

30

【 0 0 2 1 】

また、ゲート絶縁膜 50 が形成されていないソース領域 40 およびウェルコンタクト領域 35 の表面にはソース電極 70 が形成されている。ソース電極 70 は、ゲート電極 60 を層間絶縁膜 90 を介して覆うように形成されている。

【 0 0 2 2 】

また、半導体基板 10 の第 1 主面と反対側の第 2 主面、すなわち、裏面側にはドレイン電極 80 がそれぞれ形成されている。

【 0 0 2 3 】

ここで、図 1 において、ウェル領域 30 のうちゲート絶縁膜 50 を介してゲート電極 60 と対向し、半導体装置のオン動作時に反転層が形成される領域をチャンネル領域（図 1 における P）という。また、隣接する 2 つのウェル領域 30 に挟まれた n 型の領域を JFET 領域（図 1 における Q）と呼び、オン動作時（オン状態）にオン電流が流れる経路となる。逆に半導体装置のオフ状態では、ウェル領域 30 から JFET 領域に向かって空乏層が伸び、JFET 領域上に形成されるゲート絶縁膜 50 に対して高い電界強度が印加されるのを防ぐ。

40

【 0 0 2 4 】

ここで、JFET 領域の幅、すなわち隣接する 2 つのウェル領域 30 の間隔を JFET 長、ウェル領域 30 とその内側のソース領域 40 との、ウェル領域 30 表層における間隔をチャンネル長、と呼ぶ。また、ウェル領域 30 やソース領域 40 が形成される周期、すなわち、1 つのウェル領域 30 の幅と JFET 長とを足した長さを、セルピッチと呼ぶ。

50

## 【 0 0 2 5 】

本実施の形態において図示はしないが、ウェル領域 30 が周期的に並ぶ領域に対する素子の外周側には、配線や耐圧終端の目的から、オン状態でオン電流を流さない領域（周辺領域）が形成される。これと区別するために、ウェル領域 30 が周期的に並ぶ領域を活性領域と呼ぶ。

## 【 0 0 2 6 】

< 動作 >

次に、本実施の形態における半導体装置の動作を説明する。

## 【 0 0 2 7 】

図 1 に示す縦型 MOSFET のゲート電極 60 に、閾値電圧以上のプラス電圧が印加されると、チャンネル領域に反転層が形成され、n 型のソース領域 40 と n 型のドリフト層 20 との間に、キャリアである電子が流れる経路が形成される。

10

## 【 0 0 2 8 】

ソース領域 40 からドリフト層 20 へ流れ込む電子は、ドレイン電極 80 に印加されるプラス電圧により形成される電界に従ってドリフト層 20 および半導体基板 10 を経由してドレイン電極 80 に到達する。したがって、ゲート電極 60 にプラス電圧を印加することにより、ドレイン電極 80 からソース電極 70 にオン電流が流れる。この状態をオン状態と呼ぶ。

## 【 0 0 2 9 】

反対に、ゲート電極 60 に閾値電圧以下の電圧が印加されると、チャンネル領域に反転層が形成されないため、ドレイン電極 80 からソース電極 70 に電流が流れない。この状態をオフ状態と呼ぶ。このとき、ドレイン電極 80 に印加されるプラス電圧のために、ドリフト層 20 とウェル領域 30 との間の p n 接合から空乏層が伸びる。

20

## 【 0 0 3 0 】

< 製造方法 >

つづいて、実施の形態 1 の炭化珪素半導体装置である縦型 MOSFET の製造方法について説明する。

## 【 0 0 3 1 】

まず、第 1 主面の面方位が ( 0 0 0 1 ) 面であり、4 H のポリタイプを有する、n 型で低抵抗の、半導体基板 10 の表面上に、化学気相堆積 ( Chemical Vapor Deposition : CVD ) 法により、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$  の n 型の不純物濃度、5 ~ 50  $\mu\text{m}$  の厚さのドリフト層 20 をエピタキシャル成長する。

30

## 【 0 0 3 2 】

次に、ドリフト層 20 の表面にフォトレジストなどにより注入マスクを形成し、p 型の第 1 不純物である Al をイオン注入する。このとき、Al のイオン注入の深さはドリフト層 20 の厚さを超えない 0.5 ~ 3  $\mu\text{m}$  程度とする。また、イオン注入された Al の不純物濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$  の範囲でドリフト層 20 の n 型不純物濃度より多いものとする。

## 【 0 0 3 3 】

その後、注入マスクを除去する。本工程により Al がイオン注入された領域がウェル領域 30 となる。

40

## 【 0 0 3 4 】

次に、ドリフト層 20 表面にフォトレジストなどにより注入マスクを形成し、n 型の第 2 不純物である N をイオン注入する。N のイオン注入深さはウェル領域 30 の厚さより浅いものとする。また、イオン注入した N の不純物濃度は、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$  の範囲でウェル領域 30 の p 型不純物濃度を超えるものとする。ドリフト層 20 内の N が注入された領域のうち n 型を示す領域がソース領域 40 となる。

## 【 0 0 3 5 】

次に、ドリフト層 20 表面にフォトレジストなどにより注入マスクを形成し、p 型の第 1 不純物である Al をイオン注入し、注入マスクを除去する。本工程によってドリフト層

50

20内にAlが注入された領域がウェルコンタクト領域35となる。

【0036】

ウェルコンタクト領域35は、ウェル領域30およびソース電極70との良好な電氣的接触を得るために設けるもので、ウェル領域30 p型不純物濃度より高濃度の不純物濃度に設定することが望ましい。不純物をイオン注入する際には、ウェルコンタクト領域35を低抵抗化する目的で、半導体基板10を150 以上に加熱してイオン注入することが望ましい。

【0037】

次に、熱処理装置によって、アルゴン(Ar)ガスなどの不活性ガス雰囲気中で1300~1900、30秒~1時間のアニールを行う。このアニールにより、イオン注入されたN、Alを活性化させる。

10

【0038】

つづいて、ウェル領域30、ソース領域40、ウェルコンタクト領域35を含むドリフト層20の表面を熱酸化して所望の厚みのゲート絶縁膜50を形成する。

【0039】

次に、ゲート絶縁膜50の上に、導電性を有する多結晶珪素膜を減圧CVD法により形成し、これをパターニングすることによりゲート電極60を形成する。その後、ゲート絶縁膜50に開口する。

【0040】

最後に、ソース領域40およびウェルコンタクト領域35に電氣的に接続されるソース電極70を形成し、また、半導体基板10の裏面側にドレイン電極80を形成して、図1に示す縦型MOSFETが完成する。ここで、ソース電極70およびドレイン電極80となる材料としてはAl合金などが挙げられる。

20

【0041】

<平面構造1>

図2は、本発明の前提技術となる、縦型MOSFETの活性領域を主面側から見た平面模式図である。簡単のために、ウェル領域30およびソース領域40に着目し、周辺の構成については図示を省略する。ここでウェル領域30およびソース領域40は、図2に示されるような正確な正方形(方形状)である必要はなく、辺の一部に曲線を含む形状、または、一部が欠けた形状、平行四辺形等を含むものとする。

30

【0042】

チャンネル方向に平行で、互いに直交するx軸方向、y軸方向を図2のように定義したとき、ウェル領域30のうちの1つであるウェル領域A(図2においてAと表示)に対して、横の並び方向で隣接するウェル領域B(図2においてBと表示)は、y軸方向にずれておらず、縦の並び方向で隣接するウェル領域C(図2においてCと表示)もx軸方向にずれていない。すなわち各ウェル領域30は、横の並び方向はx軸に沿い、縦の並び方向はy軸に沿う、碁盤目配置で配置されている。

【0043】

このとき、JFET領域において、隣接するどのウェル領域30からの距離も等距離となる点の集合による線を中央線と定義すると、配列の単位構造となるユニットセルは、当該中央線によって囲まれた領域となる(図2におけるR)。

40

【0044】

チャンネル幅密度は、ソース領域40の平面視における外周長(図2におけるS)をユニットセル(図2におけるR)の面積で除した値となる。

【0045】

図3は、本発明の縦型MOSFETの活性領域を主面側から見た平面模式図である。簡単のために、ウェル領域30およびソース領域40に着目し、周辺の構成については図示を省略する。

【0046】

本実施の形態では、ウェル領域Aに対して横の並び方向で隣接するウェル領域Bは、y

50

軸方向に長さ  $L_o y$  だけずれて配置されており、ウェル領域 A に対して縦の並び方向で隣接するウェル領域 C は、 $x$  軸方向に長さ  $L_o x$  だけずれて配置されている。また、横の並び方向と縦の並び方向とは、直交しない関係になっている。

【0047】

この配置では、ウェル領域 B とウェル領域 C とは離間されているものの、その間隔は碁盤目配置の場合に比べ短くなっている。当該配置を本実施配置と呼ぶ。本実施配置におけるユニットセルは、図 3 に示すように中央線 R に囲まれた領域となる。

【0048】

図 2 に示す碁盤目配置と、図 3 に示す本実施配置とを、チャンネル幅密度について比較する。

10

【0049】

図 4 に、図 3 に示したユニットセルの形状を簡易化したものを示す。図 4 に示すように、本実施配置でのユニットセルの面積は、碁盤目配置のユニットセルの形状（四角形状）から、直交する長さ  $L_o x$  および長さ  $L_o y$  の辺を有する直角三角形を 2 つ差し引いた六角形状（図 4 においては、左上および右下が差し引かれている）となり、碁盤目配置のユニットセルの面積（四角形状）に対して小さくなる。

【0050】

一方、本実施配置でのユニットセル内のチャンネル幅（図 3 および図 4 において、S で表示するソース領域 40 の外周長）は、碁盤目配置の場合のユニットセルと同じである（図 2 参照）から、ユニットセルの面積が小さい分、碁盤目配置の場合に比べて本実施配置の場合が、チャンネル幅密度は大きくなる。

20

【0051】

次に、碁盤目配置と本実施配置とを、J F E T 領域上のゲート絶縁膜 50 の信頼性について比較する。

【0052】

碁盤目配置では、直交する中央線の交点（図 2 における点 Y）が、各ユニットセルにおいて、隣接するウェル領域 30 からの距離が最も遠くなる J F E T 領域上の点である。よってこの点が、オフ状態においてゲート絶縁膜 50 にかかる電界強度が最も高くなる。

【0053】

一方で、本実施配置では、図 3 に示す中央線上の点 Y が、隣接するウェル領域 30 からの距離が最も遠くなる J F E T 領域上の点である。よってこの点が、オフ状態においてゲート絶縁膜 50 にかかる電界強度が最も高くなるが、碁盤目配置における点 Y よりも、最も近いウェル領域 30 までの距離が小さくなる（より具体的には後述する）。

30

【0054】

隣接するウェル領域 30 までの距離が遠い J F E T 領域内の点では、オフ状態においてウェル領域 30 から空乏層が伸びにくいいため、直上のゲート絶縁膜 50 に対して高い電界強度が印加されやすい。つまり、オフ状態においてゲート絶縁膜 50 にかかる電界強度の最大値は、本実施配置の方が小さくなり、高い信頼性を得ることができる。

【0055】

以上より、本実施の形態に示すセル配置を用いることで、チャンネル幅密度の増加と、信頼性の向上を同時に得ることができる。

40

【0056】

< 平面構造 2 >

図 5 は、本発明の縦型 M O S F E T の活性領域を主面側から見た平面模式図である。簡単のために、ウェル領域 30 およびソース領域 40 に着目し、周辺の構成については図示を省略する。

【0057】

図 5 に示す構造では、図 3 に示した場合と同様に、ウェル領域 A に対して横の並び方向で隣接するウェル領域 B は、 $y$  軸方向に長さ  $L_o y$  だけずれて配置されており、ウェル領域 A に対して縦の並び方向で隣接するウェル領域 C は、 $x$  軸方向に長さ  $L_o x$  だけずれて

50



配置されている。図3と異なる点は、長さ $L_o x$ または長さ $L_o y$ のいずれか、またはその両方が図3における場合より大きいため、ウェル領域Bとウェル領域Cとが互いに重なっており、それぞれのウェル領域の形状が四角形状ではなくなっている点である。これは、ウェル領域Bとウェル領域Cとが重なり、それらの論理和の領域を繋げたウェル領域とすることで実現される。ユニットセルの境界は図示のとおりとなる(図5におけるR)。

【0058】

図6に、図5に示したユニットセルの形状を簡易化したものを示す。図6の場合では、図4の場合に比べ、差し引く直角三角形の面積が大きくなることから、さらにユニットセルを小さくすることができる。チャンネル幅はそのままであるから、チャンネル幅密度は大きくなる。

10

【0059】

また図5に示すように、隣接するウェル領域30からの距離が最も遠くなるJFET領域上の点Yは、碁盤目配置における点Yよりも、最も近いウェル領域30までの距離が小さくなる(より具体的には後述する)。よって、オフ状態においてゲート絶縁膜50にかかる電界強度の最大値は小さくなり、高い信頼性を得ることができる。

【0060】

以上より、本実施の形態に示すセル配置を用いることで、チャンネル幅密度の増加と、信頼性の向上を同時に得ることができる。

【0061】

<平面構造3>

20

図7は、本発明の縦型MOSFETの活性領域を主面側から見た平面模式図である。簡単のために、ウェル領域30およびソース領域40に着目し、周辺の構成については図示を省略する。

【0062】

図7に示す構造では、図3に示した場合と同様に、ウェル領域Aに対して横の並び方向で隣接するウェル領域Bは、y軸方向に長さ $L_o y$ だけずれて配置されており、ウェル領域Aに対して縦の並び方向で隣接するウェル領域Cは、x軸方向に長さ $L_o x$ だけずれて配置されている。図3および図5と異なる点は、長さ $L_o x$ または長さ $L_o y$ のいずれか、またはその両方が図3および図5における場合より大きいため、ウェル領域Bとウェル領域Cとが互いに重なっており、さらにウェル領域B内のソース領域とウェル領域C内のソース領域とが互いに重なっている点である。これは、ウェル領域B内のソース領域とウェル領域C内のソース領域とが重なり、それらの論理和の領域を繋げたソース領域とすることで実現される。ユニットセルの境界は図示のとおりとなる(図7におけるR)。

30

【0063】

図8に、図7に示したユニットセルの形状を簡易化したものを示す。図8の場合では、図4および図6の場合に比べ、差し引く直角三角形の面積が大きくなることから、さらにユニットセルを小さくすることができる。よってチャンネル幅が同程度であれば、チャンネル幅密度は大きくなる。

【0064】

また図7に示すように、隣接するウェル領域30からの距離が最も遠くなるJFET領域上の点Yは、碁盤目配置における点Yよりも、最も近いウェル領域30までの距離が小さくなる(より具体的には後述する)。よって、オフ状態においてゲート絶縁膜50にかかる電界強度の最大値は小さくなり、高い信頼性を得ることができる。

40

【0065】

以上より、本実施の形態に示すセル配置を用いることで、チャンネル幅密度の増加と、信頼性の向上を同時に得ることができる。

【0066】

<詳細説明>

MOSFETがオン状態のときに生じる導通損失は、ソースおよびドレイン間の抵抗、すなわちオン抵抗を小さくすることで低減される。チャンネル抵抗はオン抵抗を構成する抵

50

抗成分の1つであり、低減が望まれる。

【0067】

特に炭化珪素を用いたMOSFETでは、酸化膜と炭化珪素の界面特性が好ましくないことから高いチャネル移動度が得られておらず、結果的に高いチャネル抵抗となりやすいことが広く知られており、その改善が望まれる。

【0068】

チャネル抵抗を減らす方法の一つとして、チャネル幅密度を増大させることが挙げられる。チャネル幅密度とは、活性領域内に存在する全てのチャネルの幅を、活性領域の面積で除した値である。一般に電力用半導体素子では、同じ形状のユニットセルが周期的に並ぶことから、ユニットセル内のチャネル幅をユニットセルの面積で除すことで、チャネル幅密度が求まる。

10

【0069】

チャネル幅密度を高める方法は、微細化とセル配置の工夫の2つに大別される。

【0070】

微細化は、JFET長やチャネル長などの寸法を小さくすることでセルピッチを縮小する方法であるが、微細加工技術の限界やデバイス特性の劣化などの点で限度を制限される。

【0071】

以下では、セル配置の工夫によりチャネル幅密度を増加させる方法を詳細に説明する。まず、セル配置の工夫によるチャネル幅密度の向上について、櫛型配置（ウェル領域を短冊状に形成し、1直線方向のみにチャネルを形成する）と碁盤目配置を例に挙げて説明する。

20

【0072】

図9および図10は、櫛型配置（図9）および碁盤目配置（図10）におけるウェル領域30とソース領域40の平面配置を図示したものである。ここでは、どちらの配置においても、セルピッチを16 $\mu\text{m}$ 、チャネル長を1 $\mu\text{m}$ 、JFET長を4 $\mu\text{m}$ と仮定する。

【0073】

櫛型配置の場合、チャネルはセルピッチ16 $\mu\text{m}$ の周期内に2本存在するため、チャネル幅密度は、2を16 $\mu\text{m}$ で除した0.125 $\mu\text{m}^{-1}$ と求まる（図9参照）。

【0074】

一方、碁盤目配置の場合、16 $\mu\text{m}$ 四方の面積を有するユニットセル内に、1辺10 $\mu\text{m}$ のチャネルが4本存在するため、40 $\mu\text{m}$ を16 $\mu\text{m}$ の二乗で除した0.156 $\mu\text{m}^{-1}$ がチャネル幅密度である（図10参照）。

30

【0075】

すなわち、同じセルピッチを用いても、碁盤目配置を用いた方がチャネル幅密度を増やすことができることを意味する。

【0076】

MOSFETがオフの状態において、ドレイン電極80には数百から数千ボルトの高い電圧が発生する。このとき、接地されたソース電極70と電氣的に短絡されているウェル領域30から、ドリフト層20に向かって伸びる空乏層が発生し、ドレイン電極80とソース電極70の間にかかる電圧を遮断する。

40

【0077】

特筆すべきは、この空乏層はウェル領域30からJFET領域に向かっても伸びることでドレイン電圧を遮蔽し、略0ボルトのゲート電極60とJFET領域に挟まれた領域に存在するゲート絶縁膜50に対して、発生する電界強度を低減する働きがあることである。

【0078】

JFET長が広い場合、この遮蔽効果は起こりにくくなることから、JFET領域の直上のゲート絶縁膜50には高電界が発生し、ゲート絶縁膜50の破壊が起こりやすくなる。

50

## 【 0 0 7 9 】

これは、絶縁破壊電界が高く、半導体中の電界強度が高くなるように設計される、炭化珪素を含むワイドバンドギャップ半導体素子では、ゲート絶縁膜50にかかる電界強度も高くなり易いため、特に問題となり易い。

## 【 0 0 8 0 】

前述の碁盤目配置に着目すると、JFET領域が網目状に形成されることから、隣接するウェル領域30からの距離も等距離となる点の集合による線である中央線の、その交点は、JFET領域中の他の点に比べ、ウェル領域30までの距離が長い。具体的には、中央線の交点から最も近いウェル領域30までの距離は、他の中央線上の点に比べて最大で2倍だけ大きい。このため、中央線の交点の直上のゲート絶縁膜50には、オフ状態

10

## 【 0 0 8 1 】

次に本発明の本実施配置について述べる。

## 【 0 0 8 2 】

図11に示すように、チャンネルに平行で、互いに直交するx軸方向、y軸方向を定義し、x軸方向のセルピッチをセルピッチ $P_x$ 、y軸方向のセルピッチをセルピッチ $P_y$ と定義する。

## 【 0 0 8 3 】

またx軸方向、y軸方向のチャンネル長をそれぞれチャンネル長 $L_{chx}$ 、チャンネル長 $L_{chy}$ 、x軸方向、y軸方向のJFET長をそれぞれJFET長 $L_{jx}$ 、JFET長 $L_{jy}$ とする。以下、チャンネル長 $L_{chx}$ およびチャンネル長 $L_{chy}$ をチャンネル長 $L_{ch}$ 、JFET長 $L_{jx}$ およびJFET長 $L_{jy}$ をJFET長 $L_j$ と記載することもある。

20

## 【 0 0 8 4 】

ウェル領域30のうちの一つである、あるウェル領域Aから見て、横の並び方向(図11では、 $+x (> 0)$ 側)で隣接するウェル領域Bが、y軸方向に $+L_{oy} (> 0)$ だけずれており、縦の並び方向(図11では、 $+y (> 0)$ 側)で隣接するウェル領域Cが、x軸方向に $+L_{ox} (> 0)$ だけずれている。この長さ $L_{ox}$ および長さ $L_{oy}$ をオフセット長と呼ぶ。

## 【 0 0 8 5 】

図11に示す平面図に、各長さに対応する位置を矢印で示す。なお、「横の並び方向で隣接するウェル領域」とは、図11においてx軸方向に隣接するウェル領域であるが、図11におけるx軸方向のセルピッチに相当する長さだけx座標が異なり、長さ $L_{oy}$ だけy座標が異なるウェル領域のうち、当該ウェル領域からの直線距離が最も近いウェル領域を指す。「縦の並び方向で隣接するウェル領域」や「横の並び方向で隣接するユニットセル」などについても、同様の定義である。

30

## 【 0 0 8 6 】

図12は、JFET長 $L_j$ が $4\mu\text{m}$ で、長さ $L_{ox}$ および長さ $L_{oy}$ を同時に $0\mu\text{m}$ から $1\mu\text{m}$ ずつ大きくした場合に、隣接するウェル領域30からの距離が最も遠い点Yの位置が変わる様子を図示している。なお、 $L_{ox} = L_{oy} = 0\mu\text{m}$ は、セル配置が碁盤目配置であることを意味する。

40

## 【 0 0 8 7 】

長さ $L_{ox}$ および長さ $L_{oy}$ がおよそ $2\mu\text{m}$ となるまでオフセット長を大きくすると、徐々に点Yの隣接するウェル領域30までの距離aが短くなるのが分かる(図12(a)~(f)参照)。

## 【 0 0 8 8 】

具体的には、図12(a)では、 $x = y = 0\mu\text{m}$ で、距離aは $2.8\mu\text{m}$ 、図12(b)では、 $x = y = 1\mu\text{m}$ で、距離aは $2.5\mu\text{m}$ 、図12(c)では、 $x = y = 2\mu\text{m}$ で、距離aは $2.3\mu\text{m}$ 、図12(d)では、 $x = y = 3\mu\text{m}$ で、距離aは $2.3\mu\text{m}$ 、図12(e)では、 $x = y = 4\mu\text{m}$ で、距離aは $2.3\mu\text{m}$ 、図12(f)では、 $x = y = 5\mu\text{m}$ で、距離aは $2.3\mu\text{m}$ である。

50

## 【0089】

ここでは簡単のため、長さ $L_{ox}$ と長さ $L_{oy}$ が等しい場合を示したが、等しくない場合も同様に、 $L_{ox} > 0$ 、 $L_{oy} > 0$ であるならば横の並び方向と縦の並び方向とは直交せず、ウェル領域Bとウェル領域Cとが接するまでの間、オフセット長を大きくするほど、点Yから隣接するウェル領域30までの距離が小さくなるのが容易に想像される。

## 【0090】

すなわち、碁盤目配置に比べ、長さ $L_{ox}$ および長さ $L_{oy}$ を0より大きくすることで、点Yの隣接するウェル領域30までの距離が小さくなり、オフ状態においてゲート絶縁膜50にかかる電界の最大値が低減される。その結果、ゲート絶縁膜50が破壊されにくく、信頼性の高いMOSFETが実現される。

10

## 【0091】

図13は、JFET長 $L_j$ が $4\mu\text{m}$ 、チャネル長 $L_{ch}$ が $1\mu\text{m}$ で、長さ $L_{ox}$ および長さ $L_{oy}$ を同時に $0\mu\text{m}$ から $2.5\mu\text{m}$ ずつ大きくした場合の、ユニットセルの形状と、ユニットセル内のチャネル領域の変化を図示している。

## 【0092】

ユニットセルの面積は、 $P_x \times P_y - L_{ox} \times L_{oy}$ と同等であるので、オフセット長を大きくするほど、ユニットセルの面積は減少する(図13(a)~(d)参照)。

## 【0093】

具体的には、図13(a)では、 $x = y = 0\mu\text{m}$ で、チャネル幅に相当する長さは $40\mu\text{m}$ 、ユニットセルの面積は $256\mu\text{m}^2$ 、図13(b)では、 $x = y = 2.5\mu\text{m}$ で、チャネル幅に相当する長さは $40\mu\text{m}$ 、ユニットセルの面積は $250\mu\text{m}^2$ 、図13(c)では、 $x = y = 5\mu\text{m}$ で、チャネル幅に相当する長さは $40\mu\text{m}$ 、ユニットセルの面積は $231\mu\text{m}^2$ 、図13(d)では、 $x = y = 7.5\mu\text{m}$ で、チャネル幅に相当する長さは $30\mu\text{m}$ 、ユニットセルの面積は $200\mu\text{m}^2$ である。

20

## 【0094】

長さ $L_{ox}$ および長さ $L_{oy}$ が $5\mu\text{m}$ 以下の場合、ユニットセル内のチャネル領域の形状は変わらず、ユニットセル内のチャネル幅も一定であるため、オフセット量が大きいほどチャネル幅密度は増大する。

## 【0095】

一方、長さ $L_{ox}$ と長さ $L_{oy}$ がチャネル長 $L_{ch} + \text{JFET長}L_j$ に相当する $5\mu\text{m}$ を超えると、ソース領域40の外周のうち一部の領域で、ソース領域40の外周から見てチャネル長 $L_{ch}$ の距離だけ離れた領域に存在していたn型領域(JFET領域)が、隣接するセルのウェル領域30によって埋められてしまうため、ユニットセル内のチャネル幅は減少する(図13(d)におけるS)。

30

## 【0096】

図14は、オフセット量とチャネル幅密度の関係を図示した図である。横軸はオフセット長( $\mu\text{m}$ )、縦軸はチャネル幅密度( $\mu\text{m}^{-1}$ )である。計算に用いた数値は、 $L_{ox} = L_{oy}$ 、 $P_x = 16\mu\text{m}$ 、 $P_y = 16\mu\text{m}$ 、 $L_{ch} = 1\mu\text{m}$ 、 $L_j = 4\mu\text{m}$ である。

## 【0097】

図14から、オフセット量を増加させるにつれてチャネル幅密度は大きくなり、オフセット量が $L_{ox} = L_{oy} = L_{ch} + L_j = 5\mu\text{m}$ のときにチャネル幅密度が最大になることが分かる。また、図14から読み取れるように、オフセット長がおおよそ、 $0 < L_{ox} = L_{oy} < 3 \times L_{ch} + L_j$ の範囲では、 $L_{ox} = L_{oy} = 0$ 、すなわち碁盤目配置に対してチャネル幅密度が増加していることが分かる。

40

## 【0098】

ここでは簡単のために、 $L_{ox}$ と $L_{oy}$ が同じ場合を想定して議論したが、本発明は $L_{ox}$ と $L_{oy}$ が異なってもチャネル幅密度増加の効果が得られる。すなわち、少なくとも図14に示すような場合には、 $0 < L_{ox} < 3 \times L_{ch} + L_j$ 、 $0 < L_{oy} < 3 \times L_{ch} + L_j$ を共に満たせば、チャネル幅密度は増大する。

## 【0099】

50

また、チャンネル長 $L_{ch}$ 、JFET長 $L_j$ が $x$ 軸方向と $y$ 軸方向で均一である場合を想定したが、 $x$ 軸方向と $y$ 軸方向で異なる場合でも、チャンネル幅密度は増加する。

【0100】

すなわち、少なくとも図14に示すような場合には、 $0 < L_{ox} < 3 \times L_{chx} + L_{jx}$ 、 $0 < L_{oy} < 3 \times L_{chy} + L_{jy}$ を同時に満たせば、チャンネル幅密度の増大効果が得られ、特に $L_{ox} = L_{chx} + L_{jx}$ 、 $L_{oy} = L_{chy} + L_{jy}$ の場合にチャンネル幅密度は最大になる。

【0101】

なお、本実施配置を実現するにあたり、ウェル領域30およびソース領域40などを形成するための最小加工寸法などは碁盤目配置のそれと同じで良い。すなわち、本実施配置を用いることで、加工精度の向上を必要とせず、チャンネル幅密度の向上と、信頼性の向上を同時に実現できる。

【0102】

<変形例>

本発明の有効性の説明としてMOSFETを例に挙げたが、チャンネルを有する縦型半導体装置で、チャンネルが主面と平行な方向に形成される素子であれば適用可能である。すなわちIGBTにおいても有効である。

【0103】

本発明は、炭化珪素を用いた半導体素子で特に有効であることは上述したとおりだが、他のワイドバンドギャップ半導体素子においても有効であり、シリコンを用いた半導体素子においても一定の効果がある。

【0104】

また、結晶構造、主面の面方位、オフ角、各注入条件など、具体的な例を用いて説明したが、本発明の適用範囲はこれに限定されない。

【0105】

<効果>

本発明にかかる実施の形態によれば、半導体装置において、第1導電型( $n$ 型)または第2導電型( $p$ 型)の半導体基板10と、半導体基板10上に形成された第1導電型( $n$ 型)のドリフト層20と、ドリフト層20表層において周期的に複数配置された、平面視上の第1辺( $x$ 軸方向の辺)の長さが $a$ (図11における、 $P_x - L_{jx}$ に対応)、これと直交する平面視上の第2辺( $y$ 軸方向の辺)の長さが $b$ (図11における、 $P_y - L_{jy}$ に対応)の方形の第2導電型( $p$ 型)のウェル領域30と、各ウェル領域30表層に形成された第1導電型( $n$ 型)のソース領域40と、各ソース領域40上からドリフト層20上に亘って、ゲート絶縁膜50を介して形成されたゲート電極60と、各ゲート電極60に対向するウェル領域30に規定されたチャンネル領域とを備える。

【0106】

$x$ 軸方向の各ウェル領域30間の距離が $A$ (図11における $L_{jx}$ に対応)、 $y$ 軸方向の各ウェル領域30間の距離が $B$ (図11における $L_{jy}$ に対応)であり、ウェル領域30の内の、 $x$ 軸方向に第1ウェル領域(図3、5、7におけるウェル領域Aに対応)に隣接する第2ウェル領域(図3、5、7におけるウェル領域Bに対応)は、第1ウェル領域から $y$ 軸方向に0より大きく $b + B$ より小さい幅だけずれて配置され、ウェル領域30の内の、 $y$ 軸方向に第1ウェル領域に隣接する第3ウェル領域(図3、5、7におけるウェル領域Cに対応)は、第1ウェル領域から $x$ 軸方向に0より大きく $a + A$ より小さい幅だけずれて配置される。

【0107】

このような構成とすることで、導通損失やスイッチング損失の増大を抑制しつつ、装置の信頼性を向上させることができる。

【0108】

すなわち最も遠い点 $Y$ までの距離が小さくなることで、逆バイアス印加時にゲート絶縁膜50にかかる電界が緩和され、信頼性が高まる。

10

20

30

40

50

## 【0109】

また、長さ $L_{ox}$ と長さ $L_{oy}$ が所定の範囲であれば、ユニットセルの面積が小さくなることで、チャネル幅密度が大きくなり、オン抵抗を低減することができる。

## 【0110】

また、ソース電極からの電氣的距離が遠いチャネルが存在しないため、導通損失やスイッチング損失の増大を抑制することができる。

## 【0111】

また、本発明にかかる実施の形態によれば、半導体装置において、第1導電型(n型)または第2導電型(p型)の半導体基板10と、半導体基板10の主面上に形成された第1導電型(n型)のドリフト層20と、ドリフト層20表層に周期的に形成された第2導電型(p型)の複数のウェル領域30と、各ウェル領域30表層に部分的に形成された第1導電型(n型)のソース領域40と、各ソース領域40上からドリフト層20上に亘って、ゲート絶縁膜50を介して形成されたゲート電極60と、各ウェル領域30の間に形成された、第1導電型のJFET領域と、各ゲート電極60に対向するウェル領域30に規定されたチャネル領域とを備える。

10

## 【0112】

チャネル領域が規定された方向に沿って、半導体基板10の主面上の直交するx軸およびy軸を定義し、ウェル領域30の繰り返し単位である半導体基板10の主面上の二次元形状をユニットセルと定義した場合、一のユニットセル(図3、5、7におけるウェル領域Aを囲むユニットセルに対応)とx軸方向に隣接する他のユニットセル(図3、5、7におけるウェル領域Bを囲むユニットセルに対応)が、y軸方向に0より大きくy軸方向のユニットセルの長さより小さい長さだけずれて配置され、一のユニットセルとy軸方向に隣接する他のユニットセル(図3、5、7におけるウェル領域Cを囲むユニットセルに対応)が、x軸方向に0より大きくx軸方向のユニットセルの長さより小さい長さだけずれて配置される。

20

## 【0113】

ここでユニットセルの長さとは、例えば図3の中央線Rで囲まれた領域のx軸方向またはy軸方向の長さであり、中央線RがJFET長を中央で分ける線であることを考慮すると、結局図11のセルピッチ $P_x$ またはセルピッチ $P_y$ に対応する長さであることが分かる。

30

## 【0114】

このような構成とすることで、導通損失やスイッチング損失の増大を抑制しつつ、装置の信頼性を向上させることができる。

## 【0115】

また、本発明にかかる実施の形態によれば、半導体装置において、共通のウェル領域30にy軸方向およびx軸方向からそれぞれ隣接するウェル領域30同士が、平面視において部分的に重なって配列されることで、さらにユニットセルの面積を小さくすることができる。

## 【0116】

また、本発明にかかる実施の形態によれば、半導体装置において、各ウェル領域30表層に形成された第1導電型(n型)のソース領域40をさらに備え、共通のウェル領域30にy軸方向およびx軸方向からそれぞれ隣接するソース領域40同士が、平面視において部分的に重なって配列されることで、さらにユニットセルの面積を小さくすることができる。

40

## 【0117】

また、本発明にかかる実施の形態によれば、半導体装置において、y軸方向で隣接するウェル領域30の、x軸方向のずれ長を $L_{ox}$ とし、x軸方向で隣接するウェル領域30の、y軸方向のずれ長を $L_{oy}$ とし、ウェル領域30同士の、x軸方向の距離を $L_{jx}$ 、y軸方向の距離を $L_{jy}$ とし、各ウェル領域30表層の、ソース領域40との間に形成されるx軸方向のチャネル長を $L_{chx}$ 、y軸方向のチャネル長を $L_{chy}$ とする場合、0

50

<  $L_{ox} < L_{chx} + L_{jx}$ 、かつ、 $0 < L_{oy} < L_{chy} + L_{jy}$ であることで、ユニットセルの面積を小さくし、チャンネル幅密度を増加させることができる。

【0118】

また、本発明にかかる実施の形態によれば、半導体装置において、 $L_{ox} = L_{chx} + L_{jx}$ 、かつ、 $L_{oy} = L_{chy} + L_{jy}$ であることで、効果的にユニットセルの面積を小さくし、チャンネル幅密度をより増加させることができる。

【0119】

本発明の実施の形態では、各構成要素の材質、材料、実施の条件等についても記載しているが、これらは例示であって記載したものに限られるものではない。

【0120】

なお本発明は、その発明の範囲内において、本実施の形態における任意の構成要素の変形もしくは省略が可能である。

【0121】

本発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、本発明がそれに限定されるものではない。例示されていない無数の変形例が、本発明の範囲から外れることなく想定され得るものと解される。

【符号の説明】

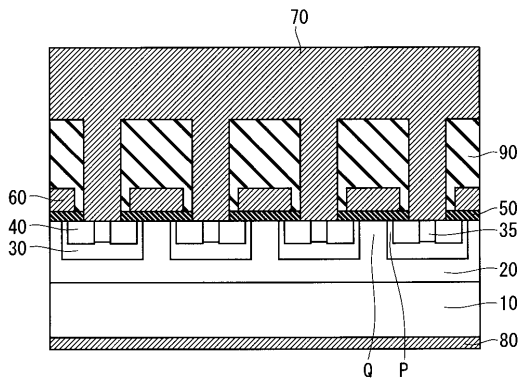
【0122】

10 半導体基板、20 ドリフト層、30 ウェル領域、35 ウェルコンタクト領域、40 ソース領域、50 ゲート絶縁膜、60 ゲート電極、70 ソース電極、80 ドレイン電極、90 層間絶縁膜。

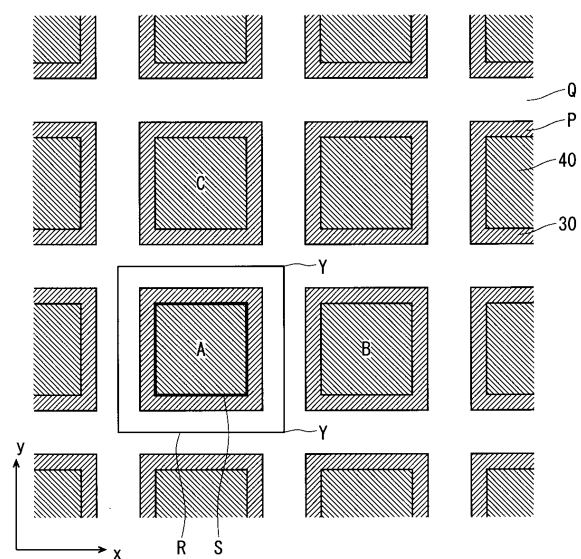
10

20

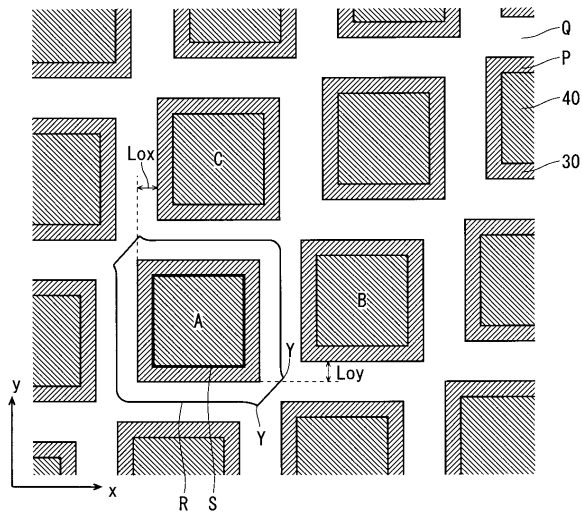
【図1】



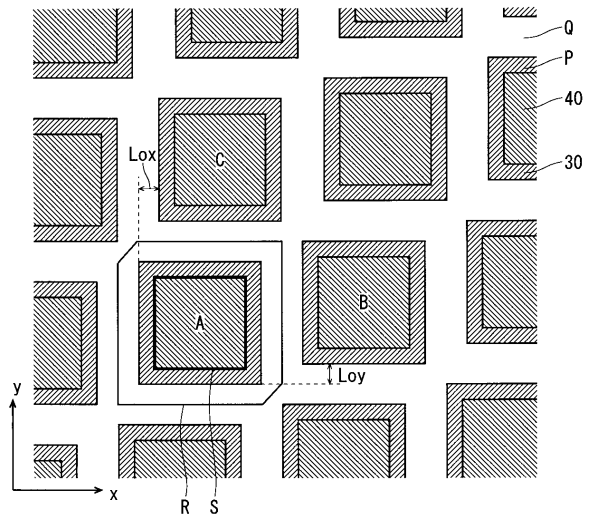
【図2】



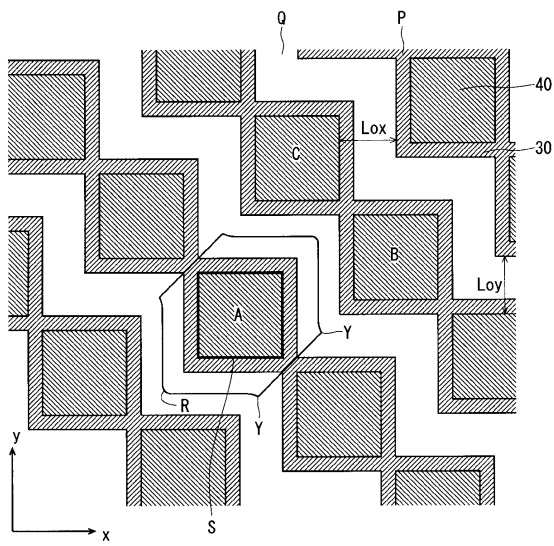
【図3】



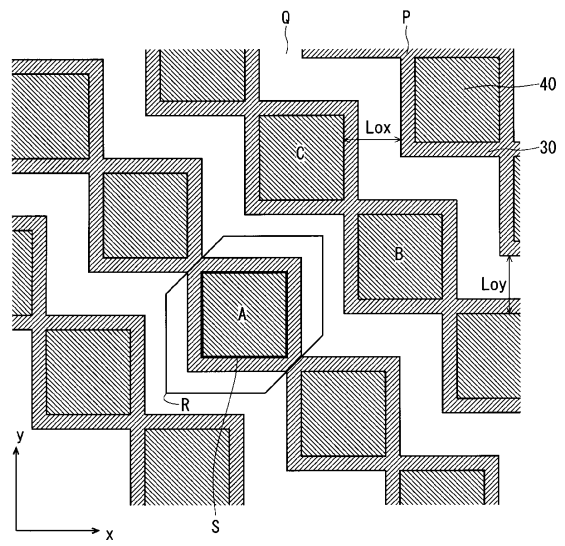
【図4】



【図5】

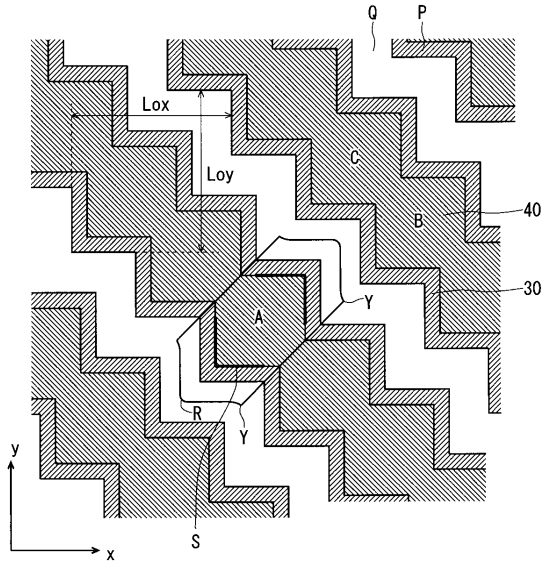


【図6】

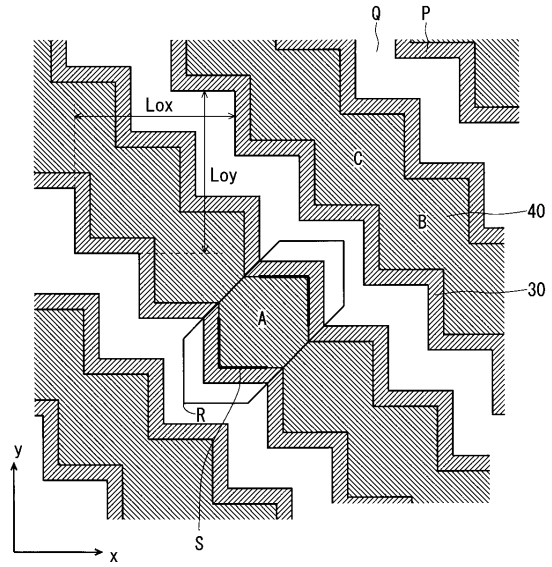




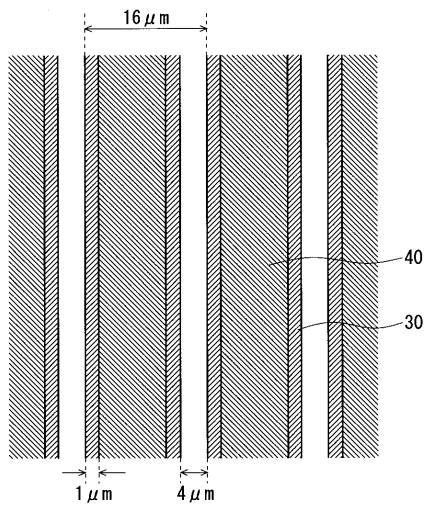
【図 7】



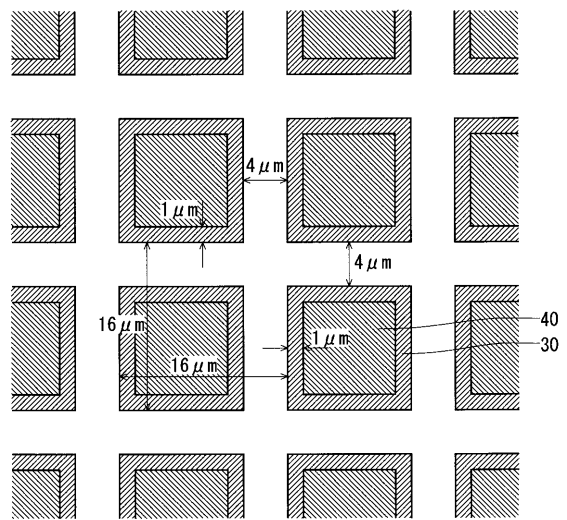
【図 8】



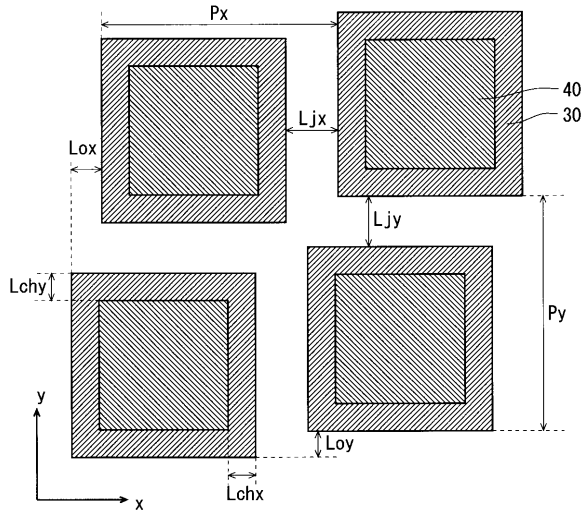
【図 9】



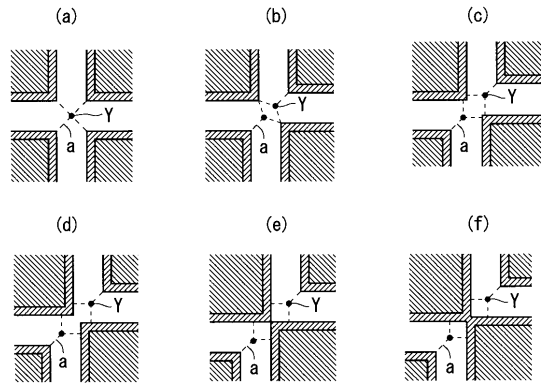
【図 10】



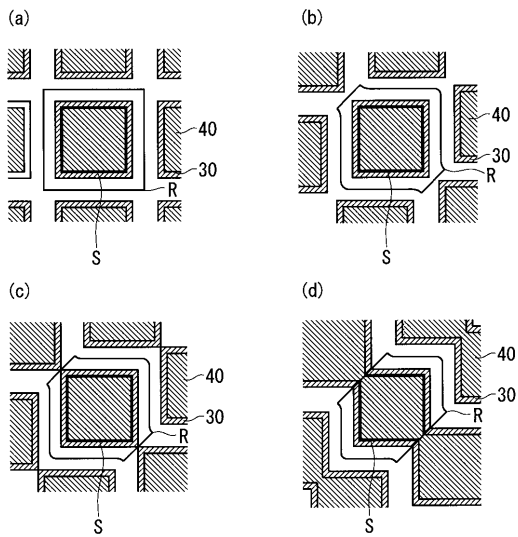
【図 1 1】



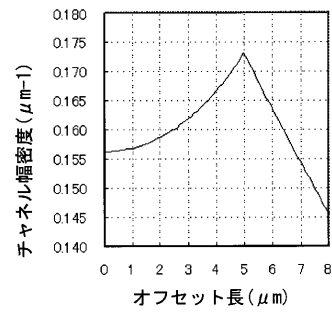
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 6 5 2 T

- (72)発明者 古川 彰彦  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 渡辺 友勝  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 大塚 健一  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 渡邊 寛  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 海老池 勇史  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 行武 哲太郎

- (56)参考文献 欧州特許出願公開第00823735(E P, A 1)  
特開平11-214529(J P, A)  
特開2009-094314(J P, A)  
国際公開第99/004435(W O, A 1)

- (58)調査した分野(Int.Cl., D B名)  
H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2