



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0119651
(43) 공개일자 2024년08월06일

(51) 국제특허분류(Int. Cl.)
H04L 7/00 (2006.01) G11C 7/10 (2021.01)
G11C 7/22 (2015.01) H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 7/0008 (2013.01)
G11C 7/1078 (2013.01)
(21) 출원번호 10-2023-0011926
(22) 출원일자 2023년01월30일
심사청구일자 2023년01월30일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
강효신
서울특별시 노원구 중계로14나길 25(중계동, 삼성아파트)
(74) 대리인
특허법인주연케이알피

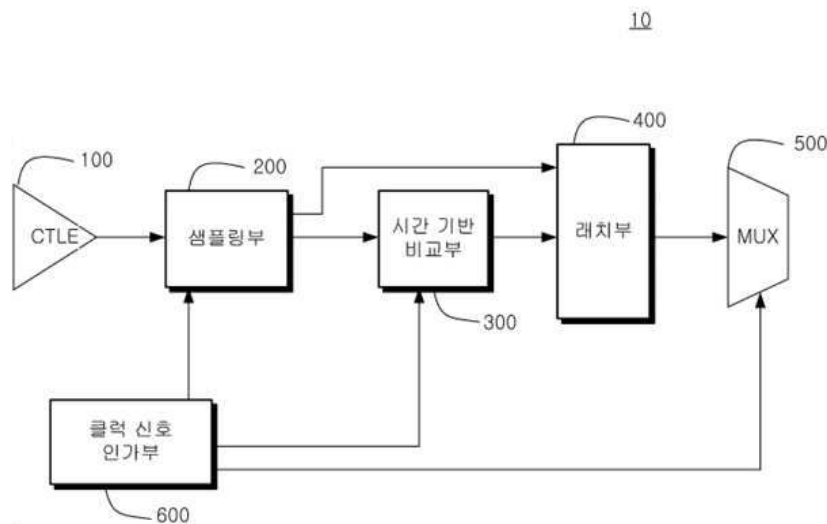
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 단일 위상의 절반 속도 클럭을 사용한 단일 종단 신호 방식 유선 수신기 회로

(57) 요약

본 출원의 실시예에 따른 수신기 회로는, 입력된 신호 왜곡을 보상하는 연속 시간 선형 등화기; 상기 연속 시간 선형 등화기를 통해 보상된 신호를 샘플링 하는 샘플링부; 상기 샘플링부를 통해 출력된 샘플링 신호의 시간차를 비교하는 시간 기반 비교기; 및 상기 시간 기반 비교기를 통해 출력된 선택 비트와 상기 샘플링 신호에 따라 출력 신호를 결정하는 맥스를 포함하고, 상기 샘플링부는: 상기 연속 시간 선형 등화기의 출력단에 연결되어 하나 이상의 커패시터를 포함하고, 상기 하나 이상의 커패시터에 기초하여 상기 보상된 신호를 AC 커플링하도록 구성되는 AC 커플링부; 상기 AC 커플링부로부터 AC 커플링된 신호를 AC 샘플링하는 제1 비교기; 및 상기 보상된 신호를 DC 샘플링하는 제2 비교기를 포함한다.

대표도 - 도1



(52) CPC특허분류

G11C 7/22 (2018.05)

H04L 25/03878 (2013.01)

(72) 발명자

최윤재

서울특별시 서초구 사평대로 310-4(반포동, 반포
센트레빌 아스테리움)

심진철

서울특별시 성북구 삼선교로8길 16(삼선동1가)

박승우

서울특별시 마포구 마포대로 195(아현동, 마포 래
미안 푸르지오)

김성철

서울특별시 동대문구 왕산로 122 (용두동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711117126
과제번호	2020-0-01300-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	차세대지능형반도체기술개발(설계)(R&D)
연구과제명	AI 특화형 병렬 초고속 메모리 인터페이스 기술 개발
기 여 율	1/1
과제수행기관명	서울대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

수신기 회로에 있어서,
 입력된 신호 왜곡을 보상하는 연속 시간 선형 등화기;
 상기 연속 시간 선형 등화기를 통해 보상된 신호를 샘플링 하는 샘플링부;
 상기 샘플링부를 통해 출력된 샘플링 신호의 시간차를 비교하는 시간 기반 비교기; 및
 상기 시간 기반 비교기를 통해 출력된 선택 비트와 상기 샘플링부를 통해 샘플링된 신호에 따라 출력 신호를 결정하는 믹스;를 포함하고,
 상기 샘플링부는,
 상기 연속 시간 선형 등화기의 출력단에 연결되어 하나 이상의 커패시터;를 포함하고,
 상기 하나 이상의 커패시터에 기초하여 보상된 신호를 AC 커플링하도록 구성되는 AC 커플링부;
 상기 AC 커플링부로부터 AC 커플링된 신호를 AC 샘플링하는 제1 비교기; 및
 상기 보상된 신호를 DC 샘플링하는 제2 비교기를 포함하는 수신기 회로.

청구항 2

제1 항에 있어서,
 상기 제1 비교기 및 상기 제2 비교기로부터 출력한 상기 AC 샘플링된 신호 내지 상기 DC 샘플링된 신호 각각을 상기 믹스로 전달하는 제1 래치 내지 제3 래치로 구성된 래치부를 더 포함하며,
 상기 샘플링된 신호들은 상기 제1 래치 내지 상기 제3 래치를 구성하는 상기 래치부 및 상기 시간 기반 비교기에 병렬로 입력되는 것을 특징으로 하는 수신기 회로.

청구항 3

제1 항에 있어서,
 상기 시간 기반 비교기는 상기 제1 비교기 및 상기 제2 비교기의 신호 출력의 시간 차이를 활용하여 상기 선택 비트를 생성하는 것을 특징으로 하는 수신기 회로.

청구항 4

제1 항에 있어서,
 상기 시간 기반 비교기는 상기 AC 커플링부로부터 상기 AC 커플링된 신호가 동일한 공통모드 전압을 가지는 경우 DC 출력값에 따른 데이터 변화를 감지하고,
 상기 AC 커플링부로부터 상기 AC 커플링된 신호가 충분한 마진을 가지는 경우 AC 출력값에 따라 데이터 변화를 감지하는 것을 특징으로 하는 수신기 회로.

청구항 5

제1 항에 있어서,

상기 수신기 회로는 상기 제1 비교기, 상기 제2 비교기, 상기 시간 기반 비교기 및 상기 믹스를 포함하고,

상기 수신기 회로에 클럭 신호를 송수신하는 클럭 신호 인가부를 더 포함하는 것을 특징으로 하는 수신기 회로.

청구항 6

수신기 회로의 동작 방법에 있어서,

입력된 신호 왜곡을 보상받는 왜곡 보상 단계;

상기 왜곡 보상 단계로부터 보상된 신호를 샘플링하는 샘플링 단계;

출력된 상기 샘플링 단계의 신호로부터 시간차를 비교하는 시간차 비교 단계; 및

선택 비트와 상기 샘플링 단계의 신호로부터 출력 신호를 결정하는 출력 신호 결정 단계를 포함하는 수신기 회로의 동작 방법.

청구항 7

제6 항에 있어서,

상기 샘플링 단계는,

상기 수신기 회로에 포함된 상기 AC 커플링부로부터 AC 커플링된 신호는 AC 샘플링 하고, 상기 보상된 신호는 DC 샘플링 하는 것을 수신기 회로의 동작 방법.

청구항 8

제6 항에 있어서,

시간차를 비교하는 상기 시간차 비교 단계는,

상기 수신기 회로에 포함된 상기 제1 비교기 내지 상기 제2 비교기에서 신호 출력의 시간 차이를 활용하여 상기 선택 비트를 생성하는 것을 특징으로 하는 수신기 회로의 동작 방법.

청구항 9

제7 항에 있어서,

상기 샘플링 단계는,

상기 AC 커플링된 신호가 동일한 공통모드 전압을 가지게 되면 DC 출력값에 따라 데이터 변화를 감지하고,

상기 AC 커플링된 신호가 충분한 마진을 가지게 되면 AC 출력값에 따라 데이터 변화를 감지하는 단계를 더 포함하는 것을 특징으로 하는 수신기 회로의 동작 방법.

청구항 10

제6 항에 있어서,

상기 수신기 회로에 포함된 상기 제1 비교기, 제2 비교기, 상기 시간 기반 비교기 및 상기 믹스로 클럭 신호를 보내는 단계를 더 포함하는 것을 특징으로 하는 수신기 회로의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 단일 종단 신호 방식을 이용한 수신기 회로 및 수신기 회로의 동작 방법에 관한 것이다.

배경 기술

[0003] 메모리 인터페이스에서, 더 높은 데이터 속도를 달성하기 위한 기술 발전은 꾸준히 다양한 방식으로 증가해왔다.

[0004] 특히, 클럭 주파수를 이용한 데이터 속도 향상 방법은 현재 가장 각광받는 기술이지만, 클럭 주파수가 증가할수록 클럭 지터(clock jitter)와 듀티 사이클(duty cycle) 왜곡은 타이밍 마진을 저하시켜 BER(Bit Error Rate)이 높아지는 단점이 존재한다.

[0005] 클럭 속도가 증가하면서 발생하는 문제점을 완화하기 위해, 메모리 인터페이스에서 1/4속도 클럭(Quadrature Clock)을 사용해서 클럭 주파수를 낮추려는 시도를 했다. 그러나 1/4속도 클럭을 위해서는 적어도 4개의 위상 클럭이 필요하며, DLL(Delay-Locked Loop) 혹은 quadrature VCO(Voltage-Controlled Oscillator)와 같은 추가적인 회로 구성이 필수적이다. 이는 불필요한 전력 소비 발생과 회로의 복잡성을 야기시킨다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 국내 등록특허공보 제10-0844313호

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 같은 클럭의 주파수 대비 클럭 위상의 개수를 줄일 수 있는 단일 종단 신호 방식을 이용한 수신기 회로 및 수신기 회로의 동작 방법을 제공하는 것이다.

과제의 해결 수단

[0010] 본 개시의 일 양상으로, 수신기 회로에 있어서, 입력된 신호 왜곡을 보상하는 연속 시간 선형 등화기(Continuous Time Linear Equalizer, CTLE); 상기 연속 시간 선형 등화기를 통해 보상된 신호를 샘플링 하는 샘플링부; 상기 샘플링부를 통해 출력된 샘플링 신호의 시간차를 비교하는 시간 기반 비교기; 및 상기 시간 기반 비교기를 통해 출력된 선택 비트와 상기 샘플링부를 통해 샘플링된 신호에 따라 출력 신호를 결정하는 믹스;를 포함하고, 상기 샘플링부는, 상기 연속 시간 선형 등화기의 출력단에 연결되어 하나 이상의 커패시터;를 포함하고, 상기 하나 이상의 커패시터에 기초하여 보상된 신호를 AC 커플링하도록 구성되는 AC 커플링부; 상기 AC 커플링부로부터 AC 커플링된 신호를 AC 샘플링하는 제1 비교기; 및 상기 보상된 신호를 DC 샘플링하는 제2 비교기를 포함하는 수신기 회로다.

[0011] 예를 들어, 상기 제1 비교기 및 상기 제2 비교기로부터 출력한 상기 AC 샘플링된 신호 내지 상기 DC 샘플링된 신호 각각을 상기 믹스로 전달하는 제1 래치 내지 제3 래치로 구성된 래치부를 더 포함하며, 상기 샘플링된 신호들은 상기 제1 래치 내지 상기 제3 래치를 구성하는 상기 래치부 및 상기 시간 기반 비교기에 병렬로 입력되는 것을 특징으로 한다.

[0012] 예를 들어, 상기 시간 기반 비교기는 상기 제1 비교기 및 상기 제2 비교기의 신호 출력의 시간 차이를 활용하여 상기 선택 비트를 생성하는 것을 특징으로 한다.

- [0013] 예를 들어, 상기 시간 기반 비교기는 상기 AC 커플링부로부터 상기 AC 커플링된 신호가 동일한 공통모드 전압을 가지는 경우 DC 출력값에 따른 데이터 변화를 감지하고, 상기 AC 커플링부로부터 상기 AC 커플링된 신호가 충분한 마진을 가지는 경우 AC 출력값에 따라 데이터 변화를 감지하는 것을 특징으로 한다.
- [0014] 예를 들어, 상기 수신기 회로는 상기 제1 비교기, 상기 제2 비교기, 상기 시간 기반 비교기 및 상기 믹스를 포함하고, 상기 수신기 회로에 클럭 신호를 송수신하는 클럭 신호 인가부를 더 포함하는 것을 특징으로 한다.
- [0015] 본 개시의 다른 일 양상으로, 수신기 회로의 동작 방법에 있어서, 입력된 신호 왜곡을 보상받는 왜곡 보상 단계; 상기 왜곡 보상 단계로부터 보상된 신호를 샘플링하는 샘플링 단계; 출력된 상기 샘플링 단계의 신호로부터 시간차를 비교하는 시간차 비교 단계; 및 선택 비트와 상기 샘플링 단계의 신호로부터 출력 신호를 결정하는 출력 신호 결정 단계를 포함하는 수신기 회로의 동작 방법이다.
- [0016] 예를 들어, 상기 샘플링 단계는, 상기 AC 커플링부로부터 AC 커플링된 신호는 AC 샘플링 하고, 상기 보상된 신호는 DC 샘플링 하는 것을 특징으로 한다.
- [0017] 예를 들어, 시간차를 비교하는 상기 시간차 비교 단계는, 상기 제1 비교기 내지 상기 제2 비교기에서 신호 출력의 시간 차이를 활용하여 상기 선택 비트를 생성하는 것을 특징으로 한다.
- [0018] 예를 들어, 상기 샘플링 단계는, 상기 AC 커플링된 신호가 동일한 공통모드 전압을 가지게 되면 DC 출력값에 따라 데이터 변화를 감지하고, 상기 AC 커플링된 신호가 충분한 마진을 가지게 되면 AC 출력값에 따라 데이터 변화를 감지하는 단계를 더 포함하는 것을 특징으로 한다.
- [0019] 예를 들어, 상기 제1 비교기, 제2 비교기, 상기 시간 기반 비교기 및 상기 믹스로 클럭 신호를 보내는 단계를 더 포함하는 것을 특징으로 한다.

발명의 효과

- [0021] 본 출원의 실시예에 따른 단일 중단 방식을 이용한 수신기 회로 및 수신기 회로의 동작 방법은 데이터 전송속도 보다 클럭 속도를 낮추더라도 클럭 위상을 늘릴 필요 없이 데이터를 복구할 수 있어, 데이터 속도 증가에 따른 클럭 속도 증가로 발생하는 문제점 및 회로의 추가 구성 등에 대한 부담을 경감시킬 수 있다.

도면의 간단한 설명

- [0023] 이하에 첨부되는 도면들은 본 개시의 다양한 예들에 관한 이해를 돕기 위한 것으로, 상세한 설명과 함께 본 개시의 다양한 예들을 제공한다. 다만, 본 개시의 다양한 예들의 기술적 특징이 특정 도면에 한정되는 것은 아니며, 각 도면에서 개시하는 특징들은 서로 조합되어 새로운 실시예로 구성될 수 있다. 각 도면에서의 참조 번호(reference numerals) 들은 구조적 구성요소(structural elements)를 의미한다.

도 1은 본 출원의 일 실시 예에 따른 수신기 회로의 구성을 설명하기 위한 개념적인 블록도이다.

도 2는 본 출원의 일 실시 예에 따른 수신기 회로 전체를 세부적으로 나타낸 회로도이다.

도 3a는 본 출원의 일 실시예에 따른 클럭의 다이어그램을 나타낸 도면이다.

도 3b는 본 출원의 일 실시예에 따른 수신기 회로의 샘플링부를 상세히 나타낸 도면이다.

도 3c는 본 출원의 일 실시예에 따른 샘플링부에서 데이터의 변화에 따른 두 비교기의 입력 신호를 나타낸 도면이다.

도 4는 본 출원의 일 실시예에 따른 샘플링부 이후의 수신기 회로를 나타낸 도면이다.

도 5는 본 출원의 일 실시예에 따른 수신기 회로의 시간 기반 비교기 회로도를 나타낸 도면이다.

도 6a는 본 출원의 일 실시예에 따른 믹스의 회로도를 나타낸 도면이다.

도 6b는 본 출원의 일 실시예에 따른 믹스의 동작에 따른 다이어그램이다.

도 6c는 본 출원의 일 실시예에 따른 수신기 회로 및 수신기 회로의 동작 방법에서 입력에 따라 수행한 결과에

대한 모식도이다.

도 7a는 본 출원의 일 실시예에 따른 수신기 회로 및 수신기 회로의 동작 방법에서 제1 비교기 및 제2 비교기의 입력값과 클럭의 결과값을 나타내는 그래프이다.

도 7b는 시간 기반 비교기 입력의 마진을 나타낸 시뮬레이션 결과를 나타내는 그래프이다.

도 8은 본 출원의 실시예에 따른 수신기 회로 및 수신기 회로의 동작 방법의 전체 흐름을 나타내는 플로우 차트이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0025] 첨부된 도면과 함께 이하에 개시될 상세한 설명은 본 발명의 예시적인 구현을 설명하고자 하는 것이며, 본 발명이 실시될 수 있는 유일한 구현 형태를 나타내고자 하는 것이 아니다. 이하의 상세한 설명은 본 발명의 완전한 이해를 제공하기 위해서 구체적인 세부사항을 포함한다. 그러나 당업자는 본 개시가 이러한 구체적인 세부사항 없이도 실시될 수 있음을 안다.
- [0026] 몇몇 경우, 본 개시의 개념이 모호해지는 것을 피하기 위하여 공지의 구조 및 장치는 생략되거나, 각 구조 및 장치의 핵심기능을 중심으로 한 블록도 형식으로 도시될 수 있다. 또한, 본 개시 전체에서 동일한 구성요소에 대해서는 동일한 도면 부호를 사용하여 설명한다.
- [0027] 본 발명의 개념에 따른 다양한 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 다양한 예들을 도면에 예시하고 본 개시에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 다양한 예들을 특정된 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0028] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0029] 본 개시의 다양한 예에서, “또는”은 “및/또는”을 나타내는 것으로 해석되어야 한다. 예를 들어, “A 또는 B”는 “오직 A”, “오직 B”, 및/또는 “A 및 B 모두”를 포함할 수 있다. 다시 말해, “또는”은 “부가적으로 또는 대안적으로”를 나타내는 것으로 해석되어야 한다.
- [0030] 본 개시에서 사용한 용어는 단지 특정한 다양한 예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 개시에서, “포함하다” 또는 “가지다” 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0032] 도 1은 본 출원의 일 실시 예에 따른 수신기 회로의 구성을 설명하기 위한 개념적인 블록도이다.
- [0033] 도 1을 참조하면 본 출원의 실시예에 따른 수신기 회로(10)는 연속 시간 선형 등화기(100)와, 샘플링부(200)와, 시간 기반 비교부(300)와, 래치부(400)와, 믹스(500)와, 클럭 신호 인가부(600)를 포함한다.
- [0034] 수신기 회로(10)는 각각의 장치부와 전기적으로 연결 및 대응하도록 구성한다.
- [0035] 연속 시간 선형 등화기(Continuous Time Linear Equalizer)(CTLE)(100)는 연속 시간 선형 등화기(100)로 들어온 CTLE 입력 신호의 왜곡을 보상하는 역할을 한다. 샘플링부(200)는 보상된 신호를 입력 받아 샘플링한다. 시간 기반 비교부(300)는 샘플링부(200)의 신호 출력 시간을 비교한다. 래치부(400)는 샘플링부(200) 및/또는 시간 기반 비교부(300)로부터 신호를 인가 받아 출력할 수 있다. 믹스(500)는 다양한 회로로부터 입력 받은 입력 신호를 선택 신호에 따라 소수의 신호만을 출력하도록 한다. 클럭 신호 인가부(600)는 칩 외부로부터 입력된 클럭을 메모리 장치 내에 공급하도록 한다.

- [0036] 이는 도 3a 내지 도 3b를 참조하여 본 발명에 따른 수신기 회로 및 수신기 회로의 동작 방법에 관해 자세히 후술하도록 한다.
- [0038] 도 2는 본 출원의 일 실시 예에 따른 수신기 회로 전체를 세부적으로 나타낸 회로도이다.
- [0039] 도 2를 참조하면, 본 출원의 실시예에 따른 수신기 회로(10)는 S2D 증폭기(700)와, 연속 시간 선형 등화기(100)와, AC 커플링부(210), 제1 비교기(220), 제2 비교기(230)를 포함하는 샘플링부(200)와, 시간 기반 비교부(300)와, 제1 래치(410), 제2 래치(420), 제3 래치(430)를 포함하는 래치부(400)와, 먹스(500)와, CML to CMOS 변환기(610), 듀티 보정부(620), 버퍼(630)를 구성하는 클럭 신호 인가부(600)를 포함한다.
- [0040] 도 2는 본 개시의 일 구현 예에 따른 회로의 상세한 설명으로, 여러 신호들이 등장하는 것을 알 수 있다. 이는 후술할 모든 내용의 신호는 'P'단과 'N'단 양단의 신호로 나뉘어 있음을 알 수 있다. 앞으로 후술하는 내용에서는 편의상 'P'단의 신호를 '제1 ~ 신호'로 칭하고 'N'단의 신호를 '제2 ~ 신호'로 칭하겠다. 예를 들어, ACP 신호는 제1 AC 신호라 칭하고, ACN 신호는 제2 AC 신호라 칭한다.
- [0041] 또한, 연속 시간 선형 등화기(100)의 출력 신호는 편의상 CTLE OUT이라 칭한다.
- [0042] 연속 시간 선형 등화기(100)는 기본적으로 차동 증폭 회로이며, 트랜지스터의 소스에 병렬로 연결된 커패시터(Cs)와 저항(Rs)을 포함한다. 커패시터(Cs)의 커패시턴스에 따라 고주파 성분의 증폭 계인이 정해지며, 저항(Rs)의 저항값에 따라 저주파 성분의 증폭 계인이 정해진다.
- [0043] 커패시터(Cs)의 커패시턴스와 저항(Rs)의 저항 값은 수신된 신호의 감쇠 정도에 따라 조절될 수 있다.
- [0044] S2D 증폭기(Single-to-Differential Amplifier)(700)는 메모리 인터페이스에서 주로 사용되는 단일 신호를 차동 모드 신호로 변환하여 입력한다. 즉, 메모리 인터페이스에서 주로 사용하는 신호는 단일 신호로, 일 실시예에 따른 메모리 인터페이스에서 주로 사용되는 신호인 단일 모드 신호는 S2D 증폭기(700)를 통해 차동 모드 신호로 변환하여 입력할 수 있다. 이렇게 S2D 증폭기(700)와 연속 시간 선형 등화기(100)를 거쳐 차동 모드 신호로 변환된 제1 보상 신호(CTLE OUTP) 및/또는 제2 보상 신호(CTLE OUTN)는 제1 비교기(220) 및/또는 제2 비교기(230)로 입력된다.
- [0045] 제1 비교기(220)로 입력되는 제1 보상 신호(CTLE OUTP)는 입력 전에 AC 커플링부(210)를 거치는데, AC 커플링부(210)에서 AC 커플링을 수행한다. 따라서 제1 비교기(220)에서는 DC 데이터가 차단된 신호를 받아 AC 샘플링을 수행하여 제1 AC 신호(ACP) 및/또는 제2 AC 신호(ACN)를 출력한다. 제2 비교기(230)에서는 DC 샘플링을 수행하여 제1 DC 신호(DCP) 및/또는 제2 DC 신호(DCN)를 출력한다.
- [0046] 즉, 제2 비교기(230)로 입력되는 입력 신호는 S2D 증폭기(700)와 연속 시간 선형 등화기(100)를 거친 차동 모드 신호를 AC 커플링부(210)를 거치지 않은 채 그대로 입력 신호로 받는다.
- [0047] 출력된 신호는 각각 병렬로 시간 기반 비교기(300)와 래치부(400)로 입력된다. 병렬로 연결된 래치부(400)는 제1 래치(410) 내지 제3 래치(430)를 포함한다. 다만, 각 구성부들에 대한 구분은 각 구성부가 담당하는 주 기능별로 구분한 것에 불과함을 명확히 한다.
- [0048] 구체적으로, AC 신호는 제1 래치(410)와 시간 기반 비교부(300)로 병렬 입력되고, DC 신호는 제3 래치(430)와 시간 기반 비교부(300)로 병렬로 입력 된다.
- [0049] 시간 기반 비교기(300)에서는 상기 제1 비교기(220)를 통해 입력된 신호와 제2 비교기(230)를 통해 입력된 신호인 AC 신호 및/또는 DC 신호의 출력 시간차를 비교한다. 다시 말해, 제1 비교기(220)와 제2 비교기(230) 중 어느 것이 우세한지 구분하는 역할을 수행한다. 이에 따른 결과 값은 선택 비트(Select bit)로 출력하고, 선택 비트는 제2 래치(420)에서 입력 받아 제1 제어 신호(CONTP) 및/또는 제2 제어 신호(CONTN)를 생성할 수 있다.
- [0050] 이에 대해 도 7a 내지 7b를 참조하여 좀 더 상세히 후술하도록 한다.
- [0051] 먹스(500)는 제1 래치(410)로부터 AC 신호를 받고, 제3 래치(430)로부터 DC 신호를 받으며, 제2 래치(420)로부터 받은 제어 신호에 따라 출력 신호를 결정한다.
- [0052] 클럭 신호 인가부(600)는 칩 외부로부터 입력된 클럭을 메모리 장치 내에 공급하기 위한 부분으로, 상기 설명한 바와 같이 외부로부터 클럭을 입력 받는 버퍼(630)와, 클럭의 듀티가 틀어진 경우 이를 보정하기 위한 듀티 보정부(Duty Cycle Correction)(620)와, CML TO CMOS 변환기(610)를 포함한다.

- [0053] 클럭 신호 인가부(600)를 구성하는 CML TO CMOS 변환기(610)는 CML(Current Mode Logic) 레벨에서 스윙하는 신호로 입력 받아 CMOS(COMPLEMENTARY METAL OXIDE SEMICONDUCTOR) 레벨에서 스윙하는 신호로 변환시켜 안정적으로 동작하는 역할을 한다. 상기 설명한 CML 레벨에서 스윙하는 신호는 지터가 훨씬 작은 클럭을 의미한다.
- [0054] 도 3a는 본 출원의 일 실시예에 따른 클럭의 다이어그램을 나타낸 도면이다.
- [0055] 도 3b는 본 출원의 일 실시예에 따른 수신기 회로의 샘플링부를 상세히 나타낸 도면이다.
- [0056] 도 3c는 본 출원의 일 실시예에 따른 샘플링부에서 데이터의 변화에 따른 두 비교기의 입력 신호를 나타낸 도면이다.
- [0057] 도 3a 내지 도 3b를 참조하면, 본 출원의 실시예에 따른 수신기 회로(10)의 샘플링부(200)는 AC 커플링부(210)와, 제1 비교기(220)와, 제2 비교기(230)를 포함하며, 상기 샘플링부(200)의 입력 값은 연속 시간 선형 등화기(100)의 보상 신호와 대응될 수 있다.
- [0058] 연속 시간 선형 등화기(100)로부터 출력된 보상 신호는 제1 비교기(220) 및/또는 제2 비교기(230)로 병렬로 입력되나, 제1 비교기(220)로 입력된 신호는 AC 커플링부(210)에서 AC 커플링된 보상 신호를 입력 받아 AC 샘플링을 수행한다.
- [0059] AC 커플링은 AC 커플링부(210)에서 수행하며, AC 커플링을 통해 데이터 엣지(edge)의 방향을 알 수 있다. 그 결과, 제1 비교기(220)에서는 제1 AC 신호(ACP) 및/또는 제2 AC 신호(ACN)를 출력한다.
- [0060] 제2 비교기(230)는 AC 커플링부(210)를 거치지 않은 보상 신호를 입력 받아 DC 샘플링을 수행한다. 그 결과 제2 비교기(230)에서 제1 DC 신호(DCP) 및/또는 제2 DC 신호(DCN)를 출력한다.
- [0061] 도 3a를 참조하면, 본 출원의 일 실시예에 따른 수신기 회로와 수신기 회로의 동작 방법에서 클럭이 상승 혹은 0에서 1로 변화하는 지점에 데이터의 교차점을 위치하도록 클럭의 위치를 조정하여 클럭 속도와 위상의 개수를 줄이되, 한번에 두개의 데이터 정보를 알 수 있도록 하기 위함이다.
- [0062] 도 3c를 참조하면, 본 출원에서 샘플링부에서 비교기의 출력 값에 따른 제1 입력 신호 및 제2 입력 신호를 파악하는 일례를 설명한다.
- [0063] 비교기의 출력에 따른 2비트의 데이터 변화(transition)를 상세히 살펴보면, 도 3c의 (a) 및 (b)에서 제1 비교기(220) 및/또는 제2 비교기(230)에 입력되는 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 시그널의 변화가 없는 경우의 일례를 도시화한 것이다.
- [0064] (a) 및 (b)에서 입력되는 제1 비교기(220)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 AC 커플링을 거친 (a) 및 (b)에서 입력되는 제1 비교기(220)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 하기 (a) 및/또는 하기 (b)의 아래 그림의 신호로 샘플링되며, AC 커플링을 거치지 않은 (a) 및/또는 (b)에 입력되는 제2 비교기(230)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 하기 (a) 및/또는 하기 (b)의 상기 신호로 입력된다.
- [0066] 도 3c의 하기 (a)의 예시를 더 자세히 설명하면, AC 커플링을 거쳐 제1 비교기(220)로 입력된 제1 입력 신호(INP) 및/또는 제2 입력 신호(INN)는 두 입력 단자에 공통으로 인가되는 공통 모드 전압을 가지고, AC 커플링을 거치지 않은 제2 비교기(230)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 충분한 마진을 가진다는 것을 알 수 있다. 이를 통해 얻은 제1 비교기(220)의 출력 값은 1 이고, 제2 비교기(230)의 출력 값은 1이다
- [0067] 도 3c의 하기 (b)의 예시의 경우, 제1 비교기(220)의 제1 입력 신호(INP) 및/또는 제2 입력 신호(INN)는 두 입력 단자에 공통으로 인가되는 공통 모드 전압을 가지고, 제2 비교기(230)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 충분한 마진(margin)을 가진다. 상기 도 3c의 (a)의 일례와 같아 보이나, 제2 비교기(230)의 출력 값은 0이다. 이 경우, 제2 비교기(230)의 제1 입력 신호(INP)의 위상은 떨어지거나(Low) 혹은 0으로, 입력 신호의 값이 상기 설명한 (a)와 입력 데이터가 반대임을 알 수 있다.
- [0068] 비교기의 출력에 따른 2비트의 데이터 변화(transition)를 상세히 살펴보면, (c) 및 (d)에서 입력되는 제1 비교기(220)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 시그널의 변화가 존재하는 경우의 일례를 도시화한 것이다.
- [0069] 상기 설명한 바와 같이, (c) 및 (d)의 일례를 도시화하면, AC 커플링을 마친 제1 비교기(220)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 하기 (c) 및/또는 하기 (d)의 아래 그림의 신호로 입력되며, AC 커플링을 거친

지 않은 채 입력되는 제2 비교기(230)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 하기 (c) 및/또는 하기 (d)의 상기 신호로 입력된다.

- [0070] 도 3c의 (c) 내지 (d)의 경우에 대해 상세히 살펴보면, (c) 및/또는 (d)에서 입력되는 제1 비교기(220) 및/또는 제2 비교기(230)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 시그널의 변화가 있는 경우의 예를 도시화한 것이다.
- [0071] 도 3c의 하기 (c)의 예를 들어 자세히 설명을 하면, 제1 비교기(220)에서 입력하는 제1 입력 신호(INP)와 제2 입력 신호(INN)는 (c)의 하기에 존재하는 신호를 입력 신호로, 둘 사이의 입력 값은 충분한 마진을 가진다. 제2 비교기(230)의 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 (c)의 상단에 위치하는 신호로 두 신호가 변화하는 동안 교차점을 형성하는 구간이 존재하며, 이 경우 충분한 마진을 가지지 못한다. 이 경우, 제1 비교기(220)로 입력되는 제1 입력 신호(INP) 및 제2 입력 신호(INN)는 기준 전압을 충족시킬 정도로 높으므로(high), 제1 비교기(220)의 출력 값은 1이 나오는 것을 알 수 있다.
- [0072] (d)의 경우도 상기의 예시와 동일하게 설명을 하면, 제1 비교기(220)에서 제1 입력 신호(INP) 및 제2 입력 신호(INN)가 충분한 마진을 가지고, 제2 비교기(230)의 제1 입력 신호 및/또는 제2 입력 신호는 교차점을 가지므로, 기준 전압을 충족하지 못하는, 즉 상기 설명한 바와 같이 충분한 마진을 가지지 못한다. 이 경우, 제1 비교기(220)에서 제1 입력 신호의 위상이 낮으므로(Low) 제1 비교기(220)의 출력값이 0이 나온다.
- [0073] 다시 말해서, 클럭 속도가 낮음에도 위상 개수를 늘릴 필요 없이 AC 커플링의 여부만으로 AC와 DC의 독립적인 샘플링에 따라 2비트의 데이터 변화를 확인할 수 있다.
- [0074] 비교기의 결과값으로 제1 비교기(220)에서는 제1 AC 신호(ACP) 및 제2 AC 신호(ACN), 제2 비교기(230)에서는 제1 DC 신호(DCP) 및 제2 DC 신호(DCN)가 출력된다. 제1 비교기(220) 및 제2 비교기(230)에서 출력되는 신호는 도 2에서 언급한 래치부(400)와 시간 기반 비교기(300)로 병렬 입력된다.
- [0075] 이에 대해 도 4 내지 도 5를 참조하여 좀 더 상세히 후술하도록 한다.
- [0077] 도 4는 본 출원의 일 실시예에 따른 샘플링부 이후의 수신기 회로를 나타낸 도면이다.
- [0078] 도 5는 본 출원의 일 실시예에 따른 수신기 회로의 시간 기반 비교기 회로도를 나타낸 도면이다.
- [0079] 도 4를 참조하면, 본 출원에 따른 래치부(400)는 제1 래치(410), 제2 래치(420), 제3 래치(430)를 포함한다.
- [0080] 도 4 내지 도 5를 참조하면, 본 출원에 따른 수신기 회로의 제1 비교기(230)에서 출력된 제1 AC 신호(ACP)와, 제2 AC 신호(ACN)와, 제2 비교기(230)에서 출력된 제1 DC 신호(DCP)와, 제2 DC 신호(DCN)와, 트랜지스터(312)를 포함하는 입력 회로 1(310)과, 트랜지스터(322)를 포함하는 입력 회로 2(320)를 구현하는 시간 기반 비교기(300)를 포함한다.
- [0081] 입력 회로 1(310)과 입력 회로 2(320)는 각각 트랜지스터(312) 및/또는 트랜지스터(322) 외 트랜지스터 2개를 더 포함할 수 있다.
- [0082] 상기 입력 회로 1(310)의 트랜지스터(312)는 게이트에 도 2에서 언급한 클럭 신호 인가부(600)에서 인가한 클럭이 입력되고, 트랜지스터(312)의 소스는 두 개의 트랜지스터 각각 드레인에 연결하고, 두 개 트랜지스터 게이트에는 제1 비교기(220)에서 출력된 제1 AC 신호 및 제2 AC 신호가 각각 입력되고, 두 개의 트랜지스터의 드레인은 접지된다.
- [0083] 상기 입력 회로 2(320)를 일례로 더 설명하자면, 상기 입력 회로 2(320)의 트랜지스터(322)는 게이트에 도 2에서 언급한 클럭 신호 인가부(600)에서 인가한 클럭이 입력되고, 트랜지스터(322)의 소스는 두 개의 트랜지스터 각각 드레인에 연결하고, 두 개 트랜지스터 게이트는 제2 비교기(230)에서 출력된 제1 DC 신호 및 제2 DC 신호가 각각 입력되고, 두 개의 트랜지스터의 드레인은 접지된다.
- [0084] 입력 회로 1(310) 및/또는 입력 회로 2(320)의 트랜지스터(312)와 트랜지스터(322)는 PMOS 트랜지스터 구조로, 수신된 클럭의 논리 상태가 Low 혹은 0일 때 데이터가 샘플 된다.
- [0085] 이후, 시간 기반 비교기(300)는 제1 비교기(220)에서 출력되는 AC 신호와 제2 비교기(230)에서 출력되는 DC 신호가 출력되는 시간차를 비교한다.
- [0086] 즉, 시간 기반 비교기(300) 내부는 AC 신호와 DC 신호를 수신하는 회로가 병렬로 배치되어 있으며, 각각 신호

출력부가 직렬로 연결되어 있다. DC 신호가 먼저 도달하는 경우, 즉 도달한 두 신호의 두 비트가 DC 값을 가지는 것으로서 DC_OUT이 1, AC_OUT이 0이 된다. AC 신호가 먼저 도달하는 경우, AC_OUT이 1, DC_OUT이 0이 된다. 이 경우, 데이터 변환이 일어남을 의미한다.

- [0088] 본 발명에 따른 일 실시예에 따른 수신기 회로(10)의 래치부(400), 즉, 예를 들어 제1 래치(410), 제2 래치(420), 제3 래치(430) 각각은 SR 래치 형태를 유지하고, 이는 S(set)와 R(reset)의 입력을 받아 서로 상보적인 출력을 한다.
- [0089] 제1 비교기(220) 및/또는 제2 비교기(230)의 출력 신호는 각각 제1 래치(410) 및 제3 래치(430)와 시간 기반 비교기(300)로 병렬로 입력된다. 구체적으로, 제1 비교기(220)에서 AC에 관한 신호는 제1 래치(410)로 입력된다. 제2 비교기(230)에서 DC에 관한 제1 DC 신호(DCP) 및/또는 제2 DC 신호(DCN) 중 일부는 제3 래치(430)로 입력된다.
- [0090] 제1 비교기(220) 및/또는 제2 비교기(230) 각각에서 AC와 DC에 관한 출력은 시간 기반 비교기(300)로 입력된다.
- [0091] 맥스(500)는 래치부(400)에서 인가되는 신호들을 출력하는데, 맥스(500)는 4-to-2 맥스를 일례로 설명하였으나, 이에 한정하는 것은 아니다.
- [0092] 즉, 4-to-2 맥스는 인가된 4개의 신호로부터 2개의 신호를 출력할 수 있으며, 상기 언급한 바와 같이 이에 한정하여 설명하는 것은 아니다.
- [0093] 이에 대해 도 6c를 참조하여 좀 더 상세히 후술하도록 한다.
- [0095] 도 6a는 본 출원의 일 실시예에 따른 맥스의 회로도를 나타낸 도면이다.
- [0096] 도 6b는 본 출원의 일 실시예에 따른 맥스의 동작에 따른 다이어그램이다.
- [0097] 도 6a를 참조하면, 본 출원에 따른 수신기 회로 동작 방법은 도 2에서 언급한 시간 기반 비교기(300)와, 시간 기반 비교기(300)를 통해 생성된 선택 비트(SEL)와, 도 2에서 후술한 클럭 신호 인가부(600)에서 인가한 클럭과, 다수의 트랜지스터(511)(513)(521)(522)(524)(526)를 포함한 입력 회로 3(510)에 의해 구현된다.
- [0098] 입력 회로 3(510)은 도 2에서 언급한 클럭 신호 인가부(600)에서 인가된 클럭이 게이트로 입력되는 PMOS 트랜지스터(521) 및/또는 트랜지스터(522)가 존재하고, 트랜지스터의 게이트에 변형 반전된 클럭 신호가 인가되고, 소스 단자가 접지 라인에 연결되는 NMOS 트랜지스터(526) 및/내지 NMOS 트랜지스터(524)를 포함한다. 또한, 클럭이 게이트로 입력되는 PMOS 트랜지스터(521)의 드레인 단자와 NMOS 트랜지스터(511) 및 NMOS 트랜지스터(513)의 드레인 단자 사이에 연결되는 두 개의 트랜지스터(511) 및 트랜지스터(513) 게이트 각각은 시간 기반 비교기(300)를 통해 생성된 선택 비트(SEL)와 선택 비트'(SEL')가 입력된다.
- [0099] 또한, PMOS 트랜지스터(511)의 드레인 단자와 NMOS 트랜지스터(512)의 드레인 단자 사이에 연결되는 중간 인버터 회로를 구현할 수도 있다.
- [0100] 도 6c는 본 출원의 일 실시예에 따른 수신기 회로 및 수신기 회로의 동작 방법에서 입력에 따라 수행한 결과에 대한 모식도이다.
- [0101] 도 6b 및 도 6c를 참조하면, 선택 비트가 1이면 이는 DC를 뜻하는 것이며 이 때 제1 입력 신호가 1이면 출력 신호(OUT[N-1], OUT[N])는 각각 1, 1이며 제1 입력 신호가 0이면 출력 신호는 각각 0, 0이다.
- [0102] 선택 비트가 0이면 이는 AC를 뜻하며, 이는 제1 입력 신호가 1이면 상승을 뜻하며, 출력 신호는 각각 0, 1이며 제1 입력 신호가 0이면 하강을 뜻하고, 출력 신호는 각각 1, 0이다.
- [0104] 도 7a는 본 출원의 일 실시예에 따른 수신기 회로 및 수신기 회로의 동작 방법에서 제1 비교기 및 제2 비교기의 입력값과 클럭의 결과값을 나타내는 그래프이다.
- [0105] 도 7b는 시간 기반 비교기 입력의 마진을 나타낸 시뮬레이션 결과를 나타내는 그래프이다.
- [0106] 도 7a 및 7b를 참조하면, 회로의 AC 커플링을 수행하는 부분에서 수동 지연이 발생하는데, 이를 정확하게 예측

할 수 없으므로 커패시터를 이용해 지연을 적절히 수행하여, 적절한 값으로 맞춰줄 수 있도록 유도할 수 있다. 왼쪽은 조절하기 전의 입력 값을 나타낸 시뮬레이션 결과이고, 오른쪽은 조절한 후의 입력을 나타낸 시뮬레이션 결과이다. 제1 비교기(220)의 입력 값과 제2 비교기(230)의 입력 값의 타이밍 마진이 거의 7ps로 일정하게 최적화되는 것을 알 수 있다.

- [0107] 시뮬레이션 결과, 시간 기반 비교기(300)에서 입력의 마진은 1.5ps정도 차이가 나도 출력값을 정확하게 내보낼 수 있다. 즉, 7ps는 충분한 마진임을 알 수 있다.
- [0108] 이는 도 8을 참조하여 좀 더 상세히 후술하도록 한다.
- [0110] 도 8은 본 출원의 실시예에 따른 수신기 회로 및 수신기 회로의 동작 방법의 전체 흐름을 나타내는 플로우 차트이다.
- [0111] 도 8을 참조하면, 본 출원에 따른 수신기 회로(10) 및 수신기 회로(10)의 동작 방법은 4 개의 단계를 포함할 수 있다.
- [0112] 이와 같은 수신기 회로(10) 및 수신기 회로(10)의 동작 방법은 AC 커플링부(210)와, 제1 비교기(220)와, 제2 비교기(230)와, 시간 기반 비교기(300)와, 맥스(500)에 의해 구현된다.
- [0113] 본 출원에 따른 수신기 회로 동작 방법의 제1 단계(S110)는 입력된 신호의 왜곡을 보상한다.
- [0114] 본 출원에 따른 수신기 회로 동작 방법의 제2 단계(S120)는 보상된 신호가 데이터 전송 속도의 절반 속도의 클럭이 되도록 데이터의 교차점을 샘플링 한다.
- [0115] 본 출원에 따른 수신기 회로 동작 방법의 제3 단계(S130)는 샘플링 단계에서 출력한 신호를 비교기 사이에서 출력의 시간차를 비교한다. 즉, 상기 제3 단계(S130)는, 제1 비교기(220)와 제2 비교기(230)에서 출력의 시간차를 비교하는 과정이다.
- [0116] 본 출원에 따른 수신기 회로 동작 방법의 제4 단계(S140)는 신호 결정 단계로, 시간 기반 비교기(300)의 출력값인 선택 비트와 샘플링 단계의 신호로부터 받은 입력 신호에 따라 출력 신호가 결정된다.
- [0117] 본 출원에 따른 수신기 회로의 동작 방법에서 제2 단계(S120)는 데이터의 교차점을 샘플링하는 과정으로, 클럭 속도가 절반의 경우 위상은 두 배가 필요한 반면, 상승 엣지(edge)에서는 2비트를 바로 파악이 가능하여, 위상을 늘리는 과정을 생략할 수 있다.
- [0118] 뿐만 아니라, 상기 설명하는 샘플링 단계는, AC 커플링부(210)로부터 AC 커플링된 신호는 AC 샘플링하는 단계를 더 포함할 수 있다. 그 후, AC 커플링된 신호는 제1 비교기(220) 내지 제2 비교기(230)로 입력되어 샘플링되는 과정이 더 수행될 수 있다. 이후, AC 커플링된 신호가 동일한 공통모드 전압을 가지게 되면 DC 출력값에 따라 데이터 변화를 감지하고, AC 커플링된 신호가 충분한 마진을 가지게 되면 AC 출력값에 따라 데이터 변화를 감지하는 과정을 더 포함할 수 있다.
- [0119] 제3 단계(S130)는 출력의 시간차를 비교하는 과정으로, AC 샘플링이 수행되는 제1 비교기(220)와 DC 샘플링이 발생하는 제2 비교기(230)의 출력에서 발생한 시간차를 이용하여 비교기 성능의 우수성을 파악할 수 있다.
- [0120] 뿐만 아니라, 출력의 시간차를 비교하는 과정을 통해, 선택 비트를 생성할 수 있으며, 선택 비트는 후에 맥스(500)에서 단계를 수행하는데 이용될 수 있다..
- [0121] 제4 단계(S140)인 신호 결정 단계는 시간 기반 비교기(300)의 출력 값인 선택 비트와 입력 신호에 따라 맥스(500)에서 출력 신호가 결정된다. 예를 들어, 선택 비트가 1인 경우, 제1 입력 신호가 1이면 출력 신호는 각각 1, 1이며 제1 입력 신호가 0이면 출력 신호는 각각 0, 0이다.
- [0122] 또한, 선택 비트가 0인 경우, 제1 입력 신호가 1이면 출력 신호는 각각 0, 1이며 제1 입력 신호가 0이면 출력 신호는 각각 1, 0이다.
- [0124] 이상에서는 본 발명에 따른 바람직한 실시 예들에 대하여 도시하고 또한 설명하였다. 그러나 본 발명은 상술한 실시 예에 한정되지 아니하며, 특허 청구의 범위에서 첨부하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능할 것이다.

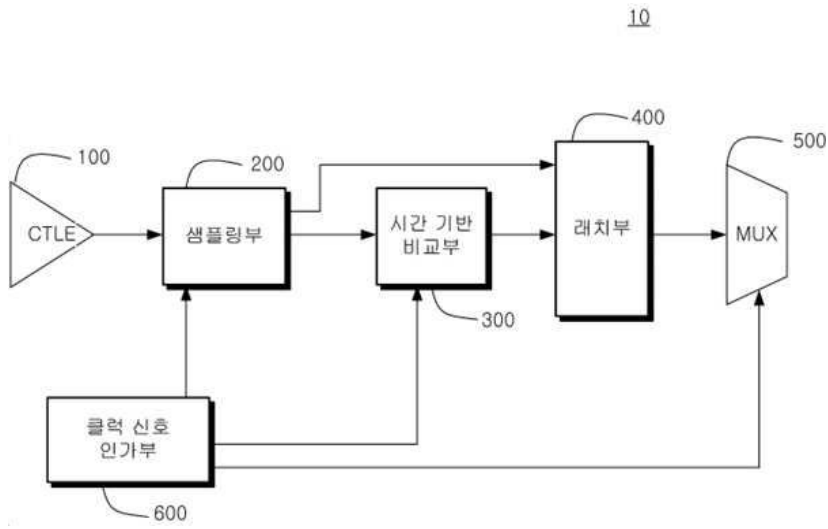
부호의 설명

[0126]

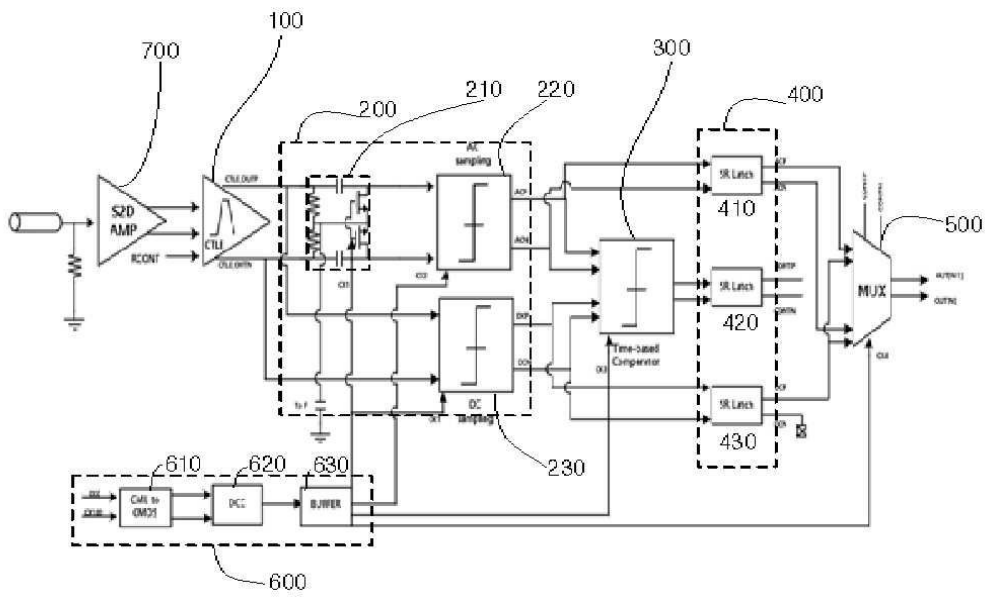
10 : 수신기 회로
 100: 연속 시간 선형 등화기
 200: 샘플링부
 210 : AC 커플링부
 220 : 제1 비교기
 230 : 제2 비교기
 300: 시간 기반 비교기
 310 : 입력 회로 1
 320 : 입력 회로 2
 312, 322, 511, 513, 521, 522, 524, 526 : 트랜지스터
 400: 래치부
 410 : 제1 래치부
 420 : 제2 래치부
 430 : 제3 래치부
 500: 믹스
 510 : 입력 회로 3
 600 : 클럭 신호 인가부
 610 : CML to CMOS 변환기
 620 : 듀티 보정부
 630 : 버퍼
 700 : S2D 증폭기

도면

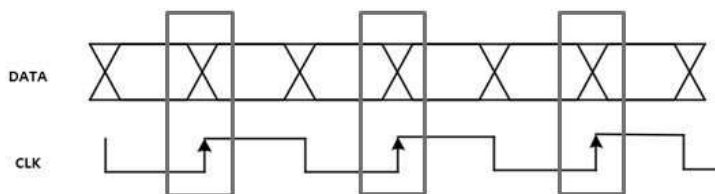
도면1



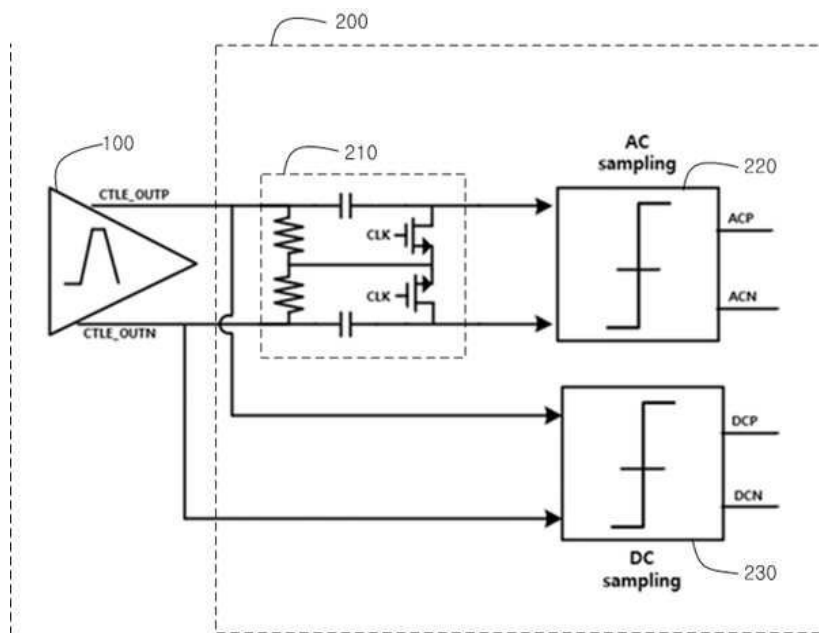
도면2



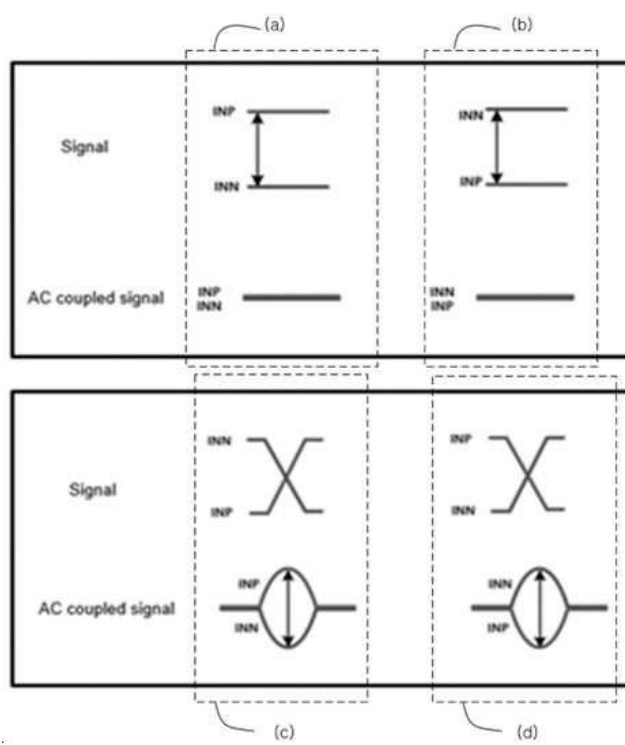
도면3a



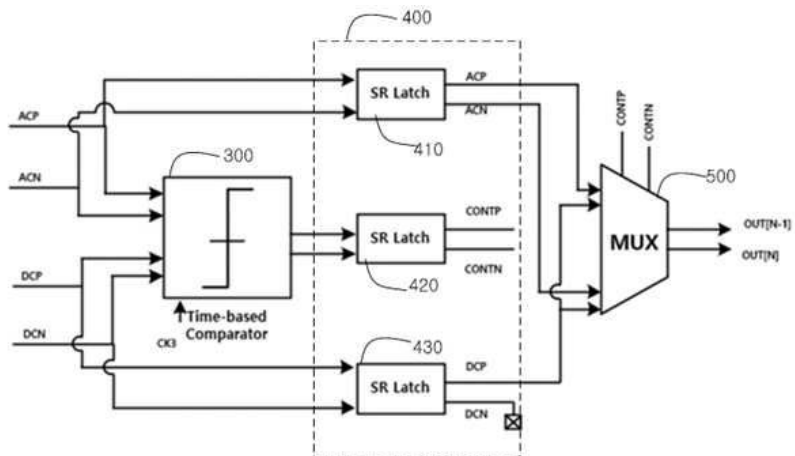
도면3b



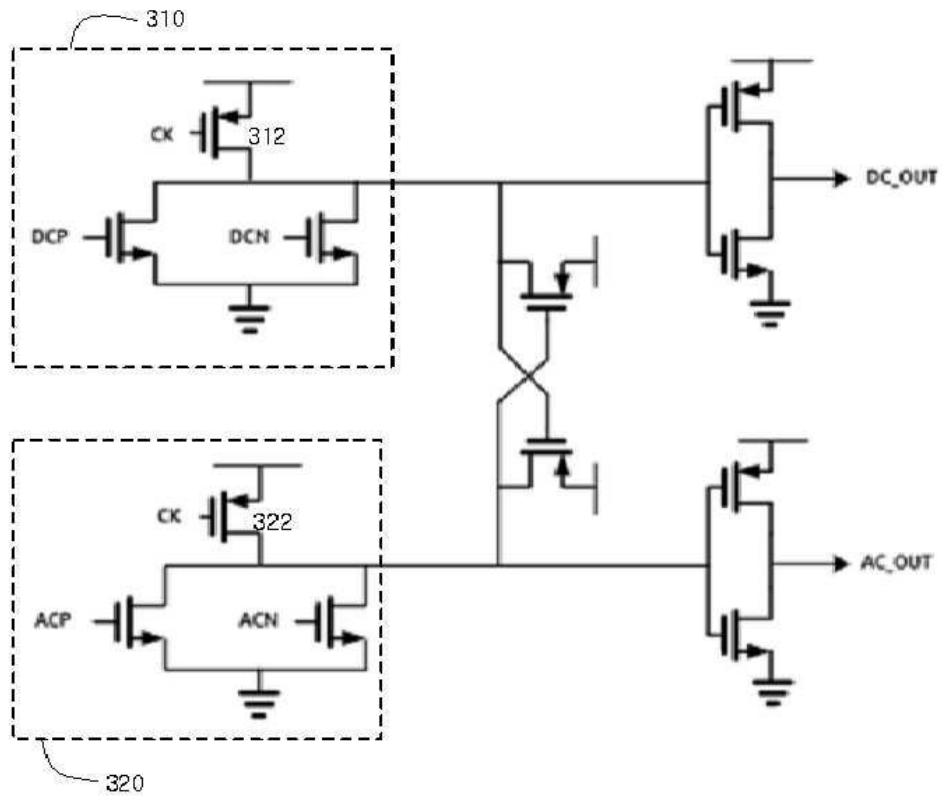
도면3c



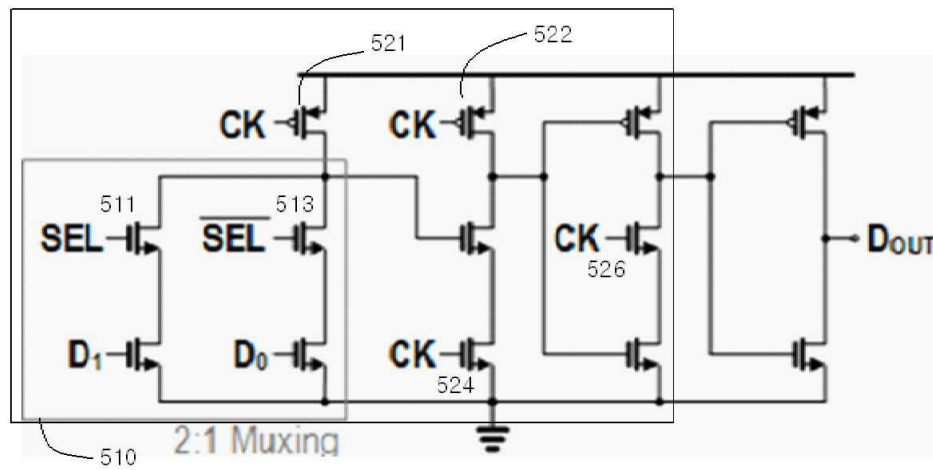
도면4



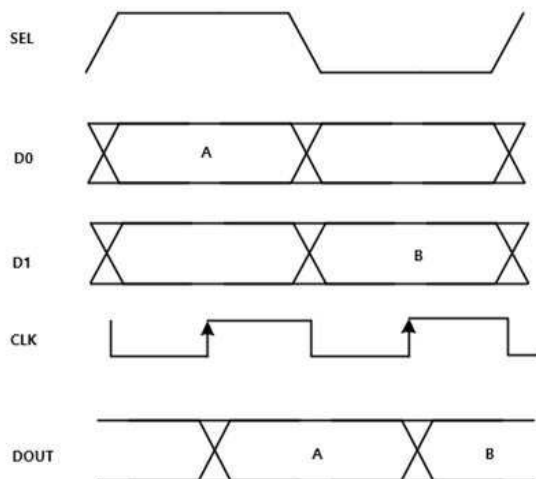
도면5



도면6a



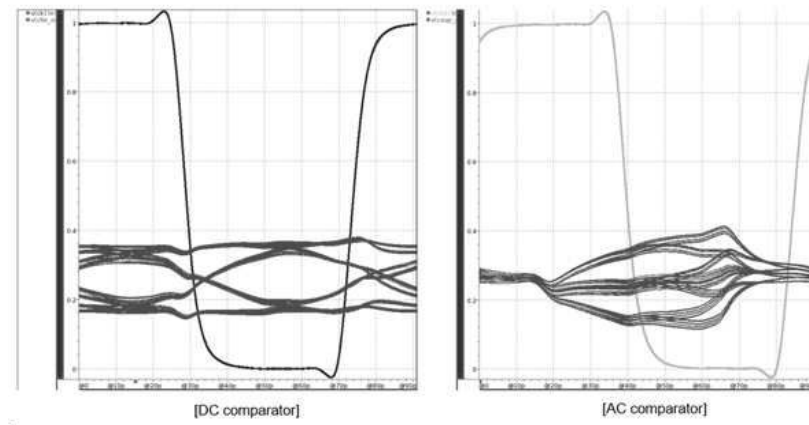
도면6b



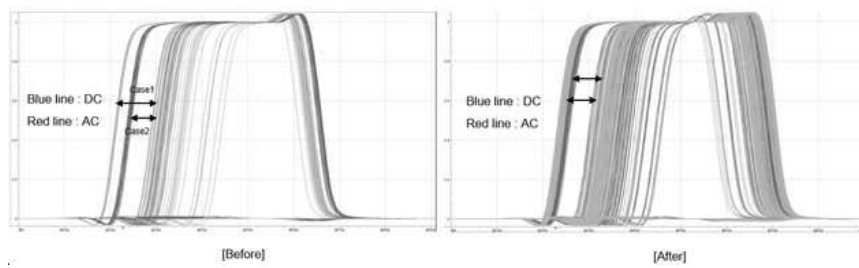
도면6c

	INP	INN	OUT[N-1]	OUT[N]
DC (SEL=1)	1	0	1	1
DC (SEL=1)	0	1	0	0
AC (SEL=0)	1(rising)	0	0	1
AC (SEL=0)	0(falling)	1	1	0

도면7a



도면7b



도면8

