

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 21 日 (21.07.2016)



(10) 国际公布号
WO 2016/112572 A1

- (51) 国际专利分类号:
H01L 33/08 (2010.01)
- (21) 国际申请号: PCT/CN2015/072643
- (22) 国际申请日: 2015 年 2 月 10 日 (10.02.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510016748.5 2015 年 1 月 13 日 (13.01.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 胡宇彤 (HU, Yutong); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: ARRAY SUBSTRATE FABRICATION METHOD, ARRAY SUBSTRATE, AND DISPLAY PANEL

(54) 发明名称: 一种阵列基板的制作方法、阵列基板及显示面板

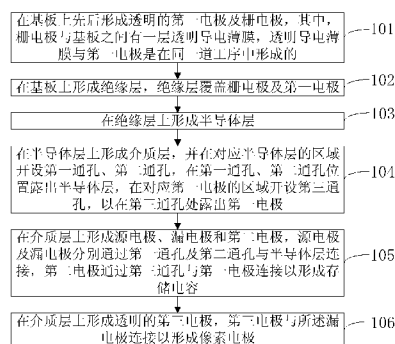


图 1

- 101 FIRST ELECTRODE AND GATE ELECTRODE ARE SUCCESSIVELY FORMED ON SUBSTRATE, TRANSPARENT CONDUCTIVE THIN FILM LAYER IS BETWEEN GATE ELECTRODE AND SUBSTRATE; TRANSPARENT CONDUCTIVE THIN FILM AND FIRST ELECTRODE ARE FORMED IN SAME PROCESS STEP
- 102 INSULATING LAYER IS FORMED ON SUBSTRATE, INSULATING LAYER COVERING GATE ELECTRODE AND FIRST ELECTRODE
- 103 SEMICONDUCTOR LAYER IS FORMED ON INSULATING LAYER
- 104 DIELECTRIC LAYER IS FORMED ON SEMICONDUCTOR LAYER; FIRST THROUGH-HOLE AND SECOND THROUGH-HOLE ARE PROVIDED IN REGION CORRESPONDING TO SEMICONDUCTOR; SEMICONDUCTOR IS EXPOSED AT POSITIONS OF FIRST THROUGH-HOLE AND SECOND THROUGH-HOLE, THIRD THROUGH-HOLE IS PROVIDED AT REGION CORRESPONDING TO FIRST ELECTRODE; SECOND ELECTRODE IS CONNECTED TO FIRST ELECTRODE BY MEANS OF THIRD THROUGH-HOLE, TO FORM STORAGE CAPACITOR
- 105 SOURCE ELECTRODE, DRAIN ELECTRODE, AND SECOND ELECTRODE ARE FORMED ON DIELECTRIC LAYER, SOURCE ELECTRODE AND DRAIN ELECTRODE BEING CONNECTED TO SEMICONDUCTOR LAYER BY MEANS OF FIRST THROUGH-HOLE AND SECOND THROUGH-HOLE, RESPECTIVELY, AND SECOND ELECTRODE BEING CONNECTED TO FIRST ELECTRODE BY MEANS OF THIRD THROUGH-HOLE, TO FORM STORAGE CAPACITOR
- 106 TRANSPARENT THIRD ELECTRODE IS FORMED ON DIELECTRIC LAYER, THIRD ELECTRODE BEING CONNECTED TO DRAIN ELECTRODE TO FORM PIXEL ELECTRODE

(57) Abstract: Provided are an array substrate fabrication method, an array substrate, and a display panel, said method comprising: a first electrode and a gate electrode are successively formed on a substrate; an insulating layer is formed on the substrate, the insulating layer covering the gate electrode and the first electrode; a semiconductor layer is formed on the insulating layer; a dielectric layer is formed on the semiconductor layer, and is provided with a first through-hole, a second through-hole, and a third through-hole; a source electrode, a drain electrode, and a second electrode are formed on the dielectric layer, the source electrode and drain electrode being connected to the semiconductor layer by means of the first through-hole and the second through-hole, respectively, and the second electrode being connected to the first electrode by means of the third through-hole, to form a storage capacitor; a transparent third electrode is formed on the dielectric layer, the third electrode being connected to the drain electrode to form a pixel electrode. The scheme described above reduces the quantity of photomasks used during the process of fabrication of the array substrate, thus the process flow is simplified and costs are decreased.

(57) 摘要:

[见续页]

WO 2016/112572 A1



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板的制作方法、阵列基板及显示面板，该方法包括：在基板上先后形成第一电极及栅电极；在基板上形成绝缘层，绝缘层覆盖栅电极及第一电极；在绝缘层上形成半导体层；在半导体层上形成介质层，并开设第一通孔、第二通孔及第三通孔；在介质层上形成源电极、漏电极和第二电极，源电极及漏电极分别通过第一通孔及第二通孔与半导体层连接，第二电极通过第三通孔与第一电极连接以形成存储电容；在介质层上形成透明的第三电极，第三电极与漏电极连接以形成像素电极。通过上述方式，能够在阵列基板的制作过程中减少光罩的使用数量，减少工艺流程，降低成本。

一种阵列基板的制作方法、阵列基板及显示面板

[1] 【技术领域】

[2] 本发明涉及显示领域，特别是涉及一种阵列基板的制作方法、阵列基板及显示面板。

[3] 【背景技术】

[4] 低温多晶硅(Low Temperature Poly-silicon; 简称LTPS)薄膜晶体管液晶显示器是在封装过程中，利用准分子镭射作为热源，镭射光经过投射系统后，会产生能量均匀分布的镭射光束，投射于非晶硅结构的玻璃基板上，当非晶硅结构玻璃基板吸收准分子镭射的能量后，会转变成为多晶硅结构，因整个处理过程都是在600°C以下完成，故一般玻璃基板皆可适用。

[5] 传统的底栅型LTPS像素层别结构很多，制作相对复杂，制作时需要使用更多数量的光罩，这极大的增加了生产成本。以传统的PMOS制程为例，往往至少需要使用9张光罩。

[6] 另外，传统的底栅LTPS像素中经常会使用一有机层，用于隔绝金属电极和透明电极，降低它们之间的寄生电容，有机层往往厚度较大，但这样会对制程的均一性提出了更高的要求，而且经常导致显示亮度不均匀的问题，降低了制程的良率。

[7] 【发明内容】

[8] 本发明主要解决的技术问题是提供一种阵列基板的制作方法、阵列基板及显示面板，能够在阵列基板的制作过程中减少光罩的使用数量，减少工艺流程，降低成本。

[9] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种阵列基板的制作方法，该方法包括：在基板上先后形成透明的第一电极及栅电极，其中，栅电极与基板之间有一层透明导电薄膜，透明导电薄膜与第一电极是在同一道工序中形成的；在基板上形成绝缘层，绝缘层覆盖栅电极及第一电极；在绝缘层上形成半导体层；在半导体层上形成介质层，并在对应半导体层的区域开设第

一通孔、第二通孔，在第一通孔、第二通孔位置露出半导体层，在对应第一电极的区域开设第三通孔，以在第三通孔处露出第一电极；在介质层上形成源电极、漏电极和第二电极，源电极及漏电极分别通过第一通孔及第二通孔与半导体层连接，第二电极通过第三通孔与第一电极连接以形成存储电容；在介质层上形成透明的第三电极，第三电极与漏电极连接以形成像素电极，其中，栅电极、源电极、漏电极及第二电极为金属电极，第一电极及第三电极为氧化铟锡ITO。

[10] 其中，在基板上先后形成透明的第一电极层及栅电极层，图形化后以形成第一电极及栅电极步骤，具体为：在基板上形成透明的第一电极层；在第一电极层上形成栅电极层；对第一电极层及栅电极层进行图形化，以形成第一小岛及第二小岛，其中，每个小岛均包括第一电极层及栅电极层；对第一小岛及第二小岛进行蚀刻以分别形成栅电极及第一电极。

[11] 其中，在绝缘层上形成半导体层步骤，具体为：在绝缘层上沉积一层非晶硅并得到多晶硅；在多晶硅上覆盖一层光阻；从基板上进行光照，以使光阻中没有被栅电极遮挡的部分曝光；对光阻及多晶硅上的曝光部分进行蚀刻；对多晶硅进行掺杂以形成对应第一通孔的第一掺杂区及对应第二通孔的第二掺杂区，以分别连接源电极及漏电极。

[12] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种阵列基板，该阵列基板包括基板和依次设置于基板上的第一电极层、绝缘层、半导体层、介质层及第二电极层；其中，第一电极层包括栅电极及透明的第一电极，其中，栅电极与基板之间有一层透明导电薄膜，透明导电薄膜与第一电极是在同一道工序中形成的；第二电极层包括源电极、漏电极、第二电极及透明的第三电极；在介质层上对应半导体层的区域设置有第一通孔及第二通孔以使半导体层分别与源电极及漏电极连接；在介质层及绝缘层上对应第一电极的区域设置有第三通孔以使第一电极与第二电极连接形成存储电容；第三电极与漏电极连接以形成像素电极。

[13] 其中，半导体层是通过多晶硅掺杂制成，并形成第一掺杂区及第二掺杂区；第一掺杂区及第二掺杂区分别对应第一通孔及第二通孔以连接源电极及漏电极

- 。
- [14] 其中，栅电极、源电极、漏电极及第二电极均为金属电极。
- [15] 其中，第一电极及第三电极均为氧化铟锡ITO。
- [16] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种显示面板，该显示面板包括彩膜基板、阵列基板以及彩膜基板、阵列基板之间的液晶层，其中，该阵列基板包括基板和依次设置于基板上的第一电极层、绝缘层、半导体层、介质层及第二电极层；其中，第一电极层包括栅电极及透明的第一电极，其中，栅电极与基板之间有一层透明导电薄膜，透明导电薄膜与第一电极是在同一道工序中形成的；第二电极层包括源电极、漏电极、第二电极及透明的第三电极；在介质层上对应半导体层的区域设置有第一通孔及第二通孔以使半导体层分别与源电极及漏电极连接；在介质层及绝缘层上对应第一电极的区域设置有第三通孔以使第一电极与第二电极连接形成存储电容；第三电极与漏电极连接以形成像素电极。
- [17] 其中，半导体层是通过对多晶硅掺杂制成，并形成第一掺杂区及第二掺杂区；第一掺杂区及第二掺杂区分别对应第一通孔及第二通孔以连接源电极及漏电极。
- 。
- [18] 其中，栅电极、源电极、漏电极及第二电极均为金属电极。
- [19] 其中，第一电极及第三电极均为氧化铟锡ITO。
- [20] 本发明的有益效果是：区别于现有技术的情况，本发明通过将第一电极设置于基板上，避免了传统技术中，将第一电极设置于半导体层上时需要采用很厚的隔离层以使第一电极与源、漏电极隔开，而第三电极设置于第一电极也需要一层隔离层隔开时厚厚的隔离层造成的显示亮度不均匀的问题，显示效果提高，另外栅电极和第一电极同时使用一张光罩，在制造过程中只需要六道光罩，比传统的技術中九道光罩减少了三道，使制作工艺简化，成本降低。
- [21] **【附图说明】**
- [22] 图1是本发明阵列基板的制作方法第一实施方式的流程图；
- [23] 图2是本发明阵列基板的制作方法第一实施方式中步骤101的结构示意图；
- [24] 图3是本发明阵列基板的制作方法第一实施方式中步骤102的结构示意图；

- [25] 图4是本发明阵列基板的制作方法第一实施方式中步骤103的结构示意图；
- [26] 图5是本发明阵列基板的制作方法第一实施方式中步骤104的结构示意图；
- [27] 图6是本发明阵列基板的制作方法第一实施方式中步骤105的结构示意图；
- [28] 图7是本发明阵列基板的制作方法第一实施方式中步骤106的结构示意图；
- [29] 图8是本发明阵列基板的制作方法第二实施方式的流程图；
- [30] 图9是本发明阵列基板的制作方法第二实施方式中步骤801的结构示意图；
- [31] 图10是本发明阵列基板的制作方法第二实施方式中步骤802的结构示意图；
- [32] 图11是本发明阵列基板的制作方法第二实施方式中步骤803的结构示意图；
- [33] 图12是本发明阵列基板的制作方法第二实施方式中步骤804的结构示意图；
- [34] 图13是本发明阵列基板的制作方法第三实施方式的流程图；
- [35] 图14是本发明阵列基板的制作方法第三实施方式中步骤1301的结构示意图；
- [36] 图15是本发明阵列基板的制作方法第三实施方式中步骤1302的结构示意图；
- [37] 图16是本发明阵列基板的制作方法第三实施方式中步骤1303及步骤804的结构示意图；
- [38] 图17是本发明阵列基板的制作方法第三实施方式中步骤1305的结构示意图；
- [39] 图18是本发明阵列基板实施方式的结构示意图；
- [40] 图19是本发明显示面板实施方式的结构示意图。

[41] **【具体实施方式】**

[42] 参阅图1，本发明阵列基板的制作方法第一实施方式的流程图，该方法包括：

[43] 步骤101：在基板201上先后形成第一电极203及栅电极202，其中，栅电极202与基板201之间有一层透明导电薄膜2021，透明导电薄膜2021与第一电极203是在同一道工序中形成的；

[44] 如图2所示，基板201一般采用玻璃，在玻璃基板201清洗干燥后，在玻璃基板201上先后形成透明导电薄膜及金属层，经过一次图形化处理以使该透明导电层形成第一电极203，金属层形成栅极202；栅极材料可以是Pt、Ru、Au、Ag、Mo、Cr、Al、Ta、Ti或W中的一种或多种合金，栅电极202用于连接栅极线；透明导电薄膜例如ITO（锡掺杂三氧化铟）、AZO（铝掺杂氧化锌）等。

[45] 此时，对栅电极202及第一电极203同时使用第一道光罩。

- [46] 步骤102: 在基板201上形成绝缘层204, 绝缘层204覆盖栅电极202及第一电极203;
- [47] 如图3所示, 该绝缘层204可以是氧化硅层 (SiO_x) 或氮化硅层 (SiN_x), 也可以是由氧化硅层与氮化硅层叠层形成, 其主要是通过化学气相沉积的方式形成于基板201上并且覆盖栅电极202及第一电极203以起到绝缘作用。
- [48] 此时, 对绝缘层204进行图形化时使用第二道光罩。
- [49] 步骤103: 在绝缘层204上形成半导体层205;
- [50] 如图4所示, 半导体层205可以是非晶硅或多晶硅进行掺杂形成的P-MOS、N-MOS或者C-MOS结构。
- [51] 此时, 对半导体层205进行图形化时, 使用第三道光罩。
- [52] 步骤104: 在半导体层205上形成介质层206, 并在对应半导体层205的区域开设第一通孔2061、第二通孔2062, 在第一通孔2061、第二通孔2062位置露出半导体层205, 在对应第一电极202的区域开设第三通孔2063, 以在第三通孔2063处露出第一电极202;
- [53] 如图5所示, 该介质层206是采用ILD层间介质隔离材料, 以对半导体层206及后续的电极层进行隔离。
- [54] 此时, 在对该介质层206进行开孔的过程中, 使用第四道光罩。
- [55] 步骤105: 在介质层206上形成源电极2071、漏电极2072和第二电极2073, 源电极2071及漏电极2072分别通过第一通孔2061及第二通孔2062与半导体层205连接, 第二电极2073通过第三通孔2063与第一电极202连接以形成存储电容;
- [56] 源电极2071、漏电极2072和第二电极2073同样采用Pt、Ru、Au、Ag、Mo、Cr、Al、Ta、Ti或W中的一种或多种合金通过镀膜等方式形成。
- [57] 此时, 在对源电极2071、漏电极2072及第二电极2073图形化时使用第五道光罩。
- [58] 步骤106: 在介质层206上形成透明的第三电极208, 第三电极208与漏电极2072连接以形成像素电极。
- [59] 该第三电极208与第一电极202材料相同, 也可以采用ITO (锡掺杂三氧化铟)、AZO(铝掺杂氧化锌)等透明导电薄膜。

[60] 此时，在对该第三电极208进行图形化时使用第六道光罩。

[61] 区别于现有技术，本实施方式通过将第一电极设置于基板上，避免了传统技术中，将第一电极设置于半导体层上时需要采用很厚的隔离层以使第一电极与源、漏电极隔开，而第三电极设置于第一电极也需要一层隔离层隔开时厚厚的隔离层造成的显示亮度不均匀的问题，显示效果提高，另外栅电极和第一电极同时使用一张光罩，在制造过程中只需要六道光罩，比传统的技术中九道光罩减少了三道，使制作工艺简化，成本降低。

[62] 参阅图8，本发明阵列基板的制作方法第二实施方式的流程图，该方法包括：

[63] 步骤801：在基板201上形成透明的第一电极层203；

[64] 如图9所示，第一电极层是透明导电薄膜，例如ITO（锡掺杂三氧化铟）、AZO（铝掺杂氧化锌）等。

[65] 步骤802：在第一电极层203上形成栅电极层202；

[66] 如图10所示，栅电极层202是Pt、Ru、Au、Ag、Mo、Cr、Al、Ta、Ti或W中的一种或多种合金。

[67] 步骤803：对第一电极层203及栅电极层202进行图形化，以形成第一小岛及第二小岛，其中，每个小岛均包括第一电极层203及栅电极层202；

[68] 如图11所示，在图形化时，仅使用一张光罩。

[69] 步骤804：对第一小岛及第二小岛进行蚀刻以分别形成栅电极202及第一电极203。

[70] 如图12所示，蚀刻后的栅电极202与基板201之间仍有一层透明导电薄膜，而第一电极203上面的金属层则被蚀刻掉了。

[71] 区别于现有技术，本实施方式通过将第一电极设置于基板上，避免了传统技术中，将第一电极设置于半导体层上时需要采用很厚的隔离层以使第一电极与源、漏电极隔开，而第三电极设置于第一电极也需要一层隔离层隔开时厚厚的隔离层造成的显示亮度不均匀的问题，显示效果提高，另外栅电极和第一电极同时使用一张光罩，在制造过程中只需要六道光罩，比传统的技术中九道光罩减少了三道，使制作工艺简化，成本降低。

[72] 参阅图13，本发明阵列基板的制作方法第二实施方式的流程图，该方法包括：

- [73] 步骤1301: 在绝缘层204上沉积一层非晶硅并得到多晶硅211;
- [74] 如图14所示, 在绝缘层204上沉积一层非晶硅(a-Si)层, 并利用准分子镭射作为热源, 镭射光经过投射系统后, 会产生能量均匀分布的镭射光束, 投射于非晶硅层上, 当非晶硅层吸收准分子镭射的能量后, 会转变成为多晶硅211结构, 整个处理过程都是在600°C以下完成。
- [75] 步骤1302: 在多晶硅211上覆盖一层光阻212;
- [76] 如图15所示, 该光阻212为负性光阻。
- [77] 步骤1303: 从基板上进行光照, 以使光阻212中没有被栅电极202遮挡的部分曝光;
- [78] 步骤1304: 对光阻212及多晶硅211上的曝光部分进行蚀刻;
- [79] 如图16所示, 由于栅电极202的遮挡, 对应栅电极202上方的光阻212不能被曝光, 然后对曝光部分的多晶硅及光阻进行蚀刻。
- [80] 步骤1305: 对多晶硅211进行掺杂以形成对应第一通孔的第一掺杂区212及对应第二通孔的第二掺杂区213, 以分别连接源电极及漏电极。
- [81] 如图17所示, 该掺杂为P+掺杂或N+掺杂, 以使该半导体层形成P-MOS、N-MOS或者C-MOS结构。
- [82] 该实施方式仅是第一实施方式中步骤103的详细步骤, 并不是完整制作阵列基板的方法, 步骤前后还包括如第一实施方式中的其他步骤。
- [83] 区别于现有技术, 本实施方式通过将第一电极设置于基板上, 避免了传统技术中, 将第一电极设置于半导体层上时需要采用很厚的隔离层以使第一电极与源、漏电极隔开, 而第三电极设置于第一电极也需要一层隔离层隔开时厚厚的隔离层造成的显示亮度不均匀的问题, 显示效果提高, 另外栅电极和第一电极在制造共用一道光罩, 整个过程中只需要六道光罩, 比传统的技術中九道光罩减少了三道, 使制作工艺简化, 成本降低。
- [84] 参阅图18, 本发明阵列基板实施方式的结构示意图, 该阵列基板包括基板201和依次设置于基板201上的第一电极层、绝缘层204、半导体层、介质层206及第二电极层;
- [85] 其中, 第一电极层包括栅电极202及透明的第一电极203; 第二电极层包括源电

极2071、漏电极2072、第二电极2073及透明的第三电极208；在介质层206上对应半导体层的区域设置有第一通孔及第二通孔以使半导体层分别与源电极2071及漏电极2072连接；在介质层206及绝缘层204上对应第一电极203的区域设置有第三通孔以使第一电极203与第二电极2073连接形成存储电容；第三电极208与漏电极2072连接以形成像素电极。

[86] 其中，半导体层是通过多晶硅掺杂制成，并形成第一掺杂区2051及第二掺杂区2052；第一掺杂区2051及第二掺杂区2052分别对应第一通孔及第二通孔以连接源电极2071及漏电极2072。

[87] 其中，栅电极202连接栅极线。

[88] 其中，栅电极202、源电极2071、漏电极2072及第二电极2073为金属电极。

[89] 其中，第一电极203及第三电极208为氧化铟锡ITO。

[90] 本实施方式是基于上述阵列基板的制作方法的产品，其实施方式类似，这里不再赘述。

[91] 区别于现有技术，本实施方式通过将第一电极设置于基板上，避免了传统技术中，将第一电极设置于半导体层上时需要采用很厚的隔离层以使第一电极与源、漏电极隔开，而第三电极设置于第一电极也需要一层隔离层隔开时厚厚的隔离层造成的显示亮度不均匀的问题，显示效果提高，另外栅电极和第一电极在制造过程共用一道光罩，整个过程只需要六道光罩，比传统的技术中九道光罩减少了三道，使制作工艺简化，成本降低。

[92] 参阅图19，本发明显示面板实施方式的结构示意图，该显示面板包括彩膜基板1091、阵列基板1092以及彩膜基板1091、阵列基板1092之间的液晶层1093，其特征在于，该阵列基板1091是如上述实施方式中的阵列基板，这里不再赘述。

[93] 区别于现有技术，本实施方式中显示面板中的阵列基板将第一电极设置于基板上，避免了传统技术中，将第一电极设置于半导体层上时需要采用很厚的隔离层以使第一电极与源、漏电极隔开，而第三电极设置于第一电极也需要一层隔离层隔开时厚厚的隔离层造成的显示亮度不均匀的问题，显示效果提高，另外栅电极和第一电极在制造过程共用一道光罩，整个过程只需要六道光罩，比传统的技术中九道光罩减少了三道，使制作工艺简化，成本降低。

[94] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种阵列基板的制作方法，其中，所述方法包括：

在基板上先后形成透明的第一电极及栅电极，其中，所述栅电极与所述基板之间有一层透明导电薄膜，所述透明导电薄膜与所述第一电极是在同一道工序中形成的；

在所述基板上形成绝缘层，所述绝缘层覆盖所述栅电极及第一电极；

在所述绝缘层上形成半导体层；

在所述半导体层上形成介质层，并在对应所述半导体层的区域开设第一通孔、第二通孔，在所述第一通孔、第二通孔位置露出所述半导体层，在对应所述第一电极的区域开设第三通孔，以在所述第三通孔处露出所述第一电极；

在所述介质层上形成源电极、漏电极和第二电极，所述源电极及漏电极分别通过所述第一通孔及第二通孔与所述半导体层连接，所述第二电极通过所述第三通孔与所述第一电极连接以形成存储电容；

在所述介质层上形成透明的第三电极，所述第三电极与所述漏电极连接以形成像素电极；

其中，所述栅电极、源电极、漏电极及第二电极为金属电极；

所述第一电极及第三电极为氧化铟锡ITO。

[权利要求 2]

根据权利要求1所述的方法，其中，所述在基板上先后形成第一电极及栅电极步骤，具体为：

在基板上形成透明的第一电极层；

在所述第一电极层上形成栅电极层；

对所述第一电极层及栅电极层进行图形化，以形成第一小岛及第二小岛，其中，每个小岛均包括所述第一电极层及栅电极层；

对所述第一小岛及第二小岛进行蚀刻以分别形成所述栅电极及第一电极。

- [权利要求 3] 根据权利要求1所述的方法，其中，所述在所述绝缘层上形成半导体层步骤，具体为：
在所述绝缘层上沉积一层非晶硅并得到多晶硅；
在所述多晶硅上覆盖一层光阻；
从所述基板上进行光照，以使所述光阻中没有被所述栅电极遮挡的部分曝光；
对所述光阻及所述多晶硅上的曝光部分进行蚀刻；
对所述多晶硅进行掺杂以形成对应所述第一通孔的第一掺杂区及对应所述第二通孔的第二掺杂区，以分别连接所述源电极及漏电极。
- [权利要求 4] 一种阵列基板，其中，所述阵列基板包括基板和依次设置于所述基板上的第一电极层、绝缘层、半导体层、介质层及第二电极层；
所述第一电极层包括栅电极及透明的第一电极，其中，所述栅电极与所述基板之间有一层透明导电薄膜，所述透明导电薄膜与所述第一电极是在同一道工序中形成的；
所述第二电极层包括源电极、漏电极、第二电极及透明的第三电极；
在所述介质层上对应所述半导体层的区域设置有第一通孔及第二通孔以使所述半导体层分别与所述源电极及漏电极连接；
在所述介质层及绝缘层上对应所述第一电极的区域设置有第三通孔以使所述第一电极与所述第二电极连接形成存储电容；
所述第三电极与所述漏电极连接以形成像素电极。
- [权利要求 5] 根据权利要求4所述的阵列基板，其中，所述半导体层是通过对多晶硅掺杂制成，并形成第一掺杂区及第二掺杂区；
所述第一掺杂区及第二掺杂区分别对应所述第一通孔及第二通孔以连接所述源电极及漏电极。
- [权利要求 6] 根据权利要求4所述的阵列基板，其中，所述栅电极、源电极、漏

电极及第二电极为金属电极。

[权利要求 7] 根据权利要求4所述的阵列基板，其中，所述第一电极及第三电极为氧化铟锡ITO。

[权利要求 8] 一种显示面板，包括彩膜基板、阵列基板以及所述彩膜基板、阵列基板之间的液晶层，其中，所述阵列基板包括基板和依次设置于所述基板上的第一电极层、绝缘层、半导体层、介质层及第二电极层；

所述第一电极层包括栅电极及透明的第一电极，其中，所述栅电极与所述基板之间有一层透明导电薄膜，所述透明导电薄膜与所述第一电极是在同一道工序中形成的；

所述第二电极层包括源电极、漏电极、第二电极及透明的第三电极；

在所述介质层上对应所述半导体层的区域设置有第一通孔及第二通孔以使所述半导体层分别与所述源电极及漏电极连接；

在所述介质层及绝缘层上对应所述第一电极的区域设置有第三通孔以使所述第一电极与所述第二电极连接形成存储电容；

所述第三电极与所述漏电极连接以形成像素电极。

[权利要求 9] 根据权利要求8所述的显示面板，其中，所述半导体层是通过对多晶硅掺杂制成，并形成第一掺杂区及第二掺杂区；

所述第一掺杂区及第二掺杂区分别对应所述第一通孔及第二通孔以连接所述源电极及漏电极。

[权利要求 10] 根据权利要求8所述的显示面板，其中，所述栅电极、源电极、漏电极及第二电极为金属电极。

[权利要求 11] 根据权利要求8所述的显示面板，其中，所述第一电极及第三电极为氧化铟锡ITO。

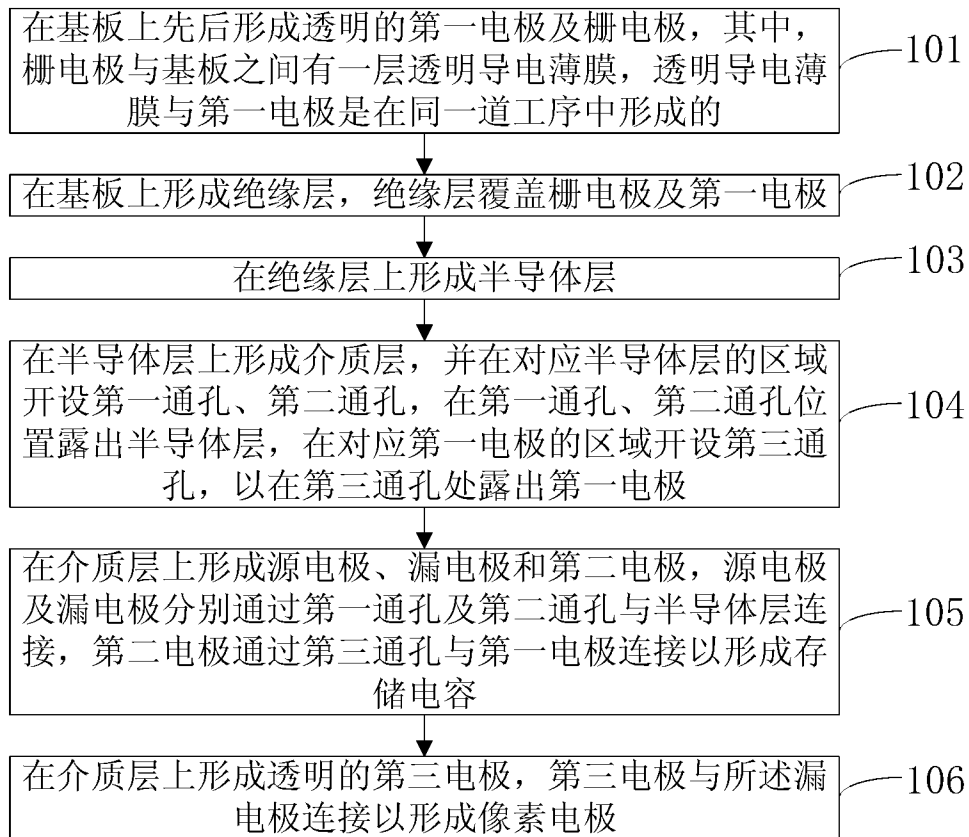


图 1

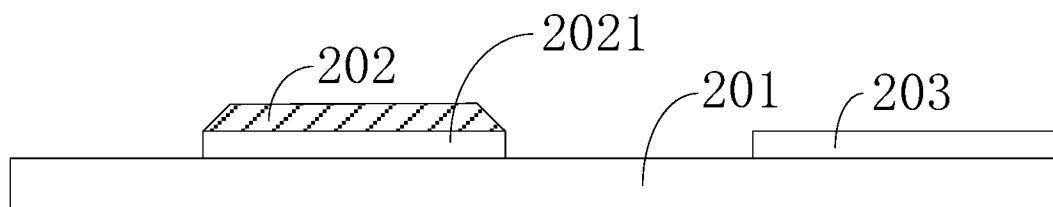


图 2

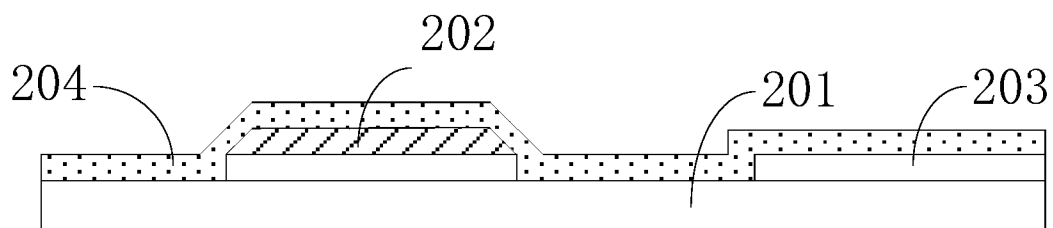


图 3

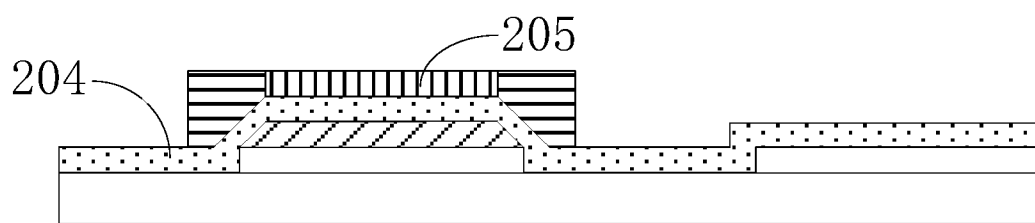


图 4

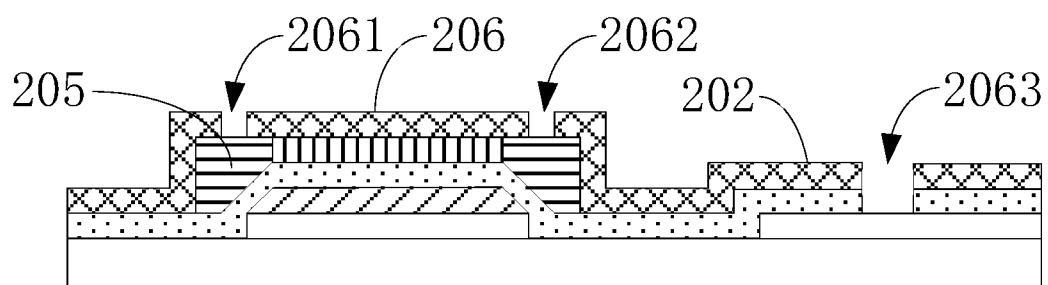


图 5

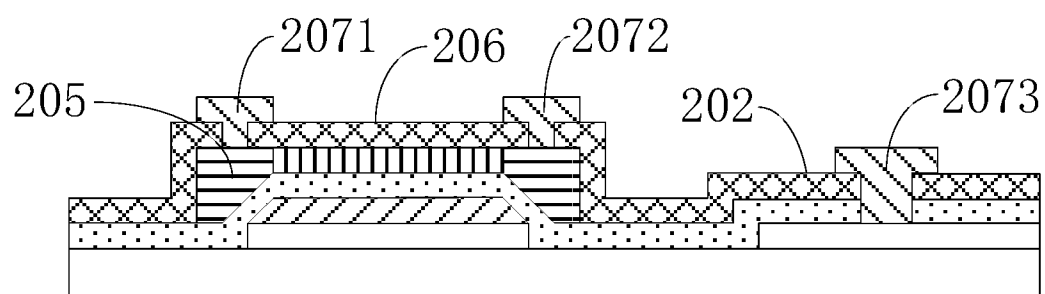


图 6

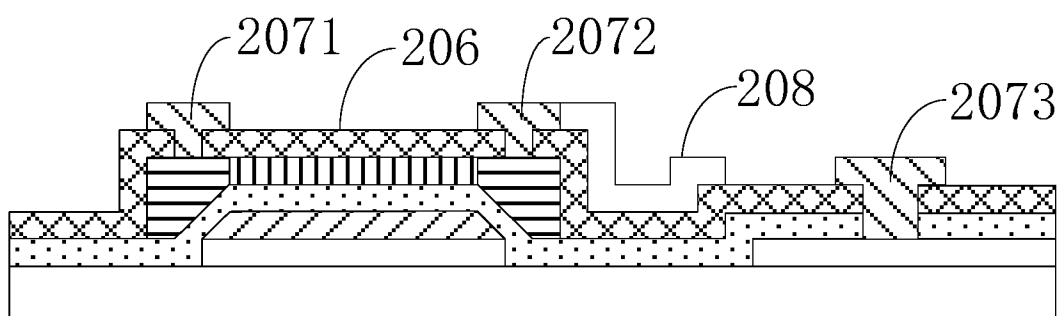


图 7

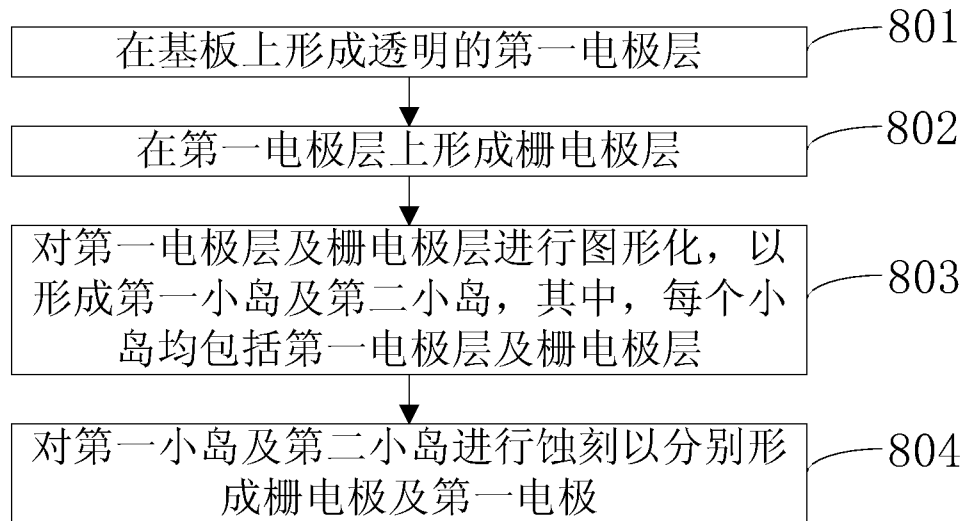


图 8

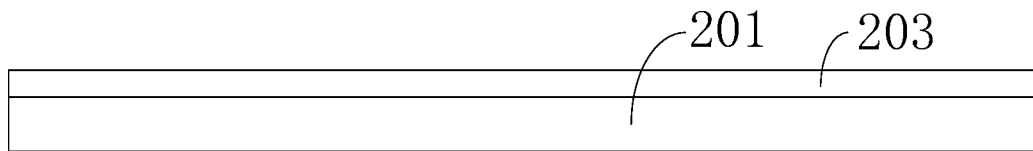


图 9

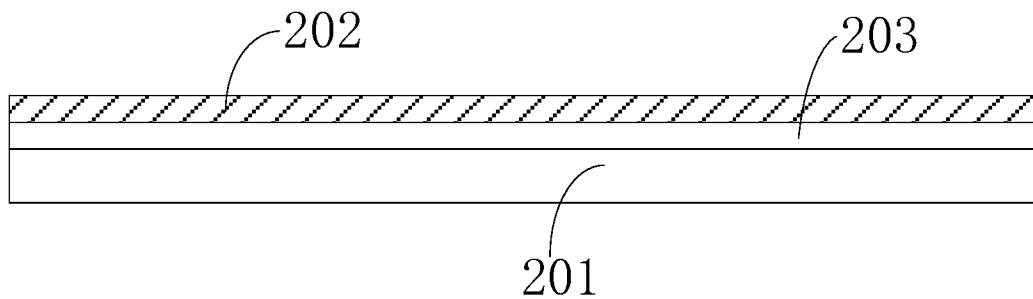


图 10

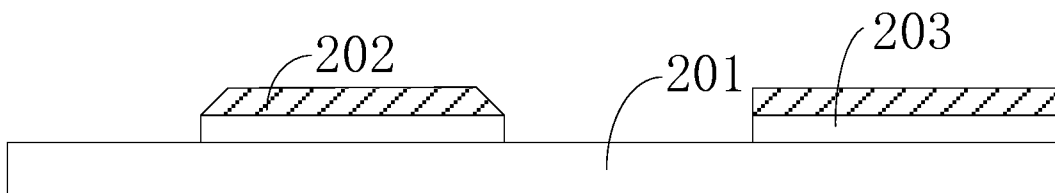


图 11

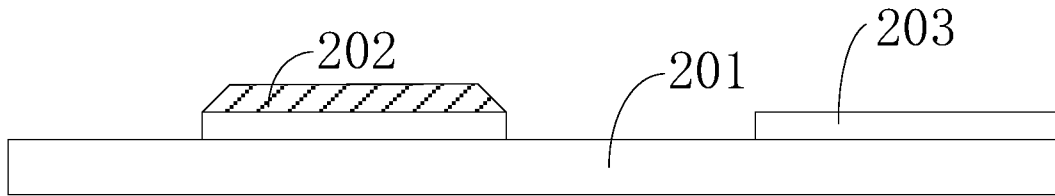


图 12

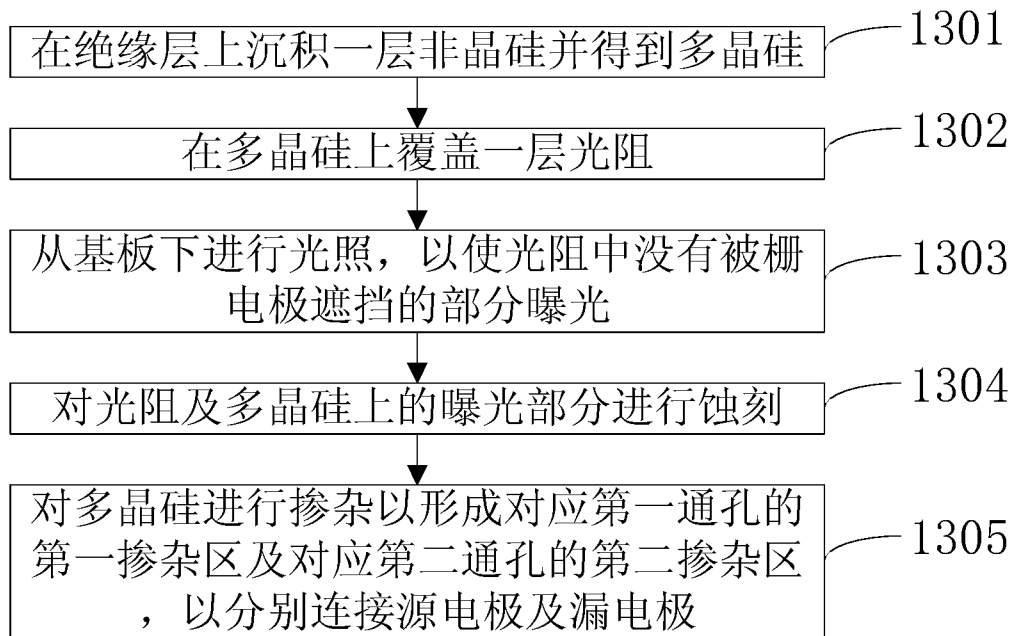


图 13

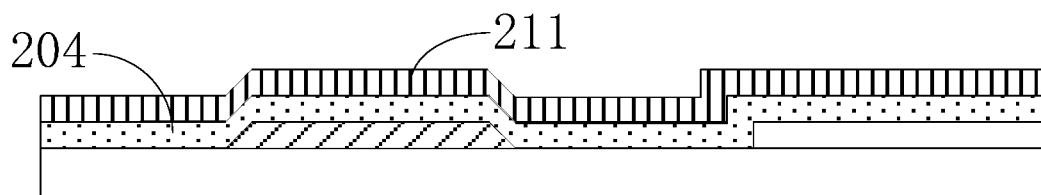


图 14

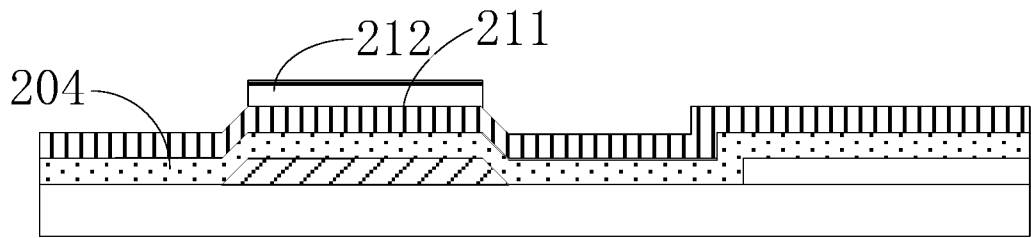


图 15

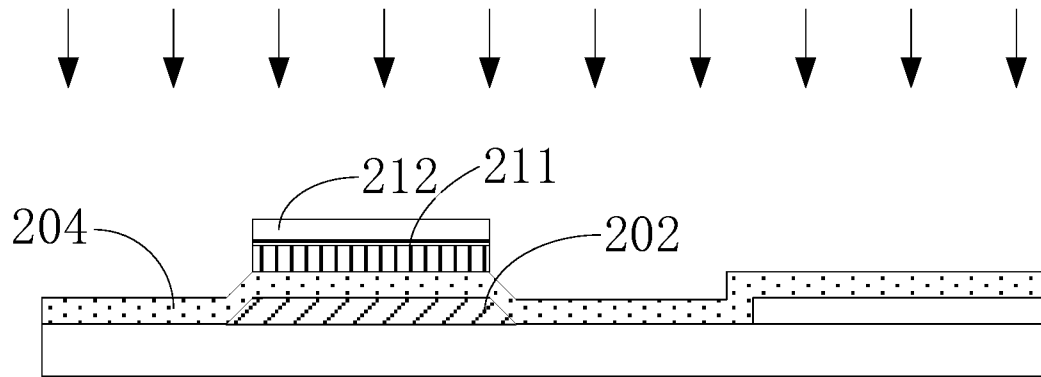


图 16

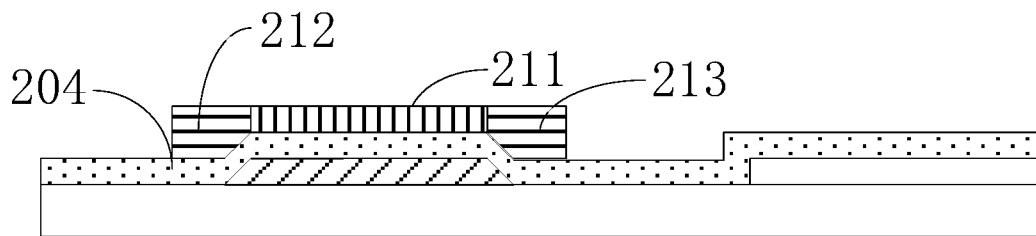


图 17

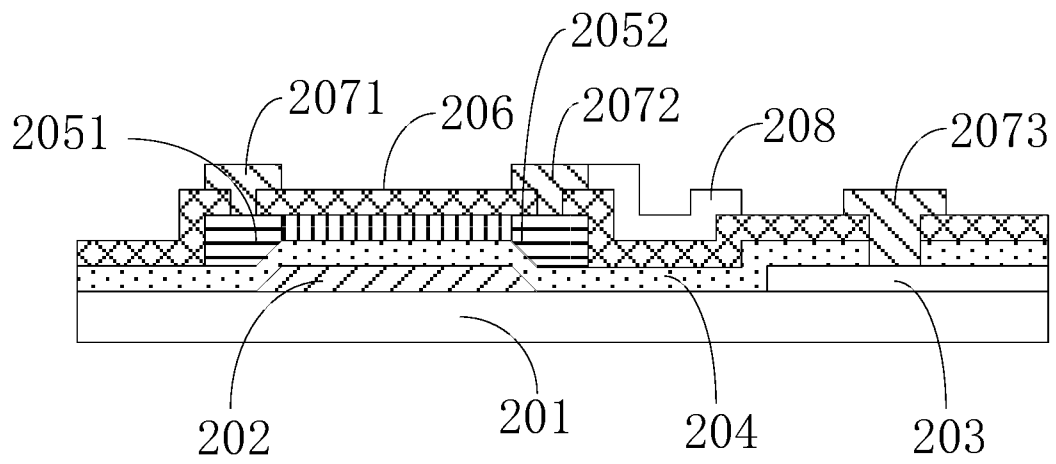


图 18

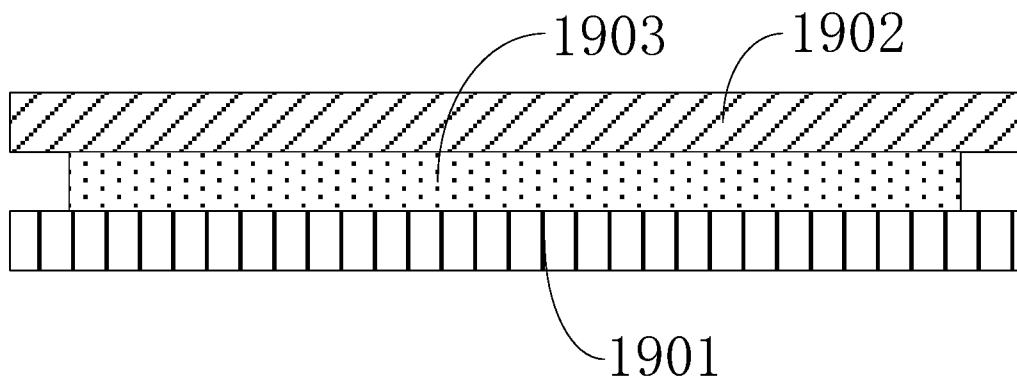


图 19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/072643**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 33/08 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: DISPLAY, PIXEL, GATE, BOTTOM, TFT, CAPACITOR, HOLE, SUBSTRATE, ELECTRODE, MASK, REDUCE, thin film transistor, array substrate, pixel electrode, bottom gate, photomask

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 8742425 B2 (KIM, S.H. et al.), 03 June 2014 (03.06.2014), description, paragraphs 0035-0073, and figures 1-2E	1-11
Y	CN 102468324 A (SAMSUNG MOBILE DISPLAY CO., LTD.), 23 May 2012 (23.05.2012), description, paragraphs 0032-0057, and figures 1-9	1-11
Y	CN 103094304 A (SAMSUNG DISPLAY CO., LTD.), 08 May 2013 (08.05.2013), description, paragraphs 0053-0057, and figures 1-6	1-11
Y	CN 1702531 A (LG PHILIPS LCD CO., LTD.), 30 November 2005 (30.11.2005), description, page 10, line 12 to page 11, line 31, and figures 7A-7E	2
A	CN 102306650 A (AU OPTRONICS CORP.), 04 January 2012 (04.01.2012), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
17 March 2015 (17.03.2015)Date of mailing of the international search report
01 April 2015 (01.04.2015)Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451Authorized officer
LIU, Zhenling
Telephone No.: (86-10) **62414057**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/072643

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 8742425 B2	03 June 2014	US 2013313529 A1	28 November 2013
		KR 20130131124 A	03 December 2013
CN 102468324 A	23 May 2012	US 8698147 B2	15 April 2014
		US 2012104397 A1	03 May 2012
		TW 201238044 A	16 September 2012
		KR 20120044627 A	08 May 2012
		JP 2012094511 A	17 May 2012
CN 103094304 A	08 May 2013	KR 20130050165 A	15 May 2013
		TW 201320352 A	16 May 2013
		US 8637868 B2	28 January 2014
		US 2013112975 A1	09 May 2013
CN 1702531 A	30 November 2005	US 2009085040 A1	02 April 2009
		US 7468527 B2	23 December 2008
		CN 100421020 C	24 September 2008
		KR 20050112645 A	01 December 2005
		US 2005263768 A1	01 December 2005
		US 8017462 B2	13 September 2011
		KR 101086478 B1	25 November 2011
		JP 4335845 B2	30 September 2009
		JP 2005338856 A	08 December 2005
CN 102306650 A	04 January 2012	US 8575612 B2	05 November 2013
		TW 201303455 A	16 January 2013
		US 2013015449 A1	17 January 2013
		US 8652899 B2	18 February 2014
		US 2013323889 A1	05 December 2013
		TW I453516 B	21 September 2014

国际检索报告

国际申请号

PCT/CN2015/072643

A. 主题的分类

H01L 33/08(2010.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI, IEEE:DISPLAY, PIXEL, GATE, BOTTOM, TFT, CAPACITOR, HOLE, SUBSTRATE, ELECTRODE, MASK, REDUCE, 显示, 电容, 薄膜晶体管, 阵列基板, 孔, 像素电极, 底栅, 光罩, 减少

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 8742425 B2 (KIM SUNG-HO等) 2014年 6月 3日 (2014 - 06 - 03) 说明书第0035段至第0073段、附图1-2E	1-11
Y	CN 102468324 A (三星移动显示器株式会社) 2012年 5月 23日 (2012 - 05 - 23) 说明书第0032段至第0057段、附图1-9	1-11
Y	CN 103094304 A (三星显示有限公司) 2013年 5月 8日 (2013 - 05 - 08) 说明书第0053段至第0057段、附图1-6	1-11
Y	CN 1702531 A (LG. 飞利浦LCD株式会社) 2005年 11月 30日 (2005 - 11 - 30) 说明书第10页第12行至第11页第31行、附图7A-7E	2
A	CN 102306650 A (友达光电股份有限公司) 2012年 1月 4日 (2012 - 01 - 04) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 3月 17日

国际检索报告邮寄日期

2015年 4月 1日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

刘振玲

电话号码 (86-10)62414057

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/072643

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	8742425	B2	2014年 6月 3日	US	2013313529	A1	2013年 11月 28日
				KR	20130131124	A	2013年 12月 3日
CN	102468324	A	2012年 5月 23日	US	8698147	B2	2014年 4月 15日
				US	2012104397	A1	2012年 5月 3日
				TW	201238044	A	2012年 9月 16日
				KR	20120044627	A	2012年 5月 8日
				JP	2012094511	A	2012年 5月 17日
CN	103094304	A	2013年 5月 8日	KR	20130050165	A	2013年 5月 15日
				TW	201320352	A	2013年 5月 16日
				US	8637868	B2	2014年 1月 28日
				US	2013112975	A1	2013年 5月 9日
CN	1702531	A	2005年 11月 30日	US	2009085040	A1	2009年 4月 2日
				US	7468527	B2	2008年 12月 23日
				CN	100421020	C	2008年 9月 24日
				KR	20050112645	A	2005年 12月 1日
				US	2005263768	A1	2005年 12月 1日
				US	8017462	B2	2011年 9月 13日
				KR	101086478	B1	2011年 11月 25日
				JP	4335845	B2	2009年 9月 30日
				JP	2005338856	A	2005年 12月 8日
CN	102306650	A	2012年 1月 4日	US	8575612	B2	2013年 11月 5日
				TW	201303455	A	2013年 1月 16日
				US	2013015449	A1	2013年 1月 17日
				US	8652899	B2	2014年 2月 18日
				US	2013323889	A1	2013年 12月 5日
				TW	I453516	B	2014年 9月 21日

表 PCT/ISA/210 (同族专利附件) (2009年7月)