



(12)发明专利

(10)授权公告号 CN 103378805 B

(45)授权公告日 2017.02.08

(21)申请号 201210124766.1

(22)申请日 2012.04.25

(65)同一申请的已公布的文献号
申请公布号 CN 103378805 A

(43)申请公布日 2013.10.30

(73)专利权人 瑞昱半导体股份有限公司
地址 中国台湾新竹市

(72)发明人 杨育哲

(74)专利代理机构 隆天知识产权代理有限公司
72003

代理人 冯志云 郑小军

(51) Int. Cl.
H03B 5/32(2006.01)

(56)对比文件

CN 1574640 A, 2005.02.02,
CN 1574640 A, 2005.02.02,
CN 16404459 A, 2005.04.06,
CN 101051832 A, 2007.10.10,
US 2002/0070815 A1, 2002.06.13,

审查员 胡学岭

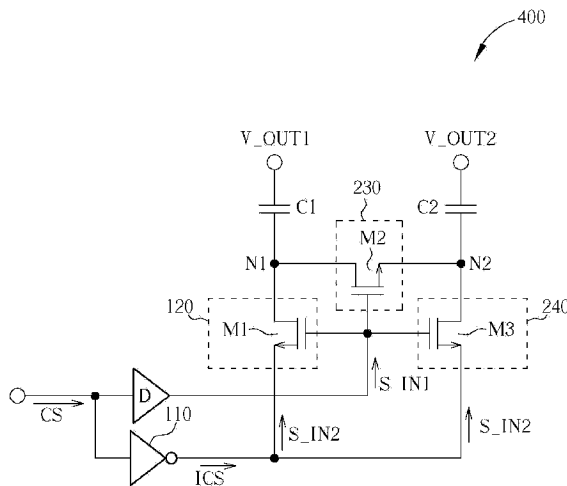
权利要求书2页 说明书5页 附图6页

(54)发明名称

切换式电容电路以及控制切换式电容电路的方法

(57)摘要

一种切换式电容电路及控制该切换式电容电路的方法,该切换式电容电路包含反相器、第一电容及第一开关单元。该反相器用以接收控制信号来产生对应于该控制信号的反相控制信号。该第一电容耦接于第一输出端以及第一端点之间。该第一开关单元用以接收第一输入信号以及第二输入信号,并依据该第一输入信号来选择性地将该第二输入信号耦接至该第一端点。该第一输入信号由该控制信号与该反相控制信号的其中之一来决定,以及该第二输入信号由该控制信号与该反相控制信号的其中之一来决定。



1. 一种切换式电容电路,其特征在于,包含:

一反相器,用以接收一控制信号来产生对应于该控制信号的一反相控制信号;

一第一电容,耦接于一第一输出端以及一第一端点之间;

一第一开关单元,用以接收一第一输入信号以及一第二输入信号,并依据该第一输入信号来选择性地将该第二输入信号耦接至该第一端点;

其中该第一输入信号由该控制信号与该反相控制信号的其中之一来决定,以及该第二输入信号是由该控制信号与该反相控制信号的其中之一来决定;以及

一延迟单元,耦接于该第一开关单元,设置以延迟该第一输入信号来产生延迟后的该第一输入信号;

其中该第一开关单元依据延迟后的该第一输入信号来选择性地将该第二输入信号耦接至该第一端点。

2. 如权利要求1所述的切换式电容电路,其特征在于,该第一开关单元为一晶体管,以及该晶体管的栅极、源极及漏极分别耦接于该第一输入信号、该第二输入信号及该第一端点。

3. 如权利要求1所述的切换式电容电路,其特征在于,该第一输入信号被延迟的时间是依据该第一电容的阻抗值及该第一开关单元的阻抗值来决定。

4. 如权利要求1所述的切换式电容电路,其特征在于,该延迟单元用以防止该第一端点的一振荡电压低于0。

5. 如权利要求1所述的切换式电容电路,其特征在于,另包含:

一第二电容,耦接于一第二输出端以及一第二端点之间;以及

一第二开关单元,耦接于该第一端点及该第二端点之间,用以依据该第一输入信号来选择性地将该第一端点耦接至该第二端点;以及

一第三开关单元,耦接于该第二端点,用以接收该第一输入信号以及该第二输入信号,并依据该第一输入信号来选择性地将该第二输入信号耦接至该第二端点。

6. 如权利要求5所述的切换式电容电路,其特征在于,该第一开关单元、该第二开关单元及该第三开关单元分别为一第一晶体管、一第二晶体管及一第三晶体管;该第一、第二及第三晶体管的栅极均耦接于该第一输入信号;该第一及第二晶体管的漏极均耦接于该第一端点;该第一及第三晶体管的源极均耦接于该第二输入信号;以及该第二晶体管的源极及该第三晶体管的漏极均耦接于该第二端点。

7. 如权利要求5所述的切换式电容电路,其特征在于:

所述延迟单元还耦接于该第二、第三开关单元;

其中该第二开关单元依据延迟后的该第一输入信号来选择性地将该第一端点耦接至该第二端点,以及该第三开关单元依据延迟后的该第一输入信号来选择性地将该第二输入信号耦接至该第二端点。

8. 如权利要求7所述的切换式电容电路,其特征在于,该第一输入信号被延迟的时间是依据该第一电容的阻抗值及该第一开关单元的阻抗值,或该第二电容的阻抗值及该第三开关单元的阻抗值来决定。

9. 一种切换式电容电路,其特征在于,包含:

一反相器,用以根据一控制信号来产生一反相控制信号;

一电容,耦接于一输出端以及一 endpoint 之间;

一开关单元,具有耦接该 endpoint 的一漏极、接收该反相控制信号的一源极、及根据该控制信号来控制的一栅极;以及

一延迟单元,耦接于该开关单元,设置以延迟该控制信号来产生延迟后的该控制信号;

其中该开关单元是依据延迟后的该控制信号来选择性地将该反相控制信号耦接至该 endpoint。

10. 如权利要求9所述的切换式电容电路,其特征在于,该控制信号被延迟的时间是依据该电容的阻抗值及该开关单元的阻抗值来决定。

11. 如权利要求9所述的切换式电容电路,其特征在于,该延迟单元用以防止该 endpoint 的一振荡电压低于0。

12. 一种控制一切换式电容电路的方法,其特征在于,该切换式电容电路包含一电容,该电容耦接于一输出端以及一 endpoint 之间,该方法包含:

接收一控制信号;

依据该控制信号来产生对应该控制信号的一反相控制信号;

依据一第一输入信号来选择性地将一第二输入信号耦接至该 endpoint,其中该第一输入信号是由该控制信号与该反相控制信号的其中之一来决定,以及该第二输入信号是由该控制信号与该反相控制信号的其中之一来决定;以及

延迟该第一输入信号来产生延迟后的该第一输入信号;

其中选择性地将该第二输入信号耦接至该 endpoint 的步骤包含:

依据延迟后的该第一输入信号来选择性地将该第二输入信号耦接至该 endpoint。

切换式电容电路以及控制切换式电容电路的方法

技术领域

[0001] 本发明关于切换式电容电路,尤指一种利用延迟控制信号及产生反相控制信号来进行切换的切换式电容电路,以及其相关的控制方法。

背景技术

[0002] 于现今的通讯系统中,本地振荡信号(local oscillation signal,L0 signal)主要通过压控振荡器(voltage-controlled oscillator,VCO)来产生。对于包含电感电容共振槽电路(inductor-capacitor tank circuit,LC tank circuit)的压控振荡器来说,由于其具有良好的质量因子(quality factor)及信号纯净度(signal purity),故可提供准确的本地振荡信号以提升射频收发器(radio frequency transceiver,RF transceiver)的灵敏度(sensitivity)。

[0003] 一般来说,芯片上的电感占有相当大的面积,因此,通常会通过调整电容值来改变压控振荡器的振荡频率,其中切换电容阵列(switch-capacitor array)依据切换电压来产生不连续的切换电容值。然而,切换电容阵列的切换式电容电路可能会产生接面电容效应(junction capacitance effect),以及切换式电容电路之中的晶体管可能会因为耦合输出端的电压而意外地导通,因而降低压控振荡器的性能。

[0004] 因此,需要一种不仅可提升切换式电容电路的切换质量,并且几乎不会增加额外的电路布局面积的创新电路设计,以解决上述问题。

发明内容

[0005] 有鉴于此,本发明的目的之一在于提供一种利用延迟控制信号及产生反相控制信号来进行切换的切换式电容电路以及其相关的控制方法,来解决上述问题。

[0006] 依据本发明的实施例,其揭示一种切换式电容电路。该切换式电容电路包含一反相器、一第一电容以及一第一开关单元。该反相器用以接收一控制信号来产生对应于该控制信号的一反相控制信号。该第一电容耦接于一第一输出端以及一第一端点之间。该第一开关单元用以接收一第一输入信号以及一第二输入信号,并依据该第一输入信号来选择性地将该第二输入信号耦接至该第一端点。该第一输入信号由该控制信号与该反相控制信号的其中之一来决定,以及该第二输入信号是由该控制信号与该反相控制信号的其中之一来决定。

[0007] 依据本发明的实施例,其另揭示一种切换式电容电路。该切换式电容电路包含一反相器、一电容以及一开关单元。该反相器用以根据一控制信号来产生一反相控制信号。该电容耦接于一输出端以及一端点之间。该开关单元具有耦接该端点的一漏极、接收该反相控制信号的一源极、及根据该控制信号来控制的一栅极。

[0008] 依据本发明的实施例,其揭示一种控制一切换式电容电路的方法。该切换式电容电路包含一电容。该电容耦接于一输出端以及一端点之间。该方法包含:接收一控制信号;依据该控制信号来产生对应于该控制信号的一反相控制信号;以及依据一第一输入信号来选

择性地将一第二输入信号耦接至该端点,其中该第一输入信号由该控制信号与该反相控制信号的其中之一来决定,以及该第二输入信号由该控制信号与该反相控制信号的其中之一来决定。

[0009] 本发明所揭示的利用延迟控制信号及产生反相控制信号来进行切换的切换式电容电路,其不仅可具有差动切换式电容结构的高质量因子,并且可避免切换式电路应用于压控振荡器时所产生的接面电容效应以及可防止开关单元意外导通。此外,本发明所揭示的切换式电容电路几乎不会增加额外的面积,也无需复杂的电路布局。

附图说明

[0010] 图1为本发明切换式电容电路的一第一实施例的示意图。

[0011] 图2为本发明切换式电容电路的一第二实施例的示意图。

[0012] 图3为图2所示的切换式电容电路的信号时序图。

[0013] 图4为本发明切换式电容电路的一第三实施例的示意图。

[0014] 图5为图4所示的切换式电容电路的信号时序图。

[0015] 图6为本发明切换式电容电路的一第四实施例的示意图。

[0016] 其中,附图标记说明如下:

[0017]	100、200、400、600	切换式电容电路
[0018]	110	反相器
[0019]	120、230、240	开关单元
[0020]	C1、C2	电容
[0021]	D	延迟单元
[0022]	M1、M2、M3	晶体管
[0023]	N1、N2	端点
[0024]	V_OUT1、V_OUT2	输出端

具体实施方式

[0025] 虽然本发明所揭示的切换式电容电路的优点是基于压控振荡器之中电感电容共振槽电路的应用来说明,但此并非用来做为本发明的限制,换言之,本发明所揭示的切换式电容电路可应用于(但并不局限于)压控振荡器、共振槽电路或其它可调节频率的切换式电容阵列的电路。

[0026] 请参阅图1,图1为本发明切换式电容电路的一第一实施例的示意图。切换式电容电路100包含一反相器(inverter) 110、一第一电容C1以及一第一开关单元(switch unit) 120。反相器110是用以接收一控制信号CS来产生对应于控制信号CS的一反相控制信号ICS。第一电容C1耦接于一第一输出端V_OUT1以及一第一端点N1之间。第一开关单元120是用以接收一第一输入信号S_IN1以及一第二输入信号S_IN2,并依据第一输入信号S_IN1来选择性地将第二输入信号S_IN2耦接至第一端点N1,其中第一输入信号S_IN1是由控制信号CS与反相控制信号ICS的其中之一来决定,以及第二输入信号S_IN2是由控制信号CS与反相控制信号ICS的其中之一来决定。

[0027] 举例来说,在此实施例中,第一开关单元120可为一晶体管M1,以及晶体管M1的栅

极、源极及漏极分别耦接于第一输入信号S_IN1、第二输入信号S_IN2及第一端点N1。请注意,于此实施例中,第一开关单元120直接接收控制信号CS来做为第一输入信号S_IN1,以及直接接收反相控制信号ICS来做为第二输入信号S_IN2,然而,以上仅供说明之需,并非用来做为本发明的限制。在一设计变化中,第一开关单元120可直接接收反相控制信号ICS来做为第一输入信号S_IN1,以及直接接收控制信号CS来做为第二输入信号S_IN2,也就是说,反相器110也可耦接于晶体管M1的栅极。于另一设计变化中,控制信号CS可先经由适当的信号处理(例如,放大或缩小),才作为馈入至第一开关单元120的第一输入信号S_IN1,以及反相控制信号ICS可先经由适当的信号处理(例如,放大或缩小),才作为馈入至第一开关单元120的第二输入信号S_IN2。于此实施例中,在第一输入信号S_IN1(也即,控制信号CS)为该第一电平(例如,高电压电平)的情形下,晶体管M1的源极所耦接的第二输入信号S_IN2(也即,反相控制信号ICS)为低电压电平,因此,晶体管M1会被导通,电流自第一端点N1流至晶体管M1(也即,第一开关单元120);在第一输入信号S_IN1(也即,控制信号CS)为该第二电平(例如,低电压电平)的情形下,晶体管M1的源极所耦接的第一输入信号S_IN1(也即,反相控制信号ICS)为高电压电平,因此,即便晶体管M1会被截止,漏电流(leakage current)仍可自晶体管M1(也即,第一开关单元120)流至第一端点N1以提升第一端点N1的电压,进而降低界面电容效应的影响。

[0028] 请参阅图2,图2为本发明切换式电容电路的一第二实施例的示意图,其中切换式电容电路200同时采用差动式(differential)电路的设计概念以及图1所示的切换式电容电路100的设计概念。切换式电容电路200包含图1所示的反相器110、第一电容C1及第一开关单元120、一第二电容C2、一第二开关单元230以及一第三开关单元240。第二电容C2耦接于一第二输出端V_OUT2以及一第二端点N2之间。第二开关单元230耦接于第一端点N1及第二端点N2之间,用以依据第一输入信号S_IN1来选择性地将N1第一端点耦接至第二端点N2。第三开关单元240耦接于第二端点N2,用以接收第一输入信号S_IN1以及第二输入信号S_IN2,并依据第一输入信号S_IN1来选择性地将第二输入信号S_IN2耦接至第二端点N2。值得注意的是,第一输入信号S_IN1是由控制信号CS与反相控制信号ICS的其中之一来决定,以及第二输入信号S_IN2是由控制信号CS与反相控制信号ICS的其中另一个来决定。

[0029] 举例来说,在此实施例中,第一开关单元120、第二开关单元230及第三开关单元240分别为一第一晶体管M1、一第二晶体管M2及一第三晶体管M2。第一、第二及第三晶体管M1~M3的栅极均耦接于第一输入信号S_IN1,第一及第二晶体管M1及M2的漏极均耦接于第一端点N1,第一及第三晶体管M1及M3的源极均耦接于第二输入信号S_IN2,以及第二晶体管M2的源极及第三晶体管M3的漏极均耦接于第二端点N2。在第一输入信号S_IN1(也即,控制信号CS)为该第一电平(例如,高电压电平)的情形下,第一及第三晶体管M1及M3的源极所耦接的第二输入信号S_IN2(也即,反相控制信号ICS)为低电压电平,因此,第一、第二及第三晶体管M1~M3均会被导通,此外,第一及第二电容C1及C2可视为理想的接地电容。在第一输入信号S_IN1(也即,控制信号CS)为该第二电平(例如,低电压电平)的情形下,第一及第三晶体管M1及M3的源极所耦接的第一输入信号S_IN1(也即,反相控制信号ICS)为高电压电平,即便第一、第二及第三晶体管M1~M3均会被截止,漏电流仍可自晶体管M1流至第一端点N1以提升第一端点N1的电压,以及自晶体管M3流至第二端点N2以提升第二端点N2的电压,不仅可避免第二晶体管M2的导通,也可降低界面电容效应的影响。

[0030] 值得注意的是,一般来说,第二端点N2的电压通过漏电流所提升的电压不会太多(例如,几百毫伏),因此,当第二端点N2的电压经由第二输出端V_OUT2耦合较大的电压时,第二端点N2的电压仍然可能会低于第二晶体管M2的栅极电压,使得第二晶体管M2意外地导通。请参阅图3,图3为图2所示的切换式电容电路的信号时序图。由图3可知,在时间点T1之前,控制信号CS处于高电压电平,第一、第二及第三晶体管M1~M3均为导通状态,以及第一端点N1及第二端点N2的电压均可视为接地电压(也即,零电压)。于时间点T1时,控制信号CS由高电压电平切换为低电压电平,第二晶体管M2理想上应为截止状态。在第一及第二端点N1及N2的电压分别经由第一及第二输出端V_OUT1及V_OUT2耦合较大电压的情形下,第二端点N2的电压低于第二晶体管M2的栅极电压(也即,零电压),使得第二晶体管M2意外地导通,因而可能影响压控振荡器的振荡频率准确性及信号纯净度。

[0031] 请一并参阅图4及图5。图4为本发明切换式电容电路的一第三实施例的示意图,以及图5为图4所示的切换式电容电路的信号时序图。切换式电容电路400基于图2所示的切换式电容电路200的结构,两者之间主要的差别在于切换式电路400另包含一延迟单元(delay unit)D,其中延迟单元D耦接于第一、第二及第三开关单元120、230及240,设置以延迟第一输入信号S_IN1来产生延迟后的第一输入信号S_IN1。另外,第二开关单元230依据延迟后的第一输入信号S_IN1来选择性地将第一端点N1耦接至第二端点N2,以及第三开关单元240依据延迟后的第一输入信号S_IN1来选择性地将第二输入信号S_IN2耦接至第二端点N2。第一输入信号S_IN1被延迟的时间,或延迟单元D所造成的延迟,可依据第一电容C1的阻抗值及第一开关单元120的阻抗值来设置,或第二电容C2的阻抗值及第三开关单元240的阻抗值来加以决定。由图5可知,在时间点T1之前,控制信号CS处于高电压电平,第一、第二及第三晶体管M1~M3均为导通状态,以及第一端点N1及第二端点N2的电压均可视为接地电压(也即,零电压)。在时间点T1与时间点T2之间(也即,于延迟时段TD期间),虽然控制信号CS已切换为低电压电平,但第二晶体管M2的栅极所接收到的信号仍处于高电压电平,此外,第一及第三晶体管M1及M3的源极均耦接于具高电压电平的反相控制信号ICS。于延迟时段TD期间,第一端点N1及第二端点N2的电压可被充电至一预充电电压值(例如,上述的高电压电平)。如上所述,延迟时段TD可依据第一电容C1的阻抗值及第一开关单元120的阻抗值,或第二电容C2的阻抗值及第三开关单元240的阻抗值来加以决定,因此,延迟单元D所造成的延迟及该预充电电压值可视实际设计考虑/需求而定。延迟单元D用以防止第一端点N1及第二端点N2的振荡电压低于0。在时间点T2之后,因为第一端点N1及第二端点N2的电压已被充电至该预充电电压值,以及晶体管M2的栅极接收到经延迟后的第一输入信号S_IN1(其具有低电压电平),所以可避免发生第二晶体管M2意外导通的情形。简言之,第一端点N1及第二端点N2的电压于延迟时段TD期间可被提升至足够高的电压值以避免第二晶体管M2意外导通,进而提升压控振荡器的振荡频率准确性及信号纯净度。

[0032] 请注意,以上所述的第一及第二输入信号与控制信号及反相控制信号之间的对应关系仅供说明之需,并非用来做为本发明的限制。举例来说,于一设计变化中,第一开关单元120可直接接收反相控制信号ICS来做为第一输入信号S_IN1,以及直接接收控制信号CS来做为第二输入信号S_IN2。也就是说,反相器110耦接于第一晶体管M1的栅极,延迟单元D则可耦接于第一晶体管M1及第三晶体管M3的源极。或是说,在另一实施例中,可以将延迟单元D与反相器110相互置换或结合。

[0033] 此外,图1所示的单端(single-ended)输出的切换式电容电路100也可采用图4所示的延迟单元的设计概念以提升压控振荡器的性能。请参阅图6,图6为本发明切换式电容电路的一第四实施例的示意图,其中切换式电容电路600基于图1所示的切换式电容电路100的结构,两者之间主要的差别在于切换式电路600另包含一延迟单元D,其中延迟单元D耦接于第一开关单元120,设置以延迟第一输入信号S_IN1来产生延迟后的第一输入信号S_IN1。另外,第一开关单元120依据延迟后的第一输入信号S_IN1来选择性地将第二输入信号S_IN2耦接至第一端点N1,其中第一输入信号S_IN1被延迟的时间可依据第一电容C1的阻抗值及第一开关单元120的阻抗值来决定。由于本领域技术人员经由阅读上述相关说明应可轻易地了解切换式电容电路600的运作细节,故进一步的说明在此便不再赘述。

[0034] 由上述可知,本发明所揭示的切换式电容电路可应用于(但并不局限于)压控振荡器、共振槽电路或其它可调节频率的切换式电容阵列的电路,因此,采用本发明所揭示的切换式电容电路具有可避免切换式电路应用于压控振荡器时所产生的接面电容效应、提升压控振荡器的质量因子,以及防止开关单元意外导通等优点;此外,本发明所揭示的切换式电容电路几乎不会增加额外的面积,也无需复杂的电路布局。

[0035] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求保护范围所做的均等变化与修饰,皆应属本发明的涵盖范围。

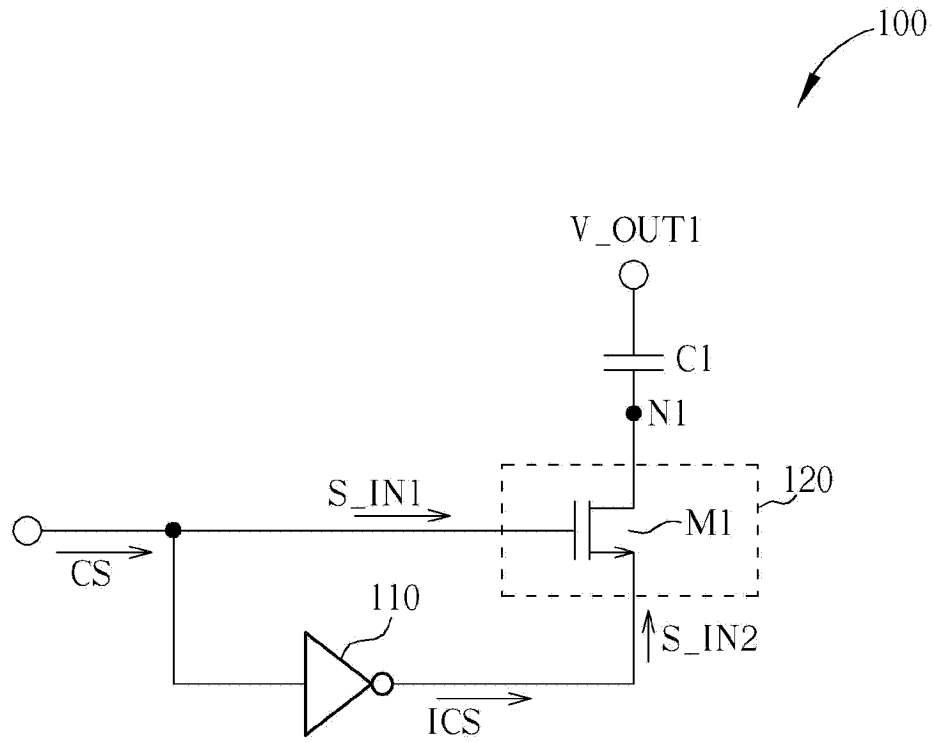


图1

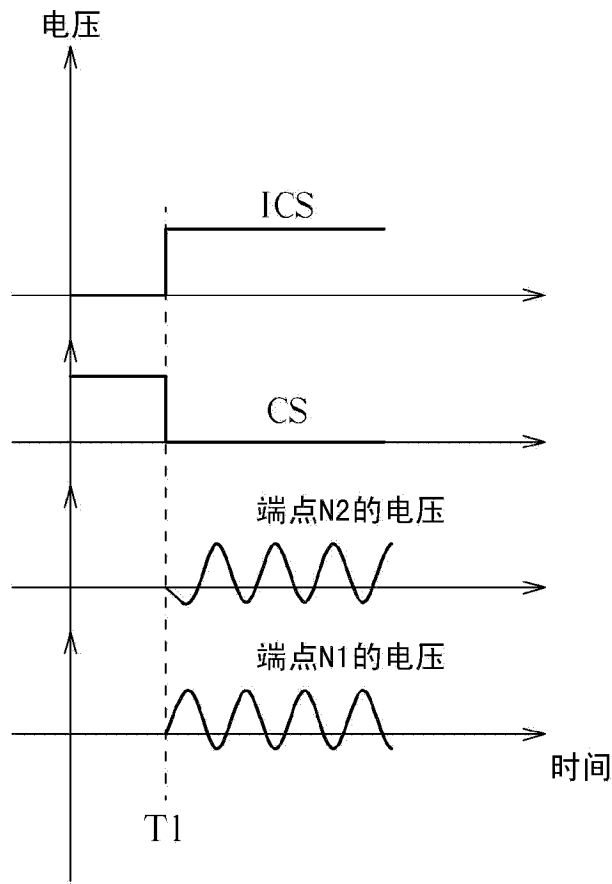


图3

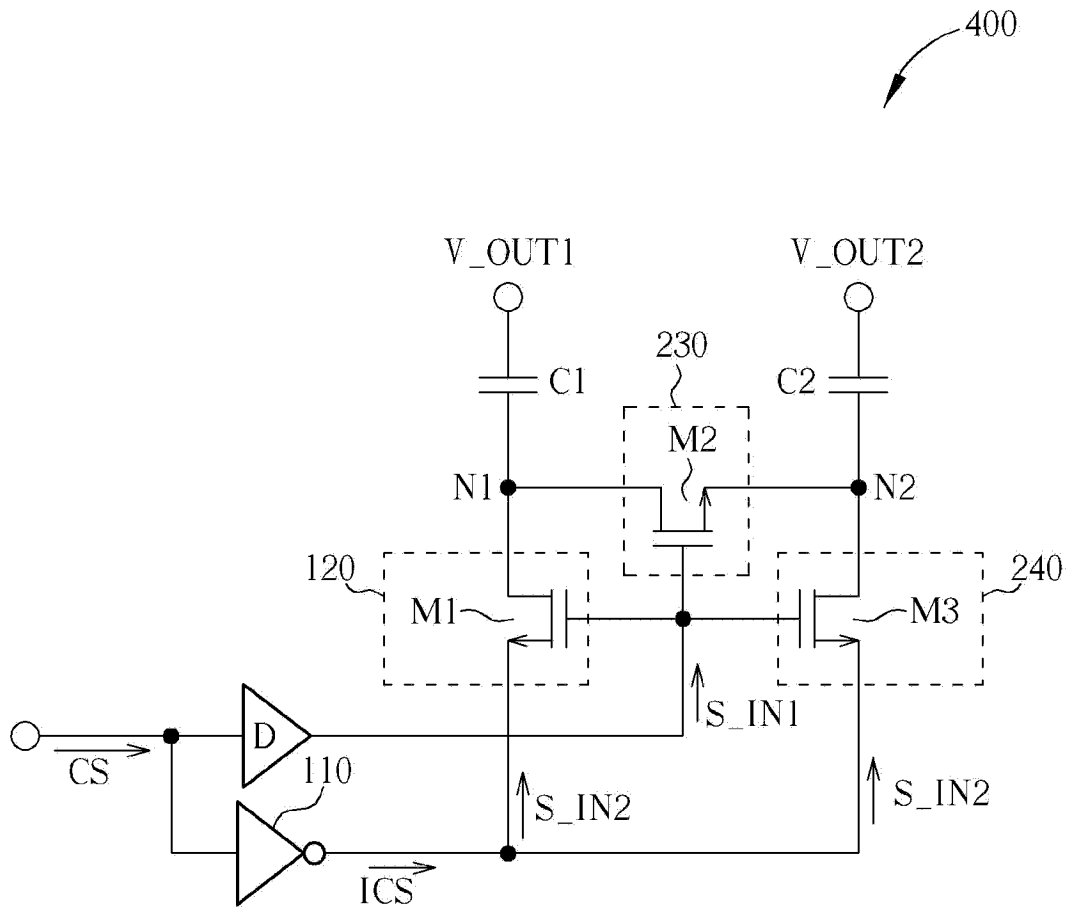


图4

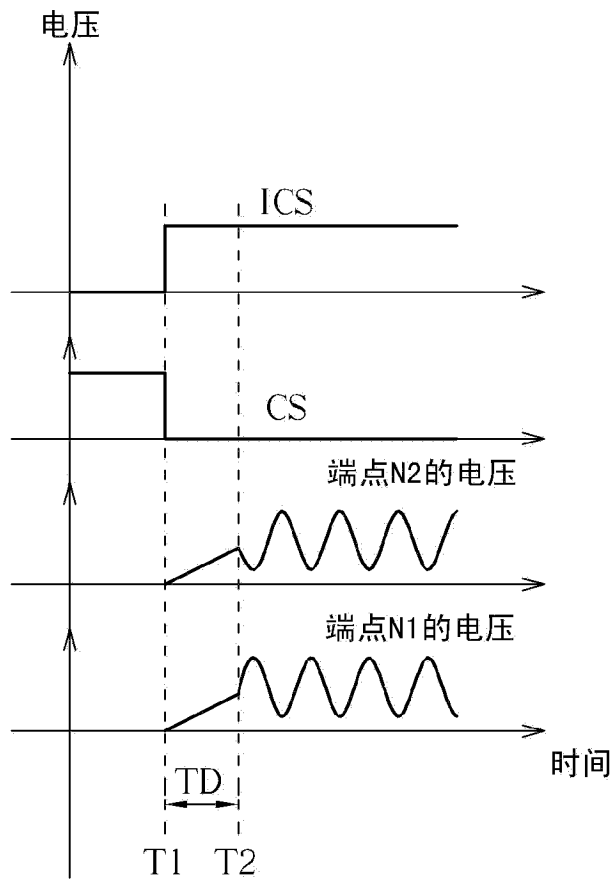


图5

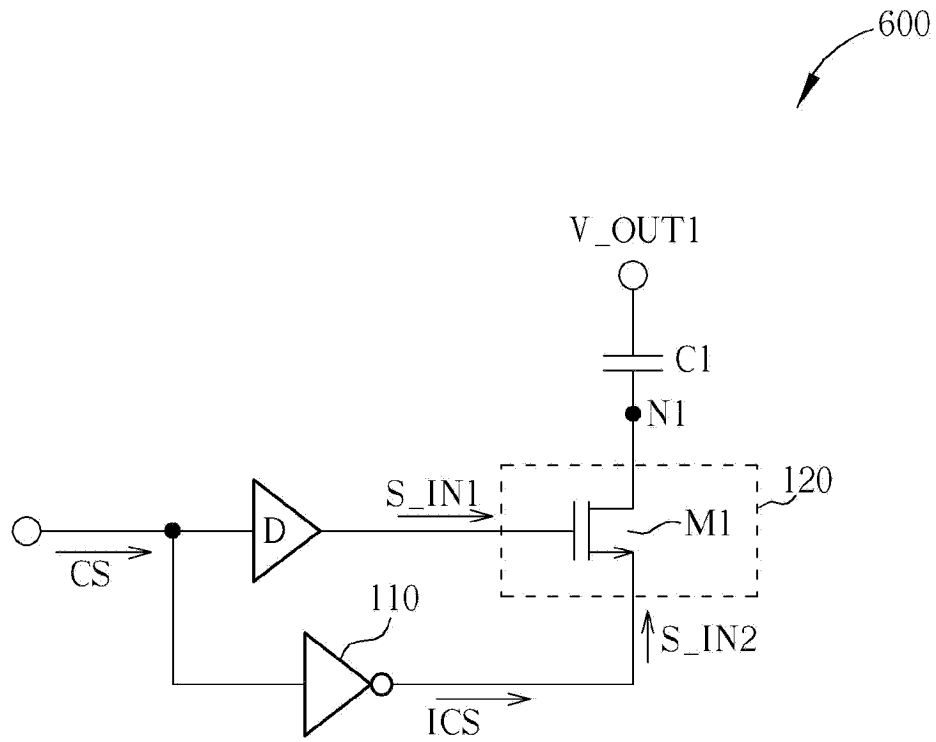


图6