



(12) 发明专利

(10) 授权公告号 CN 101295735 B

(45) 授权公告日 2010.09.08

(21) 申请号 200810095311.5

(22) 申请日 2008.04.25

(30) 优先权数据

2007-119122 2007.04.27 JP

(73) 专利权人 株式会社瑞萨科技

地址 日本东京都

(72) 发明人 石丸哲也 岛本泰洋 峰利之

青木康伸 鸟羽功一 安井感

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 29/792(2006.01)

H01L 29/51(2006.01)

H01L 27/115(2006.01)

(56) 对比文件

CN 1120231 A, 1996.04.10, 说明书第 17 页

第 7 行—第 19 页第 11 行, 附图 11—18.

CN 1757114 A, 2006.04.05, 全文.

JP 特开 2002-203917 A, 2002.07.19, 全文.

JP 特开 2006-128593 A, 2006.05.18, 全文.

JP 特开 2004-356562 A, 2004.12.16, 全文.

审查员 王娜

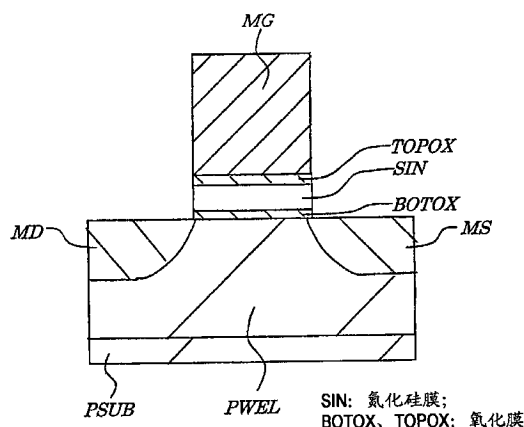
权利要求书 2 页 说明书 14 页 附图 14 页

(54) 发明名称

非易失性半导体存储器件

(57) 摘要

本发明提供一种使数据保持特性提高的非易失性半导体存储器件。在通过热载流子注入来进行写入或者擦除的存储单元中,包括作为由电荷蓄积部的氮化硅膜(SIN)、位于其上下的氧化膜(BOTOX)、(TOPOX)的层叠膜构成的ONO膜;其上部的存储器栅电极(MG);源极区域(MS)以及漏极区域(MD),使包含在氮化硅膜(SIN)中的N-H键和Si-H键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下。



1. 一种非易失性半导体存储器件,其特征在于,具有:
形成在半导体衬底中的一对源极区域和漏极区域;
形成在上述源极区域和漏极区域之间的上述半导体衬底的区域上的第一栅电极;以及
形成在上述半导体衬底的表面与上述第一栅电极之间的电荷蓄积部,
其中,上述电荷蓄积部包含 N-H 键和 Si-H 键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的第一氮化膜,
通过对上述电荷蓄积部注入热载流子来进行写入或擦除。
2. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
上述电荷蓄积部还包含第二氮化膜,
上述第一氮化膜配置在上述第二氮化膜与上述半导体衬底的表面之间。
3. 根据权利要求 2 所述的非易失性半导体存储器件,其特征在于:
上述第一氮化膜的膜厚为 3nm 以下。
4. 根据权利要求 2 所述的非易失性半导体存储器件,其特征在于:
上述电荷蓄积部还包含第三氮化膜,
上述第三氮化膜配置在上述第二氮化膜与上述第一栅电极之间,
上述第三氮化膜是 N-H 键和 Si-H 键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜。
5. 根据权利要求 4 所述的非易失性半导体存储器件,其特征在于:
上述第三氮化膜的膜厚为 3nm 以下。
6. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
还具有形成在上述源极区域和漏极区域之间的上述半导体衬底的区域上的第二栅电极。
7. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
上述第一氮化膜在通过化学气相沉积法沉积了氮化膜以后,用等离子状态的氮进行氮化而形成。
8. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
上述第一氮化膜通过溅射法进行沉积而形成。
9. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
上述第一氮化膜通过使 SiCl_4 或者 Si_2Cl_6 与等离子状态的氮气交替曝露的原子层沉积法进行沉积而形成。
10. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
还在上述第一氮化膜与上述半导体衬底的表面之间配置有氧化膜,
上述第一氮化膜通过对上述氧化膜的一部分进行等离子体氮化而形成。
11. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
上述第一氮化膜是氧氮化膜。
12. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
上述氮化膜是氮化硅膜,在将上述氮化硅膜的组成设为 $\text{Si}_{3+X}\text{N}_4$ 的情况下, X 为 0.05 以下。
13. 根据权利要求 1 所述的非易失性半导体存储器件,其特征在于:
还具有形成在存储区域内的第一存储单元和第二存储单元,

上述第一存储单元具有上述源极区域和漏极区域、上述第一栅电极、上述电荷蓄积部、以及配置在上述电荷蓄积部与上述半导体衬底的表面之间的氧化膜，

上述第二存储单元具有第二栅电极、和配置在上述半导体衬底的表面与上述第二栅电极之间的第二氮化膜，

上述第一氮化膜是上述第二氮化膜的一部分，

上述第二氮化膜覆盖上述存储区域的除上述半导体衬底的表面的接触部以外的全部区域。

14. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

还具有形成在上述半导体衬底的表面与上述电荷蓄积部之间的氧化膜，

在上述氧化膜与上述半导体衬底的界面或者上述氧化膜内具有卤族元素与硅元素的键。

15. 根据权利要求 14 所述的非易失性半导体存储器件，其特征在于：

上述卤族元素是氟。

16. 一种非易失性半导体存储器件，其特征在于，具有：

形成在存储区域内、具有栅极绝缘膜的、通过注入热载流子来进行写入或擦除的第一晶体管，上述栅极绝缘膜包含 N-H 键和 Si-H 键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜；

形成在逻辑区域内的第二晶体管；

与上述第一晶体管的第一源极或第一漏极电连接的第一接触部；以及

与上述第二晶体管的第二源极或第二漏极电连接的第二接触部，

其中，上述第一晶体管的上述第一栅电极、上述第一源极以及第一漏极未被用于形成自对准接触部的氮化硅膜所覆盖，或者一部分被覆盖，

在上述第二晶体管的连接有上述第二接触部的上述第二源极或第二漏极上，形成有助于形成自对准接触部的氮化硅膜。

17. 根据权利要求 16 所述的非易失性半导体存储器件，其特征在于：

上述一部分是连接有上述第一接触部的上述第一源极或上述第一漏极。

18. 一种非易失性半导体存储器件，其特征在于，具有：

形成在半导体衬底中的一对源极区域和漏极区域；

形成在上述源极和漏极区域之间的上述半导体衬底的区域上的第一栅电极；

形成在上述半导体衬底的表面与上述第一栅电极之间的电荷蓄积部；以及

形成在上述半导体衬底的表面与上述电荷蓄积部之间的氧化膜，

其中，在上述氧化膜与上述半导体衬底的界面或者上述氧化膜内具有卤族元素与硅元素的键，

上述电荷蓄积部包含 N-H 键和 Si-H 键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜，

通过对上述电荷蓄积部注入热载流子来进行写入或擦除。

19. 根据权利要求 18 所述的非易失性半导体存储器件，其特征在于：

上述卤族元素是氟。

非易失性半导体存储器件

技术领域

[0001] 本发明涉及非易失性半导体存储器件,特别是涉及适合于提高数据保持特性的非易失性半导体存储器件。

背景技术

[0002] 作为可进行电写入/擦除的非易失性半导体存储器件,EEPROM(Electrically Erasable and Programmable Read Only Memory:电擦除可编程只读存储器)被广泛应用。现在广泛应用的以闪存器为代表的这些存储器件(存储器)是如下所述的存储器件,即在MOS(MetalOxide Semiconductor:金属氧化物半导体)晶体管的栅电极下具有用氧化膜包围的导电性浮置栅电极、陷阱性绝缘膜,将浮置栅电极、陷阱性绝缘膜中的电荷蓄积状态作为存储信息,并将其作为晶体管的阈值进行读出。

[0003] 该陷阱性绝缘膜是指可进行电荷蓄积的绝缘膜,作为一例可列举氮化硅膜等。通过对这种电荷蓄积区域注入/释放电荷来使MOS晶体管的阈值改变(shift),使其作为存储元件进行工作。将这种以氮化硅膜作为电荷蓄积区域的非易失性存储器称为MONOS(Metal OxideNitride Oxide Semiconductor:金属氧化氮氧化硅)型存储器,与导电性的浮置栅极膜相比,由于离散地蓄积电荷,所以数据保持的可靠性优良。另外,由于数据保持的可靠性优良,所以具有能够使氮化硅膜上下的氧化膜薄膜化,并可实现写入/擦除动作的低电压化等优点。

[0004] 在上述MONOS型存储器的电荷蓄积区域上所使用的氮化硅膜一定含有氢,已知利用通常采用的减压化学汽相沉积(LPCVD:LowPressure Chemical Vapor Deposition)法进行成膜时的含氢浓度为 $3 \times 10^{21} \text{cm}^{-3}$ 左右(例如参照非专利文献1)。这些氢以硅与氢的键(Si-H键)或氮与氢的键(N-H键)的形式而存在,一般而言,N-H键比Si-H键多(例如参照非专利文献2)。

[0005] 对于在MONOS型存储器的电荷蓄积区域上使用的氮化硅膜的氢,有若干个通过降低Si-H键的密度来使数据保持特性提高的提案。在专利文献1(特开2006-128593号公报)中,在二氯硅烷(DCS: SiCl_2H_2)/氨(NH_3)的流量比为0.1以下的条件下利用化学汽相沉积(CVD:Chemical Vapor Deposition)法对氮化硅膜进行成膜,使Si-H键的密度为 $1 \times 10^{21} \text{cm}^{-3}$ 以下。其结果,氮化硅膜中的陷阱密度下降,难以引起氮化硅膜中的电荷的移动,能够提高数据保持特性。

[0006] 在专利文献2(特开2004-356562号公报)中,使用原子层沉积(ALD:Atomic Layer Deposition)法,使氮化硅膜中的Si-H键的密度为 $1 \times 10^{20} \text{cm}^{-3}$ 以下。其结果,能够减少氮化硅膜中较浅的陷阱,难以引起氮化硅膜中的电荷的移动,使数据保持特性提高。

[0007] 在氮化硅膜中关注Si-H键而不关注以比Si-H键密度高的密度而存在的N-H键,是因为Si-H键的键能更小、用制造工序中的热负荷等能量键易于断开的缘故。

[0008] 作为还包含N-H键而形成氢浓度低的氮化硅膜的方法,有使用不含氢的气体来成膜的方法,在专利文献3(特开2002-203917号公报)中公开了采用四氯化硅 SiCl_4 与已电

离的等离子状态的氮来形成氮化硅膜的方法。

[0009] 专利文献 1:日本特开 2006-128593 号公报

[0010] 专利文献 2:日本特开 2004-356562 号公报

[0011] 专利文献 3:日本特开 2002-203917 号公报

[0012] 非专利文献 1:Physical Review B, Vol. 48, pp. 5444, 1993.

[0013] 非专利文献 2:Journal of the Electrochemical Society, Vol. 124, pp. 909, 1977.

发明内容

[0014] 本发明要解决的课题是在具有使用氮化硅膜作为电荷蓄积区域并注入热载流子(热电子或者热空穴)进行写入或者擦除的非易失性半导体存储器的半导体器件中由本发明者发现的以往不为人知的机理引起的数据保持特性的恶化。

[0015] 使上述数据保持特性恶化的机理由“氢的释放”、“氢的扩散”、“基于氢的劣化反应”这三个构成。以下,对各个机理进行说明。

[0016] 在此,将对氮化硅膜注入电子来提高 MONOS 型存储器的阈值电压定义为“写入”,将阈值电压已上升的状态定义为“写入状态”,将对氮化硅膜注入空穴或者释放蓄积在氮化硅膜上的电子来降低 MONOS 型存储器的阈值电压定义为“擦除”,将阈值电压已下降的状态定义为“擦除状态”。另外,以下,基于 n 沟道的 MONOS 型存储器进行说明。但在 p 沟道的 MONOS 型存储器中,原理上也能够同样地进行处理。

[0017] 最初的“氢的释放”是由对电荷蓄积区域的氮化硅膜在写入时注入热电子、或者在擦除时注入热空穴而引起的。利用热载流子的能量切断存在于氮化硅膜中的 N-H 键和 Si-H 键,产生未结合的氢。若在该状态下温度上升为 100℃~150℃左右的高温时,则未结合的氢从氮化硅膜被释放到氧化硅膜、硅衬底上。热载流子的能量比制造工序中的热能高,不仅是 Si-H 键,键能高于 Si-H 键的 N-H 键也被切断。

[0018] 因而,减少密度高于 Si-H 键的 N-H 键这一点对氢的释放量的减小是有效的。另外,还有热载流子注入的温度越高,数据保持特性的恶化就越大这样的特征。这是因为在氢易于被释放的高温下进行热载流子注入,而成为未结合状态的氢在进行再结合之前被释放的概率较高,所以氢的释放量增多的缘故。

[0019] 接下来的“氢的扩散”是在保持于高温中发生的。从电荷蓄积区域的氮化硅膜释放出的氢在氧化硅膜中或者硅衬底中扩散,并从释放出氢的存储单元向周围蔓延。在未进行热载流子注入的存储单元中,当从周围的进行了热载流子注入的存储单元释放出的氢产生扩散时,也会引起数据保持特性的恶化。另外,由于保持的温度越高,扩散就越快,所以数据保持特性的恶化就会变大。

[0020] “基于氢的劣化反应”被认为是引起与作为 p 型晶体管的劣化现象而被熟知的 NBTI(Negative Bias Temperature Instability:负偏温不稳定性)同样的劣化反应。当扩散的氢在写入状态下到达阈值电压较高的存储单元时,扩散来的氢与蓄积在硅衬底上的空穴引起 NBTI 反应,在硅衬底/氧化硅膜的界面生成界面能级,在氧化硅膜中生成正固定电荷。这些界面能级与正固定电荷使写入状态的阈值电压下降,引起数据保持的恶化。由于在硅衬底上蓄积有空穴是数据保持特性恶化的条件,所以在擦除状态下阈值电压较低的

存储单元中,由于在硅衬底的表面没有蓄积空穴,因此不会引起基于氢的劣化反应。另外,在p沟道的MONOS型存储器的情况下,在阈值电压高且沟道处于倒相状态的存储单元中,将引起基于氢的劣化反应。

[0021] 从以上的机理可知,作为该劣化的特征可列举出:(a)热载流子注入时的衬底温度越高,数据保持特性的恶化就越大;(b)数据保持的温度越高,数据保持特性的恶化就越大;(c)在擦除状态下不会引起阈值电压的降低;(d)当在周围的存储单元中进行热载流子注入时则在未进行热载流子注入的存储单元中也能观察到数据保持特性的恶化等。

[0022] 分别在图19~图22中示出表示这些特征(a)~(d)的数据保持特性。图19是在以衬底温度125℃和150℃进行了改写后且以衬底温度150℃进行了保持的情况下进行写入后的存储单元的数据保持特性,在改写时进行热载流子注入时的衬底温度越高,阈值电压的降低量就越大,数据保持特性越差。这示出了上述(a)特征。

[0023] 图20是在以衬底温度150℃进行了改写后且以衬底温度125℃和150℃进行了保持的情况下进行写入后的存储单元的数据保持特性,示出了(b)数据保持时的温度越高,阈值电压的降低量越大,数据保持特性的恶化越大的特征。

[0024] 图21是在以衬底温度150℃进行了改写后且以150℃的温度进行了保持的情况下的擦除状态的存储单元的数据保持特性,示出了在擦除状态下不引起阈值电压的降低的(c)特征。

[0025] 图22是在对相邻的单元以衬底温度150℃进行了改写和未进行改写的情况下以150℃进行了写入后的存储单元的数据保持特性,测定了数据保持特性的存储单元没有进行改写。通过在相邻的存储单元中进行热载流子注入,即使在没有进行热载流子注入的存储单元中也能观察到数据保持特性的恶化,示出了(d)特征。

[0026] 本发明的目的在于抑制非易失性半导体存储器件的数据保持特性的恶化,并谋求可靠性的提高。更具体而言,通过热载流子的注入来抑制基于由从氮化硅膜释放出的氢和蓄积在硅衬底上的空穴引起的NBTI反应的数据保持特性的恶化。

[0027] 本发明的上述以及其他目的和新特征通过本说明书的记述以及附图得以明确。

[0028] 本申请中公开的发明是抑制作为课题的引起数据保持特性的恶化的三个机理即“氢的释放”、“氢的扩散”、“基于氢的劣化反应”。其中,如果对具有代表性的发明的概要简单地进行说明,则如下所述。

[0029] 本发明的非易失性半导体存储器件,具有:形成在半导体衬底中的一对源极区域和漏极区域;形成在上述源极区域和漏极区域之间的上述半导体衬底的区域上的第一栅电极;以及形成在上述半导体衬底的表面与上述第一栅电极之间的电荷蓄积部,其中,上述电荷蓄积部包含氮与氢的键(N-H键)和氢的键(Si-H键)的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜,通过对上述电荷蓄积部注入热载流子来进行写入或擦除。

[0030] 另外,本发明的另一个非易失性半导体存储器件,形成在存储区域内、具有栅极绝缘膜的、通过注入热载流子来进行写入或擦除的第一晶体管,该栅极绝缘膜包含N-H键和Si-H键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜;形成在逻辑区域内的第二晶体管;与上述第一晶体管的第一源极或第一漏极电连接的第一接触部;以及与所述第二晶体管的第二源极或第二漏极电连接的第二接触部,其中,上述第一晶体管的上述第一栅电极、上述第一源极以及第一漏极未被用于形成自对准接触部的氮化硅膜所覆盖,或者一部分被覆盖,在上述

第二晶体管的连接有上述第二接触部的上述第二源极或第二漏极上,形成有助于形成自对准接触部的氮化硅膜。

[0031] 另外,本发明的另一个非易失性半导体存储器件,具有:形成在半导体衬底中的一对源极区域和漏极区域;形成在上述源极和漏极区域之间的上述半导体衬底的区域上的第一栅电极;形成在上述半导体衬底的表面与上述第一栅电极之间的电荷蓄积部;以及形成在上述半导体衬底的表面与上述电荷蓄积部之间的氧化膜,其中,在上述氧化膜与上述半导体衬底的界面或者上述氧化膜内具有卤族元素与硅元素的键,上述电荷蓄积部包含 N-H 键和 Si-H 键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜,通过对上述电荷蓄积部注入热载流子来进行写入或擦除。

[0032] 如果在本申请所公开的发明之中,对有代表性的发明所获得的效果简单地进行说明则如下那样。

[0033] 能够谋求非易失性半导体存储器件的高可靠性。特别是,能够谋求改写后的数据保持特性的劣化抑制。

[0034] 附图说明

[0035] 图 1 是本发明实施方式的非易失性半导体存储器件(闪存器)的要部剖视图。

[0036] 图 2 是表示本发明实施方式的非易失性半导体存储器件的写入/擦除方式的衬底的要部剖视图。

[0037] 图 3 是表示 N-H 键和 Si-H 键的总密度与维持的阈值降低量之关系的图表。

[0038] 图 4 是表示本发明实施方式的非易失性半导体存储器件的制造方法的衬底的要部剖视图。

[0039] 图 5 是表示本发明实施方式的非易失性半导体存储器件的制造方法的衬底的要部剖视图。

[0040] 图 6 是表示本发明实施方式的非易失性半导体存储器件的制造方法的衬底的要部剖视图。

[0041] 图 7 是表示本发明实施方式的非易失性半导体存储器件的制造方法的衬底的要部剖视图。

[0042] 图 8 是本发明实施方式的其他非易失性半导体存储器件(闪存器)

[0043] 图 9 是本发明实施方式的其他非易失性半导体存储器件(闪存器)的要部剖视图。

[0044] 图 10 是本发明实施方式的其他非易失性半导体存储器件(闪存器)的要部剖视图。

[0045] 图 11 是本发明实施方式的其他非易失性半导体存储器件(闪存器)的要部剖视图。

[0046] 图 12 是本发明实施方式的其他非易失性半导体存储器件(闪存器)的要部剖视图。

[0047] 图 13 是本发明实施方式的其他非易失性半导体存储器件(闪存器)的要部剖视图。

[0048] 图 14 是本发明实施方式的其他非易失性半导体存储器件(闪存器)的要部剖视图。

- [0049] 图 15 是本发明实施方式的其他非易失性半导体存储器件（闪存器）的要部剖视图。
- [0050] 图 16 本发明实施方式的非易失性半导体存储器件（闪存器）的要部剖视图。
- [0051] 图 17 是本发明实施方式的其他非易失性半导体存储器件（闪存器）的要部剖视图。
- [0052] 图 18 是表示本发明实施方式的非易失性半导体存储器件的制造方法的衬底的要部剖视图。
- [0053] 图 19 是表示写入侧的数据保持特性的保持温度依赖性的图表。
- [0054] 图 20 是表示写入侧的数据保持特性的改写温度依赖性的图表。
- [0055] 图 21 是表示擦除侧的数据保持特性的图表。
- [0056] 图 22 是对改写相邻单元时和未改写时的数据保持特性进行了比较的图表。
- [0057] 图 23 是表示电子注入时间与维持阈值电压降低量之关系的图表。
- [0058] 图 24 是表示对图 23 的数据之中、扩散限制区域的数据进行了匹配的结果的图表。
- [0059] 符号说明：
- [0060] BOTOX：下部氧化膜（氧化膜）
- [0061] CAP：氧化硅膜
- [0062] CONT：
- [0063] GAPSW：侧壁间隔物
- [0064] INS1：布线层间绝缘膜
- [0065] INS2：布线层间绝缘膜
- [0066] LO：元件分离氧化硅膜
- [0067] M1：第一布线层
- [0068] MD：漏极区域
- [0069] MDM：低浓度 n 型杂质区域
- [0070] ME：存储器阈值调整用杂质区域
- [0071] MG：存储器栅电极
- [0072] MS：源极区域
- [0073] MSM：低浓度 n 型杂质区域
- [0074] NMG：n 型多晶硅层
- [0075] ONO：ONO 膜
- [0076] PSUB：p 型硅衬底
- [0077] PWEL：p 型阱区域
- [0078] SACSIN：SAC 用氮化硅膜
- [0079] SG：选择栅电极
- [0080] SGOX：栅极绝缘膜
- [0081] SIN、SIN1、SIN2、SIN3：电荷蓄积用的氮化硅膜
- [0082] SW：侧壁间隔物
- [0083] TOPOX：上部氧化膜（氧化膜）

具体实施方式

[0084] 以下,根据附图对本发明的实施方式详细地进行说明。此外,在用于说明实施方式的全部附图中,原则上对同一部件标记相同的符号并省略对其进行重复说明。另外,在对以下的实施方式进行说明的附图中,为了易于理解结构,即便是俯视图有时也附加阴影。

[0085] 另外,在以下的实施方式中,基于 n 型沟道的存储单元来进行说明。但在 p 型沟道的存储单元的情况下也能够与 n 型沟道的存储单元同样地进行处理。即,在 p 型沟道的存储单元中也通过向电荷蓄积部的氮化硅膜注入热载流子来释放氢,所释放的氢与硅衬底的空穴引起 NBTI 反应,使数据保持特性恶化。

[0086] (实施方式 1)

[0087] 在第一实施方式中,通过减少引起数据保持特性的恶化的三个机理之中的“氢的释放”来抑制数据保持特性的恶化。具体而言,减少存在于电荷蓄积部即氮化硅膜中的 N-H 键与 Si-H 键,来减少由热载流子注入而引起的氢的释放量。以下,氢浓度表示 N-H 键与 Si-H 键的总浓度,氢浓度能够使用 SIMS (Secondary Ion Mass Spectroscopy :二次离子质谱) 或者热脱附分析 TDS (thermal desorption spectroscopy :热脱附谱) 来进行测定。

[0088] 图 1 是本实施方式的具有代表性的非易失性半导体存储器件(闪存器)的要部剖视图。

[0089] 如图 1 所示,存储单元具有作为电荷蓄积部的氮化硅膜(氮化膜)SIN;由位于其上下的氧化膜(氧化硅膜)BOTOX、TOPOX 的层叠膜构成的 ONO 膜(ONO);由如 n 型多晶硅那样的导电体构成的存储器栅电极 MG;由 n 型杂质(被导入后的半导体区域(硅区域))构成的源极区域(源极扩散层、n 型半导体区域)MS;由 n 型杂质(被导入后的半导体区域(硅区域))构成的漏极区域(漏极扩散层、n 型半导体区域)MD。

[0090] 源极区域 MS 和漏极区域 MD 形成于设置在 p 型硅衬底(半导体衬底)PSUB 上的 P 型阱区域 PWEL 中。对氮化硅膜 SIN 使用降低了氢浓度的膜。也可以使用降低了氢浓度的硅氧氮化膜来作为氮化硅膜 SIN。

[0091] 图 2 表示图 1 所示的存储单元的写入动作和擦除动作。写入动作通过沟道热电子注入来进行。作为写入电压,例如,施加在源极区域 MS 上的电压设为 5V,施加在存储器栅电极 MG 上的电压设为 7V,施加在漏极区域 MD 上的电压设为 0V,施加在阱上的电压设为 0V。擦除动作是对由带-带隧穿效应(BTBT :Band-To-Band Tunneling)产生的空穴进行加速并进行注入。作为擦除电压,例如施加在存储器栅电极 MG 上的电压设为 -5V,施加在源极区域 MS 上的电压设为 6V,施加在漏极区域 MD 上的电压设为 0V,施加在阱上的电压设为 0V。读出动作是例如施加在漏极区域 MD 上的电压设为 1.5V,施加在源极区域 MS 上的电压设为 0V,施加在存储器栅电极 MG 上的电压设为 1.5V,对源极/漏极间的电压在与写入时相反的方向上进行读出动作。

[0092] 通过使施加在源极与漏极上的电压相反来进行写入动作、擦除动作以及读出动作,可使电荷的蓄积位置为源极侧和漏极侧这两个位置,来进行 2 位/单元动作。

[0093] 代替上述擦除方式,也可以是对存储器栅极施加负电压,利用 FN 隧道效应将电子吸引到硅衬底上、或利用 FN 隧道效应从衬底注入空穴的擦除方式。另外,还可以是对存储器栅极施加正电压,利用 FN 隧道效应将电子吸引到存储器栅极、或利用 FN 隧道效应从存储器栅极注入空穴的擦除方式。

[0094] 接着,说明降低电荷蓄积部的氮化硅膜中所含的氢量的效果。如上所述,从氮化硅膜释放的氢和蓄积在硅衬底上的空穴这两者的存在引起 NBTI 反应,使数据保持特性恶化。该 NBTI 反应的速度,在空穴量比氢量充分多的情况下受氢量限制,反之在氢量比空穴量充分多的情况下受空穴量限制。

[0095] 图 3 表示氮化硅膜中的 N-H 键和 Si-H 键的总密度、和以衬底温度 150℃ 的高温进行了 10 万次改写后的 150℃ /1000 小时的数据保持时的阈值电压降低量之间的关系。对于氮化硅膜中的 N-H 键和 Si-H 键的总密度,在 650℃ 下使用 LPCVD 法进行成膜时为 $2.2 \times 10^{21} \text{cm}^{-3}$;在提高温度后在 700℃ 下使用 LPCVD 法进行成膜时为 $9 \times 10^{20} \text{cm}^{-3}$;在交替地导入 SiH_2Cl_2 气体和 NH_3 等离子气体来成膜的一般 ALD 法中,能够使氢浓度比在相同温度下使用 LPCVD 法进行成膜时减少 1/2 至 1/3,在以 630℃ 进行成膜时为 $1.1 \times 10^{21} \text{cm}^{-3}$ 。当在使用了这些氮化硅膜的存储单元中测定数据保持特性时,特性没有变化。这是因为在 NBTI 反应的速度受到空穴量限制的区域,不是氢量而是空穴量决定了特性。

[0096] 与此相对,在使用对后述细节的不含氢的含硅气体和氮等离子气体交替进行曝露的 ALD 法而成膜的氮化硅膜中,能够使 N-H 键和 Si-H 键的总密度减少至 $4.5 \times 10^{20} \text{cm}^{-3}$,其结果数据保持特性有所改善。当通过与若干的含氢的氮等离子气体一起导入,使 N-H 键和 Si-H 键的总密度降低为 $4.5 \times 10^{20} \text{cm}^{-3}$ 时,依赖于 N-H 键和 Si-H 键的总密度,数据特性发生变化。这表示已改变为 NBTI 反应的速度受氢量限制的区域,不是空穴量而是氢量决定了特性。根据以上说明,可知通过使氮化硅膜中的 N-H 键和 Si-H 键的总密度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下,能够获得数据保持特性改善的效果。

[0097] 以下,使用另一个方法导出数据保持特性的改善效果显现的氮化硅膜中的 N-H 键和 Si-H 键的总密度。如上述“发明要解决的课题”中说明的那样,当在氮化硅膜中注入热电子时,从氮化硅膜释放氢。通过由该热电子注入引起的氢的释放来减少氮化硅膜中的氢浓度,并进行了减少到何种程度维持特性的劣化将会改善的确认。

[0098] 在确认实验中,使用了采用在图 3 所示的以 700℃ 成膜的 LPCVD 法的氮化硅膜的存储单元。实验顺序如下。首先,以 150℃ 的高温向氮化膜进行第一次热电子注入 t 秒钟来释放氮化膜中的氢,使氮化膜的残留氢浓度降低。接着,进行用于使释放在已注入热电子的存储单元的附近的氢的浓度降低的充分的退火 (300℃, 1 个小时),使得通过热电子注入而释放出的氢不会对之后的维持实验带来影响。然后,以 150℃ 进行第二次热电子注入来释放氮化膜中的氢,用未进行热电子注入的相邻的存储单元进行维持特性的评价。改变第一次热电子注入时间 t 而进行多次实验,导出维持劣化的抑制效果显现的氮化膜的残留氢浓度 (第一次热电子注入时间 t 的函数)。

[0099] 图 23 表示对第一次热电子注入时间 t 与维持的阈值电压降低量之关系进行了评价的实验结果。若增加热电子注入时间 t 时,则直到 100s 时间,阈值电压降低量大致不变,而在 1000s 以上时阈值电压的降低量变小,维持劣化的抑制效果显现出来。直到 100s 阈值电压降低量不变是因为维持劣化由空穴量而不是氢量决定的反应限制的区域。在 1000s 以上阈值电压降低量变小,能够理解为是维持劣化由氢量而不是由空穴量决定的扩散限制的区域缘故。

[0100] 根据图 23 的结果,估计维持劣化抑制效果显现的 1000s 的热电子注入时的氮化膜中的氢浓度。

[0101] 氮化膜中的残留氢浓度 $R(t)$ 的变化速度 $dR(t)/dt$ 等于在基于热电子注入的氢释放速度 $E(t)$ 上添加了负符号的值。氢释放速度与残留氢和热电子相遇的概率、即热电子注入量残留氢浓度 $R(t)$ 和热电子注入量 $J(C/cm^2/s)$ 之积成比例。因而,当将比例常数设为 A 时, $dR(t)/dt$ 用下式来表示。

$$[0102] \quad dR(t)/dt = -E(t) = -A \times J \times R(t) \quad \text{式 (1)}$$

[0103] 当根据式 (1), 将 $R(t)$ 用 t 的函数来表示时:

$$[0104] \quad R(t) = R_0 \times \exp(-\alpha t) \quad \text{式 (2)}$$

[0105] 这里, R_0 、 α 是常数。

[0106] $t = 1000$ 秒的 $R(t)$ 相当于图 23 中维持劣化抑制效果显现的氢密度, 如果 R_0 和 α 已知, 就能够导出其值。

[0107] 第一个 R_0 是 $t = 0$ 秒时的氮化膜中的氢浓度, 即, 氮化膜中原本所含的氢浓度。本实验所用的氮化膜是以 700°C 成膜的 LPCVD 法的氮化硅膜, 如图 3 所示那样, 膜的氢浓度 R_0 为 $9 \times 10^{20} \text{cm}^{-3}$ 。

[0108] 根据图 23 所示的维持劣化的实验结果来求解另一个 α 。图 23 所示的维持阈值电压降低量 $\Delta V_{th_r}(t)$ 是电荷被吸引到硅衬底等的氢劣化以外的成分也包含在阈值电压降低量中、用基于氢劣化的降低成分 $\Delta V_{th_H}(t)$ 和氢劣化以外的降低成分 ΔV_{th_e} 之和来表示。前者的基于氢劣化的降低成分 $\Delta V_{th_H}(t)$ 与由第二次热电子注入产生的氢释放量成比例, 可以说由该第二次热电子注入产生的氢释放量与残留氢浓度 $R(t)$ 成比例。

[0109] 因而, $\Delta V_{th_H}(t)$ 和 $R(t)$ 用比例关系来表示。无论 t 如何, 后者的氢劣化以外的降低成分是一定的。即, 维持的阈值电压降低量 $\Delta V_{th_r}(t)$ 为:

$$[0110] \quad \Delta V_{th_r}(t) = \Delta V_{th_H}(t) + \Delta V_{th_e} = B \times R(t) + \Delta V_{th_e} = C \times \exp(-\alpha t) + \Delta V_{th_e} \quad \text{式 (3)}$$

[0111] 图 24 表示将式 (3) 在图 23 的测定数据之中维持劣化由扩散限制决定的与 1000s 以后的 3 点相匹配的结果。根据该结果, 当求解式 (3) 的常数 C 、 α 、 ΔV_{th_e} 时, 则为 $C = 0.4$ 、 $\alpha = 0.0004$ 、 $\Delta V_{th_e} = 0.5$ 。

[0112] 当将以上的 R_0 和 α 代入式 (2), 求解 $t = 1000$ 秒时的 $R(t)$ 时, 则为 $R(1000s) = R_0 \exp(-\alpha \times 1000) = 9 \times 10^{20} \times \exp(-0.0004 \times 1000) = 6 \times 10^{20}$ 。根据以上说明, 由氢密度降低引起的维持劣化抑制效果显现的氮化膜中的氢浓度被估计为约 $6 \times 10^{20}/\text{cm}^2$, 使用另一个的方法确认了图 3 所示的维持劣化抑制效果显现的氮化膜中的氢浓度至少为 $5 \times 10^{20}/\text{cm}^2$ 以下就能获得效果。

[0113] 接着, 下面, 一边参照图 4 ~ 图 7, 一边说明图 1 所示的非易失性半导体存储器件 (存储单元) 的制造方法的一例。图 4 ~ 图 7 是表示本实施方式的非易失性半导体存储器件的制造方法的衬底的要部剖视图。存储单元在存储区域呈阵列状排列, 但在各图中仅示出一个存储单元的剖面部。

[0114] 首先, 说明图 4。在 p 型硅衬底 PSUB 上, 根据需要形成元件分离氧化膜区域 STI, 并形成作为存储单元区域的 p 型阱区域 PWEL。在该 p 型阱区域 PWEL 的表面部形成调整阈值的 p 型或者 n 型杂质区域 (沟道区域) ME。

[0115] 接着, 在对硅衬底表面进行清洁处理后, 层叠包含氢浓度 (N-H 键和 Si-H 键的总浓度) 为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化硅膜的 ONO (Oxide Nitride Oxide: 氧化物 - 氮化物 - 氧化

物)膜。为了形成 ONO 膜,例如在通过热氧化或者 ISSG(In-Situ Steam Generation:现场蒸气产生)氧化形成了下部氧化膜 BOTOX 以后,形成氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化硅膜 SIN,进而通过汽相沉积法和热氧化或者 ISSG 氧化来形成上部氧化膜 TOPOX。

[0116] 在写入和擦除都通过热载流子注入来进行的情况下,优选的是,下部氧化膜 BOTOX 和上部氧化膜 TOPOX 的膜厚为难以引起隧道效应的 3nm 以上。在利用 FN 隧道效应将电子吸引到硅衬底、或者利用 FN 隧道效应从衬底注入空穴来进行擦除的情况下,需要使下部氧化膜 BOTOX 的膜厚减薄为 1.5nm ~ 3nm 左右。另外,在利用 FN 隧道效应将电子吸引到栅极、或者利用 FN 隧道效应从栅极注入空穴来进行擦除的情况下,需要不形成上部氧化膜 TOPOX 或使上部氧化膜 TOPOX 的膜厚减薄为 2nm 以下。氮化硅膜 SIN 的膜厚设为能够蓄积可充分获得阈值电压的改变的电荷的 2nm 以上。氢浓度较低的氮化硅膜的形成方法在后面详细示出。

[0117] 然后,在 ONO 膜上沉积作为存储器栅电极 MG 的 n 型多晶硅层 NMG(150nm 左右)。

[0118] 接着,说明图 5。使用光刻蚀技术和干刻蚀技术对图 4 所示的 n 型多晶硅层 NMG 进行加工,形成存储器栅电极 MG。该存储器栅电极是在图的纵深方向上延伸的线状图案。然后,分别使用氟酸和热磷酸除去露出来的上部氧化膜 TOPOX、氮化硅膜 SIN。然后,进行低浓度的 n 型杂质的离子注入,在漏极部形成低浓度 n 型杂质区域 MDM,在源极部形成低浓度 n 型杂质区域 MSM。

[0119] 接着,说明图 6。在使用氟酸除去 ONO 膜的下部氧化膜 BOTOX 中露出到表面的部分以后,沉积氧化膜,使用各向异性蚀刻技术进行蚀刻,从而在存储器栅电极 MG 的侧壁形成侧壁间隔物 SW。通过进行 n 型杂质的离子注入形成漏极区域 MD 和源极区域 MS。接着,沉积用于自对准接触(SAC:Self Align Contact)的氮化硅膜 SACSIN。

[0120] 接着,说明图 7。在硅衬底的整个面上沉积布线层间绝缘膜 INS1。使用光刻蚀技术和干刻蚀技术在漏极区域 MD 上开出接触孔,在开口部(接触孔)形成金属层(堵塞物)CONT。然后,使用光刻蚀技术和蚀刻技术形成第 1 层布线 M1。接着,沉积布线层间绝缘膜 INS2。以下省略图示,但在布线层间绝缘膜 INS2 上形成接触孔,进而通过沉积导电性膜,并进行图案形成,从而形成布线。这样,可通过反复进行布线层间绝缘膜和布线的形成工序,来形成多层布线。

[0121] 以上,用图 4 ~ 图 7 所示的方法制造的存储单元的布线方向如图 7 所示,存储器栅电极 MG 和源极区域 MS 在垂直于纸面的方向上延伸,与漏极区域 MD 相连接,作为位线的第 1 层布线 M1 在与存储器栅电极 MG、源极区域 MS 正交的方向上延伸。

[0122] 源极区域 MS 也可以使用第 1 层布线,使其在与漏极区域 MD 平行的方向上延伸。进而,还可以如图 8 所示的存储单元那样,漏极区域 MD 和源极区域 MS 作为扩散层布线在垂直于纸面的方向上延伸,存储器栅电极 MG 在与漏极区域 MD、源极区域 MS 的扩散层布线正交的方向上延伸。

[0123] 图 8 所示的存储单元的制造方法与图 4 ~ 图 7 所示的存储单元的制造方法不同。首先,形成 ONO 膜的下部氧化膜 BOTOX、氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化硅膜 SIN、以及上部氧化膜 TOPOX,使用光刻蚀技术和干刻蚀技术,除去形成源极和漏极的区域的 ONO 膜。接着,在使用热氧化除去了 ONO 膜的区域,形成氧化膜 LO,注入 n 型的杂质而形成漏极区域 MD 和源极区域 MS。接着,沉积多晶硅层,利用光刻蚀技术和干刻蚀技术形成存储器栅电极 MG。

该存储器栅电极是在图的左右方向上延伸,为线状的图案。

[0124] 在图 8 所示的存储单元中,在源极区域 MS 和漏极区域 MD 之上除去 ONO 膜,残留有用作电荷蓄积部的氮化硅膜的仅是存储区域的一部分。与之对应,如图 9 所示的存储单元那样,也可以是使用用于电荷蓄积部的氮化硅膜来覆盖存储区域的整个面的结构。在该情况下,除了接触部以外,使用氮化硅膜覆盖存储器阵列的存储区域的整个区域。由于氮化硅膜是难以通过氢的膜,所以使用氮化硅膜来覆盖整个面,从而能够抑制在氮化硅膜成膜后的制造工序中氢进入作为电荷蓄积部的氮化硅膜的区域而使氮化硅膜中的氢浓度比 $5 \times 10^{20} \text{cm}^{-3}$ 大。

[0125] 在图 9 中仅公开了一个存储单元,但在本实施例中,图 9 中的氮化硅膜以与作为另一个存储单元的电荷蓄积膜的氮化硅膜共有的方式而形成,该氮化硅膜的侧面的端部不是如图 8 那样位于存储单元内,而是以至少配置在存储区域的外侧的方式而形成,氮化硅膜以覆盖底部氧化膜的方式而形成。即,在存储区域内,除了接触部以外在整个面上形成氮化硅膜,且覆盖底部氧化膜的整个面。

[0126] 形成这种结构是由于在氮化硅膜成膜后的制造工序中产生的氢经由底部氧化膜,进入作为电荷蓄积部的氮化硅膜的区域,所以与图 8 的结构不同,可使氢到底部氧化膜的主要到达路径形成为由存储区域外侧的区域的路径。因而,通过使用氮化硅膜覆盖底部氧化膜的整个面,能够抑制氢经由底部氧化膜进入作为电荷蓄积部的氮化硅膜的区域、使氮化硅膜中的氢浓度比 $5 \times 10^{20} \text{cm}^{-3}$ 大的现象。

[0127] 不言而喻,在存储区域的接触部未形成底部氧化膜和氮化硅膜。另外,在图 9 中,在整个面上形成底部氧化膜,但不是为了取得该效果而必须在整个面上形成底部氧化膜,也可以是在底部氧化膜形成后除去一部分,然后在整个面上形成氮化硅膜。

[0128] 以上示出了与图 1 所示的单栅极型的存储单元有关的实施例,但本发明在图 10 ~ 图 13 中示出要部剖视图的拼合栅极型的存储单元中,也能够通过对作为电荷蓄积部的氮化膜使用氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜,来取得同样的效果。

[0129] 图 10 所示的存储单元具有:用于蓄积电荷的氮化硅膜 SIN;由位于其上下的氧化膜 BOTOX、TOPOX 的层叠膜构成的 ONO 膜;由如 n 型多晶硅那样的导体构成的存储器栅电极 MG;由 n 型多晶硅构成的选择栅电极 SG;位于选择栅电极 SG 下的栅极绝缘膜 SGOX;由 n 型杂质构成的源极区域 MS;以及由 n 型杂质构成的漏极区域 MD。源极区域 MS 和漏极区域 MD 形成设置于 p 型硅衬底 PSUB 上的 p 型阱区域 PWEL 中。以选择栅电极 SG 的侧壁间隔物的形状来构成存储器栅电极 MG,在先形成了选择栅极 SG 后,形成 ONO 膜 (BOTOX、SIN 以及 TOPOX),并利用各向异性蚀刻技术形成存储器栅电极 MG。

[0130] 图 11 是以存储器栅电极 MG 的侧壁间隔物的形状构成了选择栅电极 SG 的存储单元。在这种存储单元的情况下,首先形成 ONO 膜 (BOTOX、SIN 以及 TOPOX) 和存储器栅电极 MG,并在其侧壁上形成由绝缘膜构成的侧壁间隔物 GAPSW。进而,在该侧壁上利用各向异性蚀刻技术形成选择栅电极 SG。为了确保存储器栅电极 MG 和选择栅电极 SG 的耐压,在存储器栅电极 MG 上形成了空隙氧化膜层 CAP。

[0131] 图 12 是将存储器栅电极 MG 放置在选择栅电极 SG 上的结构的存储单元。在这种存储单元的情况下,首先形成选择栅电极 SG,并使用光刻蚀技术形成 ONO 膜和存储器栅电极 MG。

[0132] 图 13 是将选择栅极电极 SG 放置在存储器栅电极 MG 上的结构的存储单元。在这种存储单元的情况下,除了使用光刻蚀技术形成选择栅电极 SG 以外,还能够与图 11 所示的存储单元同样地形成。即,首先形成了 ONO 膜和存储器栅电极 MG,然后形成选择栅电极 SG。

[0133] 图 10 ~ 图 13 所示的存储单元能够以相同的写入方式、擦除方式以及读出方式进行动作。与图 1 所示的存储单元的动作方式不同的是,基本上仅是写入动作。写入动作通过所谓的被称为源极侧注入方式的热电子注入来进行。作为写入电压,例如施加在源极区域 MS 上的电压 V_s 设为 5V,施加在存储器栅电极 MG 上的电压 V_{mg} 设为 10V,施加在选择栅电极 SG 上的电压 V_{sg} 设为 1.5V,施加在漏极区域 MD 上的电压 V_d 设为 0.7 左右以使沟道上流过的电流为 $1\mu A$,施加在阱的电压 V_{well} 设为 0V。擦除动作与图 1 所示的存储单元一样,通过利用了 BTBT 的热空穴注入或 FN 隧道效应来进行。读出动作也与图 1 所示的存储单元一样,对源极 / 漏极间的电压在与写入时相反的方向上进行。

[0134] 对于图 10 ~ 图 13 所示的拼合栅极型结构,虽然存储单元的面积较大,但与图 1 的存储单元相比,具有能够减少写入电流、通过使选择栅极的栅极绝缘膜薄膜化而能够用低电压 MOS 晶体管构成字驱动器、能够进行高速的读出动作等优点。

[0135] 接着,说明氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的电荷蓄积部的氮化硅膜 SIN 的制造方法。氢浓度较低的氮化硅膜能够使用以下的 (a) ~ (c) 的某一个制造方法进行成膜。

[0136] (a) 在使用 LPCVD 法形成了氮化硅膜后,进行使用了氮气的等离子体氮化。使用等离子体的能量将氮化硅膜中的 N-H 键和 Si-H 键切断来使氢脱离,其结果出来的未结合氢与氮原子结合,能够降低氢浓度。具体的制造方法,例如如下所述。

[0137] 首先,在使 LPCVD 装置的反应炉内的温度为 750°C 左右后,将二氯硅烷 (SiH_2Cl_2) 和氨 (NH_3) 气分别以 50sccm、500sccm 的流量导入炉内,在 ONO 膜的下部氧化膜上沉积氮化硅膜。氮化硅膜的膜厚设为 $1\text{nm} \sim 8\text{nm}$,最好是 $1\text{nm} \sim 3\text{nm}$ 。然后,在等离子体氮化装置中,利用 13.56MHz 的交流电磁场对氮气和氩气进行电离后产生氮等离子体气体,使该氮等离子体气体曝露,并利用 LPCVD 法对氮化硅膜进行等离子体氮化。此时,衬底温度为 450°C 。当进行等离子体氮化的氮化硅膜的膜厚变厚时,则难以降低氢浓度,所以在形成较厚的氮化硅膜的情况下,也可以交替地进行使用 LPCVD 法的氮化硅膜的沉积和使用了氮气的等离子体氮化。在此,使用了平行平板型的等离子体 CVD,但也可以进行使用了感应耦合等离子体 (Inductively Coupled Plasma)、微波的基本 (radical) 的氮化。

[0138] (b) 采用使用了含氢量较少的靶材料、气体的溅射法来沉积氮化硅膜。由于靶材料、气体的含氢量较少,所以能够形成氢浓度较低的氮化硅膜。例如,将衬底温度设为 400°C ,用氩和氮气对硅的靶进行溅射,成膜氮化硅膜。

[0139] (c) 采用交替地曝露不含氢的含硅气体和氮等离子体气体的 ALD 法来成膜氮化硅膜。由于在原料气体中不含氢,所以形成氢浓度低的氮化硅膜。另外,在不使用 ALD 法的等离子体 CVD 法中,当要形成薄膜的氮化硅膜时,需要抑制大量 (power) 生成等离子体,与 Si_3N_4 的组成比相比,形成了硅过量的氮化硅膜。由于硅过量的氮化硅膜在膜中存在许多浅层的陷阱,所以电荷保持能力较差。与此相对,通过使用 ALD 法,就能够对氮化硅膜导入足够的氮,能够降低硅的组成比,直到硅和氮的组成比 $\text{Si}_{3+x}\text{N}_4$ 的 x 为 0.05 以下。

[0140] 这样,通过使用降低了组成比的氮化硅膜,直到 $\text{Si}_{3+x}\text{N}_4$ 的 x 为 0.05 以下,从而获得电荷保持能力较高的氮化硅膜。能够形成电荷保持能力较高的电荷蓄积膜。作为具体的

制造方法,在使 ALD 装置的反应炉内的温度为 550℃ 以后,交替地导入含硅气体和氮等离子气体。作为不含氢的含硅气体可以使用四氯硅烷 SiCl_4 或者六氯二硅烷 Si_2Cl_6 ,作为氮等离子气体可以使用 N_2 或者 N_2 与 Ar 等稀有气体的等离子气体。等离子气体在反应炉之外生成并导入。

[0141] 以上,对在氮化硅膜的整个膜中降低氢浓度的电荷蓄积用的氮化硅膜的形成方法进行了说明,但若在氮化硅膜的与下部氧化膜的界面附近或者与上部氧化膜的界面附近降低氮化硅膜中的氢浓度,就能够抑制数据保持特性的恶化。这是因为氢难以在氮化硅膜中扩散,在通过热载流子注入而切断了键的氢中,距离氮化硅膜的界面存在于深位置的氢无法逸出的缘故。具体而言,在 150℃ 的保持温度下距离氮化硅膜与下部氧化膜的界面或者氮化硅膜与上部氧化膜的界面 3nm 以下区域的氢使数据保持特性恶化。

[0142] 因而,如图 14 所示,当将在与下部氧化膜的界面侧膜厚 3nm 以下的氮化硅膜 SIN1 设为氢浓度低的、氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化硅膜,并在其上部的氮化硅膜 SIN2 上使用 LPCVD 法等通常采用的方法成膜氮化硅膜,从而能够降低氢释放量。另外,如图 15 所示,除了在与下部氧化膜的界面侧膜厚为 3nm 以下的氮化硅膜 SIN1 之外,将在与上部氧化膜的界面侧膜厚为 3nm 以下的氮化硅膜 SIN3 也设为氢浓度低的、氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下的氮化硅膜时,能够进一步抑制氢释放量。

[0143] 氢浓度低的氮化硅膜的薄膜 SIN1 或者 SIN3 能够使用上述 (a) ~ (c) 的制造方法来形成。另外,与下部氧化膜的界面侧的氮化硅膜 SIN1 使用下述 (d) 方法也能够形成。

[0144] (d) 使用氮等离子气体对下部氧化膜 BOTOX 进行等离子体氮化,通过将下部氧化膜 BOTOX 中的氧置换为氮来形成氮化硅膜。下部氧化膜 BOTOX 的氧剩余,成为含有氧的氮化硅膜。由于下部氧化膜 BOTOX 的氢浓度低、也不包含在用于氮化的气体中,所以成为氢浓度低的氮化硅膜。

[0145] 氢浓度低的氮化硅膜 SIN1 或者 SIN3 也可以组合上述 (a) ~ (d) 的制造方法来形成。另外,插入了氢浓度低的氮化硅膜的薄膜 SIN1 或者 SIN3 的电荷蓄积用的氮化硅膜还能够图 10 ~ 图 13 的拼合栅极型的存储单元中使用。

[0146] 在至此的说明中,说明了通过作为电荷蓄积部的氮化膜的氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下来改善数据保持特性,但优选的是,通过使用氢浓度为 $3 \times 10^{20} \text{cm}^{-3}$ 以下、进而优选使用氢浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 以下的氮化膜,可实现数据保持特性的进一步提高。

[0147] (实施方式 2)

[0148] 在本实施方式中,通过控制引起数据保持特性恶化的三个机理之中“氢的扩散”,使释放出的氢的浓度降低,并抑制数据保持特性的恶化。具体而言,通过去除存储单元上的 SAC 用的氮化硅膜,确保氢向存储单元的上方扩散的路径,使存储单元附近的氢浓度降低。但是,SAC 技术是近年来使用了 MOS 晶体管的半导体器件中需用的技术,无法使非易失性半导体存储器件的整个区域都没有 SAC 用的氮化硅膜。因此,仅在存储器阵列的区域去掉 SAC 用的氮化硅膜。

[0149] 通过这样去掉 SAC 用的氮化硅膜,能够抑制数据保持特性的恶化,所以不需要使作为电荷保持部的氮化膜的氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下。但是,从数据保持特性的观点来看,最好是使作为电荷保持部的氮化膜的氢浓度为 $5 \times 10^{20} \text{cm}^{-3}$ 以下。

[0150] 图 16 是本实施方式的非易失性半导体存储器件的要部剖视图,左右侧的剖面图

分别表示制作在同一半导体器件内的 MONOS 型存储单元和 MOS 晶体管。

[0151] 左侧的 MONOS 型存储单元以存在于存储区域的一个存储单元为代表来示出,由一个 MOS 晶体管构成,与图 7 所示的存储单元的不同点为没有 SAC 用的氮化硅膜 SACSIN 这一点。

[0152] 右侧的晶体管以存在于非易失性半导体存储器件中的 n 型或者 p 型 MOS 晶体管为代表来示出,在此以 n 型的情况为例来示出。MOS 晶体管被用于使非易失性半导体存储器动作的外围电路、与外部进行数据的输入输出的 I/O 电路、以及在闪存混装微型计算机中实现微型计算机功能的逻辑电路。在此,表示形成有逻辑电路的逻辑区域的晶体管。如图 16 的右侧所示,在 MOS 晶体管之上形成有 SAC 用的氮化硅膜 SACSIN。

[0153] 换言之,在图 16 中,公开了构成形成于存储区域内的存储单元的晶体管;形成在逻辑区域内的晶体管;连接在存储区域中所形成的晶体管的源极或漏极的接触部;连接在逻辑区域的晶体管的源极或漏极的第二接触部,存储区域的晶体管的栅电极、源极以及漏极未被用于形成自对准接触的氮化硅膜所覆盖,另一方面,在连接有逻辑区域的晶体管的接触部的栅电极、源极以及漏极上,被用于形成自对准接触的氮化硅膜所覆盖。逻辑区域中的用于自对准接触的氮化硅膜未必需要覆盖整个面,只要形成在至少连接有接触部的源极或漏极上即可。

[0154] 图 16 所示的结构能够通过晶片整个面上沉积了 SAC 用氮化硅膜后,利用光刻蚀技术和蚀刻技术选择性地除去存储区域的氮化硅膜而制成。当采用该结构时,在存储器阵列以外的区域,能够使用 SAC 技术制作高密度地配置了 MOS 晶体管的电路,即使具有在存储器阵列的区域必须留有与接触部对准的余量的缺点,但可以抑制由从电荷蓄积部的氮化硅膜释放的氢引起的数据保持特性的恶化。

[0155] 图 17 表示另一实施方式。在图 16 所示的实施例,将存储器阵列上的 SAC 用氮化硅膜全部除去,与之相对,在图 17 所示的实施例中,存储区域的接触部附近的 SAC 用氮化硅膜剩余,并将除此之外的存储区域上的 SAC 用氮化硅膜除去。对于该结构,当在晶片整个面上沉积了 SAC 用氮化硅膜后,利用光刻蚀技术使要除去氮化硅膜的区域露出来并对氮化硅膜进行蚀刻时,就能够制成。

[0156] 换言之,在图 17 中,在存储区域的晶体管中不是用 SAC 用的氮化硅膜覆盖构成存储单元的晶体管的全部,而是在至少连接有接触部的源极或漏极上形成了用于形成自对准接触的氮化硅膜。与图 16 同样,逻辑区域中的用于自对准接触的氮化硅膜未必需要覆盖整个面,只要形成在至少连接有接触部的源极或漏极上即可。

[0157] 图 17 所示的例子与图 16 的例子不同,不存在必须留有与接触部的对准的余量的缺点。另外,由于确保了氢向存储单元的上方扩散的路径,所以与图 16 的例子相比,效果变少但能够抑制数据保持特性的恶化。在图 16 和图 17 中示出了使用了图 1 的单栅极型存储单元的例子,但在使用了如图 10 ~ 图 14 所示的拼合栅极型存储单元的情况下,也能够取得同样的效果。

[0158] (实施方式 3)

[0159] 在本实施方式中,通过抑制引起数据保持特性恶化的三个机理之中“基于氢的劣化反应”,来抑制数据保持特性的恶化。具体而言,通过向存储单元的硅衬底/底部氧化膜界面以及底部氧化膜中导入与硅的键能比氢大的元素、例如卤族元素,使由氢引起的界面

能级和正固定电荷的生成反应难以发生。

[0160] 图 18 是表示实现本实施方式的制造工序的非易失性半导体存储器件的要部剖视图,以导入的元素为卤族元素即氟的情况为例来进行说明。

[0161] 使用光刻蚀技术和干刻蚀技术形成存储器栅电极 MG,分别用氟酸和热磷酸除去上部氧化膜 TOPOX、氮化硅膜 SIN 以后,进行氟的离子注入。例如,氟的离子注入量设为 $2 \times 10^{15} \text{cm}^{-2}$ 、注入能量设为 15keV。在之后的热处理过程中,氟被取入硅衬底与底部氧化膜的界面或者底部氧化膜中,从而形成 Si-F 键。除氟以外,还可以注入氯或重氢等、与硅的键能比氢大的其他元素。由此,在底部氧化膜中形成 Si-F 键。

[0162] 不言而喻,在使用了卤族元素的情况下,形成卤族元素和硅元素的键。另外,特别是在卤族元素之中,氟、氯的质量较小,所以在使用了氟或氯元素的情况下与使用了其他卤族元素的情况相比,在离子注入时,具有对氧化硅膜和硅衬底的损坏小这样的优点。

[0163] 在图 18 中,以使用了在第一实施方式示出的图 1 的单栅极型的存储单元的情况为例进行了示出,但在使用了在图 10 ~ 图 14 示出的拼合栅极型的存储单元的情况下也能够取得同样的效果。

[0164] 以上,说明了实施方式 1 ~ 3,但不仅可单独实施这些实施方式,通过组合多个来进行实施,就能够取得进一步提高数据保持特性的效果。

[0165] 以上,对由本发明者所完成的发明基于其实施方式具体地进行了说明,但不言而喻本发明并不限于上述实施方式,在不脱离其要旨的范围内可以进行各种各样变更。

[0166] 【产业上的可利用性】

[0167] 本发明能够适用于非易失性半导体存储器件。

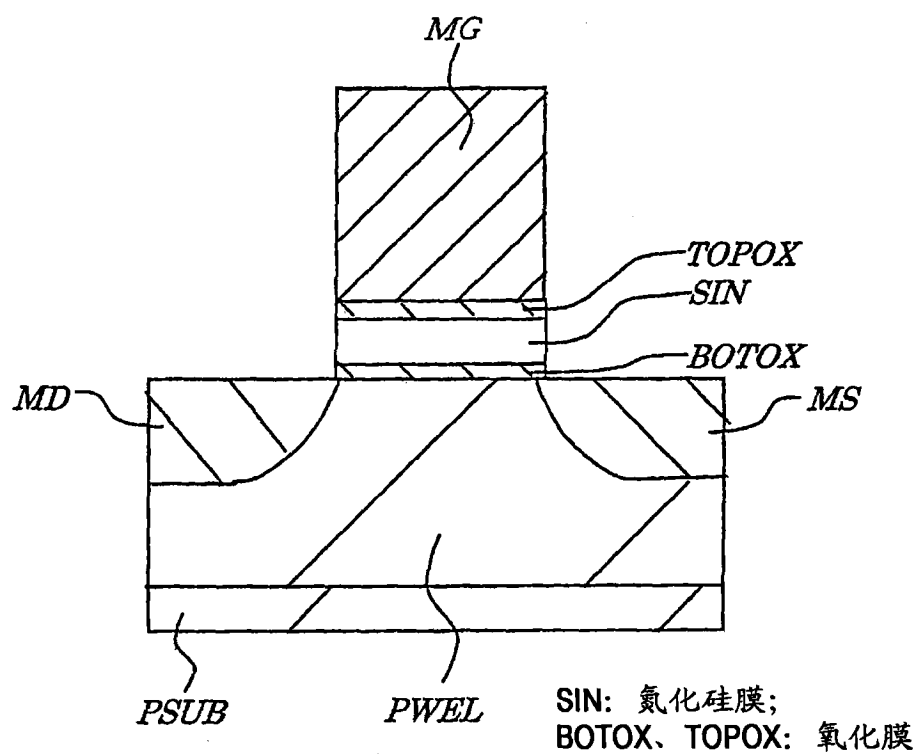


图 1

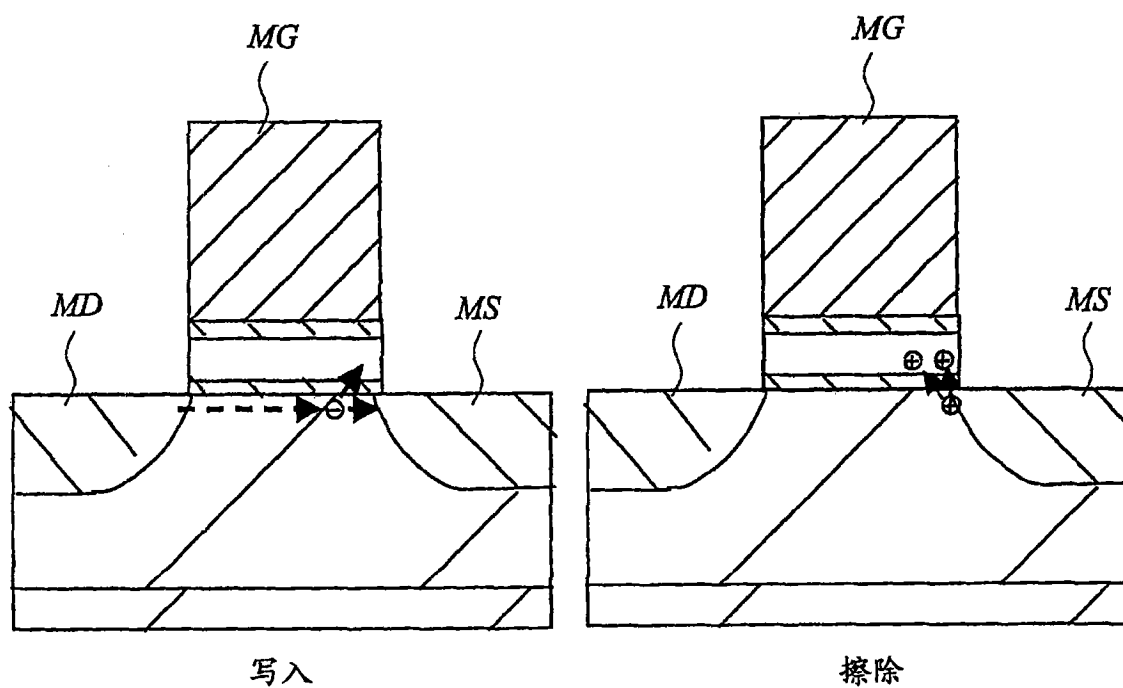


图 2

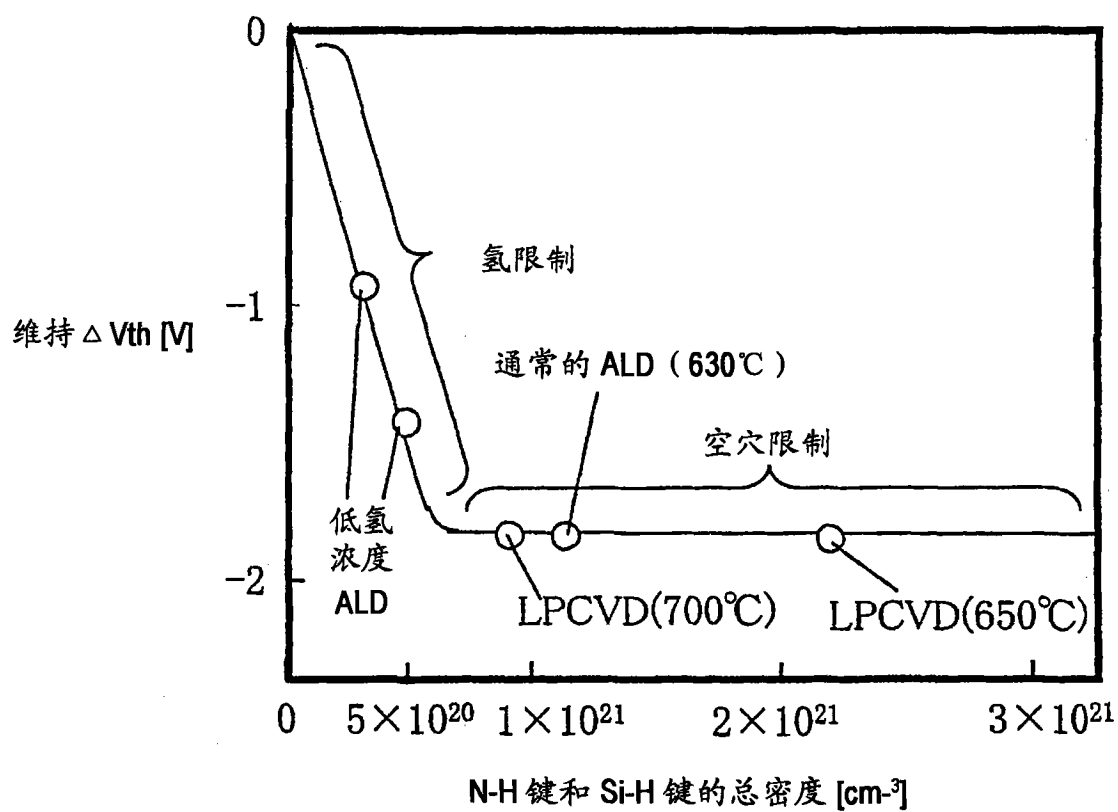


图 3

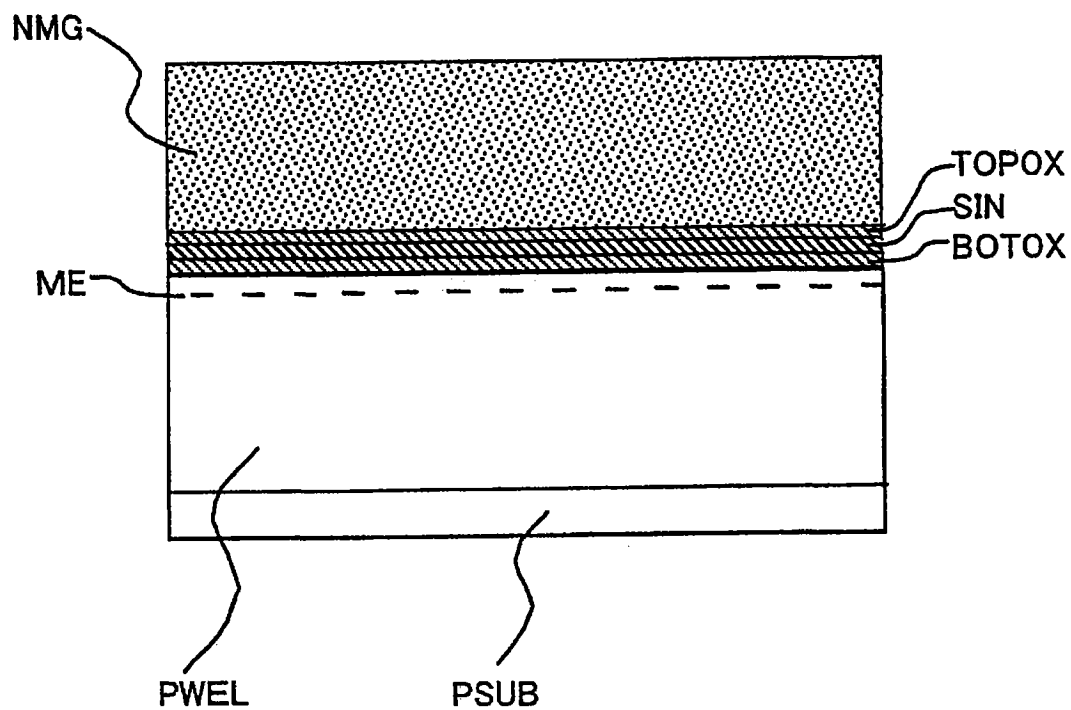


图 4

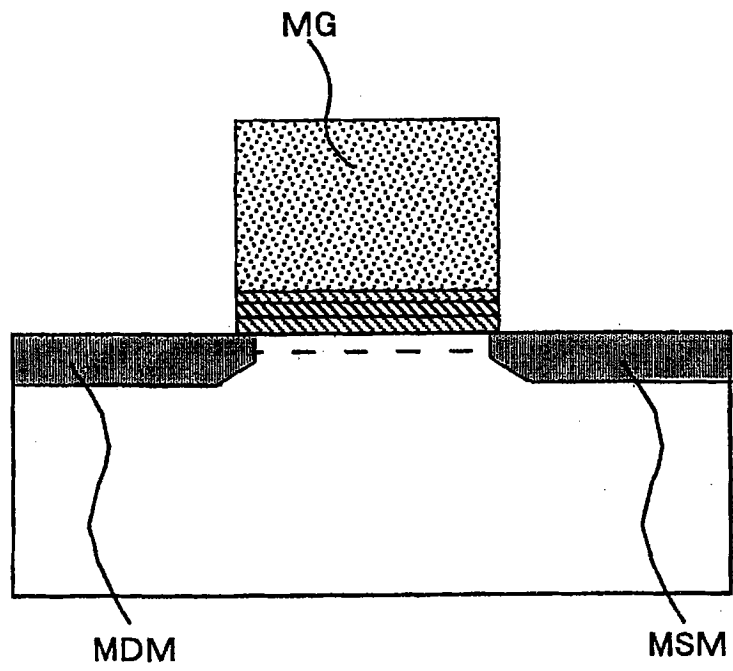


图 5

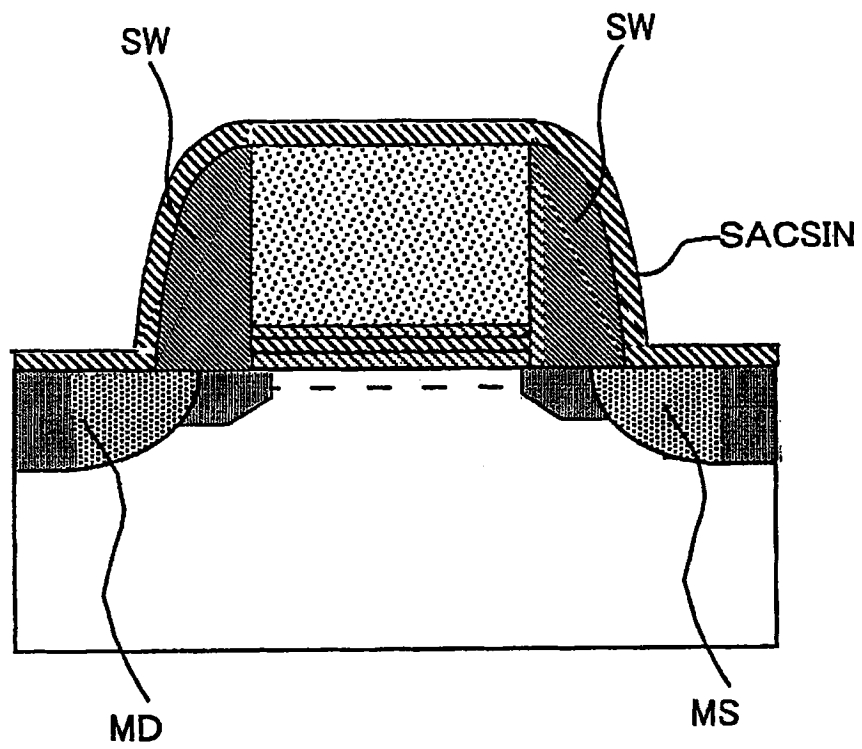


图 6

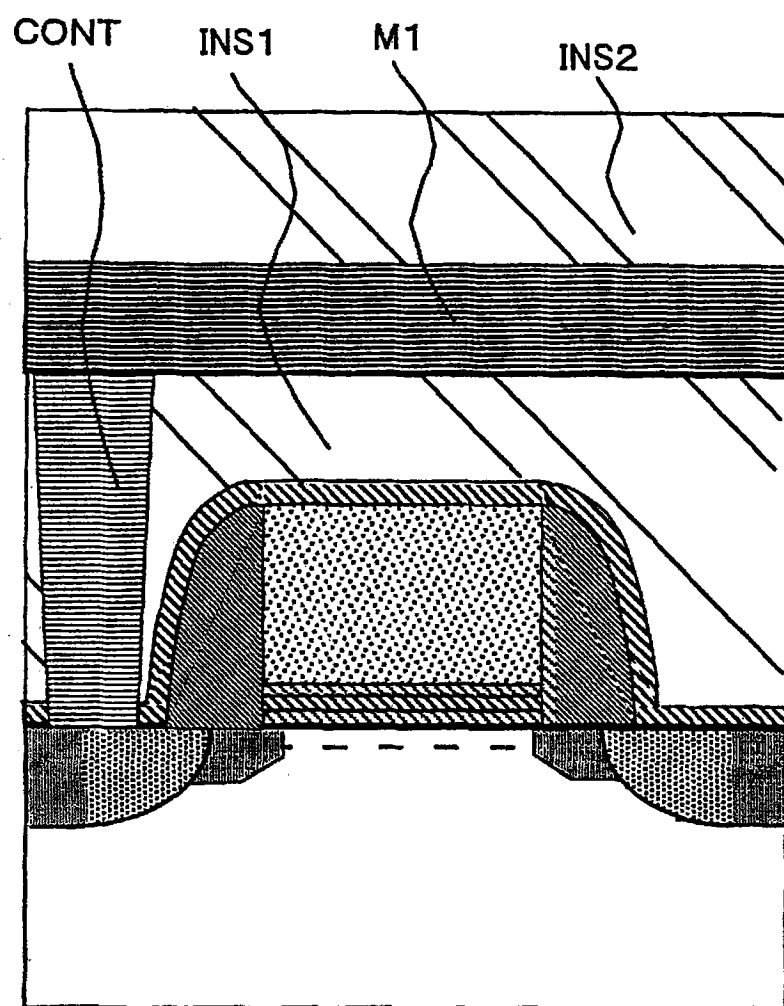


图 7

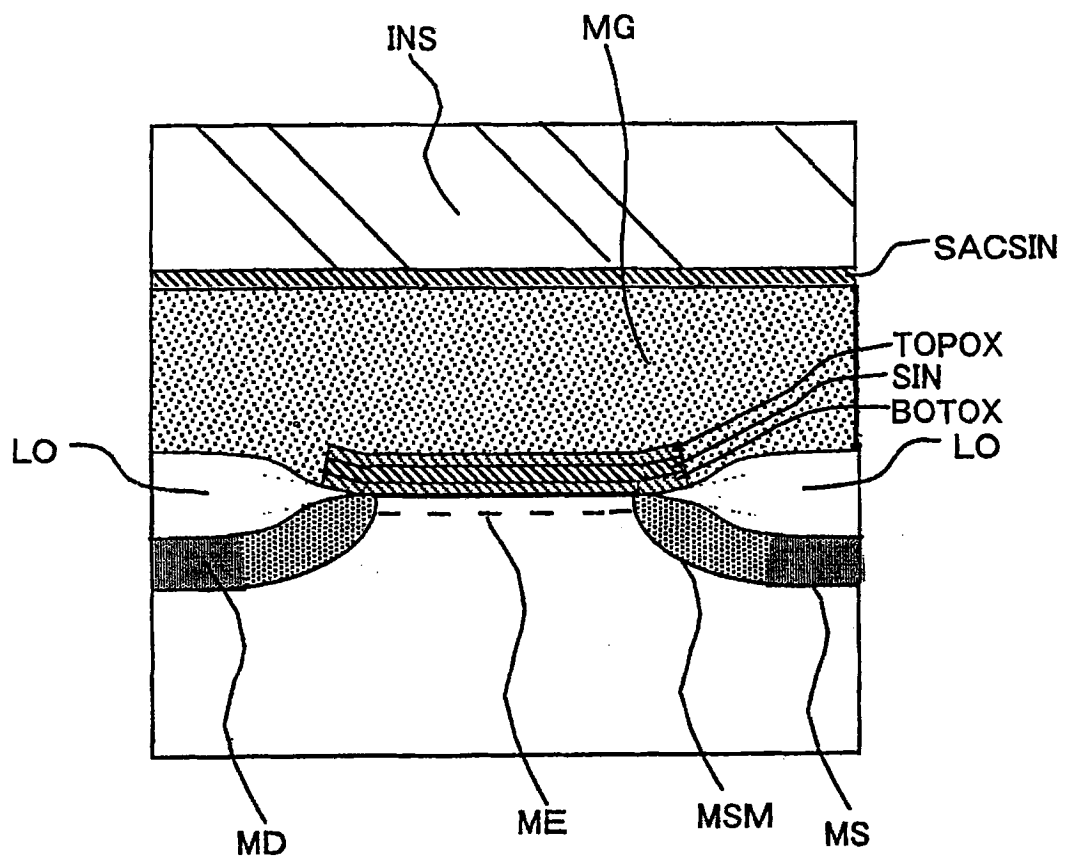


图 8

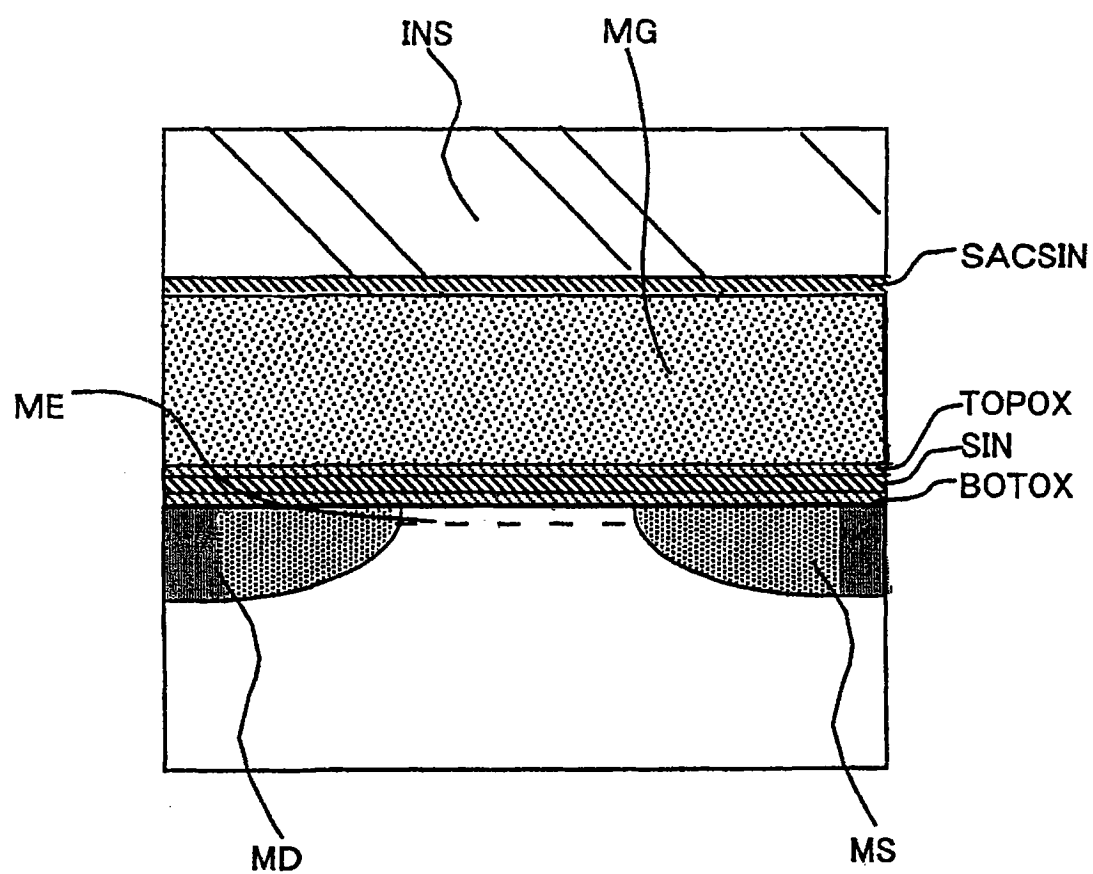


图 9

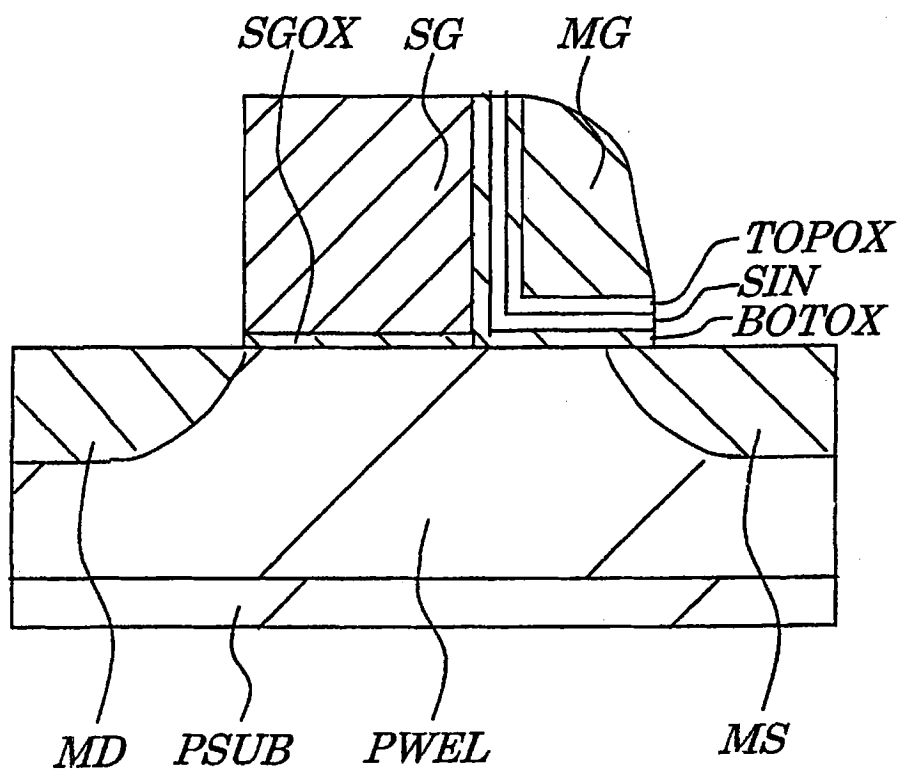


图 10

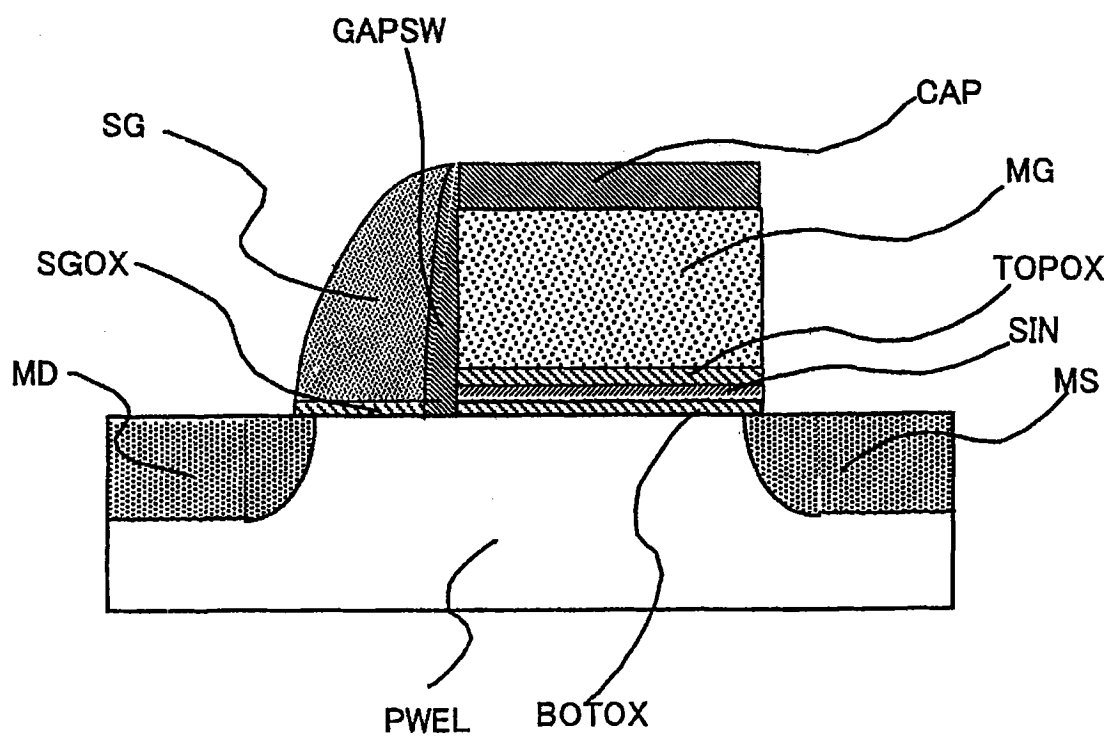


图 11

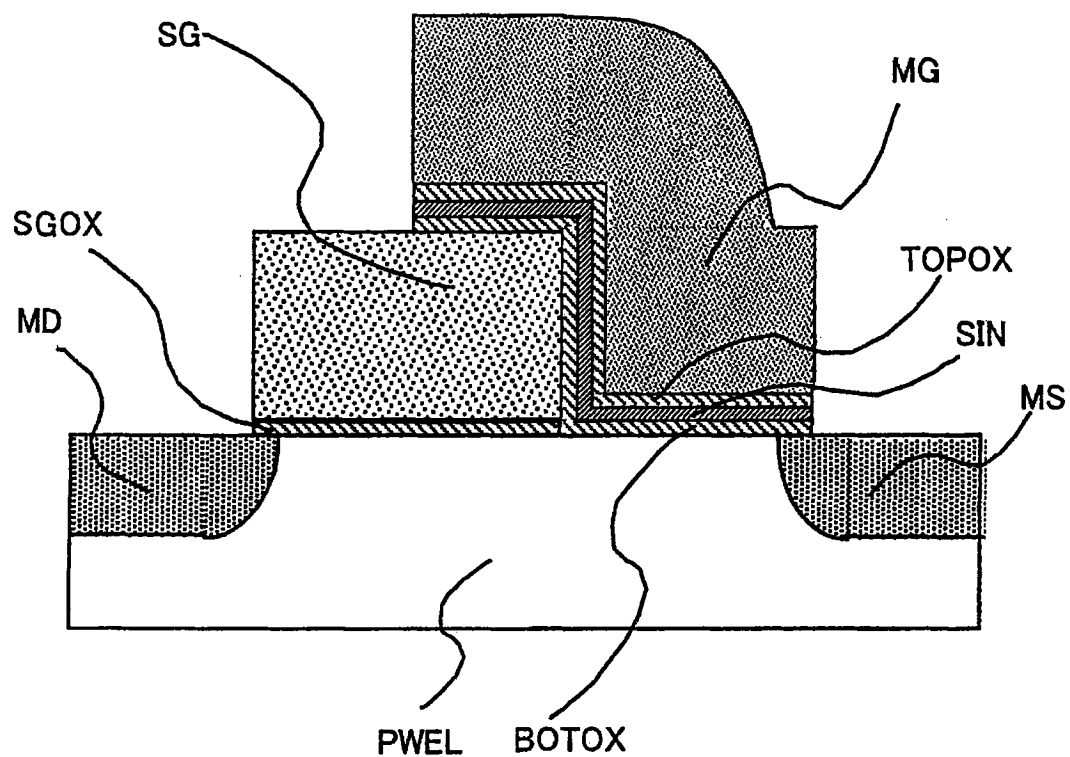


图 12

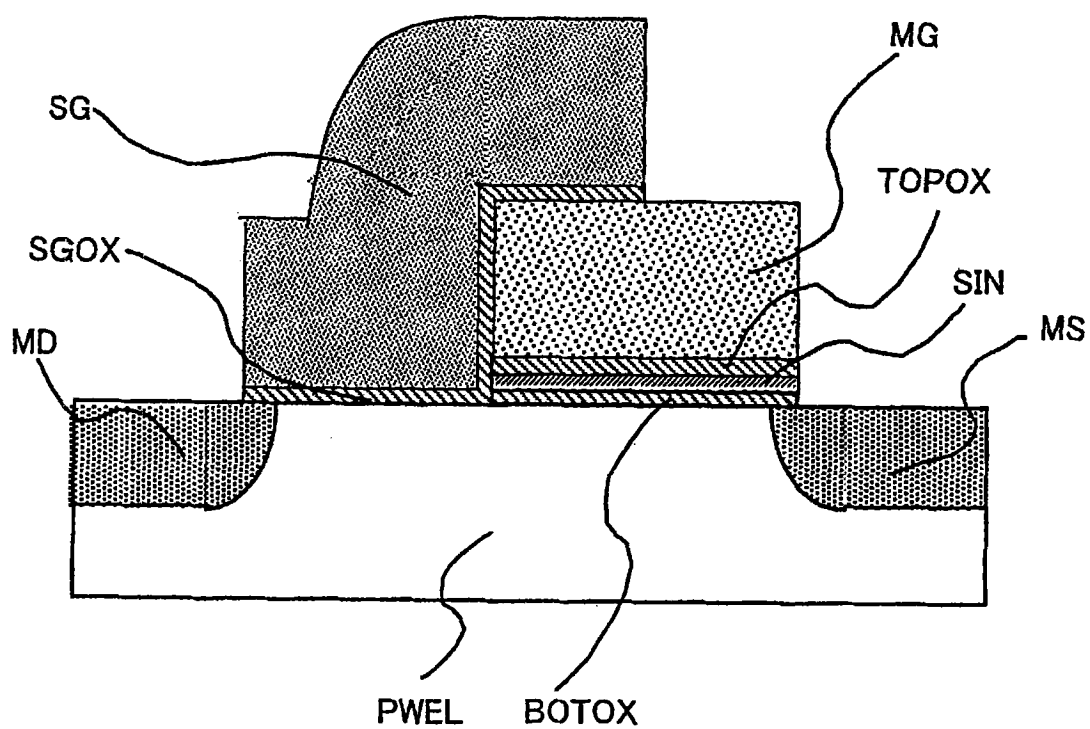


图 13

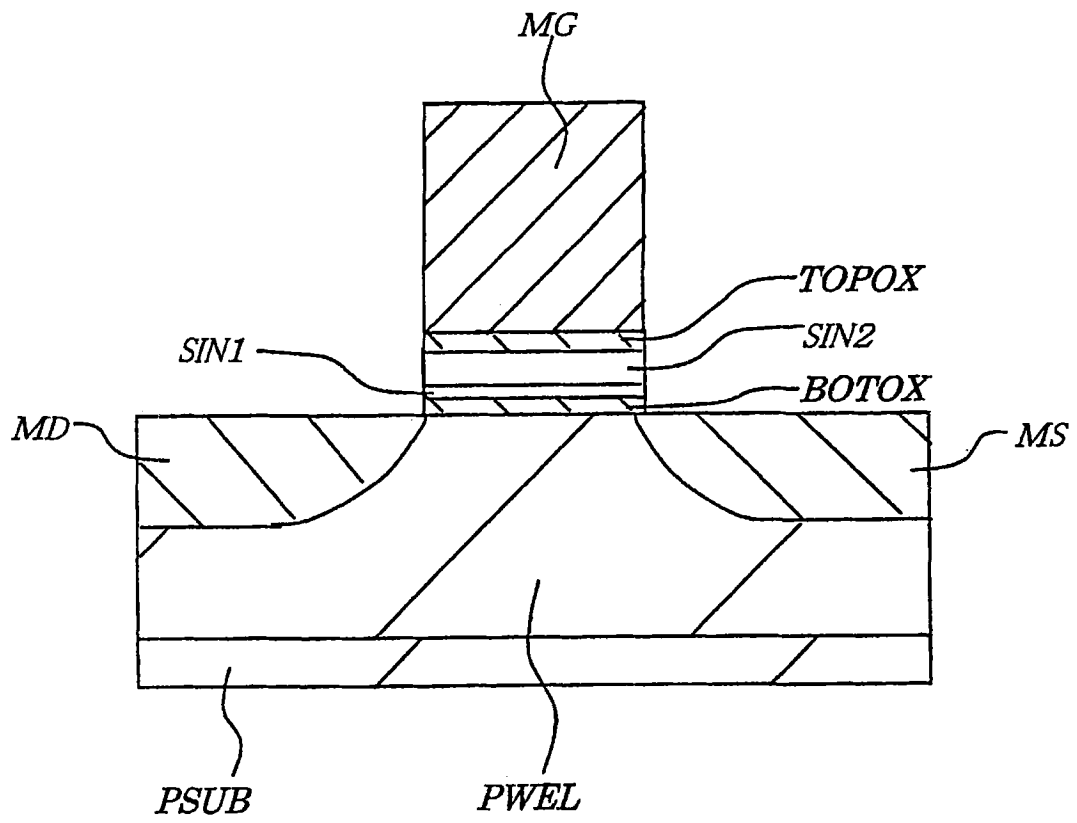


图 14

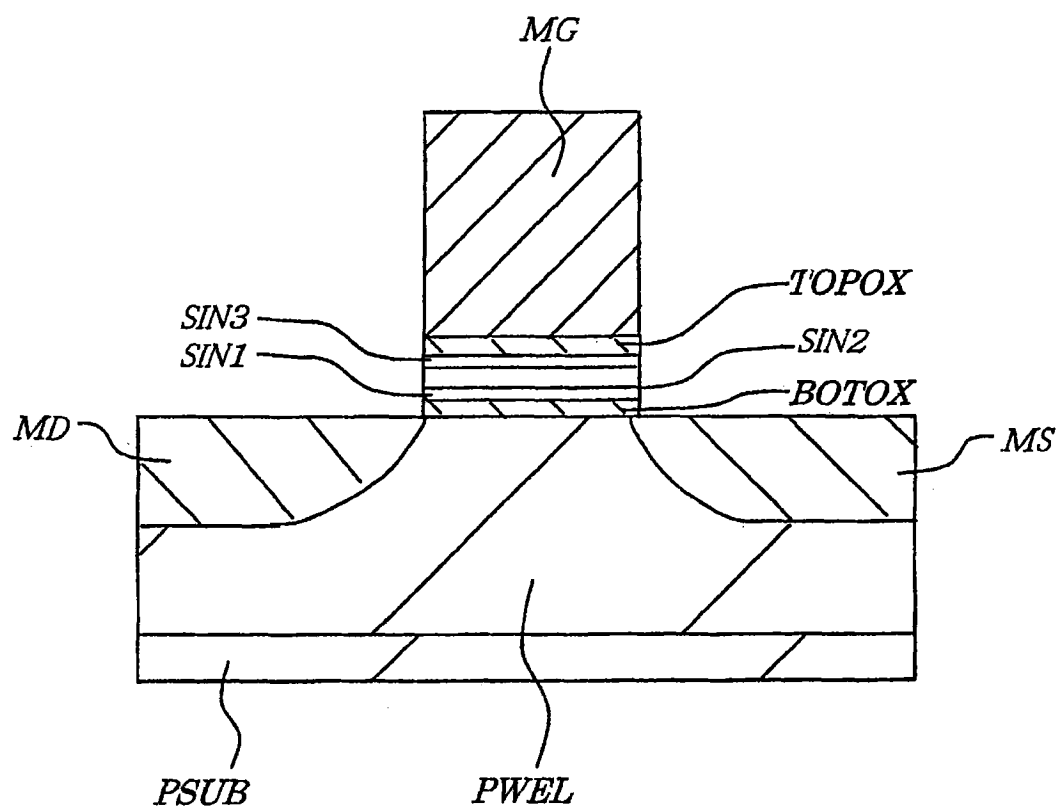


图 15

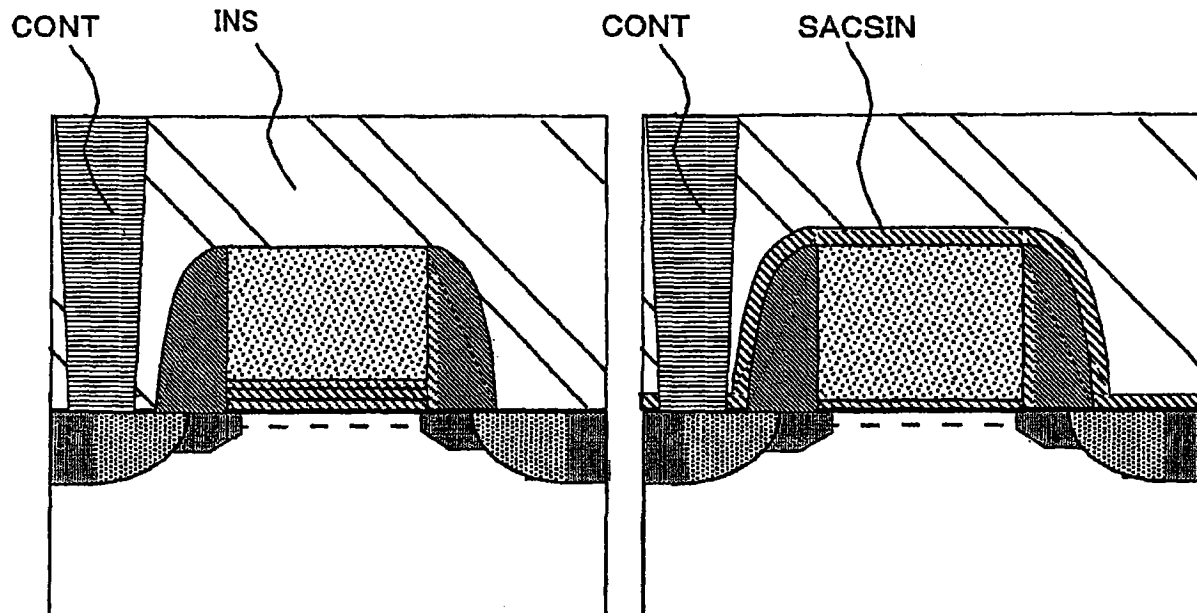


图 16

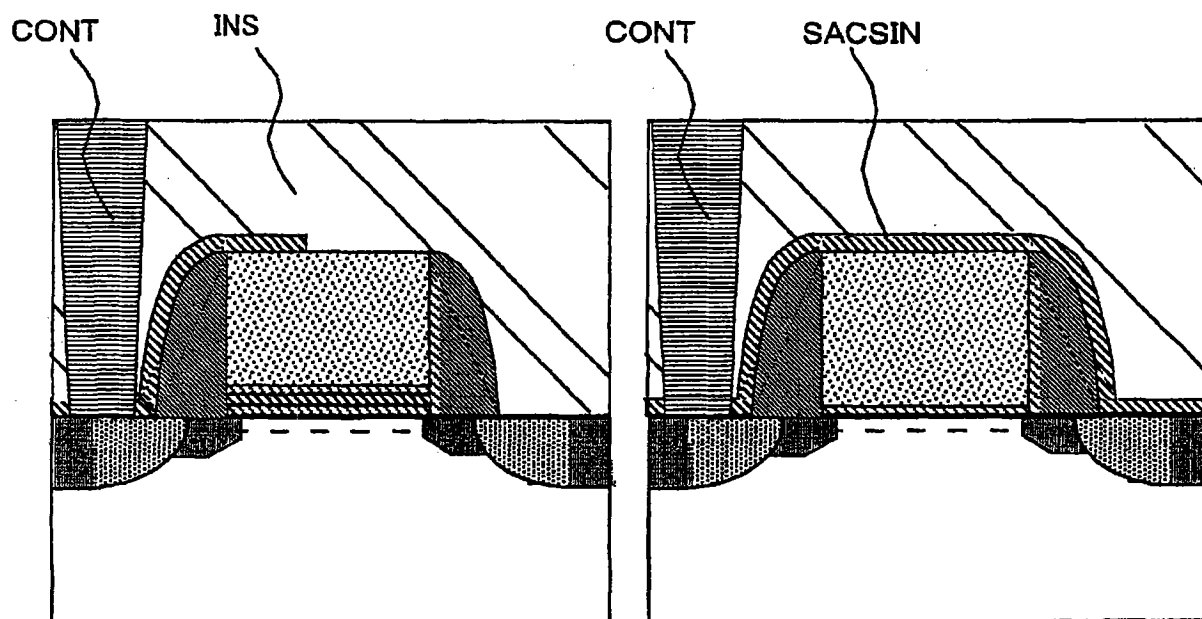


图 17

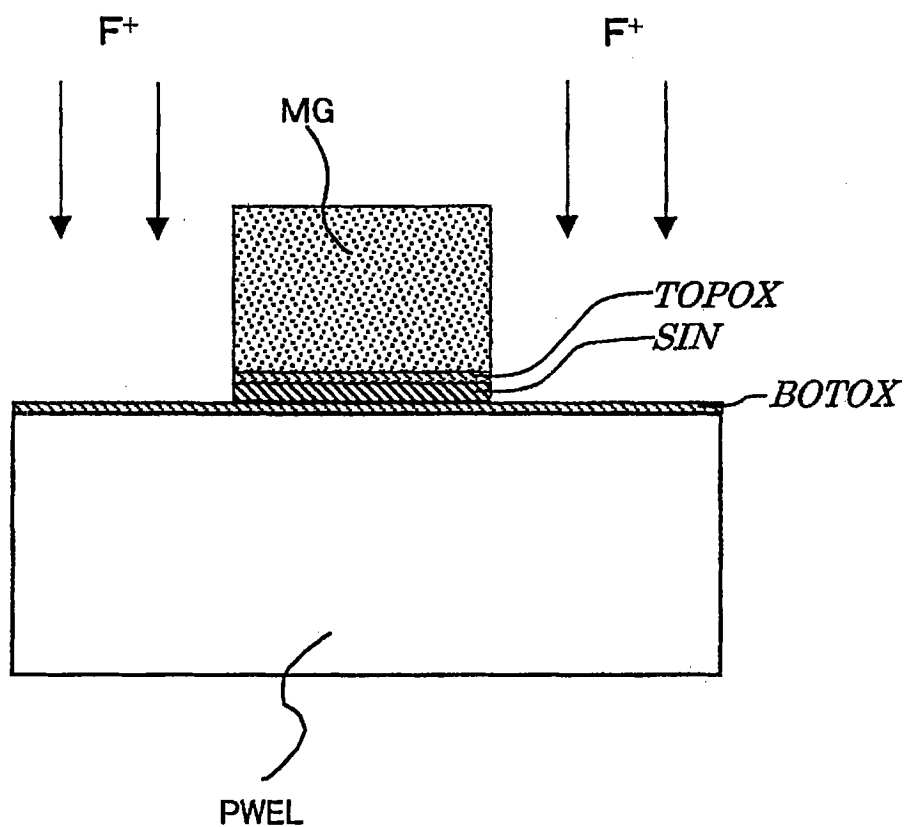


图 18

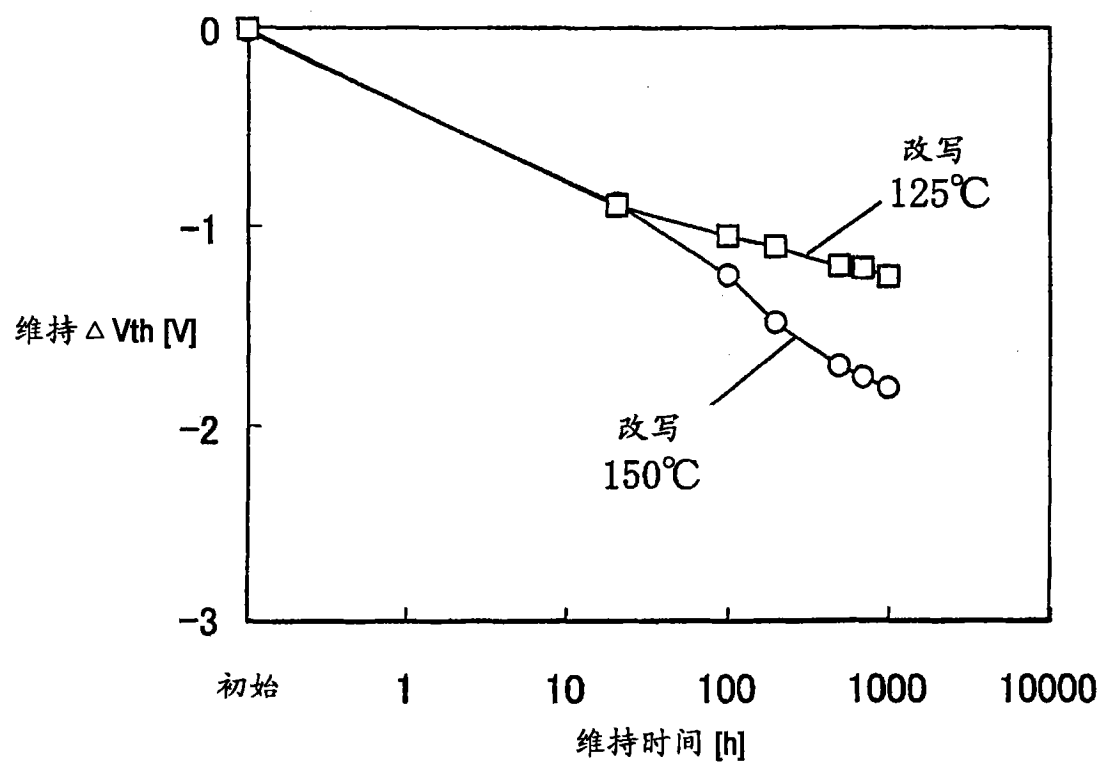


图 19

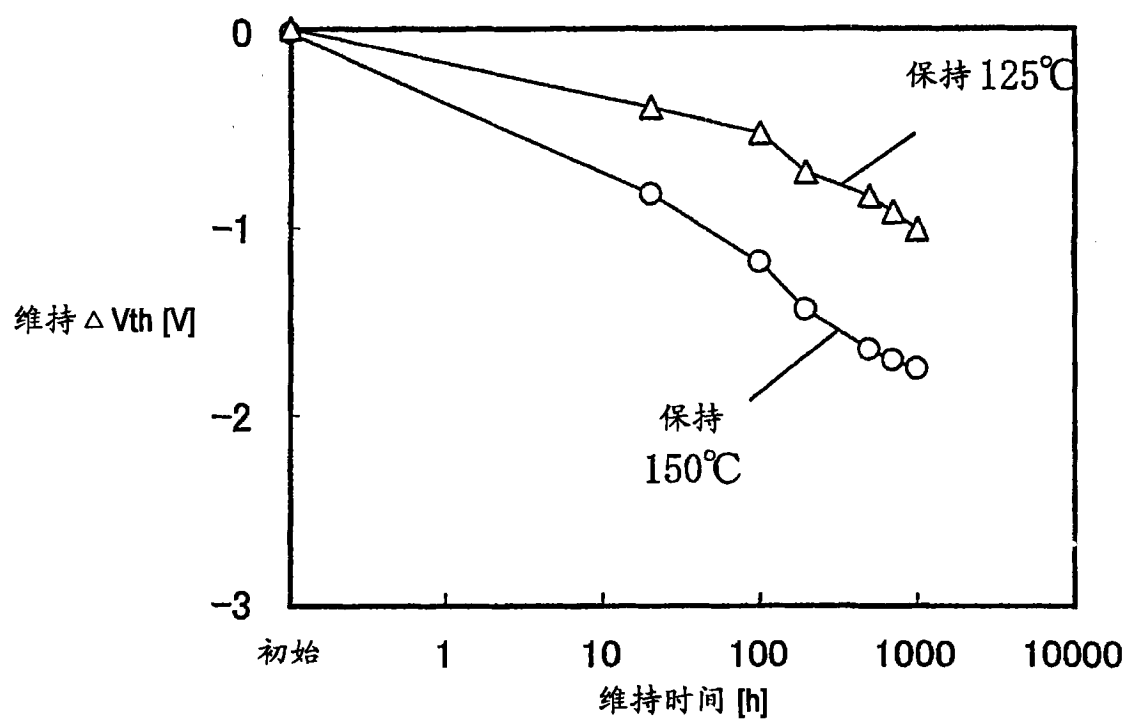


图 20

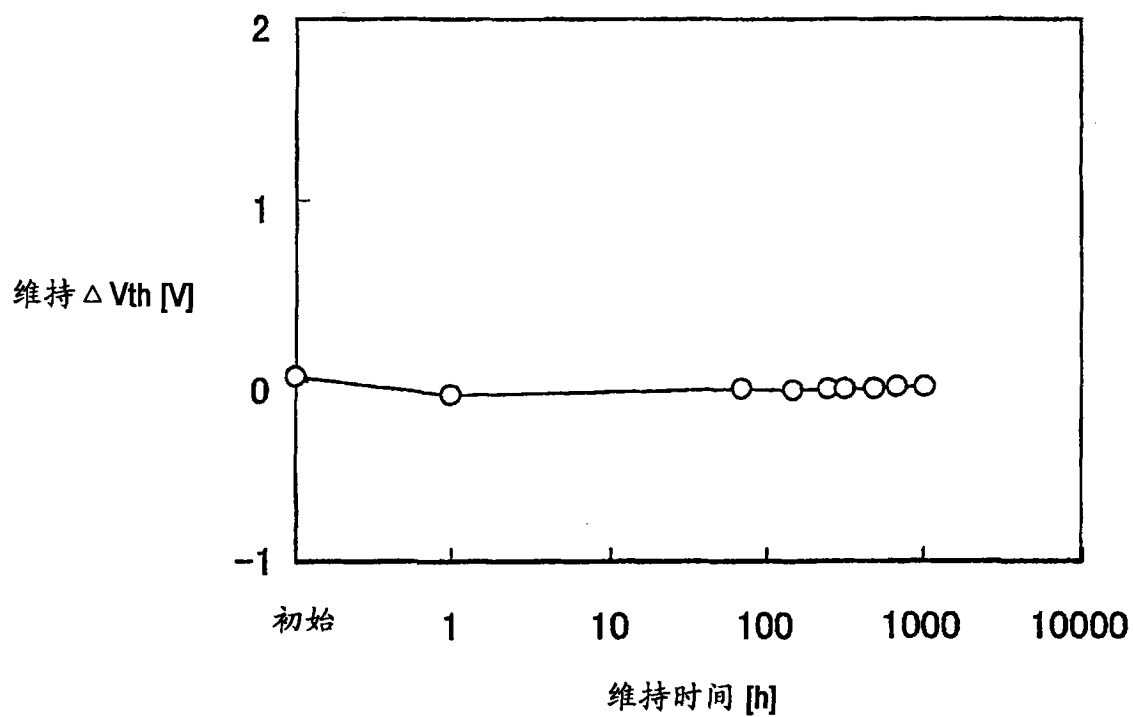


图 21

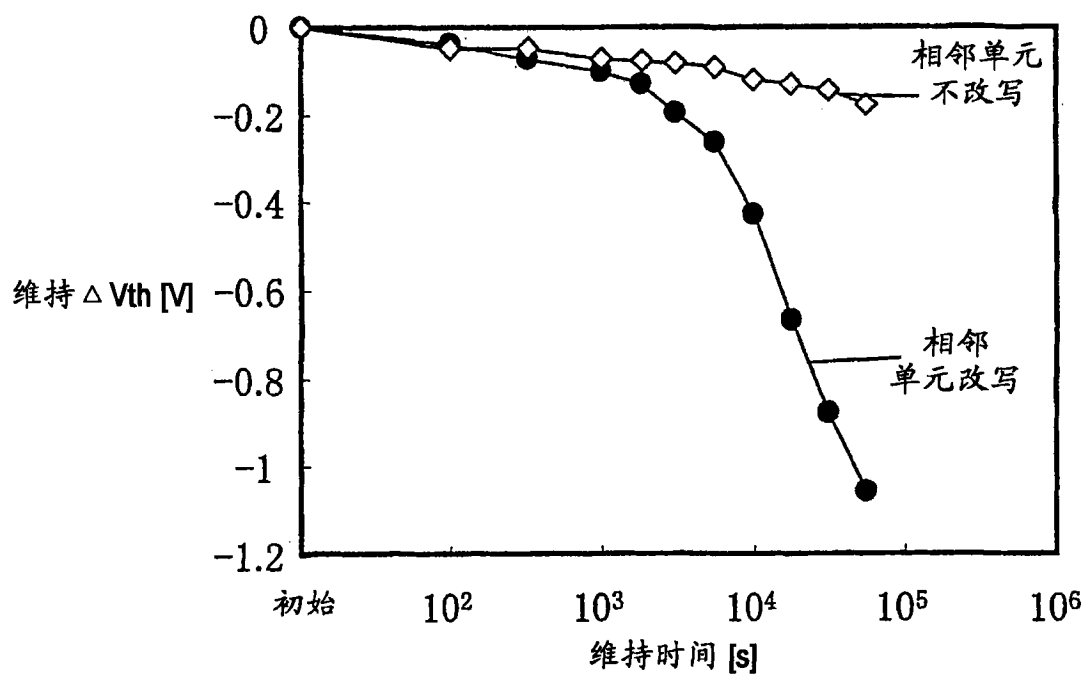


图 22

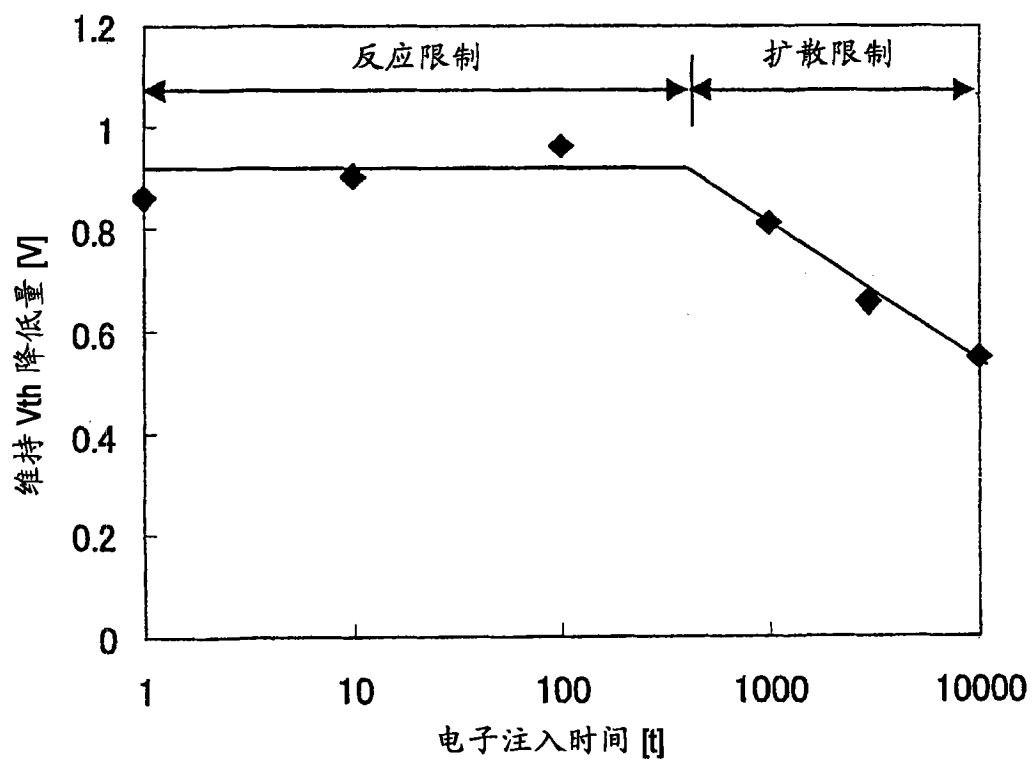


图 23

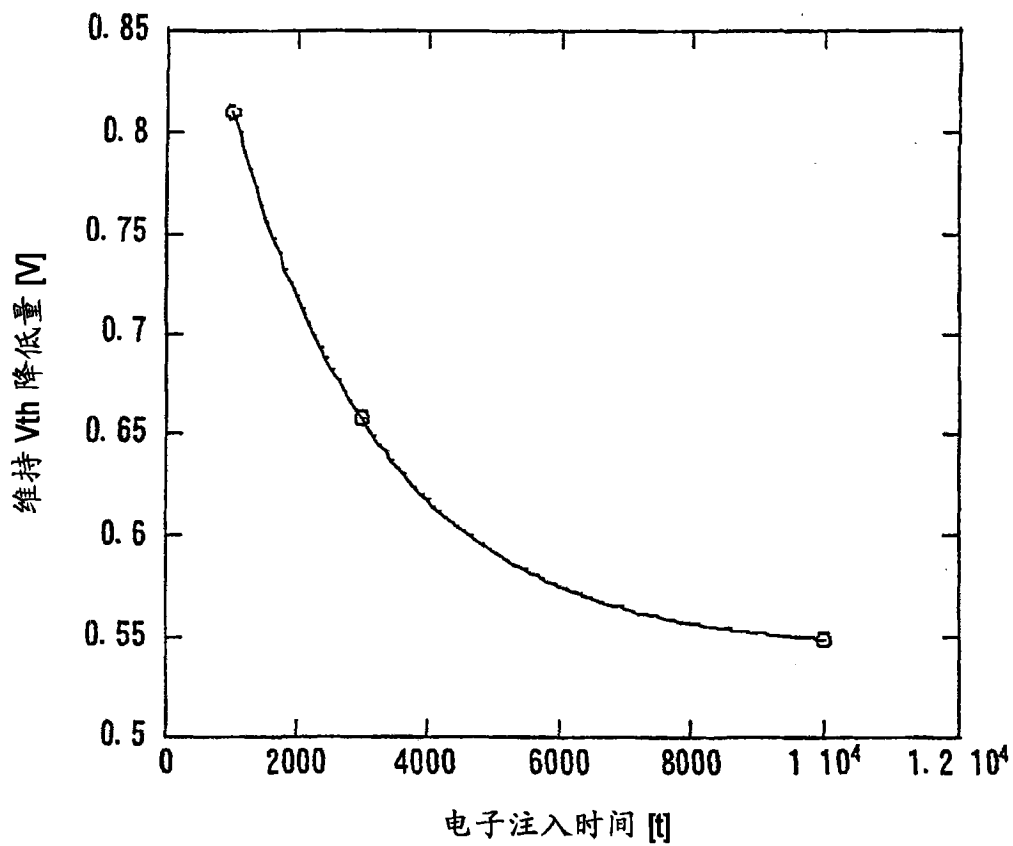


图 24