[19]中华人民共和国专利局

[11] 授权公告号 CN 1025647C

[12]发明专利说明书

[21] ZL 专利号 92100776.0

[51]Int.Cl[5]

[45]授权公告日 1994 年 8 月 10 日

H04L 29/00

[24]颁证日 94.6.1

[21]申请号 92100776.0

[22]申请日 92.1.31

[30]优先权

[32]91.1.31 [33]US[31]649,083

[73]专利权人 莫托罗拉公司 地址 美国伊利诺斯

[72]发明人 唐纳德·R·拜尔 马修·R·米勒

克斯曼·马蒂诺维克 H04B 1/16

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

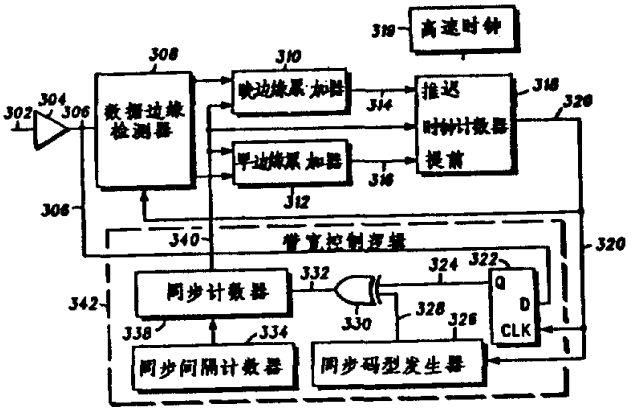
代理人 邹光新

说明书页数: 附图页数:

[54]发明名称 具有相位无关的带宽控制的数据传输系统接收机

[57]摘要

公开一种数据传输系统接收机，它接收格式化的数据流和工作在至少第一带宽方式和第二带宽方式中的一个方式。格式化数据流包括多个数据边缘和以第一时钟信号进行取样。确定从一个逻辑状态向另一个逻辑状态转换的多个时钟边缘被用来确定“早”和“晚”数据边缘出现的情况，并将其在累加器中相加，作时钟计数器的输入，以产生相位调整时钟信号。接收机包括检测器，和根据预定的算法，能够把锁相电路从第一带宽方式转换到第二带宽方式。



权利要求书

1.一种具有锁相电路的数据接收机，用以产生相位调整的时钟信号，该锁相电路具有作为其输入的相位调整的时钟信号和以预定的数据率接收的格式化的数据流，该锁相电路以至少第一带宽方式和第二带宽方式中的一种方式工作，该格式化数据流包括插入在数据段之间的周期同步码型，该数据接收机其特征在于包括:

取样装置，耦合上述相位调整的时钟信号，用以对该数据流取样以产生复原的数据信号;

产生装置，耦合上述相位调整时钟信号，用以产生一个预定的同步码型，以产生一个参考的同步码型;

比较装置，用以将上述的复原的数据信号与上述参考型进行比较，以产生一个同步值; 及

切换装置，与上述比较装置相耦合，用以在第一带宽方式与第二带宽方式之间切换该锁相电路.

2.根据权利要求 1 所述的数据接收机，其特征在于，所述的切换装置还包括计数器装置，用以指示上述同步值的预定数量已出现了.

3.根据权利要求 1 所述的数据接收机，其特征在于还包括启动装置，用以在期待上述周期同步码型时的周期内启动上述计数器装置.

4.一种具有一个锁相电路的数据接收机，用以产生相位调整的时钟信号，该锁相电路具有作为其输入的相位调整时钟信号和以预定的数据率接收的格式化数据流，该锁相电路以至少第一带宽方式和第二带宽方式中的一种方式工作，该格式化的数据流包括插入数据段之间的周期同步码型，该数据接收机其特征在于包括:

取样装置，耦合上述的相位调整时钟信号，用以对上述的数据流取样，以产生复原的数据信号;

产生装置，耦合上述的相位调整时钟信号，用以产生预定的同步码型，以产生一个参考的同步码型装置;

比较装置，用以将上述的复原数据信号与上述参考同步码型相比较，以产生一个同步值;

计数器装置，与上述比较装置相耦合，用以指示上述同步值的预定数量已出现; 及

启动装置，用以在期待上述周期同步码型时的周期内启动上述计数器装置.

本发明一般地讲涉及数据传输系统接收机，更具体地讲，涉及使用锁相电路和具有基于决定的锁相带宽控制的接收机.

使用数字数据传输系统来数字地发送编码的数据在本技术领域中是公知的，该编码数据例如可以是话音数据，这样的系统要求该接收端恢复用于在发送端定时该数据传输的比特率时钟的正确相位.这类型的系统一般使用某类的锁相环（PLL）电路，以便执行实时相位校正.在工作于噪声环境中的数据传输系统中，窄的工作带宽，或窄环路方式对 PLL 来说一般是优先选用的.但是，为了保证本地时钟快速起始锁定在输入数据信号时钟，一般使用宽的工作频带，或宽环路方式.

本质上，在数据传输系统接收端中执行的最困难的任务不是输入数据信号与本地时钟同步，而是需要的宽环路方式与更优选的窄环路方式之间转换的优化.使用 PLL 电路的时钟恢复系统的工作带宽范围被转输时钟频率容限限制在较低端，希望的接收机锁定时间限制在较高端.

在目前的时钟恢复方案中，PLL 带宽方式之间的转换一般是使用数据信号边缘统计实现的.对典型类型的数据传输（即话音数据）使用该边缘统计，在接收机硬件中引用预定的算法，迫使 PLL 的带宽从宽环路转换到窄环路方式.这类的基于统计的算法在相对无噪声的环境一般是可接受的，该算法描述输入数据边缘对于接收机时钟边缘的相位变化.另一方面，在噪声环境中进行数据传输，使用窄环路方式变得更加关键.因此，为了及时地以一种可能的方法对输入数据进行接收和译码，这个转换必须优化以满足上述全部标准.

因此，急需一个数据时钟恢复方案，这个方案提出需要优化要求的宽环路带宽方式和更希望的窄环路带宽方式之间的转换.另外，时钟恢复方案必须提出在噪声，或多路径环境中的附加要求.

本发明包含一个数据传输系统接收机，该接收机以预定的数据率接收格式化的数据流，而且包括工作在至少第一带宽方式和第二带宽方式中的一个带宽方式的锁相电路.该格式化的数据流包括确定第一逻辑状态和第二逻辑状态之间转换的多个数据边缘.第一时钟信号被产生，具有基本上等于预定

数据率的频率，并包括幅度基本上等于该第一逻辑状态的第三逻辑状态，和幅度基本上等于第二逻辑状态的第四逻辑状态．确定从第三逻辑状态到第四逻辑状态的转换的多个时钟边缘被用于根据多个数据边缘和多个时钟边缘之间的瞬时关系来确定"早"和"晚"数据边缘的出现．这些出现被累加并被用作时钟计数器的输入，时钟计数器产生一个相位调整时钟信号，此外，该数据传输接收机包括当限幅的数据流与相位调整时钟信号同步时用于检测的装置，和根据预定的算法，能够使锁相电路从第一带宽方式转换到第二带宽方式．

图 1 表示四个波形的定时图，它们的关系用来说明在很多现行的数据传输系统中使用的典型的相位调整方案．

图 2A 表示多个波形的定时图，它们的关系用来说明根据本发明一个合适的锁定时钟信号怎样能够恢复限幅的数据而不引入比较差错．

图 2B 表示多个波形的定时图，它们的关系用来说明具有与接收的限幅数据未恰当锁定的恢复时钟信号的重要性．

图 3 是根据本发明的一个数据传输系统接收机的简化方框图．

图 4 表示根据本发明典型的数据消息信号的数据流表示．

图 1 表示四个波形，它们的关系将用来说明在很多现行的数据传输系统中使用的典型相位调整方案．"未锁定的时钟"波形表示在任何相位调整已进行之前的一个本地时钟信号．本地时钟以周期 101 的倒数的频率工作，例如可以是 12KHz．逻辑状态 100，103 代表该系统内的数据的相对幅度，下面分别称为"逻辑高"和"逻辑低"．下降时钟边缘 102，104 表示从逻辑高向逻辑低出现转换的时间点，而且毕竟必须与下边描述的数据边缘对准．参见"随机接收的数据"波形．表示一个限幅的数据信号，它是一个幅度校正型的随机变化的数据信号．数据边缘 108，110 是用来确定从逻辑高到逻辑低的转换边缘，反之也一样．在本发明的优选实施例中，而且在大多数的时钟恢复方案中，相位锁定原理要使这些转换边缘与数接近的下降时钟边缘对准．如图 1 所示，限幅和数据信号的转换边缘 108 对于未锁定时钟的最接近下降时钟边缘 102 来说被认为是"早"．类似地，转换边缘 110 相对于下降

时钟边缘 104 来说被认为是"早"（由于限幅数据信号比特单元变化的宽度，在后面将详累叙述它，某些转换边缘可以是"晚"，虽然在图 1 中没有示出这种情况．在类似的方法中，限幅的数据信号的所有转换边缘作为对于最接近下降时钟边缘是"早"或"晚"被记录下．这些晚和早转换被记录下，一般是记录在可变容量的数据缓冲器中，直到达一预定的数量为止．在 12kbps（即每秒 12 千比特）的数据传换系统中，这个最大的数量可与 16 相同．因此，在检测到最少 16 个早或 16 晚边缘之前，本地产生的时钟信号不进行相位调整．

"高速时钟"波形表示第二个本地产生的时钟信号，该信号的频率基本上高于前面叙述的时钟信号，这个频率使用周期 113 表示，该周期的倒数值得到该高速时钟的频率．在本发明的优选实施例中，通过提前或推迟该恢复时钟信号的相位，用该高速时钟调整本地时钟的相位．提高该相位是从恢复的时钟信号中减去或取去整数目的高速时钟脉冲而实现的．通过减少时钟计数器的阈值，人为地提前恢复时钟信号的相位，迫使后续的时钟周期更早的转换．类似地，推迟该相位是把高速时钟脉冲加入或塞进恢复的时钟信号中而实现的．通过增加时钟计算器的阈值人为地推迟该相位，迫使在后续的时钟周期期间更晚的转换．示于图 1 中的"锁定时钟"信号表示从这种相位调整得到的时钟信号．请注意，现在下降时钟边缘 114，116 分别与在接收的数据信号的转换边缘 108，110 暖时对准．

图 2A 和 2B 表示多个波形，它们的关系用来叙述具有恢复时钟信号的重要性，该恢复的时钟信号没有与接收的限幅数据恰当地锁定．一般地，这种未恰当锁定导致恢复的数据增加了比特误码率．在噪声或多路径环境中，这个问题被扩大了，如在电视和无线电同时联播的传输系统中出现．

参见图 2A，"眼图"表示以一个预定的速度正在取样的接收数据信号 201 的示波器轨迹，这些样值的第一个样值互相重叠．过零点 203，205 表示输人数据信号在逻辑电平如电平 100，103 之间进行转换的点．正如在图 2B 中将表明的，希望在接近这些点对数据取样．眼中心 207、213 表示过零点之间的中间点（例如眼中心 207 位于过零点 203 和 205 之间的中间位置）．它表明这些眼中心表示最佳的取样点．即，前沿，或取样，恰当锁定

的时钟信号（图 2A 从下往上数第二个波形所示）的边缘 209，211 应该与这些眼中心 207，213 瞬时对准，以便优化该接收机的比特误码率．下一个波形，以"单轨迹"表示，代表接收的数据信号 201 的一个样值，与其它的样值数据隔离．通过使用限幅器电路，接收的数据信号 201 进行幅度校正，以获得所示的方形"限幅数据"波形．应该指出，比特单元 215，217 的宽度可以不相等，这是由于过零点附近出现噪声，或者是限幅电路的带宽限制而产生的．

根据本发明的"恰当锁定的时钟"信号已示出．注意，前沿 211 与伴随的比特单元 215 的中心对准．类似的，前沿 212 与伴随的比特单元 217 的中心基本对准，这是首先使用前面提到的"塞进和取去"技术，然后取样该限幅数据信号，例如使用一个公共触发器来实现的．

恢复的时钟信号的前沿 209，211，212，214 被用于取样该输入"限幅数据"波形，产生所示的"恢复的数据信号"．在 216，前沿 209 查看逻辑高，在 223，恢复的信号停留在高．类似地，在 218，前沿 211 查看逻辑低，在 225，迫使从高向低转换．以相似的方法继续下去，数据边缘 227 和 229 分别由取样边缘 212 和 214 产生．这类的数据恢复方案利用该恢复时钟的所有前沿已与限幅数据信号中相关比特单元的中心点对准．必须指出，这时恢复的比特单元 219 和 221，以及所有恢复的比特单元的宽度都等于一个完整的时钟周期．

图 2B 表示与图 2A 所示的那些波形相似的一组波形，除了恢复的时钟信号（例如倒数第二个波形）有恰当地偏定外．一个最坏的情况已表示出，它表明前沿，或取样，边缘 202 与过零点 205 暖时对准．在类似的方法中，未恰当锁定的时钟信号的所有前沿（例如 236，202）可以是与伴随的过零点（例如 203，205）基本上对准．就是这些点．系统噪声具有最显著的影响，经常导致丢失数据，或比特差错，正如下面所描述的．

"眼图"和"单轨迹"及"限幅数据"波波正如图 2A 所示．参见取样时钟，在 228，前沿 236 检测逻辑高，在 206，恢复的数据停留在高．在 230，前沿 202 检测逻辑高，在 208，恢复的数据信号停留在高．在 232，前沿 204 检测逻辑高，在 210，恢复的数据信号停留在高，即产生一个不希望的比特差错．然后在 234，前沿 238 检测逻辑低，在 224，迫使恢复的数据信号从高向低转换．类似地，在 242，前沿 240 检测逻辑低，在 2266，恢复的数据信号停留在低．这个条件进一步说明需要用更有选择性的窄环路带宽方式，以便改变数据传输系统内噪声的不良影响．如果数据传输系统已难免及时地转换到窄环路带宽方式，该时钟已取样更靠近眼中心的数据，而且上面提到的比特差错没有发生．

图 3 表示根据本发明和时钟恢复电路 300 的简化的方框图．接收数据信号 302 通过限幅器 304，得到限幅的数据信号 306，这个限幅的数据信号 306 类似于图 2A 和 2B 所示的限幅数据信号．然后限幅的数据信号 306 加到数据边缘检测器 308．在这一级，晚连缘的情况被计数，并记录在累加器 310 中，而早边缘情况被计数并记录在累加器 312 中．当累加器 310 满的时候，线 314 变为高，然后指示时钟计数器 318 推迟该恢复的时钟信号 320．类似地，当累加器 312 满的时候，线 316 变为高，并指示时钟计数器 318 提前该恢复的时钟信号 320．恢复的时钟信号的提前或推迟是通过取去或塞进交频时钟脉冲在时钟计数吕 318 中实现的，高频时钟脉冲来自高速时钟源 319，其过程在上面叙述了．当然，正是恢复的时钟信号 320 被用作到数据边缘检测器 308 的下一个输入，而且它还控制带宽控制逻辑 342．

带宽控制逻辑 342 的工作情况是这样的，如果该时钟正确地被恢复，那么限幅的数据信号 306 在接近比特单元的中心被取样，产生没有比特差错的恢复的数据信号 324．在工作期间，恢复的时钟信号 320 用触发器 322 对限幅的数据信号 306 进行取样．然后触发器 322 输出端的恢复的数据信号 324 按照恢复时钟信号 320 的确定周期地通过异或门 330 与同步码型信号 328 进行比较．如果接收数据信号 324 等效于本地产生的参考数据信号 328，那么异或门 330 的输出 332 是逻辑低．否则该门的输出 332 是逻辑高．同步间隔计数器 334 用于高动同步计数器 338，同步计数器的工作情况后面叙述．

参见图 4，表未典型的消息数据流 400 的一部分．在本发明的优选实施例中，这样的信号包括在数据段 401 中插入的多个同步码型 403，该数据段

需要由接收机正确地恢复．也就是，前面商定的同步参考码型在发射机产生并以周期间隔 405 插入消息数据流 400 中．通过接收的数据流的同步码型 403 与本地产生的商定的同步码型的型式进行比较，该接收机又检测这外同步码型 403 的存在．

回来参见图 3，如果在同步码型 403 传输期间，它是由同步间隔计数器 334 确定的，该恢复的数据比特等于本地发生的参考比特 328，那么同步计数器 338 被递增．在达到预定的阈值以后，该同步计数器 338 发送带宽控制线 340 到逻辑高，迫使该时钟恢复系统进入窄环路带宽方式，正是这个基于决定的同步检测方案允许优化要求的宽环路带宽方式和更希望的窄环路带宽方式之间的转换．象这样的，时钟恢复系统 300 更少出现由于工作环境中的噪声电平而使输入接收数据信号 302 中的数据转换的不正确的检测．

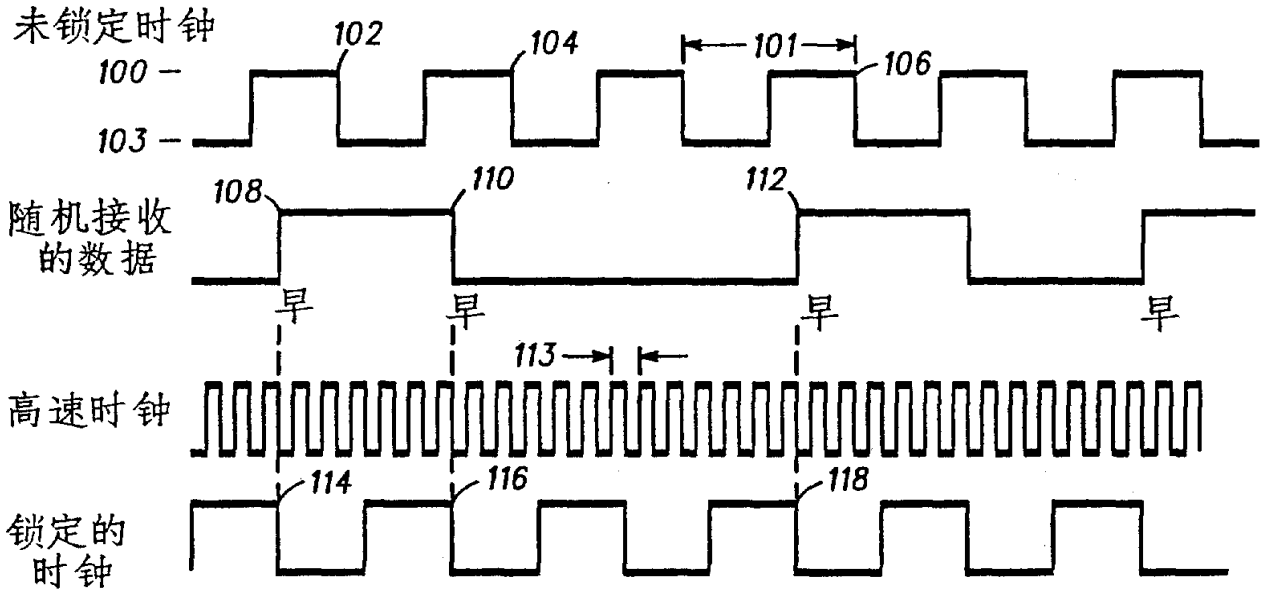

未锁定时钟
100
103
102
104
101
106
随机接收的数据
108
110
112
早
早
早
早
113
高速时钟
114
116
118
锁定的时钟

图. 1

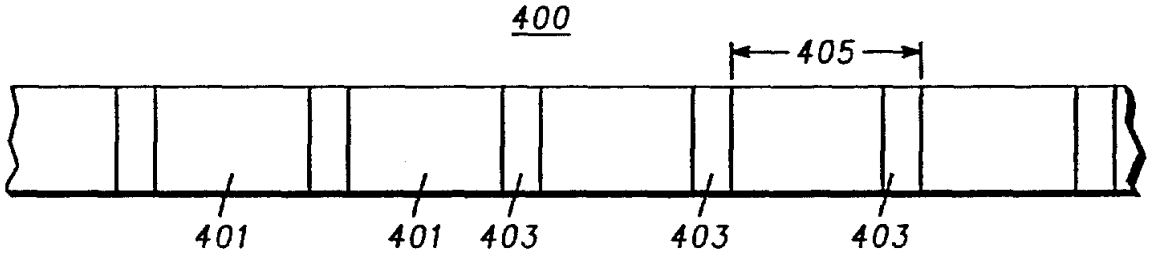

400
405
401
401
403
403
403

图. 4

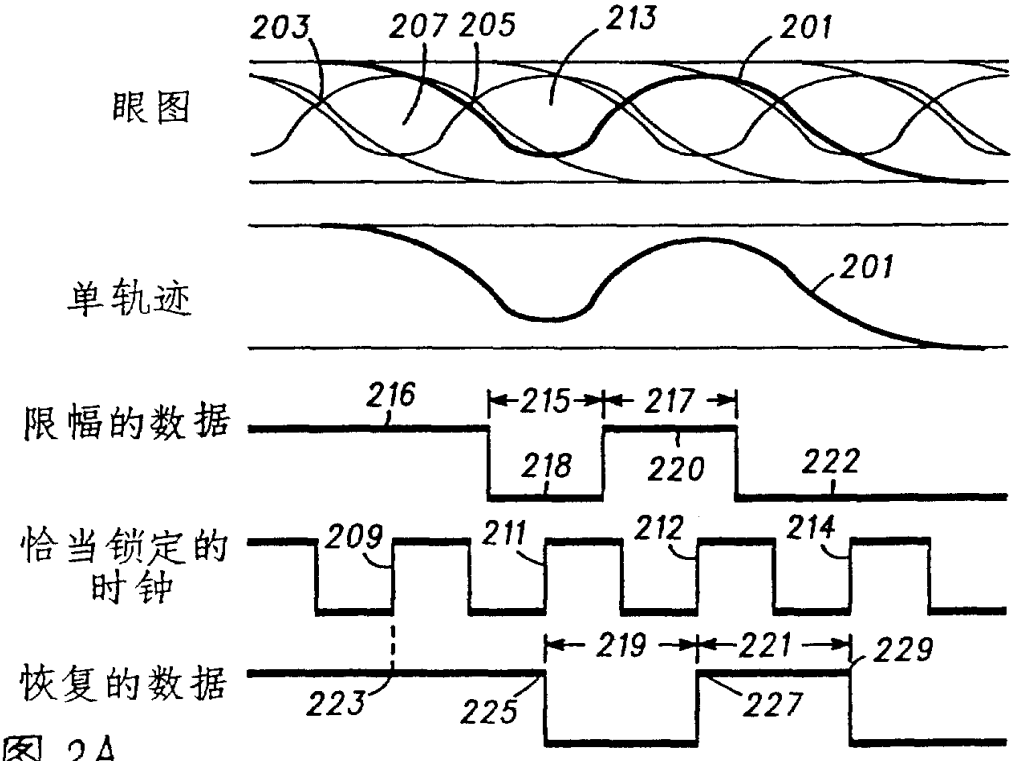

203
207
205
213
201
眼图
单轨迹
201
限幅的数据
216
215
217
218
220
222
恰当锁定的时钟
209
211
212
214
恢复的数据
219
221
229
223
225
227

图. 2A

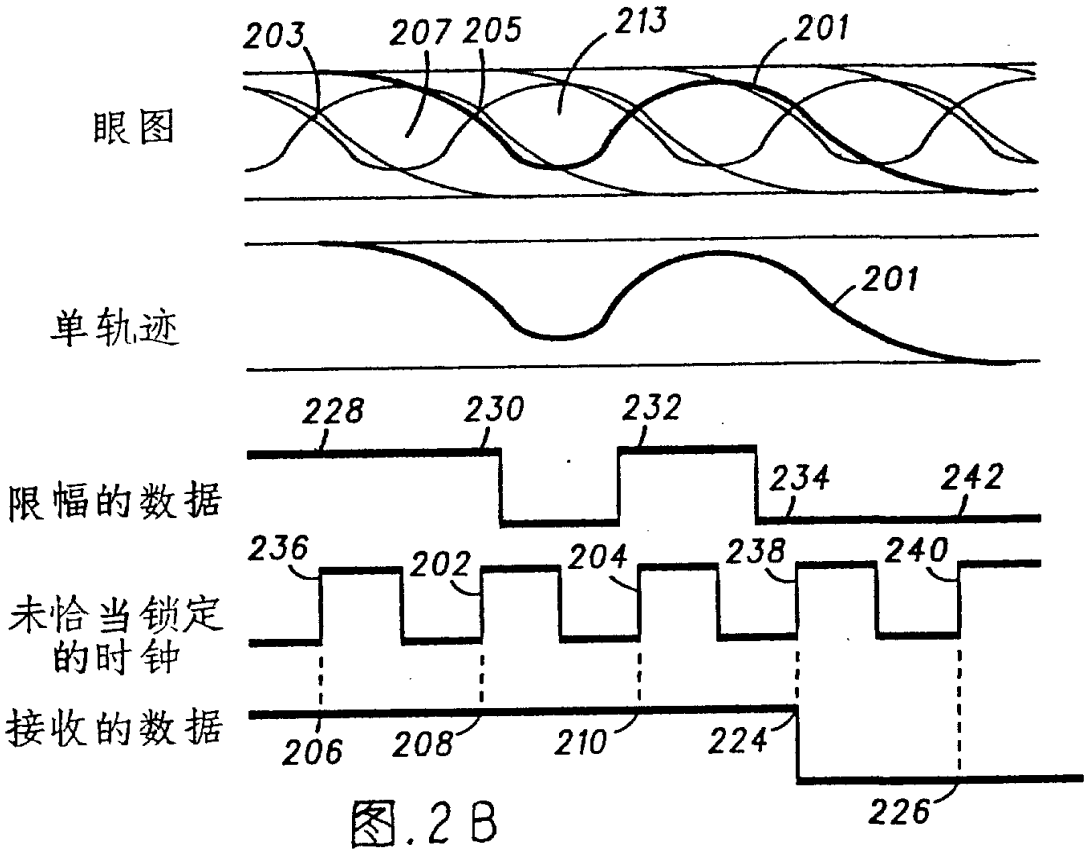

眼图
单轨迹
限幅的数据
未恰当锁定的时钟
接收的数据
203
207
205
213
201
201
228
230
232
234
242
236
202
204
238
240
206
208
210
224
226

图.2B

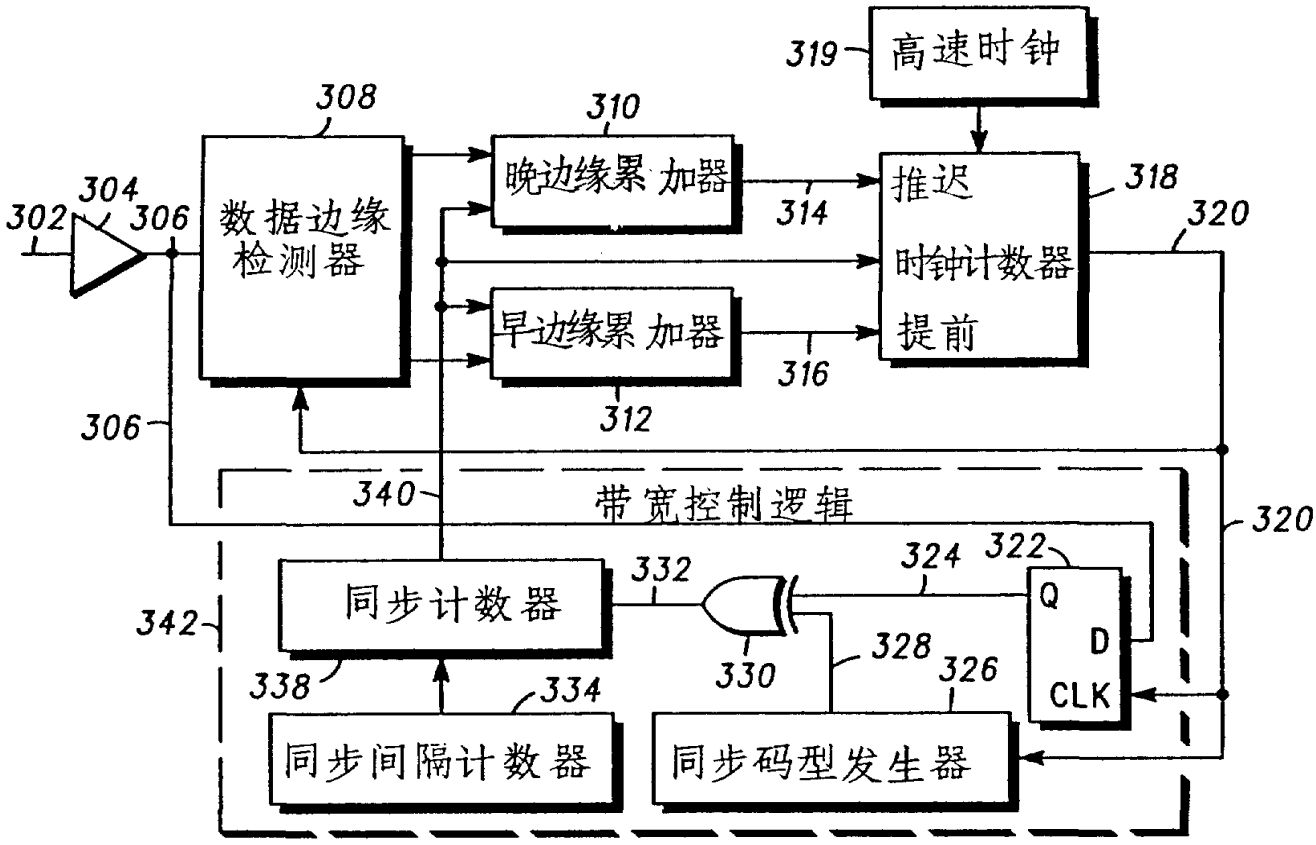

319
高速时钟
308
310
304
302
306
数据边缘检测器
晚边缘累加器
314
推迟
时钟计数器
提前
318
320
早边缘累加器
316
312
306
340
带宽控制逻辑
320
324
322
332
同步计数器
Q
D
CLK
342
330
328
326
338
334
同步间隔计数器
同步码型发生器

图.3