

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5808853号  
(P5808853)

(45) 発行日 平成27年11月10日(2015.11.10)

(24) 登録日 平成27年9月18日(2015.9.18)

(51) Int.Cl.			F I		
<b>G06F</b>	<b>12/02</b>	<b>(2006.01)</b>	G06F	12/02	510A
<b>G06F</b>	<b>12/00</b>	<b>(2006.01)</b>	G06F	12/00	597U
<b>G06F</b>	<b>12/08</b>	<b>(2006.01)</b>	G06F	12/08	553B
<b>G11C</b>	<b>16/02</b>	<b>(2006.01)</b>	G11C	17/00	601A
			G11C	17/00	641

請求項の数 6 (全 10 頁)

(21) 出願番号	特願2014-513523 (P2014-513523)	(73) 特許権者	595168543
(86) (22) 出願日	平成24年5月8日(2012.5.8)		マイクロン テクノロジー, インク.
(65) 公表番号	特表2014-515531 (P2014-515531A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成26年6月30日(2014.6.30)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2012/036923		ラル ウェイ 8000
(87) 国際公開番号	W02012/166304	(74) 代理人	100106851
(87) 国際公開日	平成24年12月6日(2012.12.6)		弁理士 野村 泰久
審査請求日	平成26年1月15日(2014.1.15)	(74) 代理人	100074099
(31) 優先権主張番号	13/118, 721		弁理士 大菅 義之
(32) 優先日	平成23年5月31日(2011.5.31)	(72) 発明者	ネマジー, シアマック
(33) 優先権主張国	米国 (US)		アメリカ合衆国, カリフォルニア州 94
前置審査			022, ロス アルトス ヒルズ, ヴィア
			コリータ ウェイ 27872

最終頁に続く

(54) 【発明の名称】 メモリデバイスにおける動的メモリキャッシュサイズ調節

(57) 【特許請求の範囲】

【請求項 1】

メモリデバイスのメモリキャッシュの量を動的に調節するための方法であって、  
ファイルシステムが前記メモリキャッシュの量を動的に調節することをサポートするものであるかどうかを決定し、

前記ファイルシステムが前記メモリキャッシュの量を動的に調節することをサポートしない場合には、前記メモリキャッシュの量を動的に調節する機能を無効化し、

前記メモリキャッシュの量を動的に調整する機能を無効化した後に論理的ブロックアドレス範囲の削除を可能にするコマンドを受信したとき、前記メモリキャッシュの量を動的に調節する機能を有効化する方法。

【請求項 2】

前記論理的ブロックアドレス範囲の削除を可能にするコマンドは、TRIMコマンドを含む、請求項 1 記載の方法。

【請求項 3】

前記メモリデバイスは前記メモリキャッシュと共に主要メモリを含み、  
前記メモリキャッシュの量を動的に調節する機能が有効化された後、前記主要メモリにおける利用可能なメモリ空間の量を決定し、

前記決定された利用可能なメモリ空間の量に応答して前記メモリキャッシュのサイズを調整し、

前記主要メモリにおける利用可能なメモリ空間を決定する度に、前記メモリキャッシュ

のサイズを調整する、請求項 1 または 2 記載の方法。

【請求項 4】

前記決定された利用可能なメモリ空間の量に応答して調整されるメモリキャッシュのサイズを、前記利用可能なメモリ空間の固定パーセンテージの量とする線形ランプ関数により決定する、請求項 3 に記載の方法。

【請求項 5】

前記決定された利用可能なメモリ空間の量に応答して調整されるメモリキャッシュのサイズを、前記利用可能なメモリ空間の所定範囲毎に定められた量とする階段関数により決定する、請求項 3 に記載の方法。

【請求項 6】

前記メモリキャッシュの一部として使用されるメモリセルは S L C としてプログラムされ、前記主要メモリの一部として使用されるメモリセルは M L C としてプログラムされることを含む、請求項 3 乃至 5 のいずれかに記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、概して、メモリに関し、特定の実施形態は、M L C メモリにおける動的 S L C キャッシュに関する。

【背景技術】

【0002】

フラッシュメモリデバイスは、広範な電子用途のための不揮発性メモリの人気のある源へと発展している。フラッシュメモリデバイスは、典型的に、高メモリ密度、高信頼性、および低消費電力を可能にする、1 トランジスタメモリセルを使用する。フラッシュメモリに対する一般的な使用には、パーソナルコンピュータ、フラッシュドライブ、デジタルカメラ、およびセルラ電話が含まれる。基本入力/出力システム ( B I O S ) と呼ばれるプログラムコードおよびシステムデータは、典型的に、パーソナルコンピュータシステムにおける使用のために、フラッシュメモリデバイスに記憶される。

【0003】

典型的なフラッシュメモリデバイスは、メモリセルのアレイが、典型的に、ブロックごと

に消去する ( およびページごとに再プログラムする ) ことができるメモリブロックへ組織化される、あるタイプのメモリである。電荷蓄積構造 ( 例えば、フローティングゲートもしくは電荷トラップ ) の消去またはプログラミング、あるいは他の物理的現象 ( 例えば、相変化もしくは分極 ) を介した、メモリセルの各々の閾値電圧の変化は、各セルにプログラムされるデータ値を決定する。このタイプのセルにおけるデータは、電荷蓄積構造における電荷の存在または非存在によって決定される。

【0004】

プログラミング動作は、典型的に、その特定のメモリセルの閾値電圧を増加させるためにプログラムされているメモリセルの制御ゲートに印加される一連のプログラミングパルスを漸増的に増加させることを含む。各メモリセルは、セルの閾値電圧 (  $V_t$  ) がそのセルの中へプログラムされるデータ値を示す、シングルレベルセル ( S L C ) メモリまたは

マルチレベルセル ( M L C ) メモリとしてプログラムすることができる。例えば、S L C メモリにおいて、2 . 5 V の  $V_t$  は、プログラムされたセルを示し得る一方、- 0 . 5 V の  $V_t$  は、消去されたセルを示し得る。M L C メモリは、各々が異なる状態を示す、複数の  $V_t$  範囲を使用する。マルチレベルセルは、ビットパターンを特定の  $V_t$  範囲に割り当てることによって、従来のフラッシュセルのアナログ性質を活用することができる。この技術は、セルに割り当てられる  $V_t$  範囲の量に依存して、セルあたり 2 ビット以上を表すデータ値の記憶を可能にする。

【0005】

メモリセルのブロックのプログラミング中、メモリセルの固定キャッシュは、典型的に、メモリセルのブロックの中へプログラムされるべきデータを一時的に記憶するために使

10

20

30

40

50

用される。例えば、MLCメモリデバイスにおいて、固定サイズのSLCキャッシュは、メモリセルのMLCブロックの中へプログラムするためのデータを記憶するために使用することができる。これは、メモリ信頼性を改善することができる。メモリ性能もまた、キャッシュがほぼフルになる前に改善され、その点で、キャッシュの一部は、キャッシュ内にさらなる余裕を創出するように、MLCブロックに移動されなければならない、キャッシュの性能利点は、損なわれる。性能改善は、キャッシュのサイズの関数であるが、メモリの固定部分は、SLCキャッシュとして使用され、かつMLCと同じ効率性でもって、ユーザデータを記憶するために使用することができないため、ユーザ能力を低減するという欠点を有する。

【0006】

10

上に記載される理由により、および本明細書を一読し、理解すれば、当業者には明らかとなるであろう他の理由により、当該技術分野において、プログラミング中にデータを一時的に記憶するためのより効率的な方法に対する必要性が存在する。

【図面の簡単な説明】

【0007】

【図1】メモリキャッシュを組み込むメモリデバイスにおけるメモリアレイの一実施形態のブロック図を示す。

【図2】図1のブロック図に従う、メモリアレイの一部分の一実施形態の概略図を示す。

【図3】動的キャッシュサイズ調節のための方法の一実施形態のフローチャートを示す。

【図4】いつキャッシュサイズを調節するかを決定するための一関数の一実施形態のプロットを示す。

20

【図5】キャッシュサイズをいつ調節するかを決定するための関数の別の実施形態のプロットを示す。

【図6】メモリシステムの一実施形態のブロック図を示す。

【発明を実施するための形態】

【0008】

以下の発明を実施するための形態において、本明細書の一部を形成し、かつ例解目的で特定の実施形態が示される、添付の図面を参照する。図面において、同様の番号は、いくつかの図面を通じて、実質的に類似の構成要素を説明する。他の実施形態が利用され得、かつ構造的、論理的、および電気的変更は、本開示の範囲から逸脱することなく、行われ得る。したがって、以下の発明を実施するための形態は、制限の意味において捉えられないものとする。

30

【0009】

図1は、動的メモリキャッシュ102を組み込んだメモリデバイスのメモリアレイ100の一実施形態のブロック図を例解する。メモリアレイ100は、パーティションされ、以降、主要MLCメモリと称される第1のパーティション(該パーティションにおけるセルは、MLCモードでプログラムされる)と、以降、動的SLCメモリキャッシュと称される第2のパーティション102(該パーティションにおける複数のセルは、SLCモードでプログラムされる)とを含む。一実施形態において、メモリアレイ100において主要メモリに配分されるブロックは、MLCとして使用され、動的メモリキャッシュ102に配分されるブロックは、SLCとして使用される。動的メモリキャッシュにおいて、ブロックの配分は、動的に変化し、固定されず、ブロックは、MLCもしくはSLCのままであるか、またはMLCもしくはSLCとしての使用間で切り替わってもよい。一般性を失うことなく、キャッシュ102のために使用されるブロックは、SLCキャッシュブロックと称され、ユーザデータを記憶するために使用されるブロックは、MLC主要メモリブロックと称される。

40

【0010】

典型的な先行技術のメモリキャッシュは、サイズが固定され、メモリアレイの一部分が常に一時的データキャッシュ専用であるように常に有効化され、ユーザデータを記憶するために利用可能なメモリの量を低減する。図1の動的データキャッシュ102は、利用可

50

能な空き空間に依存して、動的にサイズが調節され、常に有効化され得るわけではない。このため、動的メモリキャッシュ102は、キャッシュ機能を達成するのに必要であるものよりも多くのメモリを占有しないように調節することができ、キャッシュサイズが動的に調節される。本発明の別の特性は、MLCおよびSLCへのメモリのパーティションを、アレイまたはブロックレベルとすることができるということである。本発明のな別の特性は、パーティションにおけるアレイまたはブロックが、連続的である必要がないということである。一部のシステムにおいて、データは、常に、最初にキャッシュに書き込まれる。他のシステムにおいて、一部のタイプのデータのみ、例えば、ページサイズ未満のデータが、キャッシュに書き込まれる。固定または動的メモリキャッシュを伴うシステムにおいて、一部の事象は、有効データをキャッシュから主要メモリブロックに移動させることをトリガする（一部のシステムにおいては、キャッシュにおける有効および無効データの両方が移動され得る）。かかる事象は、キャッシュにおける閾値を下回る空きブロックの数を含む。キャッシュにおけるブロックが、主要メモリに移動されると、このブロックは消去され、それは再要求される。同様に、古いおよび新たなデータを含む主要メモリにおけるブロックは、新たなデータを主要メモリにおける別のブロックに移動させること、次いで、古いブロックを消去することによって、再要求することができる。

10

## 【0011】

動的SLCメモリキャッシュ102は、主要メモリアレイ100の中へプログラムされるべきデータを一時的に記憶するように、メモリアレイ100のメモリの可変数のブロックを使用する。例えば、動的SLCメモリキャッシュ102は、データの上ページが主要MLCメモリアレイ100に無事にプログラムされるまで、データの全てのページ（上および下）を記憶することができる。これは、上ページのプログラミング中に停電が生じた場合の主要MLCメモリアレイ100の以前にプログラムされた下ページの破損を低減することができる。一実施形態において、データは、SLCにおける動的メモリキャッシュ102ブロックに記憶され、MLCブロックにおけるページのプログラミングに必要とされる全てのページが（動的メモリキャッシュ102において）利用可能である時、データは、MLC主要メモリアレイ100の1つのページがプログラムされるまで、キャッシュ102が必要とされるデータの全てのページを記憶することができるように、主要メモリアレイ100におけるブロックに移動される。例えば、SLC動的メモリキャッシュ102は、MLC主要メモリアレイ100の上ページが無事にプログラムされるまで、データの下ページを記憶することができる。これは、上ページのプログラミング中に停電が生じた場合のMLC主要メモリアレイ100の以前にプログラムされた下ページの破損を低減することができる。

20

30

## 【0012】

図2は、不揮発性メモリセルの一連のストリングを備える、図1に例解されるような、NANDアーキテクチャメモリアレイ201の一部分の一実施形態の概略図を例解する。メモリアレイの本実施形態は、例解されるNANDアーキテクチャに限定されない。代替的な実施形態は、NORまたは他のアーキテクチャを使用することもできる。

## 【0013】

メモリアレイ201は、一連のストリング204、205といった列に配設される不揮発性メモリセル（例えば、フローティングゲート）のアレイを備える。セルの各々は、各一連のストリング204、205において、ドレイン・ソース間で連結される。複数の一連のストリング204、205にわたって跨るアクセス線（例えば、ワード線）WL0-WL31は、行のメモリセルの制御ゲートをバイアスするために、行で各メモリセルの制御ゲートに連結される。偶数/奇数ビット線BL<sub>E</sub>、BL<sub>O</sub>といったデータ線は、一連のストリングに連結され、最終的に、選択されたビット線上の電流または電圧を感知することによって、各セルの状態を検出するセンス回路に連結される。

40

## 【0014】

メモリセルの各一連のストリング204、205は、ソース選択ゲート216、217（例えば、トランジスタ）によってソース線206に、およびドレイン選択ゲート212

50

、 2 1 3 ( 例 えば、トランジスタ ) によって個々のビット線 B L \_ E、 B L \_ O に連結される。ソース選択ゲート 2 1 6、 2 1 7 は、それらの制御ゲートに連結されるソース選択ゲート制御線 S G ( S ) 2 1 8 によって制御される。ドレイン選択ゲート 2 1 2、 2 1 3 は、ドレイン選択ゲート制御線 S G ( D ) 2 1 4 によって制御される。

【 0 0 1 5 】

図 3 は、図 1 に例解される動的メモリキャッシュのサイズを動的に調節するための方法の一実施形態のフローチャートを例解する。一部のファイルシステムは、認識しない可能性があるため、該方法は、メモリデバイス上で実装される ( 例 えば、インストールされる、実行される ) ファイルシステムが、サポートされるものであるかどうかを決定 3 0 0 する。当該技術分野において公知であるように、ファイルシステム ( 例 えば、ファイル・ア  
10  
ロケーション・テーブル ( F A T )、ニュー・テクノロジー・ファイル・システム ( N T F S ) ) は、コンピュータファイルおよびそれらのデータを記憶および組織化するための方法である。それは、コンピュータのオペレーティングシステムによる記憶、組織化、操作、および取り出しのために、これらのファイルをデータベースへと組織化する。

【 0 0 1 6 】

ファイルシステムが、動的キャッシュサイズ調節をサポートしない場合 3 0 0、動的メモリキャッシュ調節は、無効化される 3 1 0。動的メモリキャッシュサイズ調節は、メモリデバイスが、メモリキャッシュサイズの動的変更を実装するために論理的ブロックアドレス範囲の削除を可能にするいずれかのコマンドプロトコルをサポートする場合、依然として実装され得る。当該技術分野において既知の 1 つのかかるプロトコルは、典型的に、  
20  
概して T R I M プロトコルと称される。このように、 T R I M コマンドが受信されたかどうか決定される 3 0 2。このステップ 3 0 2 は、 T R I M コマンドが受信されるまで繰り返される。一度、 T R I M コマンドが受信されると 3 0 2、動的メモリキャッシュは有効化される 3 0 4。

【 0 0 1 7 】

動的メモリキャッシュのサイズは、主要メモリアレイにおける利用可能なメモリ空間に  
30  
応答して調節されるため、主要メモリアレイにおける利用可能なメモリ空間が決定される 3 0 6。利用可能なメモリ空間の量は、絶えず変化することができる。一実施形態において、主要メモリアレイにおける利用可能なメモリ空間の量は、全ての書き込みまたは消去動作後に決定することができる。他の実施形態において、利用可能なメモリ空間の量は、  
30  
周期的に、または不定期的に決定することができる。利用可能なメモリ空間は、直ちに使用することを標的とされない消去されたメモリ、ならびにまだ消去されていないが、メモリにおけるデータが古いか、またはもはや有効ではないメモリの両方を含むことができる。なお別の実施形態において、利用可能なメモリの量は、受信された T R I M コマンド ( T R I M がサポートされる場合 ) に応答して、または、既知のファイルシステムの場合、クラスタが配分解除されるか、もしくは書き込まれる時に調節される。

【 0 0 1 8 】

固定または動的メモリキャッシュを伴うシステムにおいて、一部の事象は、有効データ ( または、任意に、有効および無効データ ) を、動的 S L C キャッシュメモリから主要 M L C メモリブロックに移動させることをトリガする。かかる事象は、  
40  
キャッシュにおける空きブロックの数が閾値を下回ることを含む。動的 S L C キャッシュにおけるブロックが、主要 M L C メモリに移動される時、ブロックは消去され、それは、再要求され、空きブロックのプールに追加される。同様に、古いおよび新たなデータを含有する主要 M L C メモリにおけるブロックは、有効データを主要 M L C メモリにおける別のブロックに移動させること、次いで、古いブロックを消去することによって、再要求することができる。

【 0 0 1 9 】

次いで、動的メモリキャッシュのサイズは、利用可能なメモリ空間に応答して調節される 3 0 8。動的メモリキャッシュのサイズは、利用可能なメモリ空間、利用可能なメモリ空間の全て、または利用可能なメモリ空間のある数のブロックのパーセンテージであり得る。一実施形態において、使用される利用可能なメモリ空間のパーセンテージもまた、動  
50

的に変化することができる。例えば、利用可能なメモリ空間の50%のみが、ある時に動的メモリキャッシュに配分され得、後に、利用可能なメモリ空間の90%が、動的メモリキャッシュに配分され得る。利用可能なメモリ空間のパーセンテージのかかる動的配分は、所望されるたびに頻繁に実行することができる。

【0020】

図4は、動的メモリキャッシュに配分するように、利用可能なメモリ空間の量を決定するために使用することができる関数の一実施形態のプロットを例解する。この関数は、利用可能なメモリ空間の固定パーセンテージ(例えば、50%)が動的メモリキャッシュに配分される、線形ランプ関数である。

【0021】

このプロットは、x軸に沿った利用可能なメモリ空間、およびy軸に沿った動的メモリキャッシュのサイズを含む。本実施形態は、いかなるある値にも制限されないため、本実施形態および以下の実施形態におけるxおよびy軸の両方上のメモリサイズ値は、例解目的に過ぎない。線の勾配は、動的メモリキャッシュに配分される利用可能なメモリ空間のパーセンテージを決定する。例解される実施例は、50%の実施形態を示す。

【0022】

図5は、動的メモリキャッシュに配分するように、利用可能なメモリ空間の量を決定するために使用することができる関数の別の実施形態のプロットを例解する。この関数は、動的メモリキャッシュサイズ調節の頻度を低減するために使用することができる階段関数である。

【0023】

動的メモリキャッシュサイズの変更は、種々のクリーンアップ作業を実施するために特定の量の時間を使用する。例えば、動的メモリキャッシュの一部として使用されたメモリブロックが、主要メモリアレイに戻されることになっている時、そのメモリブロックにおけるデータは、移動される必要があり、メモリブロックは消去される。一実施形態において、動的メモリキャッシュのSLCメモリブロックは、MLCメモリブロックとして再配分される。さらに、メモリアドレスポインタおよび他のメモリハウスキューピング作業もまた、動的メモリキャッシュブロックを再配分するように実施されるべきである。このため、典型的に、動的メモリキャッシュサイズ変更の頻度を低減することが望ましい。

【0024】

階段関数は、動的メモリキャッシュサイズ変更の頻度を低減する一方法である。これは、図5のプロットを参照して見ることができる。サイズ変更が線の勾配に応答して実施される図4の実施形態とは異なり、キャッシュサイズの変更は、本ステップが利用可能なメモリ空間の別の特定の閾値に到達するまで、階段関数において行われぬ。

【0025】

例えば、1MBの最初の動的メモリキャッシュサイズは、利用可能なメモリ空間が2MBの閾値に到達するまで、変化しない。次いで、動的メモリキャッシュサイズは、2MBまで増加される。異なる量の利用可能なメモリ空間が、異なる量のメモリの動的メモリキャッシュへの再配分をトリガすることができるため、例解される利用可能なメモリスぺースおよび動的メモリキャッシュサイズは、例解目的に過ぎない。同様に、図5に例解される階段関数の代替的な実施形態は、より長く、同じ動的メモリキャッシュサイズのままであることができる、および/または閾値に到達するごとに、より大きい量のメモ리를動的メモリキャッシュに配分することができる。

【0026】

動的メモリキャッシュに配分するように、利用可能なメモリ空間の量を決定するための関数のなお別の実施形態において、キャッシュサイズは、未使用の利用可能なメモリの量が特定の期間にわたって増加または減少しているかどうかの関数であり得る。例えば、図4に例解されるような固定パーセンテージの代わりに、利用可能なメモリ空間サイズが特定の期間にわたって増加している場合、関数は、利用可能なメモリ空間サイズが特定の期間にわたって減少していた場合よりも大きいパーセンテージのメモ리를、動的メモリキャ

10

20

30

40

50

ッシュサイズに配分し得る。別の実施形態において、利用可能なメモリ空間サイズが特定の期間にわたって減少している場合、関数は、より小さいパーセンテージのメモリを、動的メモリキャッシュサイズに配分し得る。

【0027】

なお別の実施形態において、オーバーヘッドを最小化し、空き空間のほとんどをキャッシュに動的に配分するために、空き（消去された）ブロックの共通プールが、動的SLCキャッシュおよび主要MLCメモリの両方に対して使用される。空きブロックが必要とされる際（第1の「開始」閾値を下回る空きブロックの数である）、動的SLCキャッシュブロックが再要求され、空きブロックの数が第2の「停止」閾値以上になるまで、空きプールに追加される。開始および停止閾値は、動的に調節されてもよい。例えば、動的SLC 10  
キャッシュブロックの再要求を最小化したい場合のホストからのコマンドの実行である前景中、停止閾値は高くなく、ホストコマンドが存在しない背景において、停止閾値は、より高く設定される。

【0028】

一実施形態において、動的メモリキャッシュブロックとして配分されるメモリブロックは、連続的なメモリブロックである。別の実施形態において、動的メモリキャッシュブロックは、連続的ではない。かかる実施形態において、ビットマップは、どのメモリブロックが動的メモリキャッシュブロックとして使用されるかを示し、追跡するために使用することができる。別の実施形態において、SLCまたはMLCを示すビットは、論理物理マッピングのために、テーブル内の他の情報と組み合わされてもよい。別の実施形態において、リストは、SLCおよびMLCブロックの両方に対して維持することができる。かかるリストは、典型的に、実装を容易にするために、リンクされたリストである。別の実施形態において、SLCまたはMLCを示すビットは、論理物理マッピングのために、テーブル内の他の情報と組み合わされてもよい。別の実施形態において、リストは、さらに、SLC 20  
およびMLCブロックの両方に対して維持することができる。かかるリストは、典型的に、実装を容易にするために、リンクされたリストである。

【0029】

図6は、メモリデバイス600の機能ブロック図を例解する。メモリデバイス600は、外部コントローラ610に連結される。コントローラ610は、マイクロプロセッサまたは何らかの他のタイプのコントローラであってもよい。メモリデバイス600およびコ 30  
ントローラ610は、メモリシステム620の一部を形成する。コントローラ610は、ホストに連結することができ、コントローラ610は、ホストからのコマンドに応答することができる。

【0030】

メモリデバイス600は、メモリセル（例えば、不揮発性メモリセル）のレイ630を含む。メモリアレイ630は、ワード線行およびビット線列群で配設される。一実施形態において、メモリアレイ630の列は、メモリセルの一連のストリングを備える。

【0031】

アドレスバッファ回路640は、I/O回路660を通じて提供されるアドレス信号をラッチするように提供される。アドレス信号は、メモリアレイ630にアクセスするように、行復号器644および列復号器646によって受信および復号される。 40

【0032】

メモリデバイス600は、センス増幅器回路650を使用して、メモリアレイ列における電圧または電流変化を感知することによって、メモリアレイ630におけるデータを読み取る。センス増幅器回路650は、一実施形態において、メモリアレイ630からのデータの行を読み取る、およびラッチするように連結される。データ入力および出力バッファ回路660は、コントローラ610との複数のデータ接続662上での双方向データ通信、ならびにアドレス通信のために含まれる。書き込み回路655は、データをメモリアレイに書き込むように提供される。

【0033】

10

20

30

40

50

メモリ制御回路670は、コントローラ610から制御接続672上に提供される信号を復号する。これらの信号は、データ読み取り、データ書き込み（プログラム）、および消去動作を含む、メモリアレイ630上の動作を制御するために使用される。メモリ制御回路670は、状態機械、シーケンサ、またはメモリ制御信号を生成するための何らかの他のタイプのコントローラであってもよい。一実施形態において、メモリ制御回路670および/または外部コントローラ610は、動的メモリキャッシュサイズ調節の実行を制御するように構成される。

【0034】

図6に例解されるメモリデバイスは、メモリの特性の基本的な理解を容易にするために簡略化されている。フラッシュメモリの内部回路および機能のより詳細な理解は、当業者には既知である。

10

【0035】

<結論>

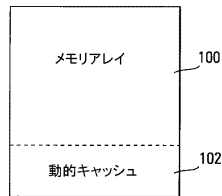
要約すると、動的メモリキャッシュサイズ調節のための方法の1つ以上の実施形態は、メモリキャッシュ（例えば、SLCとして使用される）に配分されるメモリの量を動的に調節することによって、メモリデバイスにおけるユーザデータに対する増加された能力、性能（読み取りもしくは書き込み）、および/または信頼性を提供することができる。

【0036】

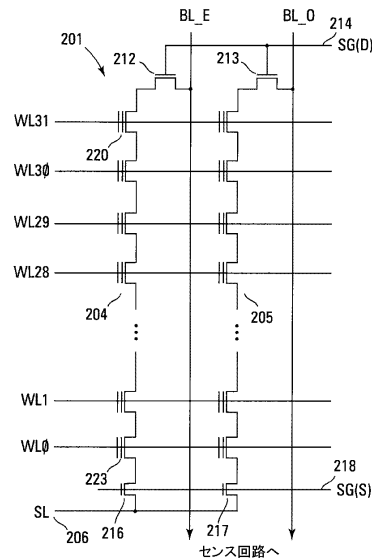
本明細書において、特定の実施形態を例解および説明してきたが、同じ目的を達成すると計算されるいずれの配設も、示される特定の実施形態に代用され得るということが、当業者によって理解されよう。本発明の多くの適合が、当業者には明らかであろう。したがって、本出願は、本発明のいずれの適合または変形も網羅することが意図される。

20

【図1】

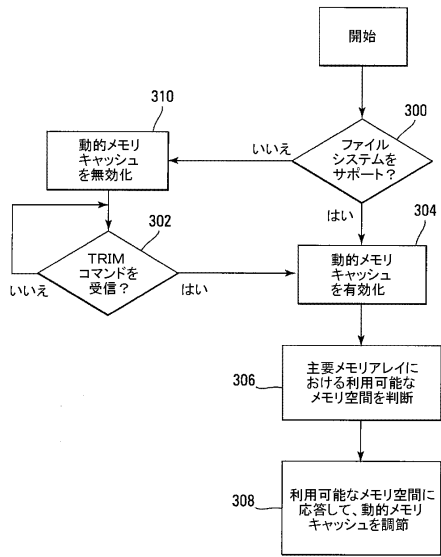


【図2】

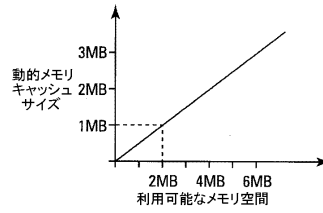




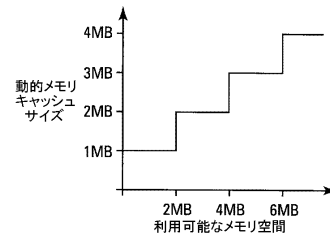
【図3】



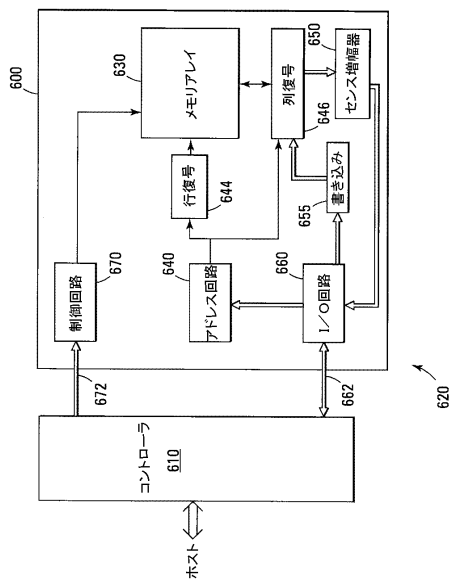
【図4】



【図5】



【図6】



## フロントページの続き

- (72)発明者 タブリジ, ファルシード  
アメリカ合衆国, カリフォルニア州 9 5 1 3 8, サン ノゼ, シャドー リッジ ウェイ 2 1  
7 3
- (72)発明者 イマン, ベルハヌ  
アメリカ合衆国, カリフォルニア州 9 4 0 8 6, サニーベール, ルピン ドライブ 1 0 2 0
- (72)発明者 シャー, ルチル  
アメリカ合衆国, カリフォルニア州 9 5 1 3 1, サン ノゼ, フェアウェイ エントランス ド  
ライブ 1 3 0 3
- (72)発明者 ベンソン, ウィリアム イー.  
アメリカ合衆国, カリフォルニア州 9 4 4 0 1, サン マテオ, ノース クレアモント 6 0 3
- (72)発明者 ジョージ, マイケル  
アメリカ合衆国, カリフォルニア州 9 4 5 6 6, プレザントン, コルテ マドリッド 6 9 4 1

審査官 後藤 彰

- (56)参考文献 特開2009 - 3 5 6 9 ( J P , A )  
特開2009 - 4 3 0 3 0 ( J P , A )  
特開2010 - 2 6 9 3 3 ( J P , A )  
特開2007 - 2 4 2 1 6 3 ( J P , A )

## (58)調査した分野(Int.Cl. , DB名)

G 0 6 F 1 2 / 0 0  
G 0 6 F 1 2 / 0 2  
G 0 6 F 1 2 / 0 8  
G 1 1 C 1 6 / 0 2