



(12) 发明专利

(10) 授权公告号 CN 108398679 B

(45) 授权公告日 2021. 07. 27

(21) 申请号 201810172842.3

审查员 丁小丽

(22) 申请日 2018.03.01

(65) 同一申请的已公布的文献号

申请公布号 CN 108398679 A

(43) 申请公布日 2018.08.14

(73) 专利权人 华航高科(北京)技术有限公司

地址 100083 北京市朝阳区安翔北里甲11
号院1号楼8层806室

(72) 发明人 李涛 王耀兴

(74) 专利代理机构 北京远大卓悦知识产权代理
有限公司 11369

代理人 史霞

(51) Int. Cl.

G01S 13/76 (2006.01)

G01S 13/91 (2006.01)

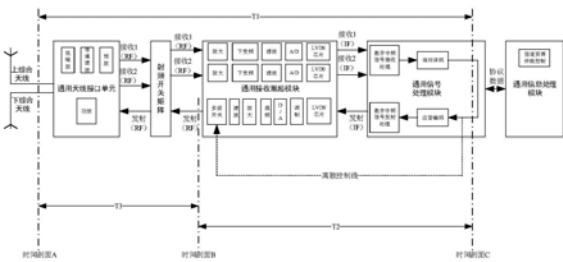
权利要求书2页 说明书9页 附图1页

(54) 发明名称

基于航电综合架构重构的S模式应答机及其
设计方法

(57) 摘要

本发明公开了一种基于航电综合架构重构的S模式应答机及其设计方法,所述S模式应答机响应二次监视雷达询问机发出的询问并作出应答,包括:综合化天线,通用天线接口单元,射频开关矩阵单元,通用接收激励单元,通用信号处理单元,通用信息处理单元;其中,通用接收激励单元的多级开关和通用信号处理单元之间设置离散线;FPGA逻辑识别P1-P3脉冲对进行应答编码、生成应答数字中频信号、转化成为小功率射频应答信号、使其到达多级开关,并判断是否存在P4脉冲,使判断结果经离散线到达多级开关。本发明将串行处理方式改为并行处理方式,节省了串行处理需等待的2微秒时间,使之满足常规模式应答延迟指标要求,成本低、易于实现。



1. 一种基于航电综合架构重构的S模式应答机,其特征在于,所述S模式应答机响应二次监视雷达询问机发出的询问并作出应答,包括:

综合化天线,用于接收询问信号;

通用天线接口单元,用于对询问信号进行放大并输出;

射频开关矩阵单元,与通用天线接口单元通信连接,用于对放大后的询问信号进行路径选通后输出;

通用接收激励单元,与射频开关矩阵单元通信连接,用于将经路径选通后的询问信号转化成询问数字中频信号;所述通用接收激励单元包括多级开关;

通用信号处理单元,用于将接收的询问数字中频信号处理成基带信号,进行询问译码和应答编码,生成应答数字中频信号;

通用信息处理单元,其与所述通用信号处理单元进行数据交互,用于向所述通用信号处理单元中的应答编码传送需要进行编码的内容;

其中,所述通用接收激励单元的多级开关和所述通用信号处理单元之间设置离散线,所述通用接收激励单元、通用信号处理单元、以及所述离散线均由FPGA逻辑进行控制;

FPGA逻辑在询问译码的过程中识别P1-P3脉冲对并根据通用信息处理单元输出的需要进行编码的内容进行应答编码、生成应答数字中频信号、经通用接收激励单元转化成小功率射频应答信号、使其到达多级开关,并判断是否存在P4脉冲,使判断结果经离散线到达多级开关;

P1-P3脉冲对从应答编码开始到达多级开关的时间差设置为大于或等于2微秒,期间得到小功率射频应答信号;

若P4脉冲不存在,FPGA逻辑使多级开关开启并输出小功率射频应答信号,再经过射频开关矩阵单元进行路径选通,进入通用天线接口单元完成功率放大,得到应答信号,最后将应答信号馈入所述综合化天线进行发送,直到应答信号完整的发送出去后,多级开关关闭;

若P4脉冲存在,FPGA逻辑使多级开关关闭,不生成应答信号;

其中,所述P4脉冲的脉宽为0.8微秒。

2. 如权利要求1所述的基于航电综合架构重构的S模式应答机,其特征在于,所述综合化天线包括均可用于接收询问信号和发射应答信号的上综合天线和下综合天线。

3. 如权利要求1所述的基于航电综合架构重构的S模式应答机,其特征在于,所述通用天线接口单元包括低噪放模块、带通滤波模块、预放大模块。

4. 如权利要求1所述的基于航电综合架构重构的S模式应答机,其特征在于,所述通用接收激励单元包括用于对经路径选通后的询问信号依次进行处理的功率放大模块、下变频模块、滤波模块、A/D转换模块、中频数字化模块,以及用于处理应答数字中频信号的中频数字化模块、信号调制模块、D/A转化模块、混频模块、功率放大模块、滤波模块、多级开关。

5. 如权利要求1所述的基于航电综合架构重构的S模式应答机,其特征在于,所述通用信号处理单元包括中频数字信号接收模块、询问译码模块、应答编码模块、中频数字信号发射模块。

6. 如权利要求1所述的基于航电综合架构重构的S模式应答机,其特征在于,所述通用接收激励单元和所述通用信号处理单元分别具有一个备用的端口,所述离散线的两端分别插入到端口里,更改端口的FPGA逻辑的UCF文件,同时更改FPGA的处理逻辑。

7. 如权利要求6所述的基于航电综合架构重构的S模式应答机,其特征在于,FPGA逻辑为高时,多级开关开启,FPGA逻辑为低时,多级开关关闭。

8. 一种如权利要求1所述的S模式应答机的设计方法,其特征在于,包括以下步骤:

S1、接收二次监视雷达询问机发送的询问信号,对询问信号进行放大处理、路径的选通、转化成询问数字中频信号;

S2、将询问数字中频信号处理成基带信号,进行询问译码,FPGA逻辑在询问译码的过程中识别出询问信号中的P1-P3脉冲对并进行应答编码、生成应答数字中频信号、转化成小功率射频应答信号、使其到达多级开关,并判断是否存在P4脉冲,使判断结果经离散线到达多级开关;P1-P3脉冲对从应答编码开始到达多级开关的时间差设置为大于或等于2微秒,期间得到小功率射频应答信号;

I、若P4脉冲不存在,FPGA逻辑使多级开关开启并输出小功率射频应答信号,再经过射频开关矩阵单元进行路径选通,进入通用天线接口单元完成功率放大,得到应答信号,最后将应答信号馈入所述综合化天线进行发送,直到应答信号完整的发送出去后,多级开关关闭;

II、若P4脉冲存在,FPGA逻辑使多级开关关闭,不生成应答信号;

其中,所述P4脉冲的脉宽为0.8微秒。

9. 如权利要求8所述的S模式应答机的设计方法,其特征在于,

所述综合化天线包括均可用于接收询问信号和发射应答信号的上综合天线和下综合天线;

所述询问信号进行放大处理之前还进行了低噪声放大处理、带通滤波处理;

所述询问数字中频信号经中频数字信号接收模块处理成基带信号,再经询问译码模块进行询问译码,识别出询问信号中的P1-P3脉冲对以及P4脉冲,由应答编码模块对P1-P3脉冲对进行应答编码,生成应答编码信号,再经中频数字信号发射模块生成应答数字中频信号并发射;

所述询问信号进行放大处理、路径的选通后还依次进行放大、下变频、滤波、A/D转换,实现中频数字化,得到询问数字中频信号;所述应答数字中频信号经中频数字化、信号调制、D/A转化、混频、功率放大、滤波后转化成小功率射频应答信号,多级开关打开输出小功率射频应答信号,多级开关关闭阻止输出小功率射频应答信号。

10. 如权利要求8所述的S模式应答机的设计方法,其特征在于,从接收到询问信号直到FPGA逻辑在询问译码的过程中识别出P1-P3脉冲对的时间差为T1;P1-P3脉冲对从应答编码开始到达多级开关的时间差为T2;从多级开关到应答信号完整发送出去的时间差为T3,若T2小于2微秒,则通过FPGA逻辑进行时间延迟补偿,以使得补偿后的从应答编码开始到达多级开关的时间差 $T2' \geq 2$ 微秒,同时满足 $(T1+T2'+T3) \leq (3 \pm 0.5)$ 微秒。

基于航电综合架构重构的S模式应答机及其设计方法

技术领域

[0001] 本发明涉及空中交通管制信号处理领域,具体是一种基于航电综合架构重构的S模式应答机及其设计方法。

背景技术

[0002] 航电综合化是指将无线电频段相近或者重叠的航空电子设备进行综合一体化设计,尽可能多的复用前端天线资源和射频信道资源,在中频信号阶段实施数字化,便于在后端信号处理和信息处理中以软件方式实现原有独立成套航电设备的各项功能(涵盖无线电通信、导航、监视识别等功能)。航电综合化充分借鉴软件定义无线电(SDR)思想,具有综合化、小型化、通用化、可重构等特点。

[0003] ATCRBS是指空中交通管制雷达信标系统(习惯上被称为常规模式应答机),属于航电综合化系统监视识别领域,它用于接收询问机发出的常规模式(A模式/C模式)询问信号,回答相应模式的应答信号,实现二次监视雷达询问机对目标飞机的监视功能;S模式应答机是在ATCRBS的基础上新增了S模式选呼应答、数据链通信以及A/C/S全呼叫应答功能,其应答响应兼容原有的常规模式询问信号,亦属于航电综合化系统监视识别领域。

[0004] 常规模式询问信号由P1和P3脉冲组成,A/C/S全呼叫询问信号由P1、P3和P4脉冲组成,二者的区别在于是否存在P4脉冲。ATCRBS只需检测到P1-P3脉冲对即可进行常规模式应答,S模式应答机在检测到P1-P3脉冲对之后还需再等待2微秒,待P4脉冲出现,确认不存在P4脉冲后才进行常规模式应答。

[0005] 国际民用航空附件10标准规定:常规模式应答延迟指标为 3 ± 0.5 微秒。相比于原有的独立成套的航电设备,航电综合化架构的信道环节多、处理延迟大,基于航电综合化架构重构的ATCRBS,其实际消耗的处理延迟已经达到 3 ± 0.5 微秒。从ATCRBS升级到S模式应答机时,由于确认P4是否存在需要多消耗2微秒的等待时间,使得在基于现有航电综合架构重构S模式应答机功能时无法满足常规模式应答延迟指标要求。

发明内容

[0006] 本发明的一个目的是解决至少上述问题,并提供至少后面将说明的优点。

[0007] 本发明还有一个目的是提供一种基于航电综合架构重构的S模式应答机及其设计方法,将串行处理方式改为并行处理方式,节省了串行处理需等待的2微秒时间,使之满足常规模式应答延迟指标要求,成本低、易于实现。

[0008] 为了实现根据本发明的这些目的和其它优点,提供了一种基于航电综合架构重构的S模式应答机,所述S模式应答机响应二次监视雷达询问机发出的询问并作出应答,包括:

[0009] 综合化天线,用于接收询问信号;

[0010] 通用天线接口单元,用于对询问信号进行放大并输出;

[0011] 射频开关矩阵单元,与通用天线接口单元通信连接,用于对放大后的询问信号进行路径选通后输出;

[0012] 通用接收激励单元,与射频开关矩阵单元通信连接,用于将经路径选通后的询问信号转化成询问数字中频信号;所述通用接收激励单元包括多级开关;

[0013] 通用信号处理单元,用于将接收的询问数字中频信号处理成基带信号,进行询问译码和应答编码,生成应答数字中频信号;

[0014] 通用信息处理单元,其与所述通用信号处理单元进行数据交互,用于向所述通用信号处理单元中的应答编码传送需要进行编码的内容;

[0015] 其中,所述通用接收激励单元的多级开关和所述通用信号处理单元之间设置离散线,所述通用接收激励单元、通用信号处理单元、以及所述离散线均由FPGA逻辑进行控制;

[0016] FPGA逻辑在询问译码的过程中识别P1-P3脉冲对并根据通用信息处理单元输出的需要进行编码的内容进行应答编码、生成应答数字中频信号、经通用接收激励单元转化成小功率射频应答信号、使其到达多级开关,并判断是否存在P4脉冲,使判断结果经离散线到达多级开关;

[0017] P1-P3脉冲对从应答编码开始到达多级开关的时间差设置为大于或等于2微秒,期间得到小功率射频应答信号;

[0018] 若P4脉冲不存在,FPGA逻辑使多级开关开启并输出小功率射频应答信号,再经过射频开关矩阵单元进行路径选通,进入通用天线接口单元完成功率放大,得到应答信号,最后将应答信号馈入所述综合化天线进行发送,直到应答信号完整的发送出去后,多级开关关闭;

[0019] 若P4脉冲存在,FPGA逻辑使多级开关关闭,不生成应答信号;

[0020] 其中,所述P4脉冲的脉宽为0.8微秒。

[0021] 优选的是,所述综合化天线包括均可用于接收询问信号和发射应答信号的上综合天线和下综合天线。

[0022] 优选的是,所述通用天线接口单元包括低噪放模块、带通滤波模块、预放大模块。

[0023] 优选的是,所述通用接收激励单元包括用于对经路径选通后的询问信号依次进行处理的功率放大模块、下变频模块、滤波模块、A/D转换模块、中频数字化模块,以及用于处理应答数字中频信号的中频数字化模块、信号调制模块、D/A转化模块、混频模块、功率放大模块、滤波模块、多级开关。

[0024] 优选的是,所述通用信号处理单元包括中频数字信号接收模块、询问译码模块、应答编码模块、中频数字信号发射模块。

[0025] 优选的是,所述通用接收激励单元和所述通用信号处理单元分别具有一个备用的端口,所述离散线的两端分别插入到端口里,更改端口的FPGA逻辑的UCF文件,同时更改FPGA的处理逻辑。

[0026] 优选的是,FPGA逻辑为高时,多级开关开启,FPGA逻辑为低时,多级开关关闭。

[0027] 本发明所述的S模式应答机的设计方法,包括以下步骤:

[0028] S1、接收二次监视雷达询问机发送的询问信号,对询问信号进行放大处理、路径的选通、转化成询问数字中频信号;

[0029] S2、将询问数字中频信号处理成基带信号,进行询问译码,FPGA逻辑在询问译码的过程中识别出询问信号中的P1-P3脉冲对并进行应答编码、生成应答数字中频信号、转化成小功率射频应答信号、使其到达多级开关,并判断是否存在P4脉冲,使判断结果经离散线到

达多级开关;P1-P3脉冲对从应答编码开始到达多级开关的时间差设置为大于或等于2微秒,期间得到小功率射频应答信号;

[0030] I、若P4脉冲不存在,FPGA逻辑使多级开关开启并输出小功率射频应答信号,再经过射频开关矩阵单元进行路径选通,进入通用天线接口单元完成功率放大,得到应答信号,最后将应答信号馈入所述综合化天线进行发送,直到应答信号完整的发送出去后,多级开关关闭;

[0031] II、若P4脉冲存在,FPGA逻辑使多级开关关闭,不生成应答信号;

[0032] 其中,所述P4脉冲的脉宽为0.8微秒。

[0033] 优选的是,

[0034] 所述综合化天线包括均可用于接收询问信号和发射应答信号的上综合天线和下综合天线;

[0035] 所述询问信号进行放大处理之前还进行了低噪声放大处理、带通滤波处理;

[0036] 所述询问数字中频信号经中频数字信号接收模块处理成基带信号,再经询问译码模块进行询问译码,识别出询问信号中的P1-P3脉冲对以及P4脉冲,由应答编码模块对P1-P3脉冲对进行应答编码,生成应答编码信号,再经中频数字信号发射模块生成应答数字中频信号并发射;

[0037] 所述询问信号进行放大处理、路径的选通后还依次进行放大、下变频、滤波、A/D转换,实现中频数字化,得到询问数字中频信号;所述应答数字中频信号经中频数字化、信号调制、D/A转化、混频、功率放大、滤波后转化成小功率射频应答信号,多级开关打开输出小功率射频应答信号,多级开关关闭阻止输出小功率射频应答信号。

[0038] 优选的是,从接收到询问信号直到FPGA逻辑在询问译码的过程中识别出P1-P3脉冲对的时间差为T1;P1-P3脉冲对从应答编码开始到达多级开关的时间差为T2;从多级开关到应答信号完整发送出去的时间差为T3,若T2小于2微秒,则通过FPGA逻辑进行时间延迟补偿,以使得补偿后的从应答编码开始到达多级开关的时间差 $T2' \geq 2$ 微秒,同时满足 $(T1+T2'+T3) \leq (3 \pm 0.5)$ 微秒。

[0039] 本发明至少包括以下有益效果:

[0040] 本发明在通用信号处理单元和通用接收激励单元之间增加1根离散线作为应答使能控制线,用于控制通用接收激励单元的多级开关,以控制小功率射频应答信号是否输出,将串行处理方式改为并行处理方式,节省了串行处理需等待的2微秒时间,使之满足常规模式应答延迟指标要求,既不改变现有的系统架构,也不影响各模块、单元的通用性,成本低、易于实现。

[0041] 本发明中所述的S模式应答机主要针对脉宽为0.8微秒的P4脉冲进行应答的设计改进。识别到P1-P3脉冲对之后不再等待判别出P4脉冲后才开始应答编码,而是参照原ATCRBS在识别到P1-P3脉冲对之后立即开始应答编码,即应答信号生成(由应答编码到小功率应答信号的生成)和应答使能控制(多级开关的开启或关闭)由串行处理方式改为并行处理方式,节省了串行处理需等待的2微秒时间,使之满足常规模式应答延迟指标要求。

[0042] 本发明的其它优点、目标和特征将部分通过下面的说明体现,部分还将通过对本发明的研究和实践而为本领域的技术人员所理解。

附图说明

[0043] 图1为本发明的整体结构示意图；

[0044] 图2为本发明所述的离散线的控制时序图。

具体实施方式

[0045] 下面结合附图和实施例对本发明做进一步的详细说明,以令本领域技术人员参照说明书文字能够据以实施。

[0046] 应当理解,本文所使用的诸如“具有”、“包含”以及“包括”术语并不配出一个或多个其它元件或其组合的存在或添加。需要说明的是,下述实施方案中所述实验方法,如无特殊说明,均为常规方法,所述试剂和材料,如无特殊说明,均可从商业途径获得;在本发明的描述中,术语“横向”、“纵向”、“轴向”、“径向”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,并不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0047] 如图1所示,本发明提供了一种基于航电综合架构重构的S模式应答机,所述S模式应答机响应二次监视雷达询问机发出的询问并作出应答,包括:

[0048] 综合化天线,用于接收询问信号;综合化天线将询问信号输出至通用天线接口单元进行后续处理,综合化天线也用于发射应答信号;

[0049] 通用天线接口单元,用于对询问信号进行放大并输出,主要是对询问信号进行预放大后输出至射频开关矩阵单元;通用天线接口单元也用于对通用接收激励单元输出的小功率射频应答信号经射频开关矩阵单元进行路径选通后,进行功率放大并输出至综合化天线;

[0050] 射频开关矩阵单元,与通用天线接口单元通信连接,用于对放大后的询问信号进行路径选通后输出,射频开关矩阵单元也用于对小功率射频应答信号进行路径选通后输出;

[0051] 通用接收激励单元,与射频开关矩阵单元通信连接,用于将经路径选通后的询问信号转化成询问数字中频信号;通用接收激励单元也用于将应答编码后形成的应答数字中频信号转化成小功率射频应答信号;所述通用接收激励单元包括多级开关;

[0052] 通用信号处理单元,用于将接收的询问数字中频信号处理成基带信号,进行询问译码和应答编码,生成应答数字中频信号;

[0053] 通用信息处理单元,其与所述通用信号处理单元进行数据交互,用于向所述通用信号处理单元中的应答编码传送需要进行编码的内容,需要进行编码的内容包括所述S模式应答机的应答代码、高度和S模式地址等,通用信息处理单元与通用信号处理单元之间按照双方约定的接口协议数据进行数据交互。实际应用中,通用信息处理单元还可以用于控制所述S模式应答机整体的开启或关闭等;

[0054] 其中,所述通用接收激励单元的多级开关和所述通用信号处理单元之间设置离散线,所述通用接收激励单元、通用信号处理单元、以及所述离散线均由FPGA逻辑进行控制;

[0055] FPGA逻辑在询问译码的过程中识别P1-P3脉冲对并根据通用信息处理单元输出的需要进行编码的内容进行应答编码、生成应答数字中频信号、经通用接收激励单元转化成

小功率射频应答信号、使其到达多级开关,并判断是否存在P4脉冲,使判断结果经离散线到达多级开关;此处对于P4的判断结果实质上是FPGA逻辑输出的控制多级开关的开关信号。实际应用中,FPGA逻辑识别出P1-P3脉冲对后立即对P1-P3脉冲对进行应答编码,并且等待2微秒后,判断P4脉冲,P4脉冲是否存在,FPGA逻辑通过离散线输出控制多级开关的开关信号,以使多级开关开启或关闭。

[0056] P1-P3脉冲对从应答编码开始到达多级开关的时间差设置为大于或等于2微秒,以确保P4脉冲出现,FPGA逻辑对P4脉冲得出判断结果后,得到小功率射频应答信号;

[0057] 若P4脉冲不存在,FPGA逻辑使多级开关开启并输出小功率射频应答信号,再经过射频开关矩阵单元进行路径选通,进入通用天线接口单元完成功率放大,得到应答信号,最后将应答信号馈入所述综合化天线进行发送,直到应答信号完整的发送出去后,多级开关关闭;实际应用中,FPGA逻辑使多级开关开启的同时进行计时,直至从多级开关输出的小功率射频应答信号转化成应答信号并完整的发送出去后,FPGA逻辑使多级开关关闭;

[0058] 若P4脉冲存在,FPGA逻辑使多级开关关闭,不生成应答信号;

[0059] 其中,所述P4脉冲的脉宽为0.8微秒。

[0060] 本发明中所述的S模式应答机主要针对脉宽为0.8微秒的P4脉冲进行应答的设计改进,在通用信号处理单元和通用接收激励单元之间增加1根离散线作为应答使能控制线,用于控制通用接收激励单元多级开关,以控制小功率射频应答信号是否输出。离散线的输入端为通用信号处理单元,输出端为通用接收激励单元。根据单元之间信号传输距离和系统设计可靠性的要求,离散线可采用单根离散线或者1组差分离散线,由FPGA逻辑操控,应答信号生成(由应答编码到小功率应答信号的生成)和应答使能控制(多级开关的开启或关闭)由串行处理方式改为并行处理方式,节省了串行处理需等待的2微秒时间,使之满足常规模式应答延迟指标要求。FPGA逻辑是经过更改的适合于本发明所述的S模式应答机的逻辑。

[0061] 本发明所述的S模式应答机可以实现多种模式的应答,包括A模式、C模式、S模式、仅A模式全呼叫、仅C模式全呼叫、A模式-S模式全呼叫、C模式-S模式全呼叫,本发明主要是针对仅A模式全呼叫和仅C模式全呼叫进行的设计改进,FPGA逻辑在询问译码的过程中识别P1-P3脉冲对以及判断P4脉冲时,就可以根据脉冲的类别识别出询问模式,从而确定是否应答,对于仅A模式全呼叫和仅C模式全呼叫本发明所述的S模式应答机都不进行应答,现实使用中也是要求不应答。本发明中的FPGA逻辑适合于仅A模式全呼叫和仅C模式全呼叫,但不会影响所述的S模式应答机对于其他模式的应答。

[0062] 在另一技术方案中,所述综合化天线包括均可用于接收询问信号和发射应答信号的上综合天线和下综合天线。

[0063] 在另一技术方案中,所述通用天线接口单元包括低噪放模块、带通滤波模块、预放大模块。低噪放模块主要用于对询问信号的幅度进行放大,通过带通滤波模块对询问信号进行净化过滤去除毛刺波。

[0064] 在另一技术方案中,所述通用接收激励单元包括用于对经路径选通后的询问信号依次进行处理的功率放大模块、下变频模块、滤波模块、A/D转换模块、中频数字化模块,转化成询问数字中频信号输出至通用信号处理单元,以及用于处理应答数字中频信号的中频数字化模块、信号调制模块、D/A转化模块、混频模块、功率放大模块、滤波模块,至此得到小

功率射频应答信号,多级开关控制是否输出小功率射频应答信号。

[0065] 在另一技术方案中,所述通用信号处理单元包括中频数字信号接收模块、询问译码模块、应答编码模块、中频数字信号发射模块。中频数字信号接收模块用于接收询问数字中频信号,通过询问译码模块进行译码,并由应答编码模块根据通用信息处理单元输出的需要进行编码的内容进行应答编码、生成应答编码信号,再通过中频数字信号发射模块生成应答数字中频信号并发射至通用接收激励单元。

[0066] 在另一技术方案中,所述通用接收激励单元和所述通用信号处理单元分别具有一个备用的端口,所述离散线的两端分别插入到端口里,更改端口的FPGA逻辑的UCF文件,同时更改FPGA的处理逻辑,更改了的FPGA的处理逻辑即为前述的本发明的FPGA逻辑。端口分别是通用接收激励单元和所述通用信号处理单元各自备份的对外离散线资源。离散线的输入端插入通用信号处理单元的端口,即占用通用信号处理单元备份的对外离散线资源,更改其FPGA的UCF文件,更改FPGA处理逻辑。当检测到P1-P3脉冲对之后,立刻生成应答触发信号,开始应答编码,同时将FPGA逻辑拉高;应答触发信号2微秒后检测P4脉冲是否存在:若存在则立刻将FPGA逻辑拉低;若不存在则保持FPGA逻辑为高,计时直至应答信号完整的发送出去后将FPGA逻辑拉低。离散线的输出端插入通用接收激励单元的端口中,即占用通用接收激励单元备份的对外离散线资源,更改其FPGA的UCF文件,更改FPGA处理逻辑,生成本发明的FPGA逻辑。更改FPGA处理逻辑是指将原有的控制逻辑(“探测P1-P3脉冲对→判别P4脉冲→开始应答编码”)改变为“探测P1-P3脉冲对→开始应答编码”,对P4的判断结果则通过离散线对多级开关进行使能控制。

[0067] 在另一技术方案中,FPGA逻辑为高时,多级开关开启,FPGA逻辑为低时,多级开关关闭。通过FPGA逻辑的高低对多级开关进行使能控制。

[0068] 本发明所述的S模式应答机的设计方法,在通用接收激励模块和通用信号处理模块之间设置离散线,所述通用接收激励单元、通用信号处理单元、以及所述离散线均由FPGA逻辑进行控制,具体包括以下步骤:

[0069] S1、接收二次监视雷达询问机发送的询问信号,对询问信号进行放大处理、路径的选通、转化成询问数字中频信号;通过综合化天线接收询问信号并传送到通用天线接口单元;通用天线接口单元对询问信号进行放大处理后传送到射频开关矩阵单元进行路径的选通,并传送至通用接收激励单元转化成询问数字中频信号,并传送至通用信号处理单元;

[0070] S2、通用信号处理单元将询问数字中频信号处理成基带信号,进行询问译码,FPGA逻辑在询问译码的过程中识别出询问信号中的P1-P3脉冲对并进行应答编码、生成应答数字中频信号、转化成小功率射频应答信号、使其到达多级开关,并判断是否存在P4脉冲,使判断结果经离散线到达多级开关;P1-P3脉冲对从应答编码开始到达多级开关的时间差设置为大于或等于2微秒,期间得到小功率射频应答信号;

[0071] I、若P4脉冲不存在,FPGA逻辑使多级开关开启并输出小功率射频应答信号,再经过射频开关矩阵单元进行路径选通,进入通用天线接口单元完成功率放大,得到应答信号,最后将应答信号馈入所述综合化天线进行发送,直到应答信号完整的发送出去后,多级开关关闭;实际应用中,FPGA逻辑使多级开关开启的同时进行计时,直至从多级开关输出的小功率射频应答信号转化成应答信号并完整的发送出去后,FPGA逻辑使多级开关关闭。计时的具体措施为:在FPGA逻辑中,以应答触发信号为起始,复位并启动一个数值递增的计数

器,判断计数器的输出值是否小于设定的阈值,若小于阈值则表明计时未结束,FPGA逻辑保持,否则表明计时已经结束,FPGA逻辑拉低,多级开关关闭。阈值的设计需保证应答信号完整的发送出去。

[0072] II、若P4脉冲存在,FPGA逻辑使多级开关关闭,不生成应答信号,在实际应用中,不做应答不影响询问方;因为询问方发送带有P4(脉宽0.8微秒)脉冲的询问信号就是希望S模式应答机不要应答;

[0073] 其中,所述P4脉冲的脉宽为0.8微秒。

[0074] 本发明在通用信号处理单元和通用接收激励单元之间增加1根离散线作为应答使能控制线,用于控制通用接收激励单元的多级开关,以控制小功率射频应答信号是否输出,将串行处理方式改为并行处理方式,节省了串行处理需等待的2微秒时间,使之满足常规模式应答延迟指标要求,既不改变现有的系统架构,也不影响各模块、单元的通用性,成本低、易于实现。

[0075] 本发明在对询问信号进行放大处理后,由射频开关矩阵单元和通用接收激励单元对放大后的询问信号分为两路同时进行处理,以确保通用信号处理单元完整的接收询问信息中的内容,做出准确的判断,进行应答或不应答。实际使用中所述的S模式应答机对接收到的二次监视雷达询问机发送的周期性的询问信号进行应答,从而实现跟踪监视的目的。本发明所述的基于航电综合化架构重构的S模式应答机完成一次询问信号响应并应答的简要流程是:通过综合化天线接收二次监视雷达询问机发出的询问信号,询问信号经过通用天线接口单元完成低噪放、带通滤波、预放大,再经过射频开关矩阵进入相应的通用收发激励单元进行放大、下变频、滤波、A/D转换以及中频数字化输出询问数字中频信号,通用信号处理单元对询问数字中频信号实现波形信号处理,提取出询问信号,识别询问模式(即识别P1-P3脉冲对和P4脉冲),生成应答触发信号,触发应答编码,形成零中频应答信号(即基带信号),送入通用接收激励单元进行中频数字化、调制、D/A转化、混频、放大、滤波处理,经多级开关输出,再经过射频开关矩阵单元完成通道选择,进入通用天线接口单元,完成大功率放大,最后将应答信号馈入综合化天线进行发射。

[0076] 在另一技术方案中,所述综合化天线包括均可用于接收询问信号和发射应答信号的上综合天线和下综合天线。

[0077] 所述询问信号进行放大处理之前还进行了低噪声放大处理、带通滤波处理;

[0078] 所述询问数字中频信号经中频数字信号接收模块处理成基带信号,再经询问译码模块进行询问译码,识别出询问信号中的P1-P3脉冲对以及P4脉冲,由应答编码模块对P1-P3脉冲对进行应答编码,生成应答编码信号,再经中频数字信号发射模块生成应答数字中频信号并发射;

[0079] 所述询问信号进行放大处理、路径的选通后还依次进行放大、下变频、滤波、A/D转换,实现中频数字化,得到询问数字中频信号;所述应答数字中频信号经中频数字化、信号调制、D/A转化、混频、功率放大、滤波后转化成小功率射频应答信号,多级开关打开输出小功率射频应答信号,多级开关关闭阻止输出小功率射频应答信号。

[0080] 在另一技术方案中,如图2所示,根据询问信号有无P4脉冲呈现不同的控制时序。从接收到询问信号直到FPGA逻辑在询问译码的过程中识别出P1-P3脉冲对的时间差为T1;P1-P3脉冲对从应答编码开始到达多级开关的时间差为T2,T2代表FPGA逻辑对P1-P3脉冲对

进行应答编码、生成应答数字中频信号、转化成小功率射频应答信号、使其到达多级开关的时间；从多级开关到应答信号完整发送出去的时间差为 T_3 ，若 T_2 小于2微秒，则通过FPGA逻辑进行时间延迟补偿，以使得补偿后的从应答编码开始到达多级开关的时间差 $T_2' \geq 2$ 微秒，同时满足 $(T_1 + T_2' + T_3) \leq (3 \pm 0.5)$ 微秒。常规模式应答延迟是指以图1中的时间剖面A为观察剖面，测量该剖面处询问信号和应答信号之间的时间差；时间剖面A、时间剖面B和时间剖面C将其划分为 T_1 、 T_2 、 T_3 ；忽略线路延迟，常规模式应答延迟等效于 $(T_1 + T_2 + T_3)$ 。本发明使 $T_2' \geq 2$ 微秒、且 $(T_1 + T_2' + T_3) \leq (3 \pm 0.5)$ 微秒。

[0081] 综上所述，本发明的技术方案的核心思想如下：

[0082] 1) 识别到P1-P3脉冲对之后不再等待判别出P4脉冲后才开始应答编码，而是参照原ATCRBS在探测到P1-P3脉冲对之后立即开始应答编码；

[0083] 2) 以识别到P1-P3脉冲对为应答时间同步起始，在2微秒后的多级开关处理环节对小功率应答信号是否输出进行使能控制；

[0084] 3) 应答信号生成和应答使能控制由串行处理方式改为并行处理方式，节省了串行处理需等待的2微秒时间开销。

[0085] 本发明的技术关键点和欲保护点是：

[0086] 1) 基于航电综合化架构重构S模式应答机功能时，仅增加1根离散线使得常规应答延迟满足指标要求，既不改变现有的系统架构，也不影响模块的通用性；

[0087] 2) 增加的离散线连接通用信号处理模块和通用接收激励模块，通过控制通用接收激励模块的多级开关，对输出小功率射频应答信号进行使能控制；

[0088] 3) 离散线的控制逻辑由通用信号处理模块产生，由FPGA逻辑控制。逻辑初始状态为低（无效）；当判断出P1-P3脉冲对之后立即拉高（有效），等待2微秒后进行P4脉冲检测：若检测到P4脉冲，则逻辑状态立即置低；若未检测到P4脉冲，则逻辑状态持续为高，计时直至应答响应结束后（即应答信号完整的发送出去后）将逻辑状态置低；

[0089] 4) 应答信号生成和应答使能控制由串行处理改为并行处理：探测到P1-P3脉冲对之后立即开始应答编码，同时触发应答使能控制；2微秒后，应答信号和应答使能控制在通用接收激励模块的多级开关环节实现并行处理交汇；应答使能（高有效）控制应答信号输出；节省了串行处理需等待的2微秒时间开销。

[0090] 本发明的技术方案的替代方案有：

[0091] 替代方案一：

[0092] 将应答编码/调制放到通用接收激励单元中，且直接跳过D/A处理，降低应答延迟。但该方案将增加离散线数量，且破坏通用接收激励单元的通用性。

[0093] 替代方案二：

[0094] 将离散线使能放到通用天线接口单元，直接在通用天线接口单元完成应答使能。但该方案将增加离散线长度，使得抗干扰能力降低；需在通用天线接口单元内增加多级开关，破坏通用天线接口单元的通用性。

[0095] 替代方案三：

[0096] 将离散线使能、应答编码/调制都放在通用天线接口单元，直接跳过通用接收激励单元。但该方案将增加离散线长度，使得抗干扰能力降低；需在通用天线接口单元内增加多级开关、信号源以及应答处理电路，破坏通用天线接口单元的通用性；破坏了系统架构。

[0097] 替代方案四：

[0098] 直接在通用天线接口单元完成询问译码和应答编码/调制，完全跳过通用接收激励单元和通用信号处理单元。但该方案由于通用天线接口单元内部的功放和接收信道之间信号隔离度更差，信号更容易受干扰；且改动更大，破坏通用天线接口单元的通用性；破坏了系统架构。

[0099] 替代方案五：

[0100] 将离散线连到射频开关矩阵单元，在射频开关矩阵单元内增加多级开关。但该方案将增加离散线长度，使得抗干扰能力降低；需更改射频开关矩阵单元，破坏射频开关矩阵单元的通用性。

[0101] 尽管本发明的实施方案已公开如上，但其并不仅仅限于说明书和实施方式中所列运用，它完全可以被适用于各种适合本发明的领域，对于熟悉本领域的人员而言，可容易地实现另外的修改，因此在不背离权利要求及等同范围所限定的一般概念下，本发明并不限于特定的细节和这里示出与描述的图例。

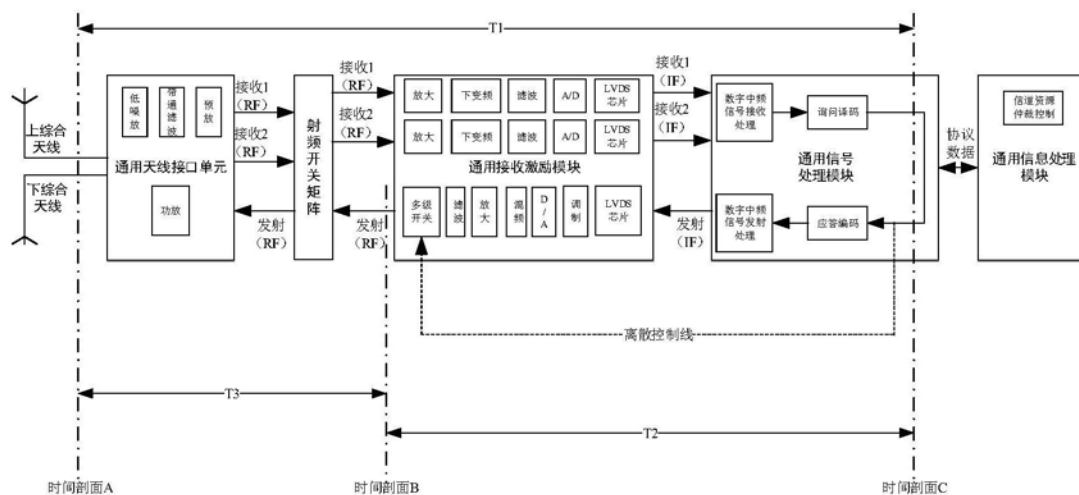


图1

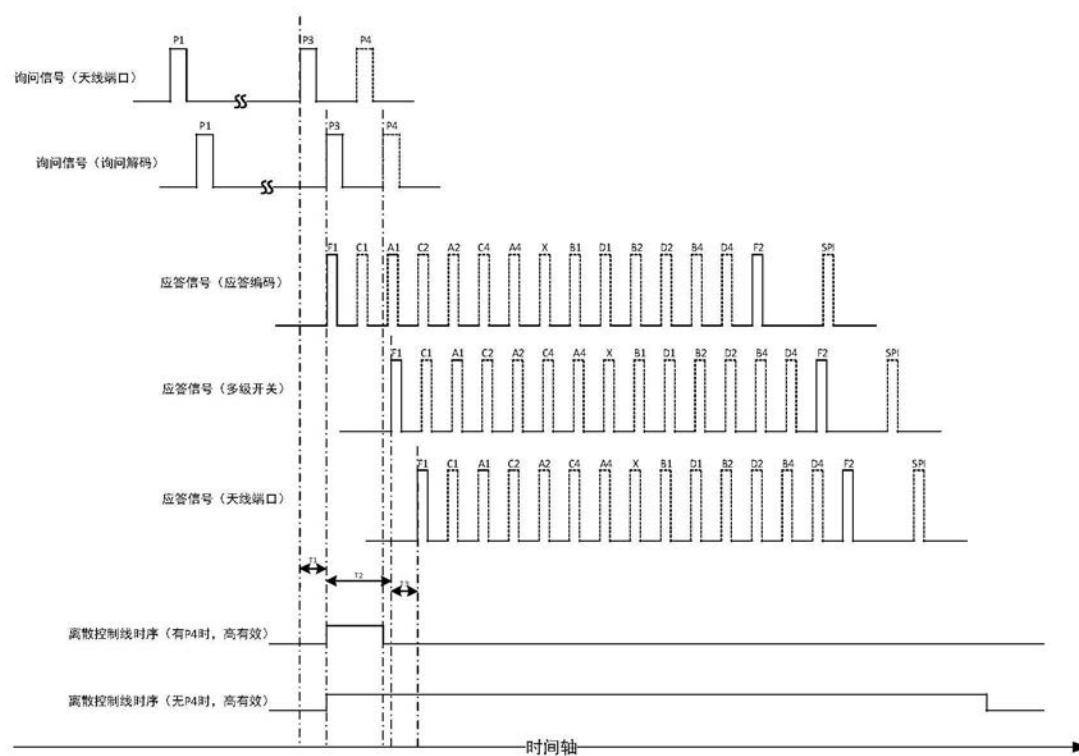


图2