

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4137065号
(P4137065)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl.		F I	
HO 1 L 21/66 (2006.01)		HO 1 L 21/66	Y
GO 1 N 23/225 (2006.01)		GO 1 N 23/225	
GO 1 R 31/02 (2006.01)		GO 1 R 31/02	
HO 1 L 21/822 (2006.01)		HO 1 L 27/04	T
HO 1 L 27/04 (2006.01)		HO 1 L 21/88	S

請求項の数 9 (全 22 頁) 最終頁に続く

(21) 出願番号	特願2005-33549 (P2005-33549)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成17年2月9日(2005.2.9)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2006-222233 (P2006-222233A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公開日	平成18年8月24日(2006.8.24)	(72) 発明者	松宮 康夫 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成18年3月27日(2006.3.27)	審査官	田代 吉成

最終頁に続く

(54) 【発明の名称】 半導体装置、デバイス形成基板、配線接続試験方法、および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、
前記基板上に形成された半導体デバイスと、
前記基板上に形成された、電子線が照射されることで配線接続の試験を行う、電子線照射領域を含む配線接続試験構造と、を有する半導体装置であって、
前記配線接続試験構造は、
前記基板上に形成された絶縁層と、
前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第1のパターン配線と、
前記第1のパターン配線の間形成され、前記第1のパターン配線よりも短い複数の第2のパターン配線と、
前記第2のパターン配線の下層に形成された、前記第2のパターン配線に接続される第3のパターン配線と、
前記第3のパターン配線の上層に形成された、当該第3のパターン配線と接続され、前記電子線照射領域を有する第4のパターン配線と、を有することを特徴とする半導体装置。

【請求項2】

前記第3のパターン配線は、前記第1のパターン配線と直交する方向に形成されることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記複数の第 2 のパターン配線に対応して、それぞれ、複数の前記第 3 のパターン配線、および複数の前記第 4 のパターン配線がそれぞれ形成されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記第 3 のパターン配線には、複数の前記第 2 のパターン配線が接続されることを特徴とする請求項 1 乃至 3 のうち、いずれか 1 項記載の半導体装置。

【請求項 5】

前記第 1 のパターン配線と、互いに接続される前記第 2 のパターン配線と前記第 3 のパターン配線が、それぞれ前記基板に容量結合していることを特徴とする請求項 1 乃至 4 のうち、いずれか 1 項記載の半導体装置。

10

【請求項 6】

前記絶縁層は、多孔質材料よりなることを特徴とする請求項 1 乃至 5 のうち、いずれか 1 項記載の半導体装置。

【請求項 7】

基板と、
前記基板上に形成された半導体デバイスと、
前記基板上に形成された、電子線が照射されることで配線接続の試験を行う、電子線照射領域を含む配線接続試験構造と、を有するデバイス形成基板であって、
前記配線接続試験構造は、
前記基板上に形成された絶縁層と、
前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第 1 のパターン配線と、
前記第 1 のパターン配線の間形成され、前記第 1 のパターン配線よりも短い複数の第 2 のパターン配線と、
前記第 2 のパターン配線の下層に形成された、前記第 2 のパターン配線に接続される第 3 のパターン配線と、
前記第 3 のパターン配線の上層に形成された、当該第 3 のパターン配線と接続され、前記電子線照射領域を有する第 4 のパターン配線と、を有することを特徴とするデバイス形成基板。

20

30

【請求項 8】

基板上に形成された、電子線照射領域を含む配線接続試験構造を用いた配線接続試験方法であって、
前記配線接続試験構造は、
前記基板上に形成された絶縁層と、
前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第 1 のパターン配線と、
前記第 1 のパターン配線の間形成され、前記第 1 のパターン配線よりも短い複数の第 2 のパターン配線と、
前記第 2 のパターン配線の下層に形成された、前記第 2 のパターン配線に接続される第 3 のパターン配線と、
前記第 3 のパターン配線の上層に形成された、当該第 3 のパターン配線と接続され、前記電子線照射領域を有する第 4 のパターン配線と、を有し、
前記第 1 のパターン配線に電子線を放射して二次電子の放出を調べる第 1 の工程と、
前記第 4 のパターン配線に電子線を放射して二次電子の放出を調べる第 2 の工程と、を有することを特徴とする配線接続試験方法。

40

【請求項 9】

請求項 8 記載の配線接続試験方法を用いた半導体装置の製造方法であって、
前記基板上に半導体デバイスを形成する工程と、
前記基板上に前記配線接続試験構造を形成する工程と、

50

前記配線接続試験方法により、配線接続試験を実施する工程と、
前記配線接続試験の結果に対応して、前記半導体デバイスを形成する工程を制御するフ
ィードバック工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に形成された配線接続試験構造を有する半導体装置、デバイス形成基
板、さらには当該配線接続試験構造を用いた配線接続試験方法、および半導体装置の製造
方法に関する。

【背景技術】

【0002】

近年、半導体装置の高性能化・微細化に伴い、半導体装置の配線の不良などの回路上の
欠陥を正確に、また速やかに検出することが半導体装置の信頼性の向上、製造コストの低
減を実現する上で大きな問題となっている。

【0003】

従来、半導体装置の回路上の欠陥を検出する方法としては、光学式欠陥検査装置が用い
られてきたが、検出された欠陥が電氣的な欠陥、例えば配線の短絡などを伴うものかどう
かの判断が難しく、精度の良い回路の欠陥の検出が困難であった。

【0004】

そこで、近年は電子顕微鏡の観察による配線の濃淡の変化の検査である、いわゆるボル
テージコントラスト（以下文中VC）検査によって、配線の短絡箇所を特定する方法が提
案されている。このようなVCは、配線のチャージアップ現象の有無によって検出される
。

【0005】

例えば、上記のVC検査によって配線の短絡箇所を検出する方法としては、以下に示す
方法がある。

【0006】

図1は、VC検査による配線の短絡箇所特定のためのテストパターンの一例であるテスト
パターン1を示した図である。

【0007】

図1を参照するに、本図に示すテストパターンは、基板上に形成された図示を省略する
絶縁層に、接地された配線パターン2が形成され、当該配線パターン2に対して、それぞ
れ個別に電氣的にフローティングである配線パターン3を、いわゆる櫛場のパターンとな
るように互い違いに組み合わせることで形成されている。すなわち、同一方向に延伸する
、接地された配線パターンとフローティングの配線パターンが、交互に基板上的絶縁層に
設置された構造を有している。

【0008】

このテストパターンを用いて欠陥箇所（短絡箇所）を検出する場合、まず、電子顕微鏡
を用いて、例えば領域x1を、配線を横切る方向（x1方向）に観察する。この場合、複
数の前記配線パターン3のうちで、前記配線パターン2と短絡しているものは、画像のコ
ントラストが異なる。これは、短絡箇所の無い前記配線パターン3は、電氣的にフロー
ティングであるため、チャージアップ現象が発生するのに対して、接地された前記配線パ
ターン2に短絡した配線パターン3は、チャージアップ現象が発生せず、これらの配線パ
ターン3の表面電位の違いが電子顕微鏡観察上の濃淡の差、すなわちVCの状態の違いと
して観察されるためである。このため、配線パターン3の短絡箇所のx1方向の座標が特定
できる。

【0009】

次に、当該x1方向の座標に対応して、x1方向に直行するy1方向にそって配線パタ
ーンの観察を行い、配線の短絡箇所def1を検出する（例えば特許文献1参照）。

【0010】

10

20

30

40

50

また、このような短絡箇所の検出は、以下に示すテストパターンを用いても実施することができる。

【0011】

図2は、VC検査による配線の短絡箇所特定のためのテストパターンの別の一例であるテストパターン10を示した図である。

【0012】

図2を参照するに、本図に示すテストパターンは、基板上に形成された図示を省略する絶縁層に、接地された配線パターン11を形成し、当該配線パターン11の間に、それぞれ個別に電氣的にフローティングである、分断された複数の線分よりなる配線パターン3を形成して構成されている。すなわち、接地された配線パターンの間に、分断された線分状のフローティングの複数の配線パターンが、交互に形成されて構成されている。

10

【0013】

このテストパターンを用いて欠陥箇所(短絡箇所)を検出する場合、電子顕微鏡を用いて、複数の線分からなる配線パターン12を、x2方向に順次走査して観察し、VCが発生している配線パターンを特定し、短絡箇所def2を検出する(例えば特許文献2参照)。

【特許文献1】特表2004-501505号公報

【非特許文献1】特開2001-305194号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0014】

しかし、例えば前記配線パターン1を用いた検出方法の場合、特に微細化された配線パターンに対して欠陥部分を検出することが困難となる場合があった。例えば、図1において、微細化されたパターンでは、y1方向において電子顕微鏡で欠陥部分を検出することが困難であり、今後さらに微細化が進行することが予想される配線パターンでは、さらに短絡箇所の検出が困難となることが予想される。また、近年、配線遅延の影響を抑制するために用いられるようになってきている低誘電率絶縁膜の中には多孔質(ポラス)のものがあり、このような多孔質絶縁膜では、その内部の多孔質部分に配線の短絡箇所が存在する場合がある。このように多孔質絶縁膜の内部に配線の短絡箇所が形成されると、配線パターン表面の観察では、その発見は困難となってしまう問題があった。

30

【0015】

また、例えば前記配線パターン10を用いた検出方法の場合、分断された前記配線パターン12を、例えばx2方向に走査して観察する必要があるため、検出に時間を要する問題が生じていた。

【0016】

そこで、本発明では、上記の問題を解決した、新規で有用な半導体装置、デバイス形成基板、配線接続試験方法、および半導体装置の製造方法を提供することを目的としている。

【0017】

本発明の具体的な課題は、基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することである。

40

【課題を解決するための手段】

【0018】

本発明の第1の観点では、上記の課題を、基板と、前記基板上に形成された半導体デバイスと、前記基板上に形成された、電子線が照射されることで配線接続の試験を行う、電子線照射領域を含む配線接続試験構造と、を有する半導体装置であって、前記配線接続試験構造は、前記基板上に形成された絶縁層と、前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第1のパターン配線と、前記第1のパターン配線の下層に形成された、前記第2のパターン配線と、前記第1のパターン配線と、前記第2のパターン配線の下層に形成された、前記第2のパターン配線に接続される第

50

3のパターン配線と、前記第3のパターン配線の上層に形成された、当該第3のパターン配線と接続され、前記電子線照射領域を有する第4のパターン配線と、を有することを特徴とする半導体装置により、解決する。

【0019】

当該半導体装置は、前記基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することが可能な構造を有している。

【0020】

また、本発明の第2の観点では、上記の課題を、基板と、前記基板上に形成された半導体デバイスと、前記基板上に形成された、電子線が照射されることで配線接続の試験を行う、電子線照射領域を含む配線接続試験構造と、を有するデバイス形成基板であって、前記配線接続試験構造は、前記基板上に形成された絶縁層と、前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第1のパターン配線と、前記第1のパターン配線の下層に形成された、前記第1のパターン配線よりも短い複数の第2のパターン配線と、前記第2のパターン配線の下層に形成された、前記第2のパターン配線に接続される第3のパターン配線と、前記第3のパターン配線の上層に形成された、当該第3のパターン配線と接続され、前記電子線照射領域を有する第4のパターン配線と、を有することを特徴とするデバイス形成基板により、解決する。

【0021】

当該デバイス形成基板は、前記基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することが可能な構造を有している。

【0022】

また、本発明の第3の観点では、上記の課題を、基板上に形成された、電子線照射領域を含む配線接続試験構造を用いた配線接続試験方法であって、前記配線接続試験構造は、前記基板上に形成された絶縁層と、前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第1のパターン配線と、前記第1のパターン配線の下層に形成された、前記第2のパターン配線に接続される第3のパターン配線と、前記第3のパターン配線の上層に形成された、当該第3のパターン配線と接続され、前記電子線照射領域を有する第4のパターン配線と、を有し、前記第1のパターン配線に電子線を放射して二次電子の放出を調べる第1の工程と、前記第4のパターン配線に電子線を放射して二次電子の放出を調べる第2の工程と、を有することを特徴とする配線接続試験方法により、解決する。

【0023】

当該配線接続試験方法によれば、基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することが可能となる。

【0024】

また、本発明の第4の観点では、上記の課題を、前記配線接続試験方法を用いた半導体装置の製造方法であって、前記基板上に半導体デバイスを形成する工程と、前記基板上に前記配線接続試験構造を形成する工程と、前記配線接続試験方法により、配線接続試験を実施する工程と、前記配線接続試験の結果に対応して、前記半導体デバイスを形成する工程を制御するフィードバック工程と、を有することを特徴とする半導体装置の製造方法により、解決する。

【0025】

当該半導体装置の製造方法によれば、基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することが可能である。

【発明の効果】

【0026】

本発明によれば、基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することが可能となる。

【発明を実施するための最良の形態】

【 0 0 2 7 】

次に、本発明の実施の形態を図面に基づき、説明する。

【 実施例 1 】

【 0 0 2 8 】

図 3 A は、本発明の実施例 1 による配線接続の試験方法の原理を説明する、配線パターンを模式的に示した断面図であり、図 3 B はその等価回路図である。

【 0 0 2 9 】

図 3 A を参照するに、本図に示す配線パターンでは、例えば S_i よりなる基板 S_1 上に形成された、絶縁層 D_1 に、周囲を絶縁層 D_1 に絶縁され、一面の表面が露出した配線パターン L_1 が形成されている。また、当該配線パターン L_1 は、接地された基板 S_1 に容量結合している。

10

【 0 0 3 0 】

ここで、前記配線パターン L_1 の、露出した表面を、例えば電子顕微鏡などにより観察する場合には、当該表面に電子線が放射され、当該表面から放射される二次電子を捉えることで、配線表面の画像を形成することができる。この場合、当該配線パターン L_1 がチャージアップすると、当該表面より放出される二次電子の量が変化し、いわゆるボルテージコントラスト (VC) が発生して画像の濃度が著しく変化する。この場合、当該配線パターン L_1 がチャージアップするまでに必要な電子線の照射量は、当該配線パターン L_1 の容量 C_1 に依存している。

【 0 0 3 1 】

20

本発明では、このような VC の発生の状態の変化を用いて配線パターンの短絡の有無を検出する。例えば、本発明では、周囲を絶縁されて電氣的にフローティングである、容量の異なる複数の配線を形成し、VC の発生の有無を調べることで、当該複数の配線パターンの間の短絡を、速やかに、効率よく検出することを可能としている。

【 0 0 3 2 】

図 4 A は、本発明による配線接続試験構造の原理を説明する、配線パターンを模式的に示した別の断面図であり、図 4 B はその等価回路図である。

【 0 0 3 3 】

図 4 A を参照するに、本図に示す配線パターンでは、例えば S_i よりなる基板 S_2 上に形成された、絶縁層 D_2 に、周囲を絶縁層 D_2 に絶縁され、一面の表面が露出した、それぞれ容量の異なる配線パターン L_2 、および L_3 が形成されている。また、当該配線パターン L_2 、 L_3 は、それぞれ接地された基板 S_2 に容量結合している。

30

【 0 0 3 4 】

ここで、例えば、前記配線パターン L_2 の、露出した表面を、例えば電子顕微鏡などにより観察する場合、例えば当該配線パターン L_2 を長手方向に電子顕微鏡で観察してくと、所定の位置に到達した時点で、当該配線パターン L_2 がチャージアップし、VC が発生して画像の濃度が著しく変化する点が存在することが確認できる。

【 0 0 3 5 】

この場合、例えば、前記配線パターン L_2 と、前記配線パターン L_3 が、例えば短絡欠陥 LP_1 にて短絡される欠陥が生じていると、配線パターンの容量が変化するために、VC が発生する点に変化する。本発明では、このような現象を用いて配線パターンが短絡した箇所を検出している。

40

【 0 0 3 6 】

図 4 B は、前記配線パターン L_2 と前記配線パターン L_3 が短絡している場合の等価回路図であるが、この場合に、配線パターンの表面電位は、電子線の照射量と、配線パターン L_2 の容量 C_2 、配線パターン L_3 の容量 C_3 に依存する。

【 0 0 3 7 】

すなわち、前記配線パターン L_2 と L_3 が短絡している場合と、短絡していない場合において、電子線を照射した場合のチャージアップの発生が異なるために VC の発生する状態が異なり、このような VC の発生の状態の相違を利用して速やかに、効率よく配線の欠

50

陥の検証を行うことが可能となっている。

【0038】

このため、本発明による配線接続の試験方法では微細パターンの細部の表面観察を要さないために、微細パターンの配線の欠陥を検出することが容易となり、また、例えば絶縁層が多孔質の場合などに絶縁層内部に形成された配線の短絡の欠陥など、通常の配線表面の観察では検出することが困難な短絡の欠陥を検出することが可能となる。

【0039】

図5は、基板上の絶縁層に形成された配線に対して電子線を照射した場合の、当該配線の表面電位の変化の一般的な傾向を模式的に示した図である。

【0040】

図5を参照するに、本図に示すように、配線の容量が大きい場合には、電子線の照射量（照射時間）に対する配線の表面電位の変化は緩やかであり、一方、配線の容量が小さい場合には、電子線の照射量（照射時間）に対する表面電位の変化が大きく、少ない照射量でチャージアップ状態となってしまう。

【0041】

本発明ではこのように配線容量の違いによる配線の表面電位の変化の違いを、V Cの発生の違いとして捉え、配線の短絡の欠陥を検出している。

【0042】

図6Aは、本実施例による配線接続の試験方法における、配線表面に電子線を照射する場合の照射方法の一例を模式的に示した平面図である。

【0043】

図6Aを参照するに、例えば、配線L0に対して電子線を照射する場合には、図中に矢印で示す方向SC1に沿って、当該配線L0を横断しながら、配線の長手方向に沿って移動するようにして、電子線を順次照射していくようにする。

【0044】

この場合、図6Aの電子線の照射に対応するV Cの発生の状態を、図6Bに、また、当該図6Aの電子線の照射に対応する配線の表面電位の変化を図6Cに、それぞれ模式的に示す。

【0045】

図6B、図6Cを参照するに、前記配線L0を電子顕微鏡で観察することで電子線を照射していくに従い、図6Cに示すように配線の表面電位が変化し、さらに図6Bに示すように配線の長手方向の所定の長さLxに到達した時点でV Cが発生し、観察される画像の濃度（または明暗）が著しく変化する現象が発生する。

【0046】

次に、本発明による配線接続の試験を行うための、具体的な配線接続試験構造の形状の一例を、図7に示す。図7は、本発明の実施例1による配線接続試験構造を模式的に示した平面図である。

【0047】

図7を参照するに、本図に示す配線接続試験構造は、基板上に形成された絶縁層に、電氣的にフローティングであって、その周囲を絶縁された、複数の配線構造が形成されて構成されている。例えば、第1の配線構造は、前記絶縁層に形成された互いに平行な複数の配線パターンLT1よりなり、当該第1の配線構造に対応して形成される第2の配線構造は、当該配線パターンLT1の間に形成された、当該配線パターンLT1より短い、複数の、配線パターンLT2を含む、多層配線構造よりなる。

【0048】

この場合、前記配線パターンLT2は、複数の前記配線パターンLT1の間に形成され、また、当該配線パターンLT1と当該配線パターンLT2が、交互に並んで前記絶縁層に設置されている。また、隣接する前記配線パターンLT1と前記配線パターンLT2とが互いに平行になるように、また、前記配線パターンLT1を挟んで互いに隣接する2つの配線パターンLT2が互いに平行になるように、例えば等しい長さで形成されている。

10

20

30

40

50

【 0 0 4 9 】

ここで、説明の便宜上、前記配線パターン L T 1 または配線パターン L T 2 が延伸する方向（長手方向）を Y 方向とし、当該 Y 方向に直行する方向を X 方向とする。

【 0 0 5 0 】

前記第 2 の配線構造は、前記配線パターン L T 2 に接続される、本図では図示を省略している下層の配線パターンを含み、複数の前記配線パターン L T 2 のうち、前記 x 方向にそって略同一直線上に形成されている複数の配線パターン L T 2 は、当該下層の配線パターンを介して、それぞれ電氣的に接続された構造となっている。すなわち、前記配線パターン L T 2 の下層には、X 方向に延伸する下層の配線パターンが形成されており、当該下層の配線パターンは、X 方向に配列された複数の配線パターン L T 2 を電氣的に接続して

10

【 0 0 5 1 】

ここで、当該配線接続試験構造を用いて配線接続の試験を行う方法の一例としては、以下のようにする。

【 0 0 5 2 】

まず、例えば走査型電子顕微鏡（SEM）を用いて、前記領域 A 1 の、前記配線パターン L T 1 の端部を、X 方向にそれぞれ順次観察し、V C の発生する、または V C の発生状態が他の配線パターンと異なる配線パターンを検出する。

【 0 0 5 3 】

次に、同様に走査型電子顕微鏡を用いて、図中に示す領域 A 2 に形成された前記配線パターン L T 3 を、Y 方向に順次観察し、V C の発生する、または V C の発生状態が他の配線パターンと異なる配線パターンを検出する。

20

【 0 0 5 4 】

これら 2 系統の観察より、配線が短絡している短絡箇所 D E を検出することが可能となる。この場合、短絡が微細なものであっても、また短絡が表面に露出していない場合であっても短絡箇所を速やかに、効率よく検出することが可能である。

【 0 0 5 5 】

図 8 A は、図 7 に示した配線接続試験構造の A 0 部を拡大した平面図である。

【 0 0 5 6 】

前記配線パターン L T 1 を挟んで、前記配線パターン L T 2 と、配線パターン L T 3 が対向するように形成され、さらに前記配線パターン L T 2 と前記配線パターン L T 3 は、当該配線パターン L T 2 と当該配線パターン L T 3 の下層の配線パターンである配線パターン L B 1 により接続される構造になっている。なお、当該配線パターン L B 1 は、図 7 では図示を省略している。

30

【 0 0 5 7 】

この場合、前記配線パターン L B 1 と前記配線パターン L T 2、また、前記配線パターン L B 1 と前記配線パターン L B 3 は、本図では図示を省略しているビアプラグによって電氣的に接続されている。すなわち、前記配線パターン L B 1、L T 2、L T 3 が第 2 の配線構造 L S T 2 を構成し、前記配線パターン L T 1 が第 1 の配線パターン L S T 1 を構成し、共に基板上に形成された絶縁層に、電氣的に絶縁された、フローティングの状態

40

【 0 0 5 8 】

図 8 B を参照するに、前記第 1 の配線構造 L S T 1 および前記第 2 の配線構造 L S T 2 は、例えば S i よりなる基板 S u b 1 上に形成された絶縁層 D 1 中に、周囲を当該絶縁層 D 1 により絶縁されて、実質的に電氣的にフローティングの状態

【 0 0 5 9 】

また、前記配線パターン L B 1 と前記配線パターン L T 2、また、前記配線パターン L B 1 と前記配線パターン L B 3 は、ビアプラグ B P によって電氣的に接続されている。

【 0 0 6 0 】

50

また、例えば、前記基板 S u b 1 と前記絶縁層 D 1 の間には、導電性の材料からなる導電層 M L 1 が形成されていてもよい。この場合、前記配線パターン L B 1 は、前記導電層 M L 1 に容量結合する構造になっている。

【 0 0 6 1 】

例えば、前記導電層 M L 1 は、シリサイド膜であると当該導電層 M L 1 を容易に形成することができる。また、当該導電膜 M L 1 は、例えば C o シリサイドなど、金属のシリサイド膜であってもよい。また、例えば C o シリサイドなどの金属シリサイド膜は、後述するように、基板上に M O S トランジスタを形成する場合のソース領域またはドレイン領域上のシリサイド膜を形成する場合に同時に形成することも可能である。

【 実施例 2 】

【 0 0 6 2 】

次に、実施例 1 に記載したような配線接続試験構造を、例えば半導体デバイスが形成される半導体基板上に形成する場合の構造の詳細の一例を、図 9 以下に示す。

【 0 0 6 3 】

図 9 は、半導体基板上に形成された実施例 2 による配線接続試験構造 1 0 0 の概要を模式的に示す平面図である。

【 0 0 6 4 】

図 9 を参照するに、本実施例による配線接続試験構造は、図 7 に示した配線接続試験構造と同様の構造を含み、本図では図示を省略する絶縁層に形成された配線パターンを有している。当該配線パターンは、図中に示した、一面が露出した配線パターンである複数の上層配線パターン 1 t と、当該上層配線パターンの下層に形成された、下層配線パターン 1 b とによって構成されている。

【 0 0 6 5 】

また、複数形成される、前記上層配線パターン 1 t と前記下層配線パターン 1 b のうちの一部によって、図 8 A ~ 図 8 B に示した配線接続構造 L S T 1 に相当する配線接続構造が構成され、また、他の上層配線パターン 1 t と下層配線パターン 1 b によって、図 8 A ~ 図 8 B に示した配線接続構造 L S T 2 に相当する配線接続構造が構成される。

【 0 0 6 6 】

また、領域 a 2 は、図 7 の領域 A 1 に相当し、電子線が照射されて V C が検出される領域であり、また、領域 a 3 は、図 7 の領域 A 2 に相当し、電子線が照射されて V C が検出される領域である。また、領域 a 1 には、図 7 に示した配線パターン L T 1、L T 2 に相当する配線パターンが、前記上層配線パターン 1 t により、図 7 の場合と同様に形成されている。本図に示す配線接続試験構造では、図 7 に示した場合と同様にして配線接続の試験を行って配線パターンの短絡箇所を検出することが可能となっている。また、説明の便宜上、前記上層配線 1 t が延伸する方向を y 方向、当該 y 方向と直行する、前記下層配線 1 b が延伸する方向を x 方向とする。

【 0 0 6 7 】

図 1 0 は、図 9 に示した前記配線接続試験構造の一部を抽出して拡大した図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 6 8 】

図 1 0 を参照するに、複数形成される前記上層配線パターン 1 t のうち、前記 x 方向に延伸した長さが、最も長い、互いに平行な 2 つの配線パターン 1 t 1 は、その一方の端部において、ビアプラグ配線 b p 1 によって、前記下層配線パターン 1 b である配線パターン 1 b 1 と接続されている。さらに当該配線パターン 1 t 1 のもう一方の端部には、電子顕微鏡によって V C の変化が検出される領域である領域 a 1 が形成され、当該領域 a 1 の近傍において、さらにビアプラグ配線 b p 1 によってさらに別のパターン配線 1 b 1 と接続されている。すなわち、2 つの前記パターン配線 1 t 1 は、ビアプラグ配線 b p 1 によって、2 つのパターン配線 1 b 1 とそれぞれ接続される構造になっており、これらの配線パターンとビアプラグが、配線構造 S T 1 を構成している。この場合、例えば前記配線パターン 1 t 1 は、幅 (x 方向の大きさ) が 1 0 0 n m、長さ (y 方向の大きさ) が 1 3 0

10

20

30

40

50

0 μm であり、前記配線パターン1 b 1は、幅(y方向の大きさ)が2.5 μm 、長さ(x方向の大きさ)が20 μm である。前記配線パターン1 b 1は、絶縁層の下層にある基板(または基板上に形成された導電膜)と容量結合している。

【0069】

一方、前記上層配線パターン1 tとして、前記配線パターン1 t 1より短い、いわゆる短冊上に形成された配線パターンが形成されている。例えば、前記配線パターン1 b 1を挟んで、対向するように、2つの配線パターン1 t 2が、それぞれ配線パターン1 t 1の近傍に形成されている。

【0070】

また、前記下層配線パターン1 bのうちで、前記配線パターン1 t 2に接続される、配線パターン1 b 2は、ビアプラグb p 2によって前記配線パターン1 t 2に接続され、平面視した場合に、当該配線パターン1 t 2と直交するようにして、x方向に延伸するようにして形成されている。さらに、当該配線パターン1 b 2は、そのx方向の一の端部において、上層配線パターンである配線パターン1 t 3と、ビアプラグb p 3によって接続されている。当該配線パターン1 t 3は、VCの検出領域である、前記領域a 2に、y方向に配列するように形成され、電子顕微鏡観察によってVCの状態の変化が検出される。このように、前記配線パターン1 t 2、1 b 2、ビアプラグb p 2、b p 3によって配線構造S T 2が構成されている。

【0071】

この場合、例えば前記配線パターン1 t 2は、幅(x方向の大きさ)が100 nm、長さ(y方向の大きさ)が10 μm 、前記配線パターン1 t 3は、幅(x方向の大きさ)が1.88 μm 、長さ(y方向の大きさ)が10 μm であり、前記配線パターン1 b 2は、幅(y方向の大きさ)が200 nm、長さ(x方向の大きさ)が1000 μm であり、前記ビアプラグb p 1、b p 2、b p 3の直径は100 nmである。前記配線パターン1 b 2は、絶縁層の下層にある基板(または基板上に形成された導電膜)と容量結合している。

【0072】

上記に示した本実施例による配線接続試験構造において、前記配線構造S T 2の有する静電容量は、前記配線接続試験構造S T 1の有する静電容量の略10倍となる。

【0073】

また、図11A、図11B、および、図11Cには、図10の、それぞれB-B断面、C-C断面、およびD-D断面を、それぞれ示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0074】

図11A~図11Cを参照するに、前記配線構造S T 1を構成する配線パターンやビアプラグ、および前記配線構造S T 2を構成する配線パターンやビアプラグは、例えばSiなどの半導体材料よりなる基板S u b上の絶縁層d 1~絶縁層d 3に形成されている。すなわち、前記基板S u b上には絶縁層d 1が形成され、当該絶縁層d 1上に積層された絶縁層d 2に、前記配線パターン1 b 1、1 b 2がパターンニングされて形成され、さらに当該絶縁層d 2上に積層された絶縁層d 3に、前記配線パターン1 b 1、1 b 2と、ビアプラグb p 1、b p 2、b p 3が形成されている。

【0075】

また、前記基板上には、例えばC oシリサイドよりなる導電膜mが形成されていてもよい。この場合、前記パターン配線1 b 1、1 b 2は、当該導電膜mを介して前記基板S u bと容量結合する。

【0076】

ここで、本実施例による配線接続試験構造100を用いて配線接続試験を行う方法の具体的な一例について、以下に説明する。

【0077】

本実施例においては、前記配線パターン1 t 1と、前記配線パターン1 t 2の間の配線

10

20

30

40

50

欠陥（配線の短絡）を検出することができる。

【0078】

まず、例えば、Extracting Fieldの観察条件に設定された走査型電子顕微鏡により、最小分解能100nm(pixel)、電子線電流100nAの条件で、図9、図10に示した領域a2の前記配線パターン1t1の一端において、y方向の長さ75nmにわたってVC検査を、それぞれ複数の配線パターン1t1に対して順次実施する。この場合、設定の一例として、前記配線構造ST1が、短絡箇所を有していない場合に、当該配線パターン1t1に75pixel(x方向100nm、y方向7.5μm)電子線が照射されると電子顕微鏡の画像のコントラストが反転するように設定すると好適である。

10

【0079】

上記の設定の場合、前記配線構造ST1が短絡箇所を有していない場合、実質的には前記配線パターン1t1と前記配線パターン1t2が短絡していない場合、前記領域a2のVCの状態は、図12Aに示すように暗い領域が多く、また短絡欠陥がある場合は、図12Bに示すように明るい領域が多くなっている。そのため、複数の配線パターン1t1のうち、短絡欠陥を有する配線パターンを特定すること、すなわち短絡欠陥のx方向の座標を特定することができる。

【0080】

同様に、次に、領域a3において、複数の前記配線パターン1t3に対して同様のVC検査を行う。この場合、前記配線構造ST1と配線構造ST2の静電容量の差より、配線パターンに短絡欠陥が無い場合には、図13Aに示すように、前記配線パターン1t3に対して750pixel(x方向1.88μm、y方向4μm)電子線が走査すると、電子顕微鏡の画像のコントラストが反転する。また、x方向に延伸する前記配線パターン1b2に接続される前記配線パターン1t2は複数存在するため、配線の短絡箇所の個数に対応して、コントラストの反転位置が変化する。例えば、1箇所短絡欠陥がある場合には、図13Bに示すように、75pixel分、(x方向1.88μm、y方向0.4μm)だけコントラストの反転位置が移動し、さらに短絡箇所がある場合にはその個数に応じてさらにコントラストの反転位置が移動し、欠陥位置のy座標が特定される。

20

【0081】

これらのVC検査の結果より、配線の短絡の欠陥が生じている箇所を検出することができる。

30

【0082】

本実施例によれば、基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することが可能となる。特に、従来は検出することが困難であった、配線パターンや絶縁層の表面上に観察される欠陥の形状が微細である場合や、配線パターンや絶縁層の表面上に現れない短絡欠陥を、速やかに検出することが可能となる効果を奏する。

【0083】

特に、近年、層間絶縁層として用いられることが多くなっている低誘電率材料よりなる絶縁層は、機械的強度が弱く、内部に微細な空孔や亀裂などの欠陥が生じやすく、配線パターンを形成した場合に短絡欠陥が生じやすい問題があった。本実施例では、このような表面に現れない、絶縁層内部に形成された短絡欠陥を容易に、また速やかに検出することが可能となる。このような低誘電率材料としては、例えば、SiC、SiCO、SiCO(H)などのシリコンと炭素を含む材料がある。このような低誘電率膜は、塗布法によって、またはCVD法などによって形成される。

40

【0084】

また、低誘電率材料としては、内部が多孔質である多孔質材料を用いてもよい。これは、絶縁層内部を多孔質構造とすることで、誘電率の低下を図ったものである。この場合、当該多孔質に配線パターンの短絡欠陥などが形成されることがあり、またこのような短絡欠陥は絶縁層や配線パターンの表面に現れないため、発見することが困難であった。本実施例ではこのような多孔質材料よりなる絶縁層に形成された配線パターンの短絡欠陥を容

50

易に、また速やかに検出することが可能となる。

【実施例 3】

【0085】

また、実施例 1 ~ 実施例 2 に示した配線接続試験構造は、例えば半導体デバイスが形成された半導体基板の上に形成し、半導体装置を構成するようにしてもよい。この場合、当該半導体装置の配線の接続状態を調べるために用いることができる。例えば、当該配線接続試験構造は、当該半導体デバイスに接続される多層配線構造を形成する工程において同時に形成することも可能である。

【0086】

図 14 は、実施例 3 による、配線接続試験構造を有する半導体装置を模式的に示した断面図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

10

【0087】

図 14 を参照するに、本実施例による半導体装置 100A では、図 9 ~ 図 10 に示した配線接続試験構造 100 が形成された基板 Sub 上に、以下に示すように、MOS トランジスタ Tr が形成された構造を有している。但し、本図では前記配線接続試験構造 100 の一部のみを記載し、他の部分の図示を省略している。

【0088】

前記基板 Sub 上の、例えば STI により形成された素子分離絶縁 105 により分離された素子形成領域に、不純物拡散層よりなるソース領域 104a と、ドレイン領域 104b が、チャンネル領域を挟んで対向するように形成されている。当該チャンネル領域上にはゲート絶縁膜 101 上に形成されたゲート電極 102 が設置されており、当該ゲート電極の側壁には絶縁膜 103 が形成されている。また、前記ソース領域 104a 上、およびドレイン領域 104b 上には、それぞれ Co シリサイド層 ma、および Co シリサイド層 mb が形成され、さらのそれぞれの Co シリサイド層に接続される、例えばタングステンよりなるコンタクトプラグ 106 が、前記絶縁層 d1 中に形成されている。

20

【0089】

前記コンタクトプラグ 106 は、前記絶縁層 d2 中に形成された、例えば Cu または Al よりなるパターン配線 107 に接続され、さらに当該配線パターン 107 は、前記絶縁層 d3 中に形成された、例えば Cu よりなるビアプラグ 107 および配線パターン 109 に接続される構造になっている。

30

【0090】

この場合、前記 Co シリサイド層 ma、mb は、前記導電層 m と同時に形成することが可能であり、また、前記パターン配線 107 は、前記パターン配線 lb1、lb2 と、また、前記ビアプラグ 108 は、前記ビアプラグ bp1、bp2、bp3 と、また、前記パターン配線 109 は、前記パターン配線 lt1、lt2、lt3 と、同じ工程において形成することも可能である。また、これらは別々の工程において形成してもよい。

【0091】

また、例えば上記に示した MOS トランジスタ Tr などの半導体デバイスや、前記配線接続試験構造 100 は、前記基板 Sub 上の様々な位置に、必要におうじて様々に配置することが可能である。

40

【0092】

例えば、図 15A は、前記シリコン基板 Sub の全体の平面図を示すが、前記配線接続試験構造 100 は、当該シリコン基板 Sub 上の様々な位置に形成することができる。例えば、前記配線接続試験構造 100 は、半導体デバイスなどが形成されることのない周縁部に形成するなどすると好適である。また、図 15B は、前記基板 Sub 上の領域 SA の拡大図であるが、例えば前記基板 Sub 上には、半導体デバイスなどが形成されるデバイス形成領域 DV と、当該デバイス領域 DV を分離し、かつ当該デバイス領域 DV を切り離す場合のスクライプラインとなるライン SC が存在する。例えば、前記配線接続試験構造 100 は、前記デバイス領域 DV に形成してもよいが、例えば前記スクライプライン SC

50

に形成してもよい。

【0093】

前記スクライブラインSCに前記配線接続試験構造100を形成した場合には、前記デバイス領域DVが切り離されて半導体装置にパッケージングされるにあたって、前記配線接続試験構造100は、切削（削除）される。

【実施例4】

【0094】

また、実施例3に示した半導体装置100Aの製造方法の一例を、図16に示す。

【0095】

図16を参照するに、まず、ステップ1において、図14に示す基板Sub上に、前記MOSトランジスタTrを、定法により形成する。

【0096】

次に、ステップ2aにおいて、前記MOSトランジスタTrに接続される多層配線構造である、前記配線パターン107、109、前記ビアプラグ108を形成する。また、ステップ2bにおいて、配線接続試験構造の前記パターン配線lb1、lb2、lt1、lt2、lt3、ビアプラグbp1、bp2、bp3、などを形成する。また、当該多層配線構造と、当該配線接続試験構造は、同時に形成してもよい。

【0097】

次に、ステップ3において、実施例2に記載したようにして、配線接続の試験を行い、配線の短絡欠陥を確認し、その後、ステップ4で必要に応じて、パッケージングなどの処理を行い、半導体装置の製造を完了する。

【0098】

また、この場合、多数の半導体基板を用いて、半導体装置を形成する場合の方法の一例を、図17に示す。

【0099】

図17を参照するに、まず、半導体デバイスと多層配線構造の製造ラインP1において、図14に示したMOSトランジスタTrなどの半導体デバイスと多層配線構造、および配線接続試験構造を基板上に形成する。

【0100】

次に、半導体デバイスと配線接続試験構造が形成された基板を配線接続試験ラインT1に搬送し、例えば走査型電子顕微鏡を用いて、実施例2に記載したようにして、基板上に形成された配線パターンの短絡欠陥の検出を行う。また、検出結果は制御装置C1に送られて、当該制御装置C1によって、当該検出結果に対応した前記製造ラインP1の制御を行う。この場合、当該制御の一例としては、例えば配線パターンを形成するための製造プロセスの条件を変更し、配線パターンの短絡欠陥が抑制される条件となるようなフィードバック制御が相当する。

【0101】

また、配線接続の試験方法は、必ずしも半導体デバイスが形成された全ての基板に対して実施する必要な無く、所定の基板を選択して実施してもよい。また、例えば半導体デバイスが形成された基板の中に、所定の枚数の配線接続試験構造が形成された基板を含むようにして、当該配線接続試験構造が形成された基板に対してのみ配線接続試験を実施するようにしてもよい。この場合、当該配線接続試験構造が形成された基板は、配線接続試験のための専用の基板としてもよく、必ずしも半導体デバイスが形成されていることを要しない。

【0102】

以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0103】

（付記1） 基板と、

10

20

30

40

50

前記基板上に形成された半導体デバイスと、
 前記基板上に形成された、電子線が照射されることで配線接続の試験を行う、電子線照射領域を含む配線接続試験構造と、を有する半導体装置であって、
 前記配線接続試験構造は、
 前記基板上に形成された絶縁層と、
 前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第1のパターン配線と、
 前記第1のパターン配線の間に形成された第2のパターン配線と、
 前記第2のパターン配線の下層に形成された、前記第2のパターン配線に接続される第3のパターン配線と、
 前記第3のパターン配線の上層に形成された、当該第3のパターン配線と接続され、前記電子線照射領域を有する第4のパターン配線と、を有することを特徴とする半導体装置。

10

【0104】

(付記2) 前記第3のパターン配線は、前記第1のパターン配線と直交する方向に形成されることを特徴とする付記1記載の半導体装置。

【0105】

(付記3) 隣接する2つの前記第1のパターン配線の間には、複数の前記第2のパターン配線が形成されることを特徴とする付記1または2記載の半導体装置。

【0106】

(付記4) 前記複数の第2のパターン配線に対応して、それぞれ、複数の前記第3のパターン配線、および複数の前記第4のパターン配線がそれぞれ形成されていることを特徴とする付記3記載の半導体装置。

20

【0107】

(付記5) 前記第3のパターン配線には、複数の前記第2のパターン配線が接続されることを特徴とする付記1乃至4のうち、いずれか1項記載の半導体装置。

【0108】

(付記6) 前記第1のパターン配線と、互いに接続される前記第2のパターン配線と前記第3のパターン配線が、それぞれ前記基板に容量結合していることを特徴とする付記1乃至5のうち、いずれか1項記載の半導体装置。

30

【0109】

(付記7) 前記第1のパターン配線の静電容量が、互いに接続される前記第2のパターン配線と前記第3のパターン配線の静電容量より小さいことを特徴とする付記6記載の半導体装置。

【0110】

(付記8) 前記基板上には導電膜が形成され、前記第1のパターン配線と、互いに接続される前記第1のパターン配線と前記第3のパターン配線は、それぞれ当該導電膜を介して前記基板に容量結合することを特徴とする付記6または7記載の半導体装置。

【0111】

(付記9) 前記導電膜は金属シリサイド膜であることを特徴とする付記8記載の半導体装置。

40

【0112】

(付記10) 前記第1のパターン配線の下層には、複数の前記第1のパターン配線を互いに接続する第4のパターン配線が形成されていることを特徴とする付記1乃至9のうち、いずれか1項記載の半導体装置。

【0113】

(付記11) 前記絶縁層は、多孔質材料よりなることを特徴とする付記1乃至10のうち、いずれか1項記載の半導体装置。

【0114】

(付記12) 基板と、

50

前記基板上に形成された半導体デバイスと、
 前記基板上に形成された、電子線が照射されることで配線接続の試験を行う、電子線照射領域を含む配線接続試験構造と、を有するデバイス形成基板であって、
 前記配線接続試験構造は、
 前記基板上に形成された絶縁層と、
 前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第1のパターン配線と、
 前記第1のパターン配線の間形成された第2のパターン配線と、
 前記第2のパターン配線の下層に形成された、前記第2のパターン配線に接続される第3のパターン配線と、
 前記第3のパターン配線の上層に形成された、当該第3のパターン配線と接続され、前記電子線照射領域を有する第4のパターン配線と、を有することを特徴とするデバイス形成基板。

10

【0115】

(付記13) 前記配線接続試験構造は、前記基板上のスクライブラインに形成されることを特徴とする付記12記載のデバイス形成基板。

【0116】

(付記14) 基板上に形成された、電子線照射領域を含む配線接続試験構造を用いた配線接続試験方法であって、

20

前記配線接続試験構造は、
 前記基板上に形成された絶縁層と、
 前記絶縁層に、互いに平行になるように形成された、前記電子線照射領域を有する複数の第1のパターン配線と、
 前記第1のパターン配線の間形成された第2のパターン配線と、
 前記第2のパターン配線の下層に形成された、前記第2のパターン配線に接続される第3のパターン配線と、
 前記第3のパターン配線の上層に形成された、当該第3のパターン配線と接続され、前記電子線照射領域を有する第4のパターン配線と、を有し、
 前記第1のパターン配線に電子線を放射して二次電子の放出を調べる第1の工程と、
 前記第4のパターン配線に電子線を放射して二次電子の放出を調べる第2の工程と、を

30

【0117】

(付記15) 前記第3のパターン配線は、前記第1のパターン配線と直交する方向に形成されることを特徴とする付記14記載の配線接続試験方法。

【0118】

(付記16) 隣接する2つの前記第1のパターン配線の間には、複数の前記第2のパターン配線が形成されることを特徴とする付記14または15記載の配線接続試験方法。

【0119】

(付記17) 前記複数の第2のパターン配線に対応して、それぞれ、複数の前記第3のパターン配線、および複数の前記第4のパターン配線がそれぞれ形成されていることを特徴とする付記16記載の配線接続試験方法。

40

【0120】

(付記18) 前記第1の工程では、複数の前記第1のパターン配線に対して順次電子線を放射して二次電子の放出を調べることを特徴とする付記14乃至17記載の配線接続試験方法。

【0121】

(付記19) 前記第2の工程では、複数の前記第4のパターン配線に対して順次電子線を放射して二次電子の放出を調べることを特徴とする付記17記載の配線接続試験方法。

【0122】

50

(付記20) 付記14乃至19のうち、いずれか1項記載の配線接続試験方法を用いた半導体装置の製造方法であって、

前記基板上に半導体デバイスを形成する工程と、

前記基板上に前記配線接続試験構造を形成する工程と、

前記配線接続試験方法により、配線接続試験を実施する工程と、

前記配線接続試験の結果に対応して、前記半導体デバイスを形成する工程を制御するフィードバック工程と、を有することを特徴とする半導体装置の製造方法。

【産業上の利用可能性】

【0123】

本発明によれば、基板上に形成された配線パターンの欠陥を、速やかに、効率良く検出することが可能となる。

【図面の簡単な説明】

【0124】

【図1】配線の短絡箇所特定のための従来のテストパターンの一例を示す図(その1)である。

【図2】配線の短絡箇所特定のための従来のテストパターンの一例を示す図(その2)である。

【図3A】実施例1による配線接続の試験方法の原理を説明する図(その1)である。

【図3B】図3Aの等価回路を示す図である。

【図4A】実施例1による配線接続の試験方法の原理を説明する図(その2)である。

【図4B】図4Aの等価回路を示す図である。

【図5】基板上の絶縁層に形成された配線に対して電子線を照射した場合の、当該配線の表面電位の変化の一般的な傾向を模式的に示した図である。

【図6A】配線表面に電子線を照射する方法の一例を模式的に示した平面図である。

【図6B】図6Aの電子線の照射に対応するV_Cの発生の状態を示す図である。

【図6C】図6Aの電子線の照射に対応する配線の表面電位の変化を示す図である。

【図7】実施例1による配線接続試験構造を模式的に示した平面図である。

【図8A】図7に示した配線接続試験構造の一部を拡大した平面図である。

【図8B】図8Aの断面図である。

【図9】実施例2による配線接続試験構造の概要を模式的に示す平面図である。

【図10】図9に示した前記配線接続試験構造の一部を抽出して拡大した図である。

【図11A】図10の断面図(その1)である。

【図11B】図10の断面図(その2)である。

【図11C】図10の断面図(その3)である。

【図12A】配線パターンのV_Cの状態を示す図(その1)である。

【図12B】配線パターンのV_Cの状態を示す図(その2)である。

【図13A】配線パターンのV_Cの状態を示す図(その3)である。

【図13B】配線パターンのV_Cの状態を示す図(その4)である。

【図14】実施例3による、配線接続試験構造を有する半導体装置を模式的に示した断面図である。

【図15A】シリコン基板全体の平面図である。

【図15B】図15Aの一部拡大図である。

【図16】図14に示した半導体装置の製造方法の一例を示す図である。

【図17】多数の半導体基板を用いて、半導体装置を形成する場合の方法の一例を示す図である。

【符号の説明】

【0125】

1, 10, 100 配線接続試験構造

100A 半導体装置

2, 3, 11, 12, L1, L2, L3, L0, LT1, LT2, LT3, LB1, 1

10

20

30

40

50

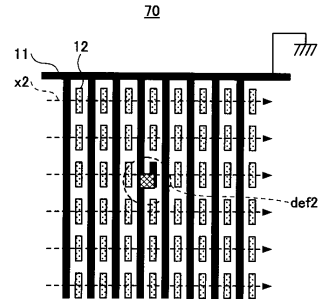
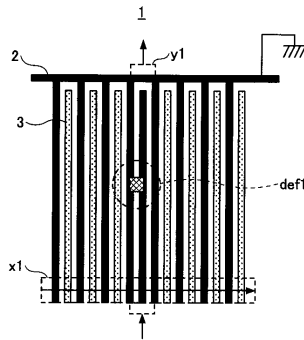
- t, lb, lt1, lt2, lt3, lb1, 107, 109 配線パターン
- bp1, bp2, bp3, 108 ピアプラグ
- D1, D2, d1, d2, d3 絶縁層
- ST1, ST2, LST1, LST2 配線構造
- Sub, Sub1, Sub2 基板
- 105 素子分離絶縁膜
- 104a ソース領域
- 105b ドレイン領域
- 101 ゲート絶縁膜
- 102 ゲート電極
- 106 コンタクトプラグ

【図1】

【図2】

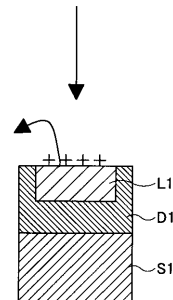
配線の短絡箇所特定のための従来のテストパターンの一例を示す図(その1)

配線の短絡箇所特定のための従来のテストパターンの一例を示す図(その2)



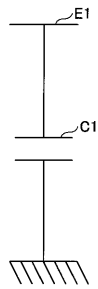
【図3A】

実施例1による配線接続の試験方法の原理を説明する図(その1)



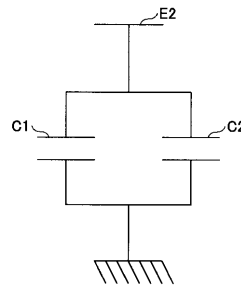
【図3B】

図3Aの等価回路を示す図



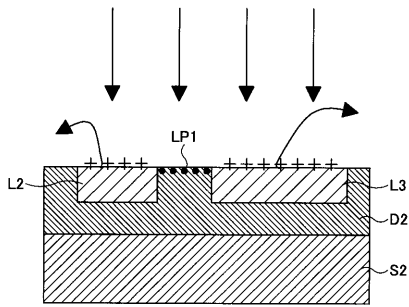
【図4B】

図4Aの等価回路を示す図



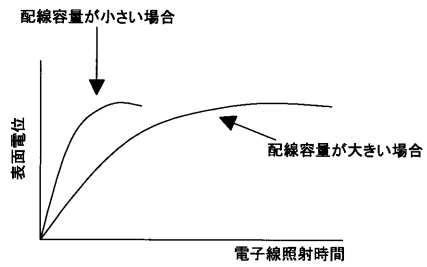
【図4A】

実施例1による配線接続の試験方法の原理を説明する図(その2)



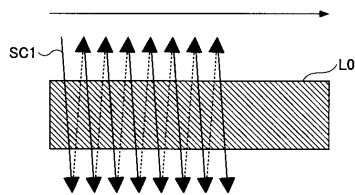
【図5】

基板上の絶縁層に形成された配線に対して電子線を照射した場合の、当該配線の表面電位の変化の一般的な傾向を模式的に示した図



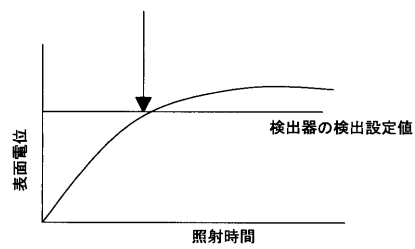
【図6A】

配線表面に電子線を照射する方法の一例を模式的に示した平面図



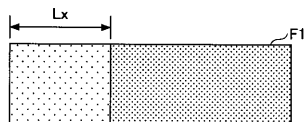
【図6C】

図6Aの電子線の照射に対応する配線の表面電位の変化を示す図



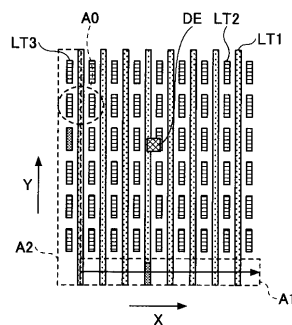
【図6B】

図6Aの電子線の照射に対応するVCの発生状態を示す図



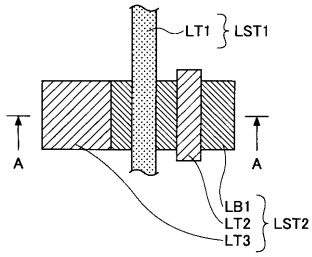
【図7】

実施例1による配線接続試験構造を模式的に示した平面図



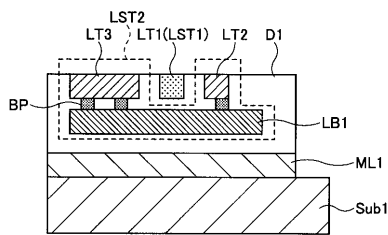
【図8A】

図7に示した配線接続試験構造の一部を拡大した平面図



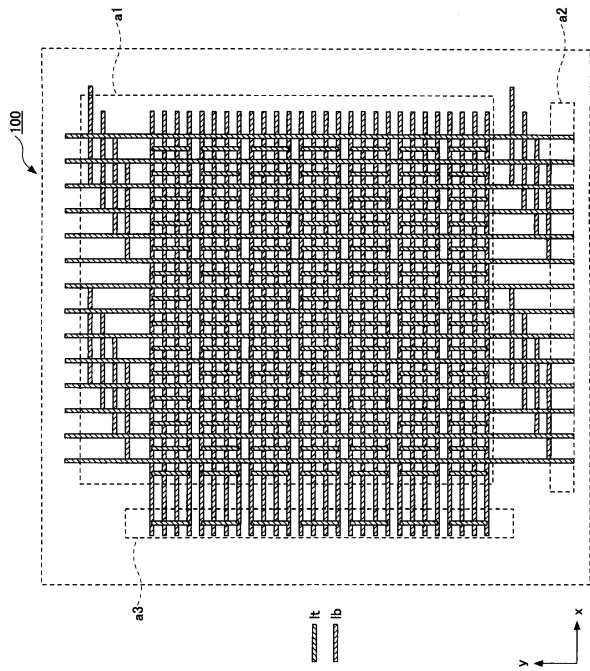
【図8B】

図8Aの断面図



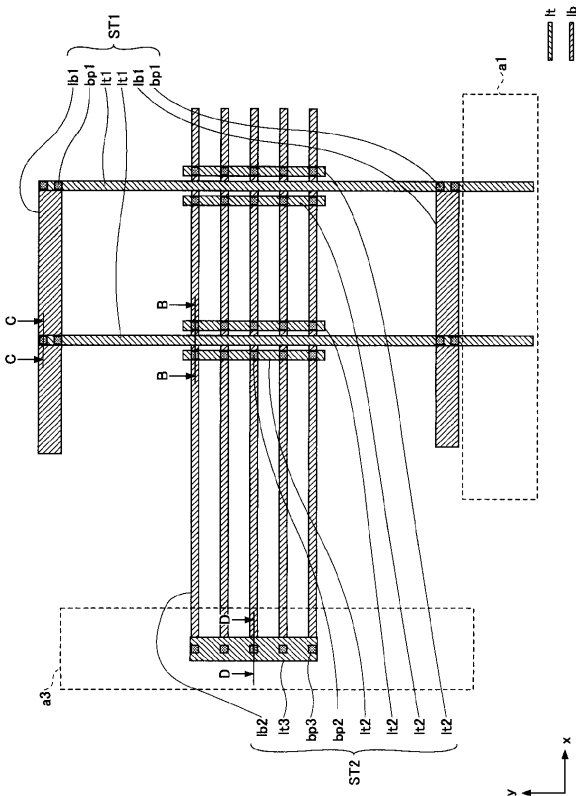
【図9】

実施例2による配線接続試験構造の概要を模式的に示す平面図



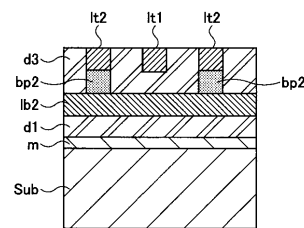
【図10】

図9に示した前記配線接続試験構造の一部を抽出して拡大した図



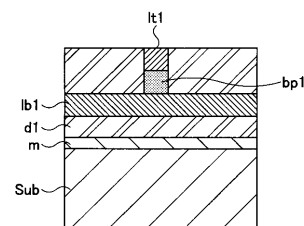
【図11A】

図10の断面図(その1)



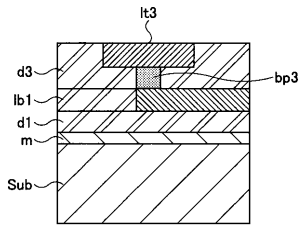
【図11B】

図10の断面図(その2)



【図11C】

図10の断面図(その3)



【図12B】

配線パターンのVCの状態を示す図(その2)



【図12A】

配線パターンVCの状態を示す図(その1)



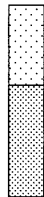
【図13A】

配線パターンVCの状態を示す図(その3)



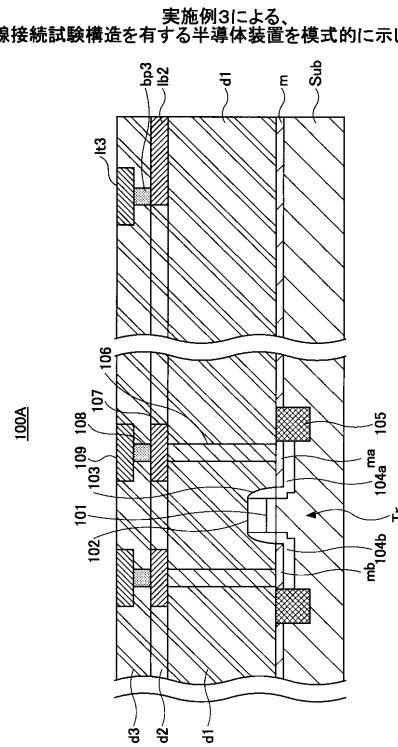
【図13B】

配線パターンVCの状態を示す図(その4)



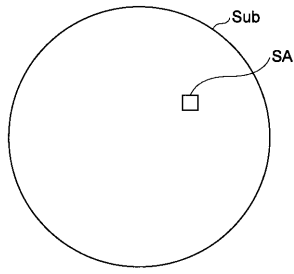
【図14】

実施例3による、配線接続試験構造を有する半導体装置を模式的に示した断面図



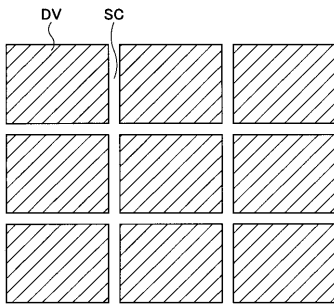
【図15A】

シリコン基板全体の平面図



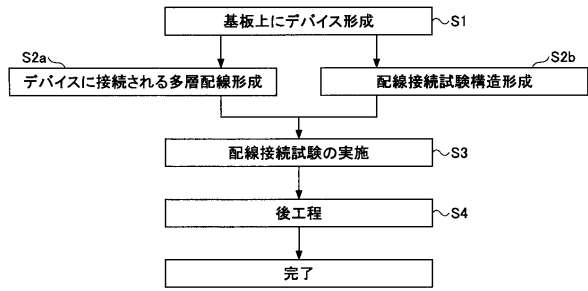
【図15B】

図15Aの一部拡大図



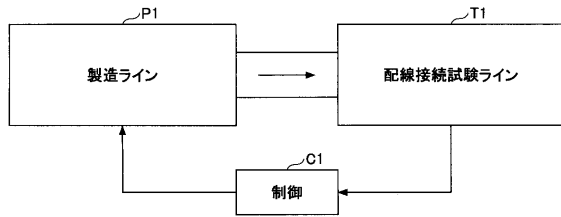
【図16】

図14に示した半導体装置の製造方法の一例を示す図



【図17】

多数の半導体基板を用いて、半導体装置を形成する方法の一例を示す図



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/3205 (2006.01) G 0 1 R 31/28 L
H 0 1 L 23/52 (2006.01)
G 0 1 R 31/302 (2006.01)

(56)参考文献 特開2004-095961(JP,A)
特開2004-111839(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 6 6
G 0 1 N 2 3 / 2 2 5
G 0 1 R 3 1 / 0 2
G 0 1 R 3 1 / 3 0 2
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 3 / 5 2
H 0 1 L 2 7 / 0 4