

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2003-173683(P2003-173683A)

【公開日】平成15年6月20日(2003.6.20)

【出願番号】特願2001-367627(P2001-367627)

【国際特許分類第7版】

G 1 1 C 11/416

G 0 2 F 1/1368

G 0 9 F 9/30

G 0 9 F 9/35

G 1 1 C 11/41

H 0 1 L 21/20

H 0 1 L 21/336

H 0 1 L 21/8238

H 0 1 L 27/08

H 0 1 L 27/092

H 0 1 L 29/786

【F I】

G 1 1 C 11/34 3 3 1

G 0 2 F 1/1368

G 0 9 F 9/30 3 3 8

G 0 9 F 9/35

H 0 1 L 21/20

H 0 1 L 27/08 3 3 1 E

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 4

H 0 1 L 29/78 6 2 7 G

G 1 1 C 11/34 3 4 5

H 0 1 L 27/08 3 2 1 D

【手続補正書】

【提出日】平成16年11月10日(2004.11.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】センスアンプおよびセンスアンプが組み込まれた電子機器

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1及び第2のN M O Sトランジスタと、第1及び第2のP M O Sトランジスタと、スイッチと、第1及び第2の入力端子と、出力端子を有し、

前記第1のN MOSトランジスタは、ゲートが前記第1の入力端子に接続され、ソースが前記第2のN MOSトランジスタのソースに接続され、ドレインが前記第1のPMOSトランジスタのドレインに接続され、

前記第2のN MOSトランジスタは、ゲートが前記第2の入力端子に接続され、ドレインが前記第2のPMOSトランジスタのドレイン及び前記出力端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第1及び第2のN MOSトランジスタのソースは、それぞれ前記スイッチを介して第2の電位に固定され、

前記第1のPMOSトランジスタのゲートとソース間の電圧を、当該第1のPMOSトランジスタのしきい値に相当する電圧にする第1の手段と、

前記第2のPMOSトランジスタのゲートとソース間の電圧を、当該第2のPMOSトランジスタのしきい値に相当する電圧にする第2の手段を有することを特徴とするセンスアンプ。

#### 【請求項2】

第1乃至第3のN MOSトランジスタと、第1及び第2のPMOSトランジスタと、第1及び第2の入力端子と、出力端子を有し、

前記第1のN MOSトランジスタは、ゲートが前記第1の入力端子に接続され、ソースが前記第2のN MOSトランジスタのソースに接続され、ドレインが前記第1のPMOSトランジスタのドレインに接続され、

前記第2のN MOSトランジスタは、ゲートが前記第2の入力端子に接続され、ドレインが前記第2のPMOSトランジスタのドレイン、及び出力端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第1及び第2のN MOSトランジスタのソースは、それぞれ前記第3のN MOSトランジスタを介して第2の電位に固定され、

前記第1のPMOSトランジスタのゲートとソース間の電圧を、当該第1のPMOSトランジスタのしきい値に相当する電圧にする第1の手段と、

前記第2のPMOSトランジスタのゲートとソース間の電圧を、当該第2のPMOSトランジスタのしきい値に相当する電圧にする第2の手段を有することを特徴とするセンスアンプ。

#### 【請求項3】

請求項2において、前記第3のN MOSトランジスタは、ゲートがバイアス電源に接続されていることを特徴とするセンスアンプ。

#### 【請求項4】

請求項1乃至3のいずれか一において、前記第1の手段として、前記第1のPMOSトランジスタのゲートとドレイン間の導通・非導通を制御するスイッチング手段と、前記第1のPMOSトランジスタのゲートに接続されている容量素子が用いられていることを特徴とするセンスアンプ。

#### 【請求項5】

請求項1乃至4のいずれか一において、前記第2の手段として、前記第2のPMOSトランジスタのゲートとドレイン間の導通・非導通を制御するスイッチング手段と、前記第2のPMOSトランジスタのゲートに接続されている容量素子が用いられていることを特徴とするセンスアンプ。

#### 【請求項6】

第1及び第2のN MOSトランジスタと、第1及び第2のPMOSトランジスタと、第1乃至第3のスイッチと、第1及び第2の容量素子と、第1及び第2の入力端子と、出力端子を有し、

前記第1のN MOSトランジスタは、ゲートが前記第1の入力端子に接続され、ソースが前記第3のスイッチの一方の端子及び前記第2のN MOSトランジスタのソースに接続

され、ドレインが前記第1の容量素子の一方の端子、前記第2の容量素子の一方の端子、前記第1のスイッチの一方の端子、及び前記第1のPMOSトランジスタのドレインに接続され、

前記第2のNMOSトランジスタは、ゲートが前記第2の入力端子に接続され、ドレインが前記出力端子、前記第2のスイッチの一方の端子、及び前記第2のPMOSトランジスタのドレインに接続され、

前記第1のPMOSトランジスタは、ゲートが前記第1のスイッチの他方の端子及び前記第1の容量素子の他方の端子に接続され、

前記第2のPMOSトランジスタは、ゲートが前記第2のスイッチの他方の端子及び前記第2の容量素子の他方の端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第3のスイッチの他方の端子は、第2の電位に固定されていることを特徴とするセンスアンプ。

#### 【請求項7】

請求項6において、前記第1乃至第3のスイッチは、それぞれNMOSトランジスタが用いられていることを特徴とするセンスアンプ。

#### 【請求項8】

第1乃至第3のNMOSトランジスタと、第1及び第2のPMOSトランジスタと、第1乃至第4のスイッチと、第1及び第2の容量素子と、第1及び第2の入力端子と、出力端子を有し、

前記第1のNMOSトランジスタは、ゲートが前記第1の入力端子に接続され、ソースが前記第2のNMOSトランジスタのソース及び前記第3のNMOSトランジスタのドレインに接続され、ドレインが前記第3のスイッチの一方の端子に接続され、

前記第2のNMOSトランジスタは、ゲートが前記第2の入力端子に接続され、ドレインが前記第4のスイッチの一方の端子に接続され、

前記第3のスイッチの他方の端子は、前記第1の容量素子の一方の端子、前記第2の容量素子の一方の端子、前記第1のスイッチの一方の端子、及び前記第1のPMOSトランジスタのドレインに接続され、

前記第4のスイッチの他方の端子は、前記出力端子、前記第2のスイッチの一方の端子、及び前記第2のPMOSトランジスタのドレインに接続され、

前記第1のPMOSトランジスタは、ゲートが前記第1のスイッチの他方の端子及び前記第1の容量素子の他方の端子に接続され、

前記第2のPMOSトランジスタは、ゲートが前記第2のスイッチの他方の端子及び前記第2の容量素子の他方の端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第3のNMOSトランジスタは、ゲートがバイアス電源に接続され、ソースが第2の電位に固定されていることを特徴とするセンスアンプ。

#### 【請求項9】

第1乃至第3のNMOSトランジスタと、第1及び第2のPMOSトランジスタと、第1乃至第6のスイッチと、第1及び第2の容量素子と、第1及び第2の入力端子と、出力端子を有し、

前記第1のNMOSトランジスタは、ゲートが前記第1の入力端子に接続され、ソースが前記第2のNMOSトランジスタのソース及び前記第3のNMOSトランジスタのドレインに接続され、ドレインが前記第3のスイッチの一方の端子に接続され、

前記第2のNMOSトランジスタは、ゲートが前記第2の入力端子に接続され、ドレインが前記第4のスイッチの一方の端子に接続され、

前記第3のスイッチの他方の端子は、前記第1の容量素子の一方の端子、前記第2の容量素子の一方の端子、前記第1のスイッチの一方の端子、前記第5のスイッチの一方の端子

子、及び前記第1のPMOSトランジスタのドレインに接続され、

前記第4のスイッチの他方の端子は、前記出力端子、前記第2のスイッチの一方の端子、前記第6のスイッチの一方の端子、及び前記第2のPMOSトランジスタのドレインに接続され、

前記第1のPMOSトランジスタは、ゲートが前記第1のスイッチの他方の端子及び前記第1の容量素子の他方の端子に接続され、

前記第2のPMOSトランジスタは、ゲートが前記第2のスイッチの他方の端子及び前記第2の容量素子の他方の端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第3のNMOStランジスタは、ゲートがバイアス電源に接続され、ソースが第2の電位に固定され、

前記第5のスイッチの他方の端子及び前記第6のスイッチの他方の端子は、それぞれ前記第2の電位に固定されていることを特徴とするセンスアンプ。

**【請求項10】**

請求項1乃至9のいずれか一に記載のトランジスタは、薄膜トランジスタであることを特徴とするセンスアンプ。

**【請求項11】**

請求項1乃至10のいずれか一に記載のセンスアンプが、画素部が設けられた絶縁表面を有する基板上に設けられていることを特徴とする画像表示装置。

**【請求項12】**

請求項1乃至10のいずれか一に記載のセンスアンプが用いられたことを特徴とするDRAM。

**【請求項13】**

請求項1乃至10のいずれか一に記載のセンスアンプが用いられたことを特徴とするSRAM。

**【請求項14】**

請求項1乃至10のいずれか一に記載のセンスアンプが組み込まれたことを特徴とする半導体記憶装置。

**【請求項15】**

請求項1乃至10のいずれか一に記載のセンスアンプが組み込まれたことを特徴とする電子機器。

**【請求項16】**

請求項15において、前記電子機器は、電子手帳、モバイルコンピュータ、携帯電話、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ、フロント型プロジェクター、リア型プロジェクターのいずれか一であることを特徴とする電子機器。