

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 7 月 14 日 (2005.7.14)

【公開番号】特開 2003-173683(P2003-173683A)

【公開日】平成 15 年 6 月 20 日 (2003.6.20)

【出願番号】特願 2001-367627(P2001-367627)

【国際特許分類第 7 版】

G 1 1 C 11/416

G 0 2 F 1/1368

G 0 9 F 9/30

G 0 9 F 9/35

G 1 1 C 11/41

H 0 1 L 21/20

H 0 1 L 21/336

H 0 1 L 21/8238

H 0 1 L 27/08

H 0 1 L 27/092

H 0 1 L 29/786

【F I】

G 1 1 C 11/34 3 3 1

G 0 2 F 1/1368

G 0 9 F 9/30 3 3 8

G 0 9 F 9/35

H 0 1 L 21/20

H 0 1 L 27/08 3 3 1 E

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 4

H 0 1 L 29/78 6 2 7 G

G 1 1 C 11/34 3 4 5

H 0 1 L 27/08 3 2 1 D

【手続補正書】

【提出日】平成 16 年 11 月 10 日 (2004.11.10)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】センスアンプおよびセンスアンプが組み込まれた電子機器

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の N M O S トランジスタと、第 1 及び第 2 の P M O S トランジスタと、スイッチと、第 1 及び第 2 の入力端子と、出力端子を有し、

前記第 1 の N M O S トランジスタは、ゲートが前記第 1 の入力端子に接続され、ソースが前記第 2 の N M O S トランジスタのソースに接続され、ドレインが前記第 1 の P M O S トランジスタのドレインに接続され、

前記第 2 の N M O S トランジスタは、ゲートが前記第 2 の入力端子に接続され、ドレインが前記第 2 の P M O S トランジスタのドレイン及び前記出力端子に接続され、

前記第 1 及び第 2 の P M O S トランジスタのソースは、それぞれ第 1 の電位に固定され、

前記第 1 及び第 2 の N M O S トランジスタのソースは、それぞれ前記スイッチを介して第 2 の電位に固定され、

前記第 1 の P M O S トランジスタのゲートとソース間の電圧を、当該第 1 の P M O S トランジスタのしきい値に相当する電圧にする第 1 の手段と、

前記第 2 の P M O S トランジスタのゲートとソース間の電圧を、当該第 2 の P M O S トランジスタのしきい値に相当する電圧にする第 2 の手段を有することを特徴とするセンスアンプ。

【請求項 2】

第 1 乃至第 3 の N M O S トランジスタと、第 1 及び第 2 の P M O S トランジスタと、第 1 及び第 2 の入力端子と、出力端子を有し、

前記第 1 の N M O S トランジスタは、ゲートが前記第 1 の入力端子に接続され、ソースが前記第 2 の N M O S トランジスタのソースに接続され、ドレインが前記第 1 の P M O S トランジスタのドレインに接続され、

前記第 2 の N M O S トランジスタは、ゲートが前記第 2 の入力端子に接続され、ドレインが前記第 2 の P M O S トランジスタのドレイン、及び出力端子に接続され、

前記第 1 及び第 2 の P M O S トランジスタのソースは、それぞれ第 1 の電位に固定され、

前記第 1 及び第 2 の N M O S トランジスタのソースは、それぞれ前記第 3 の N M O S トランジスタを介して第 2 の電位に固定され、

前記第 1 の P M O S トランジスタのゲートとソース間の電圧を、当該第 1 の P M O S トランジスタのしきい値に相当する電圧にする第 1 の手段と、

前記第 2 の P M O S トランジスタのゲートとソース間の電圧を、当該第 2 の P M O S トランジスタのしきい値に相当する電圧にする第 2 の手段を有することを特徴とするセンスアンプ。

【請求項 3】

請求項 2 において、前記第 3 の N M O S トランジスタは、ゲートがバイアス電源に接続されていることを特徴とするセンスアンプ。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記第 1 の手段として、前記第 1 の P M O S トランジスタのゲートとドレイン間の導通・非導通を制御するスイッチング手段と、前記第 1 の P M O S トランジスタのゲートに接続されている容量素子が用いられていることを特徴とするセンスアンプ。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記第 2 の手段として、前記第 2 の P M O S トランジスタのゲートとドレイン間の導通・非導通を制御するスイッチング手段と、前記第 2 の P M O S トランジスタのゲートに接続されている容量素子が用いられていることを特徴とするセンスアンプ。

【請求項 6】

第 1 及び第 2 の N M O S トランジスタと、第 1 及び第 2 の P M O S トランジスタと、第 1 乃至第 3 のスイッチと、第 1 及び第 2 の容量素子と、第 1 及び第 2 の入力端子と、出力端子を有し、

前記第 1 の N M O S トランジスタは、ゲートが前記第 1 の入力端子に接続され、ソースが前記第 3 のスイッチの一方の端子及び前記第 2 の N M O S トランジスタのソースに接続

され、ドレインが前記第 1 の容量素子の一方の端子、前記第 2 の容量素子の一方の端子、前記第 1 のスイッチの一方の端子、及び前記第 1 の P M O S トランジスタのドレインに接続され、

前記第 2 の N M O S トランジスタは、ゲートが前記第 2 の入力端子に接続され、ドレインが前記出力端子、前記第 2 のスイッチの一方の端子、及び前記第 2 の P M O S トランジスタのドレインに接続され、

前記第 1 の P M O S トランジスタは、ゲートが前記第 1 のスイッチの他方の端子及び前記第 1 の容量素子の他方の端子に接続され、

前記第 2 の P M O S トランジスタは、ゲートが前記第 2 のスイッチの他方の端子及び前記第 2 の容量素子の他方の端子に接続され、

前記第 1 及び第 2 の P M O S トランジスタのソースは、それぞれ第 1 の電位に固定され、

前記第 3 のスイッチの他方の端子は、第 2 の電位に固定されていることを特徴とするセンサンプ。

【請求項 7】

請求項 6 において、前記第 1 乃至第 3 のスイッチは、それぞれ N M O S トランジスタが用いられていることを特徴とするセンサンプ。

【請求項 8】

第 1 乃至第 3 の N M O S トランジスタと、第 1 及び第 2 の P M O S トランジスタと、第 1 乃至第 4 のスイッチと、第 1 及び第 2 の容量素子と、第 1 及び第 2 の入力端子と、出力端子を有し、

前記第 1 の N M O S トランジスタは、ゲートが前記第 1 の入力端子に接続され、ソースが前記第 2 の N M O S トランジスタのソース及び前記第 3 の N M O S トランジスタのドレインに接続され、ドレインが前記第 3 のスイッチの一方の端子に接続され、

前記第 2 の N M O S トランジスタは、ゲートが前記第 2 の入力端子に接続され、ドレインが前記第 4 のスイッチの一方の端子に接続され、

前記第 3 のスイッチの他方の端子は、前記第 1 の容量素子の一方の端子、前記第 2 の容量素子の一方の端子、前記第 1 のスイッチの一方の端子、及び前記第 1 の P M O S トランジスタのドレインに接続され、

前記第 4 のスイッチの他方の端子は、前記出力端子、前記第 2 のスイッチの一方の端子、及び前記第 2 の P M O S トランジスタのドレインに接続され、

前記第 1 の P M O S トランジスタは、ゲートが前記第 1 のスイッチの他方の端子及び前記第 1 の容量素子の他方の端子に接続され、

前記第 2 の P M O S トランジスタは、ゲートが前記第 2 のスイッチの他方の端子及び前記第 2 の容量素子の他方の端子に接続され、

前記第 1 及び第 2 の P M O S トランジスタのソースは、それぞれ第 1 の電位に固定され、

前記第 3 の N M O S トランジスタは、ゲートがバイアス電源に接続され、ソースが第 2 の電位に固定されていることを特徴とするセンサンプ。

【請求項 9】

第 1 乃至第 3 の N M O S トランジスタと、第 1 及び第 2 の P M O S トランジスタと、第 1 乃至第 6 のスイッチと、第 1 及び第 2 の容量素子と、第 1 及び第 2 の入力端子と、出力端子を有し、

前記第 1 の N M O S トランジスタは、ゲートが前記第 1 の入力端子に接続され、ソースが前記第 2 の N M O S トランジスタのソース及び前記第 3 の N M O S トランジスタのドレインに接続され、ドレインが前記第 3 のスイッチの一方の端子に接続され、

前記第 2 の N M O S トランジスタは、ゲートが前記第 2 の入力端子に接続され、ドレインが前記第 4 のスイッチの一方の端子に接続され、

前記第 3 のスイッチの他方の端子は、前記第 1 の容量素子の一方の端子、前記第 2 の容量素子の一方の端子、前記第 1 のスイッチの一方の端子、前記第 5 のスイッチの一方の端

子、及び前記第 1 の P M O S トランジスタのドレインに接続され、

前記第 4 のスイッチの他方の端子は、前記出力端子、前記第 2 のスイッチの一方の端子、前記第 6 のスイッチの一方の端子、及び前記第 2 の P M O S トランジスタのドレインに接続され、

前記第 1 の P M O S トランジスタは、ゲートが前記第 1 のスイッチの他方の端子及び前記第 1 の容量素子の他方の端子に接続され、

前記第 2 の P M O S トランジスタは、ゲートが前記第 2 のスイッチの他方の端子及び前記第 2 の容量素子の他方の端子に接続され、

前記第 1 及び第 2 の P M O S トランジスタのソースは、それぞれ第 1 の電位に固定され、

前記第 3 の N M O S トランジスタは、ゲートがバイアス電源に接続され、ソースが第 2 の電位に固定され、

前記第 5 のスイッチの他方の端子及び前記第 6 のスイッチの他方の端子は、それぞれ前記第 2 の電位に固定されていることを特徴とするセンスアンプ。

【請求項 1 0】

請求項 1 乃至 9 のいずれかに記載のトランジスタは、薄膜トランジスタであることを特徴とするセンスアンプ。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれかに記載のセンスアンプが、画素部が設けられた絶縁表面を有する基板上に設けられていることを特徴とする画像表示装置。

【請求項 1 2】

請求項 1 乃至 1 0 のいずれかに記載のセンスアンプが用いられたことを特徴とする D R A M。

【請求項 1 3】

請求項 1 乃至 1 0 のいずれかに記載のセンスアンプが用いられたことを特徴とする S R A M。

【請求項 1 4】

請求項 1 乃至 1 0 のいずれかに記載のセンスアンプが組み込まれたことを特徴とする半導体記憶装置。

【請求項 1 5】

請求項 1 乃至 1 0 のいずれかに記載のセンスアンプが組み込まれたことを特徴とする電子機器。

【請求項 1 6】

請求項 1 5 において、前記電子機器は、電子手帳、モバイルコンピュータ、携帯電話、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ、フロント型プロジェクター、リア型プロジェクターのいずれかであることを特徴とする電子機器。