(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H04B 1/40

(45) 공고일자 2004년10월28일
(11) 등록번호 10-0423854
(24) 등록일자 2004년03월09일

(21) 출원번호 10-1996-0013122
(22) 출원일자 1996년04월26일

(65) 공개번호 10-1996-0039684
(43) 공개일자 1996년11월25일

(30) 우선권주장 95-125651 1995년04월27일 일본(JP)

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자
아베 마사요시
일본국 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

야마우라 도모야
일본국 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

오시바 가쯔유끼
일본국 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

(74) 대리인
구영창
장수길

심사관 : 김춘석

(54) 고주파증폭기,송신장치및수신장치

요약

무선 주파수 신호를 증폭하기 위한 무선 주파수 증폭기는 신호를 증폭하기 위한 하나 이상의 능동 소자를 각각 포함하고 있되, 상기 하나 이상의 능동 소자들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 능동 소자들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 복수의 능동 소자 그룹들, 및 상기 증폭기의 이득 및 왜곡 특성의 열화를 피하고 저전력 출력시의 충분히 낮은 전력 소모를 고주파 증폭기의 FET 그룹의 각각의 바이어스 전압을 동작 전압과 오프 전압 사이에서 전환함으로써 달성될 수 있도록 상기 복수의 능동 소자 그룹들의 바이어스 상태를 제어하기 위한 바이어스 제어 수단을 구비하고 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 송신 및 수신 장치의 블럭도.
제2도는 종래의 송신 전력 증폭기의 입력 특성을 나타낸 도면.

제3도는 종래의 송신 전력 증폭기를 나타낸 도면.
제4도는 종래의 송신 전력 증폭기에서 행해지는 게이트 전압 제어 동작을 설명하는 도면.
제5도는 종래의 송신 전력 증폭기를 나타낸 도면.
제6도는 종래의 송신 전력 증폭기에서 행해지는 드레인 전압 제어 동작을 설명하는 도면.
제7도는 종래의 송신 전력 증폭기에 있는 FET 구조를 설명하는 도면.
제8도는 종래의 송신 전력 증폭기에 있는 FET 구조를 설명하는 도면.
제9도는 본 발명의 일실시예의 송신 및 수신 장치의 블럭도.
제10도는 본 발명의 다른 실시예의 송신 및 수신 장치의 블럭도.
제11도는 본 발명의 제1 실시예의 고주파 증폭기를 도시한 도면.
제12도는 일실시예의 고주파 증폭기에 있는 FET 그룹의 구조를 도시한 도면.
제13도는 본 발명의 제2 실시예의 고주파 증폭기를 도시한 도면.
제14도는 본 발명의 제3 실시예의 고주파 증폭기를 도시한 도면.
제15도는 본 발명의 제4 실시예의 고주파 증폭기를 도시한 도면.
제16도는 본 발명의 제5 실시예의 고주파 증폭기를 도시한 도면.
제17A도, 제17B도 및 제17C도는 실시예들 중에서 FET 그룹들 각각이 동수의 FET를 사용하여 형성되어 있는 경우를 설명한 도면.
제18A도 및 제18B도는 실시예들 중에서 FET 그룹들 각각이 동수의 FET를 사용하여 형성되어 있지 않는 경우를 설명한 도면.
제19도는 실시예들 중에서 FET 그룹들 각각이 동수의 FET를 사용하여 형성되어 있는 경우에 있어서의 제어 가능한 스테이지를 설명한 도면.
제20A도 및 제20B도는 본 실시예들에서 채택된 FET 구조를 설명하는 도면.
제21도는 본 실시예들에서 채택된 다른 FET구조를 설명하는 도면.
제22도는 본 실시예들에서 채택된 스위치의 구조를 설명하는 도면.
제23도는 본 실시예들에서 채택된 스위치의 구조를 설명하는 도면.
제24도는 본 실시예들에 대한 효율 결과를 설명하는 도면.

도면의 주요 부분에 대한 부호의 설명

1 : 안테나 2 : 송수신기
3 : 수신 증폭기 4 : 믹서
6, 12 : 중간 주파수 가변 이득 증폭기 7 : 복조기
8 : AGC 제어기 9 : 기저대역 신호 처리기
10 : 제어기 11 : 변조기
14 : 무선 주파수 1가변 이득 증폭기 15 : 송신 전력 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 송신기 장치, 수신기 장치, 및 이들 장치를 사용하는 고주파 증폭기에 관한 것으로서, 특히 송신 제어를 수행하기 위한 송신기 장치 또는 수신 전력 레벨을 변경하기 위한 수신 장치에 적합한 것이다.
제1도는 무선 통신 단말기용 수신 시스템 및 송신 시스템의 일반적인 구조를 도시한 블럭도이다. 먼저, 수신 시스템은 다음과 같이 구성되어 있다.
안테나(61)에 의해 수신된 전자기파는 송수신기(62)에 의해 고주파 신호로 변환된 후에 수신기 증폭기(63)로 제공된다. 수신기 증폭기(63)에 의해 증폭된 고주파 신호는 믹서(mixer)(64)에서 국부 발진기(65)로부터의 로컬 주파수(local frequency)와 믹싱(mix)되어 중간 주파수 신호로 된다. 이 중간 주파수 신호의 이득은 중간 주파수 가변 이득 증폭기(66)에 의해 제어된다. 특히, 중간 주파수 가변 이득 증폭기(66)의 출력 레벨은 커플러(coupler)(68a)에 의해 검출되며, AGC 제어기(68)는 검출된 레벨에 응답하여 중간 주파수 가변 이득 증폭기(66)의 이득을 가변적으로 제어함으로써 중간 주파수 가변 이득 증폭기(66)에 대해 AGC(자동 이득 제어) 동작을 수행할 수 있게 된다.
AGC 제어기(68)는 중간 주파수 가변 이득 증폭기(66)의 출력 레벨로부터 수신된 신호 세기 정보(S1)를 발생한다.
중간 주파수 가변 이득 증폭기(66)의 출력은 복조기(67)에 의해 복조되어 기 저대역 신호를 내게 된다. 그 다음에, 이 기저대역 신호는 기저대역 신호 처리기(69)에 공급되고, 스피커(69a)를 구동하여 오디오(audio)를 출력하게 된다.
송신 시스템은 다음과 같이 구성되어 있다. 먼저, 오디오 신호는 마이크(69b)에 의해 전기 신호로 변환된다. 그 다음에, 이 출력은 기저대역 신호 처리기(69)에 제공된다.
기저대역 신호 처리기(69)로부터 출력된 기저대역 송신 신호는 변조기(71)에서 변조된 다음에, 중간 주파수 가변 이득 증폭기(77)에서 소정의 이득으로 증폭된다. 그 다음에, 이 신호는 국부 발진기(65)로부터의 로컬 주파수와 믹서(73)에서 믹싱되어 고주파 신호(무선 주파수 신호)를 제공하고, 무선 주파수 가변 이득 증폭기(74)에서 증폭된다. 그런

다음에, 이 신호는 송신 전력 증폭기(75)에서 증폭되어, 송수신기(62)로부터 안테나(61)로 제공되어 송신된다.
송신 시스템은 통상적으로 수신된 신호 세기 레벨 정보(S1) 또는 기지국 등의 원격 스테이션(remote station)으로부터의 명령 신호(S2)에 근거하여 송신 전력 제어를 수행하는 방식으로 구성되어 있다.
예를 들면, 수신 신호에 포함된 명령 신호(S2)는 기저대역 신호 처리기(69)에서 복조된 후에 제어기(70)에 제공된다. 그 다음에, 제어기(70)는 명령 신호(S2)에 근거하여 송신 세기 제어기(transmission strength controller)(76)로 명령을 출력한다. 송신 세기 제어기(76)는 제어기(70)로부터의 명령에 근거하여 송신세기 제어 정보(S3)를 발생시켜, 이를 중간 주파수 가변 이득 증폭기(72) 및 무선주파수 가변 이득 증폭기(77)로 제공한다. 그 다음에, 송신 전력 제어 정보(S3)에 근거하 여, 증폭 동작의 이득은 중간 주파수 가변 이득 증폭기(72) 및 무선 주파수 가변 이득 증폭기(77)에서 설정된다.
그 대신에, 송신 전력 제어 정보(S3)가 AGC 제어기(68)로부터의 수신된 신호 세기 레벨에 근거하여 발생된 다음에, 이를 중간 주파수 가변 이득 증폭기(72) 및 무선 주파수 가변 이득 증폭기(74)에 제공되는 구성도 채택된다.
송신 세기의 제어가 송신측상의 이들 수단을 사용하여 수행되는 것이 통상적이다.
수신기 증폭기(63)로의 입력 신호 레벨은 신호를 보낸 원격 스테이션까지의 거리 및 원격지 스테이션 송신 신호 레벨에 따라 수신 시스템에서 달라지게 된다. 이 때문에, 상기한 AGC 제어는 수신된 신호의 레벨의 변동에 따른 적응성을 제공하기 위하여 사용될 수 있다.
그러나, 송신 전력 제어를 수행하는 경우에, 무선 주파수 가변 이득 증폭기(74) 다음 스테이지인 송신 전력 증폭기(75)에 대한 입출력을 고려한다면, 불필요한 전력 소모가 발생한다는 문제점이 있다. 이와 마찬가지로, 수신된 신호 레벨 세기의 변화에 응답한 수신기 증폭기(63)의 동작이 효율적이지 못하다. 송신 전력 증폭기(75)의 일례를 가지고 이에 대해 설명하기로 한다.
출력 전력(Pout)과 입력 전력(Pin)에 대한 전력 부가 효율(Power Addition Efficiency) PAE가 제2도에 도시되어 있다.
제2도로부터 알 수 있는 바와 같이, 출력 전력(Pout)과 전력 부가 효율(PAE)은 입력 전력(Pin)이 증가함에 따라 증가한다.
송신 전력 증폭기(75)에서의 입력 전력(Pin)이 송신 전력 제어로 인해 저하되는 경우를 생각해 볼 때, 전력 부가 효율(PAE)은 도면에 도시한 바와 같이 극적으로 감소된다. 예를 들어, 전력 부가 효율은 출력이 10mW일 때 약 1%, 즉 10dBm이고, 전체 전력 소모는 1W이다. 즉, 990mW가 열로 발산된 전력이고, 저전력 소모와 관련하여 개선할 여지가 많다.
송신 전력 증폭기(75)에 제공된 바이어스 전압 또는 전류를 송신 전력 제어 정보(S3)에 응답하여 제어하는 기술은, 예를 들어 일본 공개 특허 평성 1-314431호 및 일본 특허 공고 평성 6-93631호에 출력 전력이 낮을 때의 송신 전력 증폭기(75)에 대한 고효율 방법으로서 개시되어 있다.
이들 종래의 바이어스 제어 방법들에 대해서는 이하에서 설명하기로 한다.
중간 주파수 가변 이득 증폭기(72) 및 무선 주파수 가변 이득 증폭기(74)의 이득은 송신 전력 제어 정보(S3)에 근거하여 제어되는 동안에 송신 전력 증폭기(75)의 게이트 바이어스를 송신 전력 제어 정보(S3)를 사용하여 제어함으로써, 송신 출력이 낮을 때의 효율이 개선되는 일례를 제3도에 도시하고 있다.
상기 예의 송신 전력 증폭기(75)에 있어서, 입력 전력(Pin)은 정합 회로(matching circuit)(80a)를 지나 제1 스테이지 증폭기의 FET(81)에서 증폭된 다음에, 정합 회로(80b)를 지나 제2 스테이지 증폭기의 FET(82)에서 증폭된다. 이 신호는 그 다음에 정합 회로(80c)를 지나 출력 전력(Pout)으로서 출력된다.
게이트 전압(Vg1, Vg2)은 게이트 저항기(Rg1, Rg2)를 지나 FET(81) 및 FET(82)에 제공된다. 드레인 전압(Vd1, Vd2)은 FET(81) 및 FET(82)에 대한 드레인 에 인가되고, 드레인 전류(Id1, Id2)는 쵸크 코일(Ld1, Ld2)을 지나 흐르도록 되어 있다. FET(81 및 82)의 소오스는 접지되어 있다.
게이트 전압(Vg1, Vg2)은 게이트 바이어스 제어 회로(83)에 의해 발생된다. 게이트 바이어스 제어 회로(83)는 송신 전력 제어 정보(S3)에 근거하여 게이트 전압(Vg1, Vg2)에 대한 값을 설정한다.
이 예에서, 드레인 전류(Id)는 제4도의 게이트와 소오스 양단의 전압(Vgs) 대 드레인 전류(Id)의 그래프에 도시된 바와 같이, 게이트와 소오스 양단의 전압(Vgs)의 값을 Vg-on에서 VgOn1으로 변경함으로써 낮출 수 있다.
중간 주파수 가변 이득 증폭기(72) 및 무선 주파수 가변 이득 증폭기(74)의 이득이 송신 전력 제어 정보(S3)에 근거하여 제어되고 송신 전력 증폭기(75)에 대한 입력 전력(Pin)이 작은 경우, 즉 저전력 동안의 경우에 대하여 생각해 보기로 하자. 이와 같이 전력 출력이 낮은 동안에 송신 전력 증폭기(75)의 게이트 전압(Vg)에 대한 값을 Vg-on에서 Vg-on1으로 변경하여 드레인 전류(Id)를 떨어뜨림으로써 효율을 개선할 수 있는데, 그 이유는 드레인 전류(Id)가 떨어지는 경우에도 소망의 출력을 얻을 수 있기 때문이다.
이러한 경우에, 제4도로부터 알 수 있는 바와 같이, 게이트와 소오스 양단의 전압(Vgs)의 값이 Vg-on에서 Vg-on1으로 떨어지는 때에 이득이 저하되고 왜곡 특성이 열화되는데, 그 이유는 게이트와 소오스 양단의 전압(Vgs) 대 드레인 전류(Id)의 특성이 이상적인 선형 특성이 아니기 때문이다. 이 때문에, 허용 이득 감소 부분 및 왜곡 특성 열화 부분을 고려할 때, 값 Vg-on에서 값 Vg-on1까지의 감소폭, 즉 Vg-on으로 취한 값이 설정될 수밖에 없는데, 실제로 감소폭(제4도에서의 게이트 전압의 제어 범위)은 매우 크게 될 수 있다. 그러므로, 드레인 전류(Id)는 송신 출력이 낮은 동안에는 너무 낮게는 할 수 없으며, 달성된 효율 결과는 작을 수밖에 없다.
다른 예가 제5도에 도시되어 있다. 이 예에서는, 송신 전력 증폭기(75)의 구조는 제2도의 구성과 거의 같다. 그러나, 게이트 전압(Vg1, Vg2)은 고정 값들로 되어 있으며, 드레인 전압(Vd1, Vd2)은 드레인 바이어스 제어 회로(84)에 의해 발생된다. 드레인 바이어스 제어 회로(84)는 송신 전력 제어 정보(S3)에 근거하여 전압값을 드레인 전압(Vd1, Vd2)으로서 설정한다.

드레인 전류를 낮출 수 있으며, 드레인 전압(Vd1, Vd2)을 낮춤으로써 송신 출력이 낮은 동안의 이러한 경우에도 저전력 소모를 달성할 수가 있다.
즉, 제6도의 게이트/소오스 전압(Vgs)과 드레인 전류(Id)의 그래프에서 알 수 있는 바와 같이, 드레인 전압(Vd)의 값을 Vds-h에서 Vds-1으로 변경함으로써 드레인 전류가 드레인 전류 Ids-on에서 Ids-on1으로 낮아지게 된다.
그러나, 이 방법의 경우에는 이득의 저하 및 왜곡 특성의 열화 때문에, 실제의 변동 범위가 제한될 수도 있으며, 단지 효율에 있어서의 약간의 개선만이 달성될 뿐이다(이 결과 전력 소모가 낮아짐). 특히, 최근에는 드레인 전압(Vds)이 더 낮아지는 경향이 있으며, 따라서 드레인 바이어스의 가변 범위도 그에 따라 작아지게 된다.
게다가, 제3도 및 제5도의 예가 결합된 방법도 있다. 당연히, 효율에 있어서 의 극적인 개선은 달성되지 못하였다.
도면에 도시된 이들 종래의 예들은 제3도 및 제5도의 FET(81, 82)와 같이 단일 FET 소자들을 가지고 있다. 그러나, 실제로는 FET(81, 82) 등은 복수의 FET 유닛들(FET-1, FET-2, ..., FET-n)이 제7도에 도시된 바와 같이 병렬로 배열되어 고출력을 낼 수 있는 FET로서 구성되어 있다.
상기한 바로부터 고찰해 볼 때, 이러한 종류의 FET 소자들의 구조는 예를 들면 제8도에 도시된 바와 같다.
제7도의 정합 회로(80a)로부터의 신호는 제8도에서 상부 금속층(upper layer metal layer)으로서 형성된 게이트 라인(Gc)으로 입력된다. 게다가, 게이트 전압(Vg)은 게이트 저항(Rg)을 구성하는 부분을 거쳐 게이트 라인(Gc)에 인가된다. 8개의 게이트 전극들(G1 내지 G8)은 그 다음에 게이트 라인(Gc)으로부터의 리드-아웃(lead-out)이다.
또한, 드레인 전극들(D1 내지 D4)은 하부 금속층(lower layer metal layer)으로 형성되어 있으며, 이들 드레인 전극들(D1 내지 D4)은 모두 상부 금속층에 있는 드레인 라인(Dc)에 접속되어 있다. 드레인 라인(Dc)은 제7도의 FET(81)에 대한 출력 라인이다.
이 외에, 소오스 전극들(S1 내지 S5)은 하부 금속층으로 형성되어 있으며, 모두가 상부 금속층에 있는 소오스 라인(Sc)에 접속되어 있다. 소오스 라인(Sc)은 그 다음에 접지된다.
이 경우에, 드레인 전극들과 소오스 전극들은 게이트 전극들(G1 내지 G8) 각 각의 양측에 위치하고 있다. 이와 같이, 8개의 FET 유닛(FET-1. FET-2,...,FET-8)이 형성된다.
본 발명은 상기한 문제점들을 해결하기 위하여 이루어진 것이며, 따라서 본 발명의 목적은 보다 간단하며 저전력 소모를 극적으로 달성할 수 있는 고주파 증폭기, 송신 장치 및 수신 장치를 제공하는 데 있다.
본 발명의 상기한 목적들을 달성하기 위하여, 무선 주파수 신호를 증폭하기 위한 무선 주파수 증폭기는, 상기 무선 주파수 신호의 신호 세기 레벨과 상기 무선 주파수 신호에 포함된 지시 신호 중 적어도 한 신호에 기초한 상기 무선 주파수 신호를 증폭하기 위한 것으로서, 병렬로 접속된 복수의 능동 소자 그룹을 포함하며, 상기 복수의 능동 소자 그룹은 각기 신호를 증폭하기 위한 하나 이상의 능동 소자를 포함하고 있으며, 상기 하나 이상의 능동 소자들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 능동 소자들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 전력 증폭 수단; 상기 신호 세기 레벨과 상기 지시 신호 중 상기 적어도 한 신호를 수신하고 전력 제어 정보 신호를 생성하기 위한 전력 제어 수단; 및 상기 하나 이상의 능동 소자들 각각의 각 제어 구조에 접속되어, 상기 전력 제어 수단으로부터의 상기 전력 제어 정보 신호에 기초하여 상기 복수의 능동 소자 그룹의 상기 능동 소자들의 바이어스 전압을 개별적으로 제어하기 위한 바이어스 제어 수단을 구비하며, 상기 복수의 능동 소자 그룹들 각각이 상기 무선 주파수 신호를 증폭하기 위해 바이어스되는 다수의 능동 소자 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스됨으로써 상 기 복수의 능동 소자 그룹의 이득을 선택가능한 것을 특징으로 하고 있다.
또한, 본 발명에 따르면, 전파를 송신하기 위한 송신기는, 기저대역 신호를 처리하는 기저대역 신호 처리 수단; 상기 기저대역 신호를 사용하여 선정된 신호를 변조하는 변조 수단; 상기 신호를 증폭하는 하나 이상의 FET들을 각각이 포함하고 있으며, 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 복수의 능동 소자 그룹들을 포함하는, 무선 주파수 신호를 증폭하기 위한 전력 증폭 수단; 및 상기 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 전압을 제어하는 바이어스 제어 수단을 구비하며, 상기 복수의 그룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능한 것을 특징으로 한다.
게다가, 본 발명에 따르면, 전파를 수신하기 위한 수신기는, 상기 신호를 증폭하는 하나 이상의 FET들을 각각이 포함하고 있으며, 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 복수의 능동 소자 그룹들을 포함하는, 수신된 무선 주파수 신호를 증폭하기 위한 무선 주파수 증폭 수단; 상기 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 전압을 제어하는 바이어스 제어 수단 -상기 복수의 그룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택 가능하도록 개별 적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능함- ; 상기 무선 주파수 증폭 수단의 출력 신호를 복조하는 복조 수단; 및 상기 복조 수단의 출력 신호를 처리하는 기저대역 신호 처리 수단을 구비하고 있다.
또한, 본 발명에 따르면, 전파를 송신 및 수신하기 위한 송수신기는, 송신부 및 수신부를 구비하되, 상기 송신부는, 기저대역 신호를 처리하기 위한 기저대역 신호 처리기, 상기 기저대역 신호를 이용하여 선정된 신호를 변조하기 위한 변조기, 상기 신호를 증폭하는 하나 이상의 FET들을 각각 포함하고 있으며 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합하여 단일의 출력 단자를 형성하고 있는 제1 복수의 능동 소자 그룹들을 갖는, 무선 주파수 신호를 증폭하기 위한 전력 증폭 수단, 및 상기 제1 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 또는 드레인 전압을 제어하기 위한 바이어스 제어 수단 -상기 복수의 그룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의

해 선택가능하도록 개별적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능함- 을 포함하고; 상기 수신부는, 수신된 신호를 증폭하는 하나 이상의 FET들을 각각 포함하며 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합하여 단일의 출력 단자를 형성하고 있는 제2 복수의 능동 소자 그룹들, 상기 제2 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 전압을 제어하기 위한 바이어스 제어 수단 -상기 복수의 그 룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능함- , 상기 제2 복수의 능동 소자 그룹들의 출력 신호를 복조하기 위한 복조 수단, 및 상기 복조 수단의 출력 신호를 처리하기 위한 기저대역 신호 처리 수단을 구비하고 있다.

게다가, 본 발명에 따르면, 무선 주파수 증폭기의 상태를 제어하는 방법은 복수의 바이어스 제어 라인으로 온 또는 오프 신호를 전송하는 커맨드 전송 단계; 및 이진 표기 형태의 온 또는 오프 신호에 따라 FET들에 전류를 제공하는 전류 제공 단계를 구비하고 있다.

제1 실시예

1. 본 실시예의 송수신기의 구조의 일례(1)

제9도는 본 실시예의 송수신기의 구조를 도시한 블럭도이다. 수신 시스템은 다음과 같이 구성되어 있다.

안테나(1)에 의해 수신된 전자기파는 송수신기(2)에 의해 수신 증폭기(3)로 제공된다. 수신기 증폭기(3)에 의해 증폭된 고주파 신호는 믹서(mixer)(4)에서 국부 발진기(5)로부터의 로컬 주파수와 믹싱(mix)되어 중간 주파수 신호로 된다. 이 중간 주파수 신호의 이득은 중간 주파수 가변 이득 증폭기(6)에 의해 제어된다. 특히, 중간 주파수 가변 이득 증폭기(6)의 출력 레벨은 커플러(8a)에 의해 검출되며, AGC 제어기(8)는 검출된 레벨에 응답하여 중간 주파수 가변 이득 증폭기(6)의 이득을 가변적으로 제어함으로써 중간 주파수 가변 이득 증폭기(6)에 대해 AGC(자동 이 득 제어) 동작을 수행할 수 있게 된다.

AGC 제어기(8)는 중간 주파수 가변 이득 증폭기(6)의 출력 레벨로부터 수신된 신호 세기 정보(S1)를 발생한다.

중간 주파수 가변 이득 증폭기(6)의 출력은 복조기(7)에 의해 복조되어 기저 대역 신호를 내게 된다. 그 다음에, 이 기저대역 신호는 기저대역 신호 처리기(9)에 공급되고 스피커(9a)로 제공되어 오디오 신호의 형태로 된다.

송신 시스템은 다음과 같이 구성되어 있다. 오디오 신호는 마이크(9b)에 의해 전기 신호로 변환되어 기저대역 신호 처리기(9)로 제공된다. 기저대역 신호 처리기(9)로부터 출력된 기저대역 송신 신호는 변조기(11)에서 변조된 다음에 중간 주파수 가변 이득 증폭기(12)에서 소정의 이득으로 증폭된다. 그 다음에 이 신호는 믹서(13)에서 국부 발진기(5)로부터의 로컬 주파수와 믹싱되어 고주파 신호(무선 주파수 신호)를 제공하고 그 다음에 무선 주파수 가변 이득 증폭기(14)에서 증폭된다. 그 다음에 이 신호는 송신 전력 증폭기(15)에서 증폭되어 송수신기(2)로부터 안테나(1)로 제공되어 전자기파로서 송신된다.

이 수신 시스템은 수신된 신호 세기 레벨 정보 S1 또는 기지국(base station) 등의 원격 스테이션(remote station)으로부터의 명령 신호(instruction signal) S2에 근거하여 송신 전력 제어를 수행하는 방식으로 구성되어 있다. 즉, 수신된 신호에 포함된 명령 신호 S2는 기저대역 신호 처리기(9)에서 디코드된 후에 제어기(10)에 제공된다. 그 다음에 제어기(10)는 명령 신호 S2에 근거하여 송신 전력 제어기(16)로 명령을 출력한다. 송신 전력 제어기(16)는 제어기(10)로부터의 명 령에 근거하여 송신 전력 제어 정보 S3을 발생시켜, 이를 중간 주파수 가변 이득 증폭기(12) 및 무선 주파수 가변 이득 증폭기(14)로 제공한다. 그 다음에 송신 전력 제어 정보 S3에 근거하여 중간 주파수 가변 이득 증폭기(12) 및 무선 주파수 가변 이득 증폭기(14)에서 증폭 동작의 이득이 설정된다.

송신 전력 제어기(16)는 또한 AGC 제어기(8)로부터의 수신된 신호 세기 레벨 정보 S1을 사용하여 송신 전력 제어 정보 S3을 발생시켜 이를 중간 주파수 가변 이득 증폭기(12) 및 무선 주파수 가변 이득 증폭기(14)에 제공하는 방식으로 구성될 수도 있다.

송신 전력 증폭기(15)에 대한 바이어스 제어를 수행하기 위한 바이어스 제어기(17)가 본 실시예의 송수신기에 제공되어 있다. 바이어스 제어기(17)는 송신 전력 증폭기(15)의 FET의 게이트 바이어스를 제어하기 위한 회로 부분(게이트 바이어스 제어기: 17G) 또는 FET의 드레인 바이어스를 제어하기 위한 회로 부분(드레인 바이어스 제어기: 17D)으로 구성되어 있다.

송신 전력 제어 정보 S3은 이 바이어스 제어기(17)에 제공된다. 바이어스 제어기(17)는 송신 전력 제어 정보 S3에 응답하여 송신 전력 증폭기(15)의 바이어스를 설정한다.

본 실시예의 송수신기는 바이어스 제어기(17)로 하여금 송신 전력 제어 정보 S3에 응답하여 송신 전력 증폭기(15)에 대한 바이어스 제어를 수행하도록 함으로써 전력 출력이 낮을 때에는 거의 전력을 소비하지 않는다.

수신 증폭기(3)로의 입력 신호의 레벨은 신호를 전송한 원격 스테이션까지의 거리 및 원격 스테이션 송신 신호 레벨에 따라 변한다. 그러나, 바이어스 제어기(18)는 수신된 신호 세기 레벨 및 수신 증폭기(3)에 입력된 신호의 레벨이 낮을 때에 전력 소모의 낭비가 발생하지 않도록 수신 증폭기(3)에 대해 바이어스 제어를 수행하기 위해 제공되어 있다.

바이어스 제어기(18)는 수신 증폭기(3)의 FET의 게이트 바이어스를 제어하기 위한 회로 부분(게이트 바이어스 제어기: 18G) 또는 FET 드레인 바이어스를 제어하기 위한 회로 부분(드레인 바이어스 제어기: 18D)으로 구성되어 있다.

수신된 신호 세기 레벨 정보 S1은 이 바이어스 제어기(18)에 제공되어 이 수신된 신호 세기 레벨 정보 S1에 응답하여 수신 증폭기(3)의 바이어스를 설정하게 된다.

바이어스 제어기(18) 및 수신 증폭기(3)는 본 실시예의 고주파 증폭기를 구비하며 이에 대한 상세한 설명은 이후에 하기로 한다.

2. 본 실시예의 송수신기의 구조의 일례(2)

제10도는 본 실시예의 송수신기의 구조의 다른 일례를 도시한 것이다.

이 경우에는, 바이어스 제어기(17)에 제어 정보를 제공하는 소스가 제9도와는 다르나, 다른 특징들은 제9도와 동일하다.
즉, 커플러(19a) 및 검출기(19)가 송신 전력 증폭기(15)의 출력 레벨을 검출하기 위해 제공되어 있다.
검출기(19)에 의해 검출된 신호 레벨 정보가 바이어스 제어기(17)에 제공되며, 이 신호 레벨 정보에 응답하여 바이어스 제어기(17)는 그 다음에 송신 전력 증 폭기(15)의 바이어스를 설정하게 된다.
이러한 방법을 갖는 송신 및 수신 장치로 송신 출력이 낮을 때에 효과적인 저전력 소모를 달성할 수 있다.
3. 본 실시예의 고주파 증폭기로서의 송신 전력 증폭기의 구조의 일례(1)
이하의 설명은 제9도에 도시한 바이어스 제어기(17) 및 송신 전력 증폭기(15)를 구비하는 고주파 증폭기에 대한 일실시예에 대한 것이다. 본 실시예 각각은 제9도의 송신 및 수신 장치에 적용될 수 있으며, 당연히 제10도의 송신 및 수신장치에도 적용될 수 있음은 말할 필요도 없다.
고주파 증폭기에 대한 구조는 제11도에 도시되어 있다. 이 고주파 증폭기는 게이트 바이어스 제어기(17G) 및 송신 전력 증폭기(15)로 구성되어 있다.
이 고주파 증폭기내의 송신 전력 증폭기(15)는 정합 회로(matching circuit)(20a, 20b), FET 그룹들(#1, #2), DC 차단 커패시터(C#1, C#2), 게이트 저항기(Rg#1, Rg#2) 및 고주파 쵸크 코일(high-frequency choke coil)(Ld)을 구비하고 있다.
이 송신 전력 증폭기(15)에서, 입력 전력 Pin은 정합 회로(20a, 20b)를 거쳐 FET 그룹들(#1, #2)에서 증폭되어 정합 회로(20b)를 거쳐 출력 전력 Pout로서 출력된다.
FET 그룹들(#1, #2)은 복수의 FET 유닛들로 구성되어 있다. 예를 들어, 제 12도에 도시된 예에 있어서는, FET 그룹들(#1, #2)은 각각 4개의 FET 유닛들(FET-1 내지 FET-4)을 구비하고 있다.
제12도로부터 알 수 있는 바와 같이, 각 FET 그룹들(#1, #2)내의 FET 유닛들(FET-1 내지 FET-4) 각각의 게이트는 드레인과 같이 서로 접속되어 있으며, 소오스는 접지되어 있다.
제11도 및 제12도로부터 알 수 있는 바와 같이, FET 그룹들(#1, #2)의 게이트 전극은 DC 차단 커패시터(C#1, C#2)에 의해 DC에 대해서는 분리되어 있지만 고주파에 대해서는 접속되어 있다.
게다가, 게이트 저항기(Rg#1, Rg#2)는 바이어스 제공측(게이트 바이어스 제어기: 17G)과의 고주파 절연을 얻기 위하여 FET 그룹들(#1, #2)의 각각이 게이트 전극에 접속되어 있다. 게이트 저항기(Rg#1, Rg#2)는 고주파 쵸크 코일 또는 고주파 쵸크 코일과 등가인 쇼트 스텁(short stub)으로 대체될 수 있다.
반면에, FET 그룹(#1) 및 FET 그룹(#2)의 드레인 전극들은 서로 접속되어 있다. 드레인 전류(Idmax)는 그 다음에 일정한 드레인 전압(Vd)을 인가함으로써 고주파 쵸크 코일(Ld)을 거쳐 얻어질 수 있다.
드레인 전류(Idmax)는 동작 게이트 전압이 FET 그룹(#1) 및 FET 그룹(#2) 모두에 인가되고 있는 때 얻어진 전류의 양을 나타낸다.
FET 그룹(#1) 및 FET 그룹(#2)에 대한 게이트 전압(Vg#1, Vg#2)은 게이트 바이어스 제어기(17G)에 의해 제공된다.
핀치-오프(pinch-off) 전압(Vp)보다 낮은 동작 게이트 전압(Vg-on)과 게이트 오프 전압(Vg-off)은 예를 들어 저항기(r1, r2)를 사용하는 저항기 전위 분할(resistor potential dividing)에 의해 게이트 바이어스 제어기(17G)에서 얻어진다.
동작 게이트 전압(Vg-on) 및 오프 게이트 전압(Vg-off)은 단극 2로 스위치(single pole two-way switch)(21)의 각 단자에 제공된다. 이 스위치(21)는 게이트 저항기(Rg#2)에 접속되어 있다. 즉, 스위치(21)에서 선택된 전압은 게이트 전압(Vg#2)으로서 FET 그룹(#2)에 제공된다.
스위치(21)는 송신 전력 제어 정보 S3에 의해 전환된다. 즉, 송신 전력이고 송신 출력 상태에 있을 때는, 동작 게이트 전압(Vg-on)이 스위치(21)에서 선택되고, 이것이 FET 그룹(#2)에 대한 게이트 전압(Vg#2)으로서 취해진다. 그러나, 저 송신 출력 상태 동안에는, 오프 게이트 전압(Vg-off)이 스위치(21)에서 선택되고, 이것이 FET 그룹(#2)에 대한 게이트 전압(Vg#2)으로서 취해진다.
이러한 종류의 고주파 증폭기에 있어서, 송신 전력이 송신 전력 제어 정보(S3)에 의해 높게 설정되어 있을 때는, 즉 중간 주파수 가변 이득 증폭기(12) 및 무선 주파수 가변 이득 증폭기(14)의 이득이 높게 설정되고 송신 전력 증폭기(15)에 입력되는 전력(Pin)이 높게 설정되어 있을 때는, 스위치(21)는 이 송신 전력 제어 정보(S3)에 근거하여 동작 게이트 전압(Vg-on) 측으로 전환된다.
FET 그룹들(#1, #2) 각각은 함께 고레벨 출력을 낼 수 있는 증폭기 회로를 제공하기 위하여 증폭 동작 부분으로서 기능을 한다.
반면에, 송신 전력이 송신 전력 제어 정보(S3)에 의해 낮게 설정되어 있을때, 즉 제9도의 중간 주파수 가변 이득 증폭기(12) 및 무선 주파수 가변 이득 증폭기(14)의 이득이 낮게 설정되어 송신 전력 증폭기(15)에 입력되는 전력(Pin)이 낮 을 때에는(예를 들어, 1/2 이하일 때에는), 스위치는 송신 전력 제어 정보(S3)에 근거하여 오프 게이트 전압(Vg-off) 측으로 전환된다.
이 결과, FET 그룹(#2)의 게이트 전압(Vg#2)은 오프 게이트 전압(Vg-off)과 같게 된다. 오프 게이트 전압(Vg-off)은 따라서 제4도에 도시한 핀치 오프 전압(Vp)보다 더 낮은 전압값이 된다, 즉 이 경우에는 FET 그룹 #2 측 드레인 전류(Ids#2)는 영으로 되어 FET 그룹(#2)은 오프 상태로 된다.
즉, 이 때에 드레인 전류(Ids#1)만이 전체 드레인 전류로서 흐르게 되는데, 그 이유는 단지 FET 그룹(#1)만이 동작하고 있기 때문이다, 즉 드레인 전류의 양은 FET 그룹(#2)이 온일 때의 고 송신 출력시의 절반이다.
필요 출력은 드레인 전류가 절반으로 된 것과 관계없이 FET 그룹(#1)으로부터 얻는데, 그 이유는 입력 전력(Pin)으로 취한 신호 레벨이 낮기 때문이다. 게다가, 정상적인 동작이 FET 그룹(#1)에서는 변하지 않기 때문에, 충분한 왜곡 특

성이 유지된다. 이 때문에, 증폭 효율이 배가되며 상당히 낮은 전력 소모를 달성할 수 있게 된다.

제2 실시예

4. 본 실시예의 고주파 증폭기로서의 송신 전력 증폭기의 구조의 일례(2)

다음에, 제9도에 도시된 바이어스 제어기(17) 및 송신 전력 증폭기(15)로 구성된 고주파 증폭기의 제2 실시예를 제13도를 사용하여 설명하기로 한다.

고주파 증폭기는 게이트 바이어스 제어기(17G) 및 송신 전력 증폭기(15)로 구성되어 있다.

이 고주파 증폭기의 송신 전력 증폭기(15)는 정합 회로(20a, 20b), FET 그룹들(#1, #2,...,#N), DC 차단 커패시터(C#1, C#2,...,C#N), 게이트 저항기(Rg#1, Rg#2,...,Rg#N), 및 고주파 쵸크 코일(Ld)을 구비하고 있다.

이러한 송신 전력 증폭기(15)에서, 입력 전력(Pin)은 정합 회로(20a)를 거쳐 FET 그룹(#1, #2,...,#N)에서 증폭된 다음에 정합 회로(20b)를 거쳐 출력 전력(Pout)으로서 출력된다.

즉, 본 실시예에서, 복수의 유닛 FET 소자들은 N개의 FET 그룹(#1, #2,...,#N)으로 분할되어 있다.

FET 그룹들(#1, #2,..., #N)의 게이트 전극 각각은 DC 차단 커패시터(C#1, C#2,..., C#N)에 의해 DC에 대해 절연되어 있지만 고주파수에 대해서는 접속되어 있다.

게다가, 게이트 저항기(Rg#1, Rg#2,..., Rg#N)는 바이어스 제공측(게이트 바이어스 제어기: 17G)에 고주파 절연을 제공하기 위하여 FET 그룹들(#1, #2,..., #N)의 각각의 게이트 전극에 접속되어 있다.

반면에, FET 그룹들(#1, #2,..., #N)의 드레인 전극들은 접속되어 있다. 드레인 전류(Idmax)는 일정한 드레인 전압(Vd)을 인가함으로써 고주파 쵸크 코일(Ld)을 거쳐 얻어진다.

이 경우에, FET 그룹들(#1, #2,..., #N) 각각을 구비하는 유닛 FET의 수를 동일하게 취함으로써, FET 그룹들(#1, #2,..., #N)을 통해 흐르는 드레인 전류량은 Idmax/N이 된다.

FET 그룹들(#1 내지 #N) 각각에 대한 게이트 전압(Vg#1 내지 Vg#N)은 게이트 바이어스 제어기(17G)에 의해 제공된다.

핀치 오프 전압(Vp)보다 낮은 동작 게이트 전압(Vg-on) 및 오프 게이트 전압(Vg-off)이 게이트 바이어스 제어기(17G)에서 얻어지며, 동작 게이트 전압(Vg-on)은 저항기(Rg#1)를 거쳐 FET 그룹(#1)에 게이트 전압(Vg#1)으로서 제공된다.

반면에, 동작 게이트 전압(Vg-on) 및 오프 게이트 전압(Vg-off)은 단극2단 스위치(single-pole two stage switch)(22-2 내지 22-N)의 단자들 각각에 제공되며, 스위치(22-2 내지 22-N)는 각각의 FET 그룹(#2 내지 #N)의 각각의 게이트 저항기(Rg#2 내지 Rg#N)에 접속되어 있다, 즉 각각의 스위치(22-2 내지 22-N)에서 선택된 전압이 FET 그룹들(#2 내지 #N)에 대한 게이트 전압(Vg#2 내지 Vg#N)으로서 제공된다.

스위치(22-2 내지 22-N) 각각은 송신 전력 제어 정보(S3)의 각각의 항목의 값에 응답하여 스위치 제어기(24)에 의해 개별적으로 전환될 수 있다. 즉, 본 실시예에서, 동작 게이트 전압(Vg-on)을 제공하는 FET 그룹들은 단지 하나의 FET 그룹(#1)으로부터 모든 FET 그룹들(#1 내지 #N)까지의 N 스테이지에서 변동될 수 있다.

이러한 종류의 고주파 증폭기에 있어서, 스위치(22-2 내지 22-N) 모두는 송신 전력이 송신 전력 제어 정보(S3)에 의해 최대로 설정되고, FET 그룹들(#1 내지 #N) 모두가 동작 모드에 있으며 증폭기가 고레벨 출력을 낼 수 있을 때에 동작 게이트 전압(Vg-on)측으로 전환된다.

송신 전력이 송신 전력 제어 정보(S3)로 인해 낮아질 때, 소정 수의 스위치(22-2 내지 22-N)는 이 강하 스테이지에 따라 오프 게이트 전압(Vg-off) 측으로 전환되고, 게이트 전압이 오프 게이트 전압(Vg-off)인 FET 그룹들만이 온이다. 송신 전력이 최소로 설정되어 있을 때는, 스위치(22-2 내지 22-N) 모두는 이 송신 전력 제어 정보(S3)에 근거하여 오프 게이트 전압(Vg-off) 측으로 전환되고, 단지 FET 그룹(#1)만이 동작 중에 있게 된다.

이와 같은 사실은 본 실시예에 있어서, 드레인 전류의 양은 송신 전력 레벨 및 송신 전력 레벨에 응답하여 세밀하게 제어된 드레인 전류의 양에 따라 N개의 스테이지에 대해 최대량 Idmax에서 최소량 Idmax/N으로 제어될 수 있다는 것을 말하는 것이다.

따라서, 이러한 증폭기에 대한 효율 및 저전력 소모 결과는 더 커질 수 있다.

제3 실시예

5. 본 실시예의 고주파 증폭기로서의 송신 전력 증폭기의 구조의 일례(3)

다음에는, 제9도에 도시된 바이어스 제어기(17) 및 송신 전력 증폭기(15)를 구비하는 고주파 증폭기의 제3 실시예를 제14도를 사용하여 설명하기로 한다.

고주파 증폭기는 드레인 바이어스 제어기(17D) 및 송신 전력 증폭기(15)로 구성되어 있다.

본 실시예에서, N개의 FET 그룹들(#1 내지 #N)은 제13도의 실시예와 동일한 방식으로 형성되어 있다. 그러나, 제13도의 실시예와의 차이점은 FET 그룹들(#1 내 지 #N) 각각에 대한 드레인 전압(Vd#1 내지 Vd#N)이 드레인 바이어스 제어기(17D)에 의해 제어된다는 점이다.

이러한 고주파 증폭기의 송신 전력 증폭기(15)는 정합 회로(20a, 20b), FET 그룹들(#1, #2,...,#N), DC 차단 커패시터(C#1, C#2,..., C#N), 및 게이트 저항기(Rg)를 구비하고 있다.

그룹들(#1, #2,...,#N) 각각의 게이트 전극 각각은 접속되어 있으며, 일정한 게이트 전압(Vg)(동작 게이트 전압:Vg-on)이 게이트 저항기(Rg)를 거쳐 인가된다.

그룹들(#1, #2,...,#N) 각각의 드레인 전극 각각은 DC 차단 커패시터(C#1, C#2,...,C#N)에 의해 절연되어 있으며, 고주파수에 대해서는 접속되어 있다.

Idmax/N의 드레인 전류는 그 다음에 드레인 전극 각각에 드레인 전압(Vd#1 내지 Vd#N)을 인가함으로써 흐르게 할 수 있다.

FET 그룹들(#1 내지 #N) 각각에 대한 드레인 전압(Vg#1 내지 Vg#N) 각각은 드레인 바이어스 제어기(17D)에 의해 제공된다.
동작 드레인 전압(Vd-on) 및 0 V(Vd-off)는 드레인 바이어스 제어기(17D)에 의해 얻어지며, 동작 드레인 전압(Vd-on)은 드레인 전압(Vd#1)으로서 FET 그룹(#1)에 제공된다.
반면에, 동작 드레인 전압(Vg-on) 및 0 V의 전압은 단극 2로 스위치(25-2 내지 25-N)의 단자 각각에 제공되며, 스위치(25-2 내지 25-N)는 고주파 쵸크 코일(Ld#2 내지 Ld#N)을 거쳐 각각의 FET 그룹들(#2 내지 #N)의 전극들 각각에 접속되어 있다. 즉, 동작 드레인 전압(Vg-on)과 전압(0 V) 중 어느 것이 각각의 스위 치(25-2 내지 25-N)에서 선택된 전압으로서 존재하든 지간에 드레인 전압(Vd#2 내지 Vd#N)으로서 FET 그룹들(#2 내지 #N)에 제공된다.
고주파 쵸크 코일(Ld#1 내지 Ld#N)은 드레인 전극의 고주파 신호들이 DC 바이어스 회로에 흐르지 못하도록 차단하기 위한 것이다. 따라서, 이들은 충분히 큰 임피던스를 갖는 집중 상수 소자 또는 1/4 파장 고임피던스 라인 등으로 대체될 수도 있다.
스위치(25-2 내지 25-N)는 송신 전력 제어 정보(S3)의 각 항목들의 값에 응답하여 스위치 제어기(27)에 의해 개별적으로 전환된다. 이러한 사실은 본 실시예에서는 동작 게이트 전압(Vg-on)을 제공하는 FET 그룹들이 N개의 스테이지들에서 단지 하나의 FET 그룹(#1)에서 모든 FET 그룹들(#1 내지 #N)로 변동될 수 있음을 말해주는 것이다.
게다가, 동작 드레인 전압(Vd-on)이 제공되는 FET 그룹들(#2 내지 #N)의 FET 그룹들은 동작 상태에 있고, 드레인 전류는 Idmax/N이 된다. 반면에, 0 V의 전압이 제공된 FET 그룹들은 동작 상태에 있지 않으며, 드레인 전류는 흐르지 않는다.
이러한 종류의 고주파 증폭기에 있어서, 스위치(25-2 내지 25-N) 모두는 송신 전력이 송신 전력 제어 정보(S3)에 의해 최대로 설정되어 있을 때에 동작 드레인측 전압(Vd-on) 측으로 전환되고, FET 그룹들(#1 내지 #N) 모두는 동작 상태로 들어가며 증폭기 회로는 고레벨로 출력할 수 있게 된다.
송신 전력이 송신 전력 제어 정보(S3)로 인해 강하될 때, 소정의 수의 스위치(25-2 내지 25-N)는 이러한 강하 스테이지에 수반하도록 0 V 측으로 전환되며, 드레인 전압(Vd)이 0 V인 소정의 수의 FET 그룹들은 오프로 된다.
송신 전력이 최소로 설정될 때는, 스위치(25-2 내지 25-N) 모두는 송신 전력 제어 정보(S3)의 값에 근거하여 0 V로 전환되며, 단지 FET 그룹(#1)만이 동작하게 된다.
이러한 사실은 본 실시예에 있어서, 드레인 전류의 양은 송신 전력 레벨에 응답하여 N 스테이지까지 최대량(Idmax)에서 최소량(Idmax/N)으로 제어되어, 드레인 전류의 양은 송신 전력 레벨에 응답하여 세밀하게 제어될 수 있다.
따라서, 이러한 증폭기에 대한 효율 및 저전력 소모 결과는 더 커질 수 있다.
6. 본 실시예의 고주파 증폭기로서의 수신 증폭기에 대한 구성의 일례(1)
제15도의 수신 증폭기(3) 및 바이어스 제어기(18)를 구비하는 고주파 증폭기의 실시예를 이제부터 설명하기로 한다.
이러한 고주파 증폭기는 게이트 바이어스 제어기(18G) 및 수신 증폭기(3)를 구비하고 있다.
이러한 고주파 증폭기의 수신 증폭기(3)는 정합 회로(30a, 30b), FET 그룹들(#1, #2,.., #N), DC 차단 커패시터(C#1, C#2,...,C#N), 게이트 저항기(Rg#1, Rg#2,..., Rg#N), 및 고주파 쵸크 코일(Ld)을 구비하고 있다.
FET 그룹들(#1, #2,...,#N)의 게이트 전극들 각각은 DC 차단 커패시터(C#1, C#2,...,C#N)에 의해 DC 절연되어 있으며 고주파에 대해서는 접속되어 있다. FET 그룹들(#1, #2,...., #N)의 각각의 게이트 전극들은 게이트 저항기(Rg#, Rg#2,..., Rg#N)에 의해 접속되어 있다.
게다가,FET 그룹들(#1, #2,...,#N)의 드레인 전극들은 접속되어 있으며 일정한 드레인 전압(Vd)이 고주파 쵸크 코일(Ld)을 통해 인가된다.
즉, 이러한 수신 증폭기(3)는 전술한 제13도의 송신 전력 증폭기(15)와 유사한 방식으로 구성되어 있다.
FET 그룹들(#1 내지 #N) 각각에 대한 게이트 전압(Vg#1 내지 Vg#N)은 게이트 바이어스 제어기(18G)에 의해 제공되며, 이러한 게이트 바이어스 제어기(18G)는 또한 제13도의 게이트 바이어스 제어기(17G)와 유사한 방식으로 구성되어 있다, 즉 FET 그룹들(#2 내지 #N)에 대한 게이트 전압(Vg#2 내지 Vg#N)은 스위치 제어기(33)를 사용하여 FET 그룹들(#2 내지 #N)의 게이트 저항기(Rg#2 내지 Rg#N)에 접속된 스위치(31-2 내지 31-N)를 개별적으로 전환함으로써 동작 게이트 전압(Vg-on) 또는 핀치 오프 전압(Vp)보다 낮은 오프 게이트 전압(Vg-off) 중 하나가 되도록 제어된다. 이와 같이, FET 그룹들(#2 내지 #N) 각각은 동작 상태 또는 비동작 상태에 있도록 설정될 수 있다.
이러한 경우에, 스위치 제어기(33)는 수신된 신호 세기 레벨 정보(S1)에 응답하여 스위치(31-2 내지 31-N) 각각에 대한 전환 설정을 수행한다.
동작 게이트 전압(Vg-on)을 제공하는 FET 그룹들은 수신된 신호 세기 레벨 정보(S1)에 근거하여 스위치(31-2 내지 31-N) 각각의 스위칭 상태를 설정함으로써 N개의 스테이지에서 단지 FET 그룹(#1)에서 FET 그룹들(#1 내지 #N) 모두로 변경된다.
이러한 고주파 증폭기에 있어서, 드레인 전류의 양은 수신된 신호의 세기에 응답하여, 즉 수신 증폭기(3)에 대한 입력 신호 레벨에 응답하여 N 개의 스테이지에서 최대 Idmax에서 최소 Idmax/N 사이에서 전환된다. 이러한 사실은 저입력 레벨의 경우에 이 레벨에 응답하여 드레인 전류를 감소시킴으로써 충분한 효율 결과 및 저전력 소모 결과를 달성할 수 있다.
7. 본 실시예에 대한 고주파 증폭기로서의 수신 증폭기의 구조의 일례(2)
이하는 제16도의 수신 증폭기(3) 및 바이어스 제어기(18D)를 구비하는 고주파 증폭기의 제2 실시예에 대한 설명이다.
이러한 고주파 증폭기는 드레인 바이어스 제어기(18D) 및 수신 증폭기(3)로 구성되어 있다.
이러한 고주파 증폭기의 수신 증폭기(3)는 정합 회로(30a, 30b), FET 그룹들(#1, #2,..., #N), DC 차단 커패시터(C#1, C#2,...,C#N), 및 게이트 저항기(Rg#1, Rg#2,..., Rg#N)를 구비하고 있다.

FET 그룹들(#1, #2,...,#N)의 게이트 전극들 각각은 DC 차단 커패시터(C#1, C#2,...,C#N)에 의해 DC 절연되어 있으며 고주파에 대해서는 접속되어 있다. 각각의 드레인 전류(Idmax/N)는 그 다음에 드레인 전극 각각에 드레인 전압(Vd#1 내지 Vd#N)을 인가함으로써 흐르게 된다.
이러한 사실은 수신 증폭기(3)가 전술한 제14도의 송신 전력 증폭기(15)와 동일한 구조를 가지고 있다는 것을 말해준다.
FET 그룹들(#1 내지 #N) 각각에 대한 드레인 전압(Vd#1 내지 Vd#N)은 드레인 바이어스 제어기(18D)에 의해 제공되며, 이러한 드레인 바이어스 제어기(18D)는 또한 제14 의 드레인 바이어스 제어기(17D)와 동일한 방식으로 구성되어 있다, 즉 FET 그룹들(#2 내지 #N)에 대한 각각의 드레인 전압(Vd#2 내지 Vd#N)은 스위치 제어기(36)를 사용하여 고주파 쵸크 코일(Ld#2 내지 Ld#N)을 통해 FET 그룹들(#2 내지 #N)의 드레인 전극에 접속된 스위치(34-2 내지 34-N)를 개별적으로 전환함으로써 동작 드레인 전압(Vd-on) 또는 0 V의 전압 중 하나가 되도록 제어된다. 이와 같이, FET 그룹들(#2 내지 #N) 각각은 동작 상태 또는 비동작 상태에 있도록 설정될 수 있다.
이러한 경우에, 스위치 제어기(36)는 수신된 신호 세기 레벨 정보(S1)에 응답하여 스위치(34-2 내지 34-N) 각각에 대한 전환을 수행한다.
수신된 신호 세기 레벨 정보(S1)에 근거하여 스위치(34-2 내지 34-N) 각각의 상태를 스위칭함으로써, 동작 드레인 전압(Vd-on)을 제공하는 FET 그룹들은 N개의 스테이지에서 단지 FET 그룹(#1)만의 경우에서 FET 그룹들(#1 내지 #N) 모두의 경우로 변경될 수 있다.
이러한 고주파 증폭기에 있어서, 드레인 전류의 양은 수신된 신호의 세기에 응답하여, 즉 수신 증폭기(3)에 대한 입력 신호 레벨에 응답하여 N 개의 스테이지에서 최대 Idmax에서 최소 Idmax/N 사이에서 전환된다. 이러한 사실은 저입력 레벨의 경우에, 이 레벨에 응답하여 드레인 전류를 감소시킴으로써 충분한 효율 결과 및 저전력 소모 결과를 달성할 수 있다.
8. 본 실시예의 고주파 증폭기에서 행해지는 FET 그룹 설정의 일례(1)
전술한 각 실시예들로서 고주파 증폭기에 대해 기술하였다. 그러나, 본 발명의 고주파 증폭기에서 행해지는 FET 그룹들의 그룹 분할 및 설정 방법에 대해서는 이제부터 설명하기로 한다.
설정 방법의 예 1에서는 고주파 증폭기의 FET 그룹 각각은 동일 수의 FET 유닛들을 사용하여 형성된다.
예를 들어, 하나의 FET 그룹이 예를 들어 제17A도에 도시된 바와 같이, n개의 FET 유닛들(FET-1 내지 FET-n)을 사용하여 형성되어 있고 증폭기가 제17B도에 도시된 4개의 FET 그룹들(#1 내지 #4)가지고 있는 일례를 생각해보자.
이러한 증폭기에 있어서, 입력 전력(Pin)은 정합 회로(40a)를 거쳐 FET 그룹(#1 내지 #4)에서 증폭되어 정합 회로(40b)를 거쳐 출력 전력(Pout)으로서 출력된다. FET 그룹들(#1 내지 #4)에 대한 게이트 전압(vg#1 내지 Vg#4)은 그 다음에 제11도, 제13도, 및 제15도의 실시예에 대해 언급한 것과 동일한 방식으로 제17C도의 게이트 바이어스 제어기의 스위치(41, 42, 43)를 전환함으로써 설정된다.
이러한 경우에, FET 그룹들(#1 내지 #4)은 각각 n개의 FET 유닛들을 구비하고 있으며, FET 그룹들(#1 내지 #4) 각각이 동작 상태에 있을 때에 흐르는 드레인 전류는 Idmax/N이 된다.
그러므로, 스위치 제어기(44)에 의해 스위치(41, 42, 43)의 스위칭을 사용하여 4개의 제어 스테이지가 동작 제어에서 가능하게 된다: 스위치(41, 42, 43) 모두가 동작 게이트 전압(Vg-on) 측에 있는 경우, 스위치(41, 42, 43)중 2개의 스위치가 동작 게이트 전압(Vg-on) 측에 있는 경우, 스위치(41, 42, 43) 중 한 개의 스위 치가 동작 게이트 전압(Vg-on) 측에 있는 경우, 및 스위치(41, 42, 43) 모두가 오프 게이트 전압(Vg-off) 측에 있는 경우.
즉, FET 그룹들 각각이 제17A도에 도시한 바와 같이 동일 수의 FET 유닛들을 구비하고 있을 때, 제17B도 및 제17C도는 FET 그룹 수와 동일 수의 스테이지에서 가능하다.
9. 본 실시예의 고주파 증폭기에서 행해지는 FET 그룹의 설정의 일례(2)
제18A도 및 제18B도의 일례는 FET 그룹들 각각을 구비하는 FET 유닛들의 수가 서로 다른 일례에 대한 것이다.
이러한 경우에, 3개의 FET 그룹들(#1 내지 #3)이 제18A도에 도시한 바와 같이 제공되어 있으며, FET 그룹(#1)은 4개의 FET 유닛(FET-1 내지 FET-4)을 구비하며, FET그룹(#2)은 2개의 FET 유닛(FET-1, FET-2)을 구비하고, FET 그룹(#3)은 단지 1개의 FET 유닛(FET-1)만을 구비하고 있다.
FET 그룹들(#1 내지 #4) 각각에 대한 게이트 전압(Vg#1 내지 Vg#4) 각각은 제18B도의 게이트 바이어스 제어기의 스위치(45, 46, 47)를 전환함으로써 설정된다. 그러나, 스위치 제어기(48)는 스위치(45, 46, 47)의 결합을 동작 게이트 전압(Vg-on)을 설정함으로써 7개의 스테이지에서의 드레인 전류의 양을 제어할 수 있다.
이러한 7개의 스테이지 제어는 제19도에 도시되어 있다. 도면에서의 FET 그룹들(#1 내지 #3)에 관하여, 'on'은 동작 게이트 전압(Vg-on)이 FET 그룹에 제공되어 이 그룹이 동작 중일 때를 나타내며, 'off'는 오프 게이트 전압(Vg-off)이 제공 되어 FET 그룹이 동작 중이 아닐 때를 나타낸다.
이러한 사실은 스위치(45, 46, 47) 모두가 동작 게이트 전압(Vg-on) 측으로 설정되어 있을 때, FET 그룹들(#1 내지 #3) 모두가 '온'이고 드레인 전류는 최대(Idmax)이다.
게다가, 단지 스위치(47)만이 오프 게이트 전압(Vg-off)으로 되어 있을 때는, FET 그룹들(#1, #2)이 '온'으로 된다, 즉 7개의 FET 유닛들 중 6개가 동작 중이며, 전체 드레인 전류는 (6/7) Idmax가 된다.
도면에 도시한 방식으로 동작 FET 그룹을 선택함으로써, 드레인 전류는 (5/7) Idmax, (4/7) Idmax, (3/7) Idmax, (2/7) Idmax, 및 (1/7) Idmax 사이에서 스위칭될 수 있다.
즉, 각 FET 그룹내의 FET 유닛들의 수가 동일하게 되어 있지 않을 때, 각 그룹들에 대해 가중치를 줌으로써 그룹의 수보다 더 많은 수의 스테이지에 대한 제어가 가능하게 된다.

이러한 그룹 분할 및 설정의 일례를 게이트 바이어스 제어의 실시예를 사용하여 설명하였지만, 이러한 것은 드레인 바이어스 제어의 실시예가 주어졌다면 동일할 것이다.

10. 본 실시예의 고주파 증폭기에서 행해지는 FET 구조의 일례(1)

다음에, 본 실시예에 대한 FET 구조가 제20A도 및 제20B도에 도시되어 있다. 제20A도는 8개의 FET 유닛들이 각각 4개의 FET 유닛들을 포함하는 2개의 FET 그룹(#1, #2)으로 분할되어 있는 구조의 일례를 도시한 것이다.

선행 스테이지의 정합 회로로부터의 신호는 입력 라인(I)으로부터 입력된다. 입력 라인(I)은 상부 금속층으로 형성된 2개의 게이트 라인(Gc#1, Gc#2)에 접속되어 있다. 그러나, 제20B도에 도시된 종류의 유전층이 게이트 라인(Gc#1, Gc#2) 각각과 입력라인(I) 사이에 배치되어 있다, 즉 DC 차단 커패시터(C#1, C#2)가 형성된다.

게다가, 게이트 전압(Vg#1)은 게이트 저항기(Rg#1)를 포함하는 부분을 거쳐 게이트 라인(Gc#1)에서 인가되며, 마찬가지로, 게이트 전압(Vg#2)은 게이트 저항기(Rg#2)를 포함하는 부분을 거쳐 게이트 라인(Gc#2)에서 인가된다.

4개의 게이트 전극(G1 내지 G4)은 그 다음에 게이트 라인(Gc#1)으로부터 유도되며, 4개의 게이트 전극(G5 내지 G8)은 게이트 라인(Gc#2)으로부터 유도된다.

드레인 전극(D1 내지 D4)은 하부 금속층으로서 형성되며 이 모두는 상부 금속층에 존재하는 드레인 라인(Dc)에 접속된다.

게다가, 소오스 전극(S1 내지 S5)은 하부 금속층으로서 형성되고, 이 모두는 상부 금속층에 존재하는 소오스 라인(Sc)에 접속되며 이 소오스 라인(Sc)은 접지되어 있다.

이러한 경우에, 드레인 전극 및 소오스 전극은 8개의 FET 유닛들(FET-1, FET-2,...,FET-8)을 형성하도록 게이트 전극(G1 내지 G8) 각각의 양측에 위치하고 있다. 게다가, 게이트 전극(G1 내지 G4) 및 게이트 전극(G5 내지 G8)은 DC 절연되어 있으며, 고주파에 대해서는 접속되어 있고, FET 그룹(#1) 및 FET 그룹(#2)을 각각 형성하도록 인가된 게이트 전압(Vg#1, Vg#2)을 갖는다.

이러한 유형의 구조를 사용함으로써, 상기한 실시예 각각에 있어서의 고주파 증폭기를 실현할 수 있다. FET 그룹들의 분할에 대한 설정에 관한 구조 또는 FET 유닛들의 수에 있어서의 변형이 있을 수 있음은 말할 필요도 없다. 또한, 상기 예는 게이트 바이어스가 제어되는 실시예에 해당하는 것이다. 그러나, 드레인 바이어스가 제어되고, FET 그룹들의 각각의 드레인 라인 측은 DC에 대해 절연되어 있으며 고주파수에 대해서는 접속되어 있고, 고유의 드레인 전압(Vd#1 내지 Vd#N)이 인가되는 실시예도 채택할 수 있다.

11. 본 실시예의 고주파 증폭기에 있는 FET의 구조의 일례(2)

그러나, FET 유닛들이 도면의 상부와 하부로 된 그룹으로 분할되어 있는 제20A도에 도시한 경우에 있어서, 한가지 바람직하지 않은 점이 발생한다.

제20A도의 FET 그룹(#2)이 오프이고, 단지 FET 그룹(#1)만이 동작하고 있는 경우를 생각해보자. 이 때에 입력된 고주파 신호는 FET 그룹(#1)의 FET 유닛들 사이에서 분할되어 게이트 전극(G1 내지 G4) 각각으로부터 드레인 전극(Dc)으로 전송된다. 이 때, 제20A도의 화살표(P1, P2)로 도시한 바와 같이, 전달 거리가 최대인 신호(P1)에 대한 거리와 전달 거리가 최소인 신호(P2)에 대한 거리에 있어서 차이점이 있고, 따라서 신호 위상차가 발생하게 된다. 이러한 것이 고주파 특성에서 나타나는 이득 등을 저하시키는 등의 열화를 야기할 수 있다.

따라서, 제21도의 구조를 FET에 대해 살펴보기로 하자.

제21도의 구조에 있어서, FET 그룹(#2)에 대한 게이트 라인(Gc#2)은 FET 그룹(#1)에 대한 게이트 라인(Gc#1)의 양측에서 2개로 분할되어 있다. 게이트 전극(G3 내지 G6)은 그 다음에 중앙에 위치하고 있는 게이트 라인(Gc#1)으로부터 유도되며, 게이트 전극(G1, G2, G7, G8)은 양측에 위치한 게이트 라인(Gc#2)으로부터 유도된다.

이러한 사실은 입력된 고주파 신호의 전달 방향에 대해서 대칭적으로 위치한 FET 유닛들이 동일한 FET 그룹내에 포함되어 있다는 것을 말해준다.

이러한 경우에, 단지 FET 그룹(#1)만이 동작하고 있는 경우를 생각해보면, 전달 거리가 가장 긴 신호(P4)에 대한 거리와 전달 거리가 가장 짧은 신호(P3)에 대한 거리에 있어서의 차이를 작게 만들 수 있으며, 이 결과, 이득 특성을 개선하게 된다.

12. 본 실시예에서 사용되는 가변 바이어스 스위치의 일례

릴레이 스위치, 또는 반도체 스위치 IC 등이 본 실시예의 바이어스 제어 회로(17:17G, 17D)에서 이용되는 스위치(21, 22-2, 22-N, 25-2, 31-2, 31-N, 34-2, 34-N, 41 내지 43, 및 45 내지 47)로서 사용될 수 있다.

게이트 바이어스 제어기 회로(17G, 18G)에서 사용되는 스위치의 일례가 제22도에 도시되어 있다.

이 스위치는 증가형 FET(50) 및 저항기(R10, R11)를 구비하고 있다.

이 경우에, 증폭기의 FET 그룹(#n)의 게이트 전압(Vg#n)은 0 V 또는 포지티브 전압 논리 신호를 FET(50)의 게이트 전극에 제공함으로써 제어될 수 있다.

드레인 바이어스 제어기 회로(17D, 18D)에서 사용되는 스위치의 일례는 제22도에 도시되어 있다.

이 스위치는 FET(51) 및 저항기(R12)를 구비하고 있다.

이 경우에, 증폭기의 FET 그룹(#n)의 게이트 전압(Vg#n)은 0 V 또는 +Vds[V] 논리 신호를 FET(50)의 게이트 전극에 제공함으로써 제어될 수 있다.

제22도 및 제23도의 스위치 일례의 구조는 간단하고, 증폭기에서 사용되는 FET에 대해 사용되는 것과 동일한 제조 공정을 사용하여 회로 내로 일체화될 수 있다. 따라서, 전체적인 고주파 증폭기는 더 작게 되며 이로 인해 단가가 더 저렴하게 된다.

13. 본 실시예의 효과

본 실시예의 효과에 관해서, 제24도는 FET 유닛의 전체 수의 절반은 FET 그룹(#1)으로 되어 있고, 1/4은 FET 그룹(#2)으로 되어 있으며 나머지 1/4은 FET 그룹(#3)으로 되어 있는 고주파 증폭기의 출력 전력(Pout)에 대한 전력 효

율(PAE)의 특성을 나타내고 있다.
이 경우에, FET 그룹(#1)은 출력 전력 Pout = 22.5dBm일 때에 오프되며, FET 그룹(#1, #3)은 출력 전력 Pout = 14.5dBm일 때에 오프된다.
제24도로부터 분명한 바와 같이, 저전력 입력시의 효율은 FET 그룹(#1)이 오프일 때의 특성 ③ 및 FET 그룹(#1, #3)이 오프일 때의 특성 ④에 의해 도시된 바와 같이, 제어가 없을 때의 증폭기의 효율 특성(특성 ①)에 비해 극적으로 개선된다.
예를 들어, 효율은 출력 전력 Pout = 10 dBm일 때에 1.7%에서 7%로 개선된다. 이것이 저전력 소모로 변환되면, 588mW에서 143mW로 개선되고, 저전력 소모는 약 1/4로 된다.
제4도를 사용하여 종래예에 대해 설명한 바와 같이, 제어 전압의 범위는 종래의 게이트 바이어스 제어 방법(제4도의 Vg-on 에서 Vg-on1)에서는 작게 해야 하고 따라서 저전력 소모 결과도 또한 작아져야만 했다. 게다가, 제어 전압 레벨에 있어서의 안정성은 제어 전압(Vg-on 및 Vg-on1)의 양자에 있어서의 차이가 증폭기 특성에 직접적으로 영향을 미치기 때문에 필수적이다.
본 실시예에 따르면, 제어 전압의 범위를 볼 때, 범위는 Vg-on에서 핀치-오프 전압보다 작은 오프 게이트 전압(Vg-off)으로 된다, 즉 이것은 제4도의 W로 나타낸 넓은 범위로 된다. 게다가, 오프 게이트 전압(Vg-off)에서의 변동은 증폭기 특성에 거의 아무런 영향도 미치지 않는다(실제로는, 오프 게이트 전압(Vg-off)만이 FET를 오프시킬 수 있는 전압이어야 하며 엄격한 값으로 제어될 필요는 없다).
또한, 게이트 전압이 종래의 게이트 바이어스 제어 방법에서 Vg-on으로 설정되었을 때, FET 동작 클래스는 클래스 B에 가까웠으며, 이는 이득의 강하 및 왜곡 특성 열화와 관련된다. 이 때문에, 제어 전압에 대하여 더 좁은 범위가 채택되었으며 저전력 소모 결과도 작았다.
본 실시예의 경우에는, 이 점에서 보다 더 안정된 이득 및 왜곡 특성이 출력 전력에 관계없이 달성되는데, 그 이유는 정상 동작 상태에 있는 FET의 동작 클래스가 변동하지 않기 때문이다.
상기한 것과 동일한 효과는 드레인 바이어스 방법의 실시예에 대해서도 말할 수 있다.
이러한 사실은 종래의 드레인 바이어스 제어 방법에서 두 종류의 다른 전압레벨(Vds-h, Vds-1)이 제6도에 도시한 바와 같이 드레인 전압으로서 필요하였으며, 제어 전압(Vds-h, Vds-1) 모두의 변동이 증폭 특성에 큰 영향을 미쳤다.
이것과 관련하여, 본 실시예에서는 제어 전압(Vd-on)은 0 V로 된다, 즉 한 종류의 전압 레벨만을 발생하면 되며, 제어 전압의 범위가 넓어진다.
게다가, 드레인 전압이 종래의 방법에서는 Vds-1로 되어 있을 때, 이득 및 왜곡 특성의 열화의 감소가 바이어스 상태의 변동으로 인해 발생하였다. 그러나, 본 실시예에서는, 동작 중인 FET 바이어스 상태는 통상적으로 유지되며, 이득 강하 및 왜곡 특성 열화가 일어나지 않는다.
상기한 실시예에서, FET가 증폭 소자로서 사용된 경우에 대하여 기술하였지만, 바이폴라 트랜지스터를 사용한 경우에도 동일한 효과가 얻어진다.
또한, 본 실시예가 단일 스테이지 증폭기에 대해 설명되어 있지만, 본 발명은 직렬 접속된 다중 스테이지 증폭기에 적용될 수도 있다.
특히, 다수의 증폭기를 직렬 접속함으로써 구동 스테이지에 대한 저전력 소모도 달성할 수 있다.
게다가, 무선 통신 단말기가 제9도 및 제10도의 송신 및 수신 장치의 일례로서 주어져 있지만 본 발명은 일반적으로 송신 전력 제어를 행하는 통신 장치 및 수신 신호 레벨을 변경하는 통신 장치에도 적용될 수 있다.
특히, 본 발명은 또한 디지털 셀룰러 단말기 또는 위성 통신 단말기 등의 무선 통신 단말기에서 회로 용량을 유지하기 위하여 이동국에서의 광역 다이나믹 레 이지 송신 전력 제어를 수행하기 위한 시스템에도 적용된다.
본 발명의 고주파 증폭기는 서로 전기적으로 접속된 드레인 전극과 고주파수에 대해서는 접속되어 있는 반면 DC 절연되어 있는 게이트 전극을 갖는 하나 또는 복수의 소오스-접지된 FET 유닛들로 구성된 제1 내지 제N FET, 및 상기 제1 내지 제N FET 각각에 개별적으로 제공된 전압 레벨을 전환할 수 있는 게이트 바이어스 제어기로 구성되어 있다.
그 대신에, 본 발명의 고주파 증폭기는 서로 전기적으로 접속된 게이트 전극과 고주파수에 대해서는 접속되어 있는 반면 DC 절연되어 있는 드레인 전극을 갖는 하나 또는 복수의 소오스-접지된 FET 유닛들로 구성된 제1 내지 제N FET, 및 상기 제1 내지 제N FET 각각에 개별적으로 제공된 전압 레벨을 전환할 수 있는 게이트 바이어스 제어기로 구성되어 있다.
이 때문에, 각각의 FET 그룹을 제어하여 동작 상태 또는 비동작 상태에 있도록 개별 FET 그룹의 바이어스를 전환함으로써, 증폭기의 이득 및 왜곡 특성의 열화를 피하게 되며 저전력 출력시에 충분히 낮은 전력 소모를 달성할 수 있다.
이러한 고주파 증폭기를 제1 내지 제N FET 그룹 각각을 구비하는 FET 유닛의 수가 동일하지 않은 방식으로 구성함으로써, 많은 수의 제어 스테이지를 설정할 수 있으며 FET 그룹의 수를 증가시키지 않고도 출력 전력에 응답하여 정밀한 제어도 가능하다.
게다가, 제1 내지 제N FET 그룹을 입력된 고주파 신호의 전달 방향을 따라 대면하는 FET 유닛들 각각이 동일한 FET 그룹내에 포함되어 있도록 설정함으로써 이득 특성의 열화를 예방할 수 있는 증폭기를 실현할 수 있다.
또한, 본 발명의 송신 장치에서는, 송신 전력 제어를 행할 수 있으며, 고주파 증폭기의 FET 그룹들 각각에 대한 바이어스 전압을 고주파 송신 신호 레벨 정보에 근거하여 동작 전압과 오프 전압사이에서 개별적으로 전환함으로써 불필요한 전력 소모를 감소시킬 수 있다.
그 밖에도, 저레벨 입력시에 이러한 수신 장치에서는 고주파 증폭기의 FET 그룹들 각각에 대한 바이어스 전압을 수신된 신호 세기 정보에 근거하여 동작 전압과 오프 전압사이에서 개별적으로 전환함으로써 낭비적인 전력 소모를 감소할 수 있다.

(57) 청구의 범위

청구항 1.
무선 주파수 신호를 증폭하기 위한 무선 주파수 증폭기에 있어서,
상기 무선 주파수 신호의 신호 세기 레벨과 상기 무선 주파수 신호에 포함된 지시 신호 중 적어도 한 신호에 기초한 상기 무선 주파수 신호를 증폭하기 위한 것으로서, 병렬로 접속된 복수의 능동 소자 그룹을 포함하며, 상기 복수의 능동 소자 그룹은 각기 신호를 증폭하기 위한 하나 이상의 능동 소자(active element)를 포함하고 있으며, 상기 하나 이상의 능동 소자들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 능동 소자들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 전력 증폭 수단;
상기 신호 세기 레벨과 상기 지시 신호 중 상기 적어도 한 신호를 수신하고 전력 제어 정보 신호를 생성하기 위한 전력 제어 수단; 및
상기 하나 이상의 능동 소자들 각각의 각 제어 구조에 접속되어, 상기 전력 제어 수단으로부터의 상기 전력 제어 정보 신호에 기초하여 상기 복수의 능동 소자 그룹의 상기 능동 소자들의 바이어스 전압을 개별적으로 제어하기 위한 바이어스 제어 수단을 구비하며,
상기 복수의 능동 소자 그룹들 각각은 상기 무선 주파수 신호를 증폭하기 위해 바이어스되는 다수의 능동 소자 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능해지는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 2.
제1항에 있어서,
상기 하나 이상의 능동 소자들은 FET를 포함하고, 상기 제어 구조는 상기 FET 각각의 게이트이며, 상기 바이어스 제어 수단은 상기 FET의 각 게이트 바이어스 전압을 제어하는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 3.
제1항에 있어서,
상기 하나 이상의 능동 소자들은 FET를 포함하고, 상기 제어 구조는 상기 FET 각각의 드레인이며, 상기 제어 수단은 상기 FET의 각 드레인 전압을 제어하는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 4.
제2항에 있어서,
상기 복수의 능동 소자 그룹들은 각각 동일한 갯수의 FET를 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 5.
제3항에 있어서,
상기 복수의 능동 소자 그룹들은 각각 동일한 갯수의 FET를 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 6.
제2항에 있어서,
상기 복수의 능동 소자 그룹들 중 2개 이상의 그룹들은 상이한 개수의 FET를 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 7.
제3항에 있어서,
상기 복수의 능동 소자 그룹들 중 2개 이상의 그룹들은 상이한 갯수의 FET를 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 8.
제6항에 있어서,
상기 복수의 능동 소자 그룹들은 각각 2n(여기서, n은 양의 정수임)개의 FET를 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 9.
제7항에 있어서,
상기 복수의 능동 소자 그룹들은 각각 2n(여기서, n은 양의 정수임)개의 FET를 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 10.
제2항에 있어서,
상기 하나 이상의 능동 소자들을 포함하는 상기 FET는 상기 단일의 입력 단자를 따라 상기 신호의 전파 방향에 대해 대칭적으로 위치하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 11.
제3항에 있어서,
상기 하나 이상의 능동 소자들을 포함하는 상기 FET는 상기 단일의 입력 단자를 따라 상기 신호의 전파 방향에 대해 대칭적으로 위치하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 12.
제2항에 있어서,
상기 바이어스 제어 수단은 FET 스위치들을 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 13.
제3항에 있어서,
상기 바이어스 제어 수단은 FET 스위치들을 포함하고 있는 것을 특징으로 하는 무선 주파수 증폭기.

청구항 14.
전파를 송신하는 송신기에 있어서,
기저대역 신호를 처리하는 기저대역 신호 처리 수단;
상기 기저대역 신호를 사용하여 선정된 신호를 변조하는 변조 수단;
상기 신호를 증폭하는 하나 이상의 FET들을 각각이 포함하고 있으며, 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 복수의 능동 소자 그룹들을 포함하는, 무선 주파수 신호를 증폭하기 위한 전력 증 폭 수단; 및
상기 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 전압을 제어하는 바이어스 제어 수단을 구비하며,
상기 복수의 그룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스 됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능해지는 것을 특징으로 하는 송신기.

청구항 15.
전파를 송신하는 송신기에 있어서,
기저대역 신호를 처리하는 기저대역 신호 처리 수단;
상기 기저대역 신호를 사용하여 선정된 신호를 변조하는 변조 수단;
상기 신호를 증폭하는 하나 이상의 FET들을 각각이 포함하고 있으며, 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 복수의 능동 소자 그룹들을 포함하는, 무선 주파수 신호를 증폭하기 위한 전력 증폭 수단; 및
상기 복수의 능동 소자 그룹들의 상기 FET들의 드레인 전압을 제어하는 바이어스 제어 수단을 구비하며,
상기 능동 소자 그룹들 각각의 상기 FET용 드레인 전압이 개별적으로 제어되어 상기 신호를 증폭하는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택 가능하게 됨으로써, 상기 복수의 능동 소자 그룹들의 이득을 선택가능한 것을 특징으로 하는 송신기.

청구항 16.
무선 주파수 신호를 수신하기 위한 수신기에 있어서,
상기 신호를 증폭하는 하나 이상의 FET들을 각각이 포함하고 있으며, 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 복수의 능동 소자 그룹들을 포함하는, 수신된 무선 주파수 신호를 증폭하기 위한 무선 주파수 증폭 수단;
상기 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 전압을 제어하는 바이어스 제어 수단 -상기 복수의 그룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능함- ;
상기 무선 주파수 증폭 수단의 출력 신호를 복조하는 복조 수단; 및
상기 복조 수단의 출력 신호를 처리하는 기저대역 신호 처리 수단을 포함하는 것을 특징으로 하는 수신기.

청구항 17.
무선 주파수 신호를 수신하기 위한 수신기에 있어서,
상기 신호를 증폭하는 하나 이상의 FET들을 각각이 포함하고 있으며, 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합되어 단일의 출력 단자를 형성하고 있는 복수의 능동 소자 그룹들을 포함하는, 수신된 무선 주파수 신호를 증폭하기 위한 무선 주파수 증폭 수단;
상기 복수의 능동 소자 그룹들의 상기 FET의 드레인 전압을 제어하는 바이어스 제어 수단 -상기 복수의 그룹들 각각의 상기 FET들의 드레인 전압이 개별적으로 제어되어 상기 신호를 증폭하는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하게 됨으로써, 상기 복수의 능동 소자 그룹들의 이득이 선택가능함- ;
상기 무선 주파수 증폭 수단의 출력 신호를 복조하는 복조 수단; 및
상기 복조 수단의 출력 신호를 처리하는 기저대역 신호 처리 수단을 포함하는 것을 특징으로 하는 수신기.

청구항 18.
무선 신호를 송신 및 수신하기 위한 송수신기에 있어서,
송신부 및 수신부를 구비하되,
상기 송신부는,
기저대역 신호를 처리하기 위한 기저대역 신호 처리기,
상기 기저대역 신호를 이용하여 선정된 신호를 변조하기 위한 변조기,
상기 신호를 증폭하는 하나 이상의 FET들을 각각 포함하고 있으며 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합하여 단일의 출력 단자를 형성하고 있는 제1 복수의 능동 소자 그룹들을 갖는, 무선 주파수 신호를 증폭하기 위한 전력 증폭 수 단, 및
상기 제1 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 또는 드레인 전압을 제어하기 위한 바이어스 제어 수단 -상기 복수의 그룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능함- 을 포함하고,

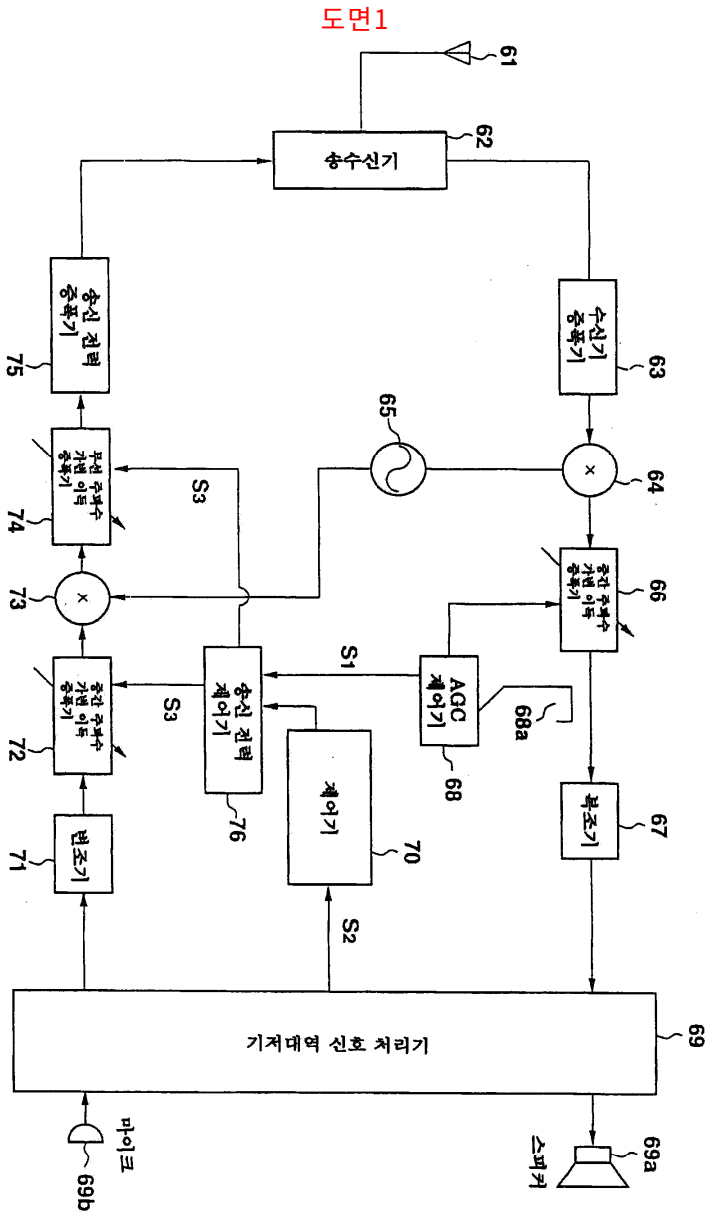
상기 수신부는,
수신된 신호를 증폭하는 하나 이상의 FET들을 각각 포함하며 상기 하나 이상의 FET들의 입력 단자들이 결합되어 단일의 입력 단자를 형성하고 상기 하나 이상의 FET들의 출력 단자들이 결합하여 단일의 출력 단자를 형성하고 있는 제2 복수의 능동 소자 그룹들,
상기 제2 복수의 능동 소자 그룹들의 상기 FET들의 게이트 바이어스 전압을 제어하기 위한 바이어스 제어 수단 -상기 복수의 그룹들 각각은 상기 신호를 증폭하기 위해 바이어스되는 다수의 그룹들이 상기 바이어스 제어 수단에 의해 선택가능하도록 개별적으로 바이어스됨으로써 상기 복수의 능동 소자 그룹의 이득이 선택가능함- ,
상기 제2 복수의 능동 소자 그룹들의 출력 신호를 복조하기 위한 복조 수단, 및
상기 복조 수단의 출력 신호를 처리하기 위한 기저대역 신호 처리 수단을 포함하는 것을 특징으로 하는 송수신기.

청구항 19.

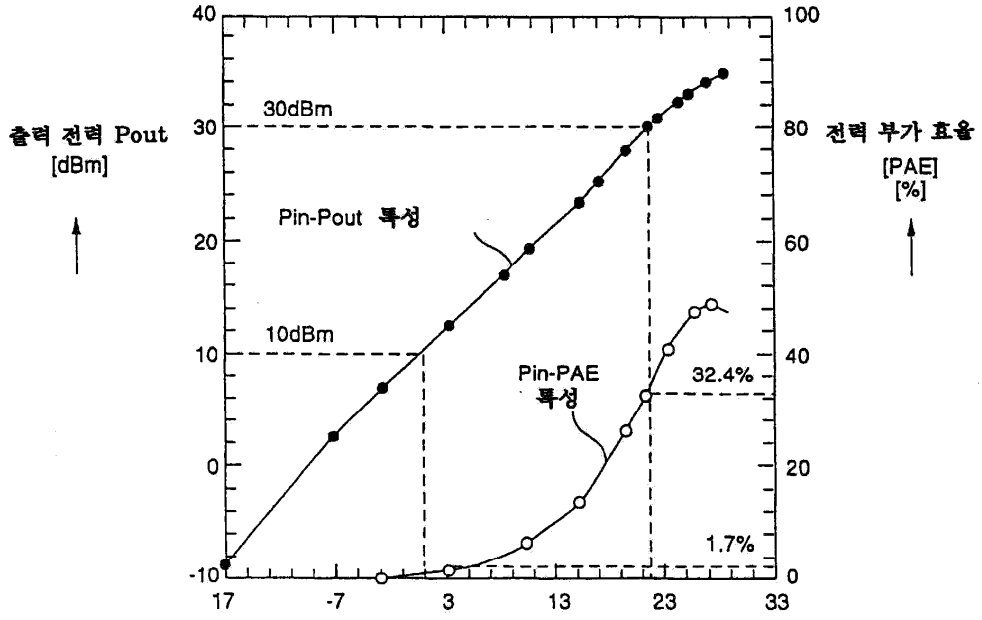
무선 주파수 증폭기의 이득을 제어하는 방법에 있어서,
복수의 바이어스 제어 라인에 신호를 턴온 또는 턴오프시키기 위한 명령을 전송하는 단계;
상기 전송 단계의 상기 턴온 또는 턴오프에 따라, 선택된 병렬 접속의 증폭부들이 활성화되어 입력 신호를 증폭하고 비선택된 병렬 접속의 증폭부들이 비활성화 되도록 상기 바이어스 제어 라인들상의 바이어스 전압을 조절하는 단계; 및
상기 선택 및 비선택 병렬 접속의 증폭부에 입력 신호를 제공하는 단계를 포함하며,
상기 입력 신호에 인가된 이득은 상기 선택된 증폭부들의 개수에 따라 좌우되는 것을 특징으로 하는 방법.

도면

도면1

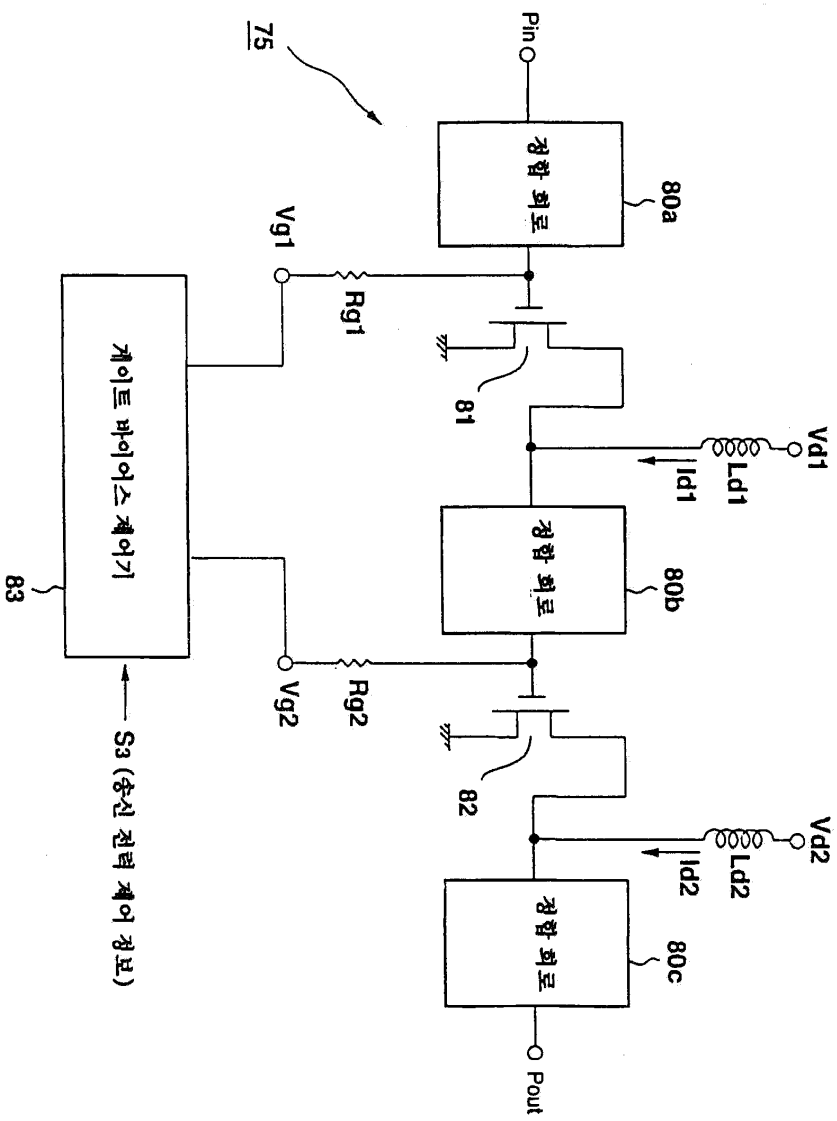


도면2

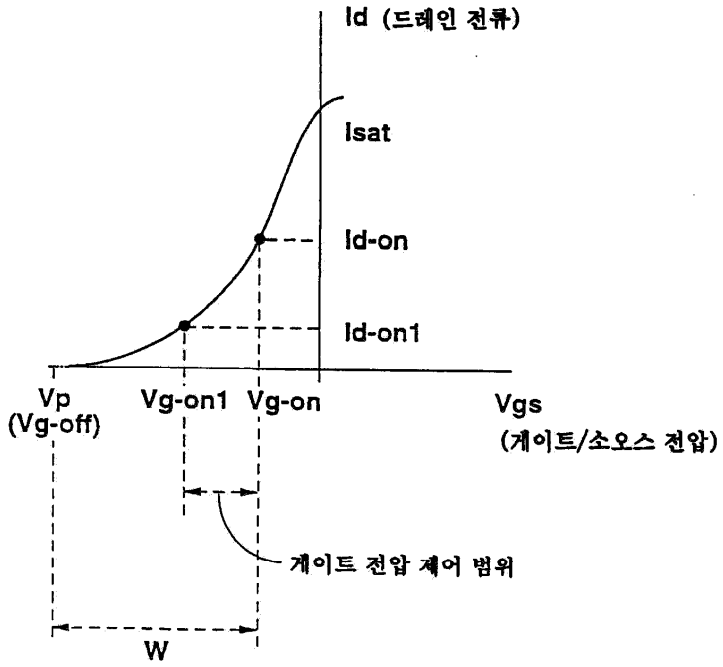


송신 전력 증폭기의 입/출력 특성

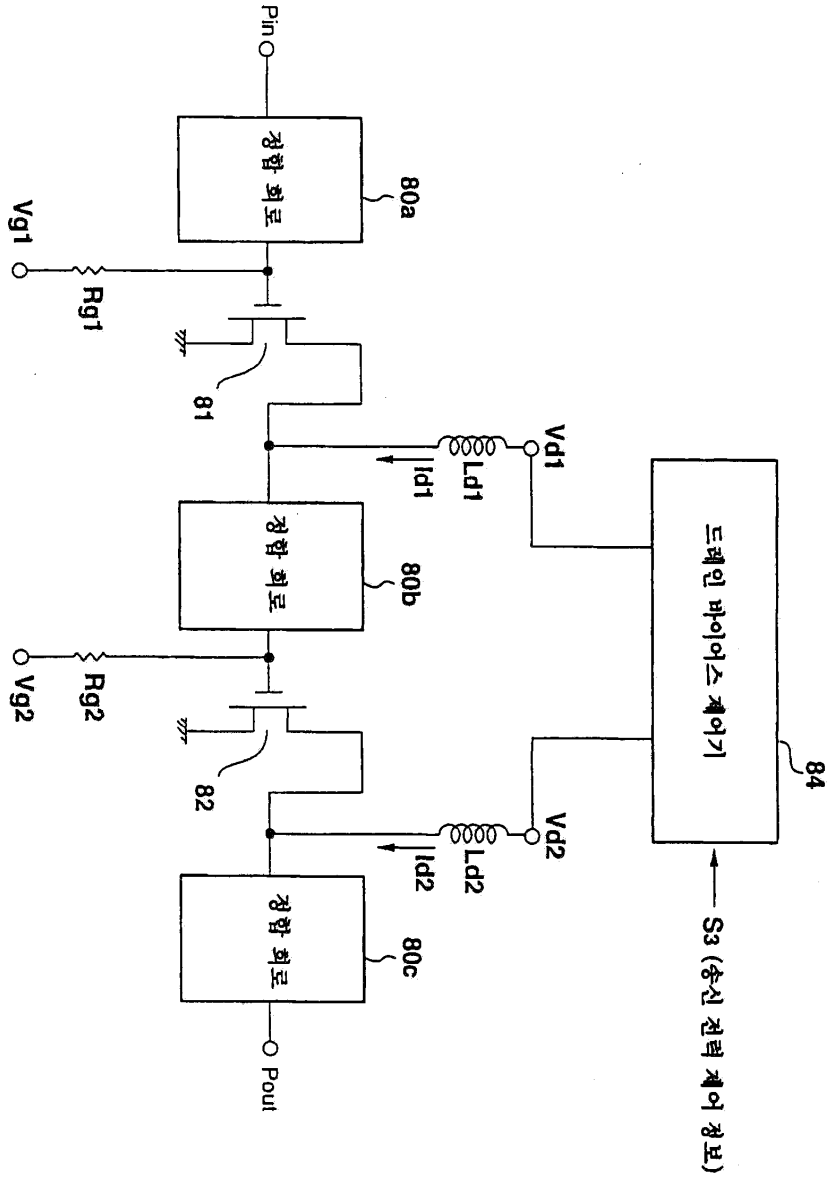
도면3


75
Pin
정합 회로
80a
Vg1
Rg1
81
Vd1
Ld1
Id1
정합 회로
80b
게이트 바이어스 제어기
83
Vg2
Rg2
82
Vd2
Ld2
Id2
정합 회로
80c
Pout
S3 (송신 전력 제어 정보)

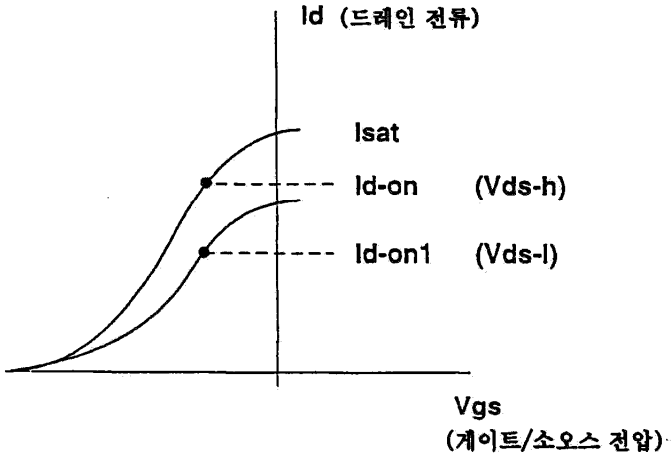
도면4


Id (드레인 전류)
Isat
Id-on
Id-on1
Vp
(Vg-off)
Vg-on1
Vg-on
Vgs
(게이트/소오스 전압)
게이트 전압 제어 범위
W

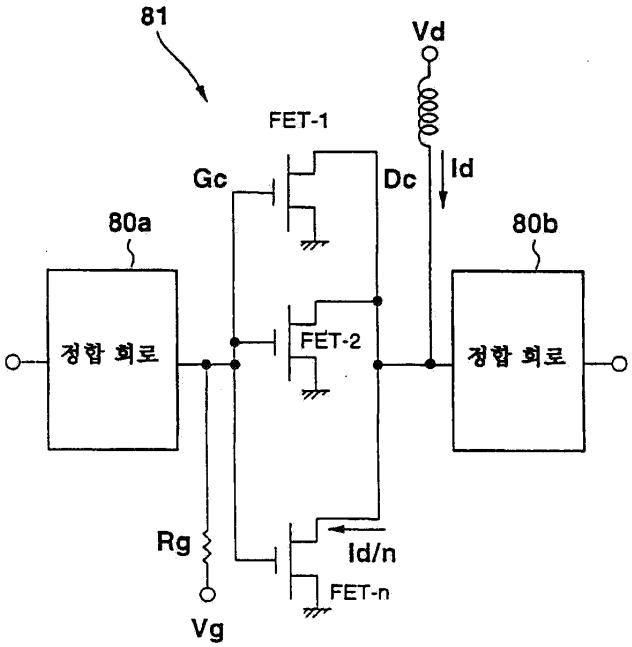
도면5


Pin
정합 회로
80a
Vg1
Rg1
81
Id1
Ld1
Vd1
정합 회로
80b
Vg2
Rg2
82
Id2
Ld2
Vd2
드레인 바이어스 제어기
84
정합 회로
80c
Pout
S3 (송신 전력 제어 정보)

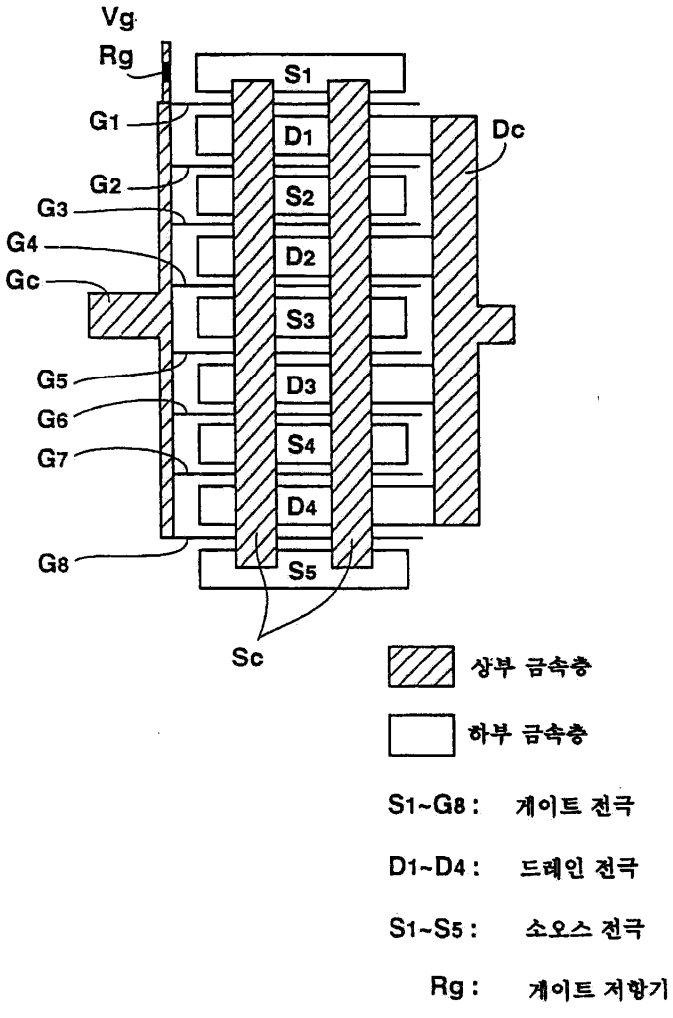
도면6


Id (드레인 전류)
Isat
Id-on (Vds-h)
Id-on1 (Vds-l)
Vgs
(게이트/소오스 전압)

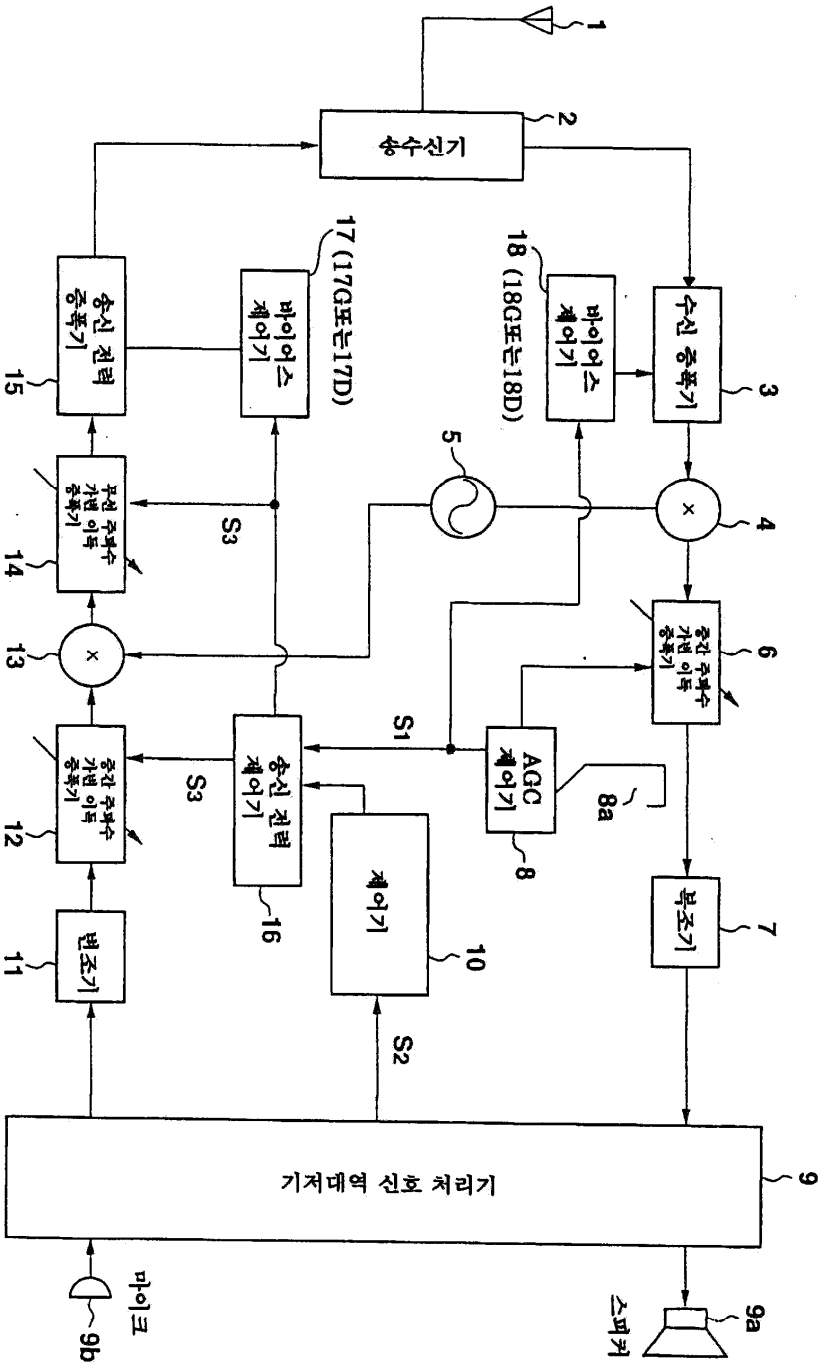
도면7


81
Vd
FET-1
Gc
Dc
Id
80a
80b
정합 회로
FET-2
정합 회로
Rg
Id/n
FET-n
Vg

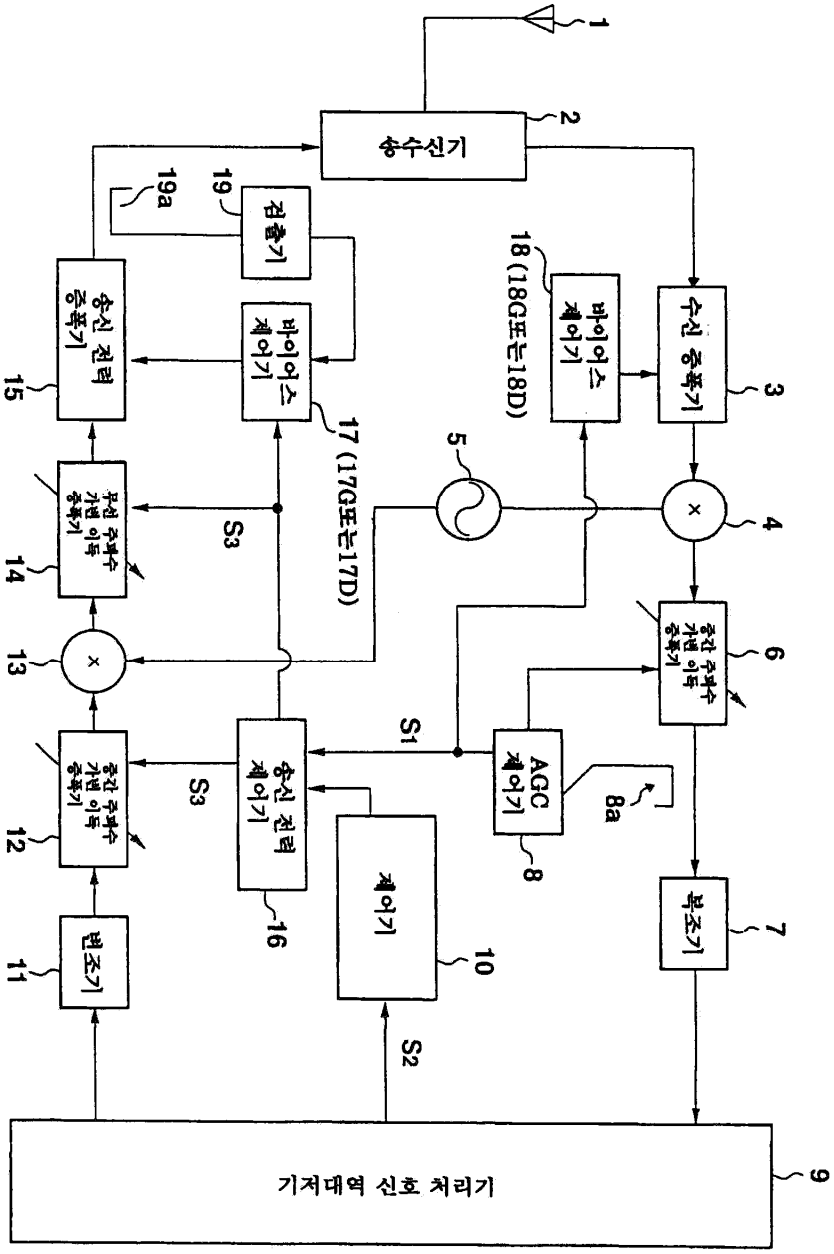
도면8


Vg
Rg
S1
G1
D1
Dc
G2
S2
G3
G4
D2
Gc
S3
G5
D3
G6
G7
S4
D4
G8
S5
Sc
상부 금속층
하부 금속층
S1~G8 : 게이트 전극
D1~D4 : 드레인 전극
S1~S5 : 소오스 전극
Rg : 게이트 저항기

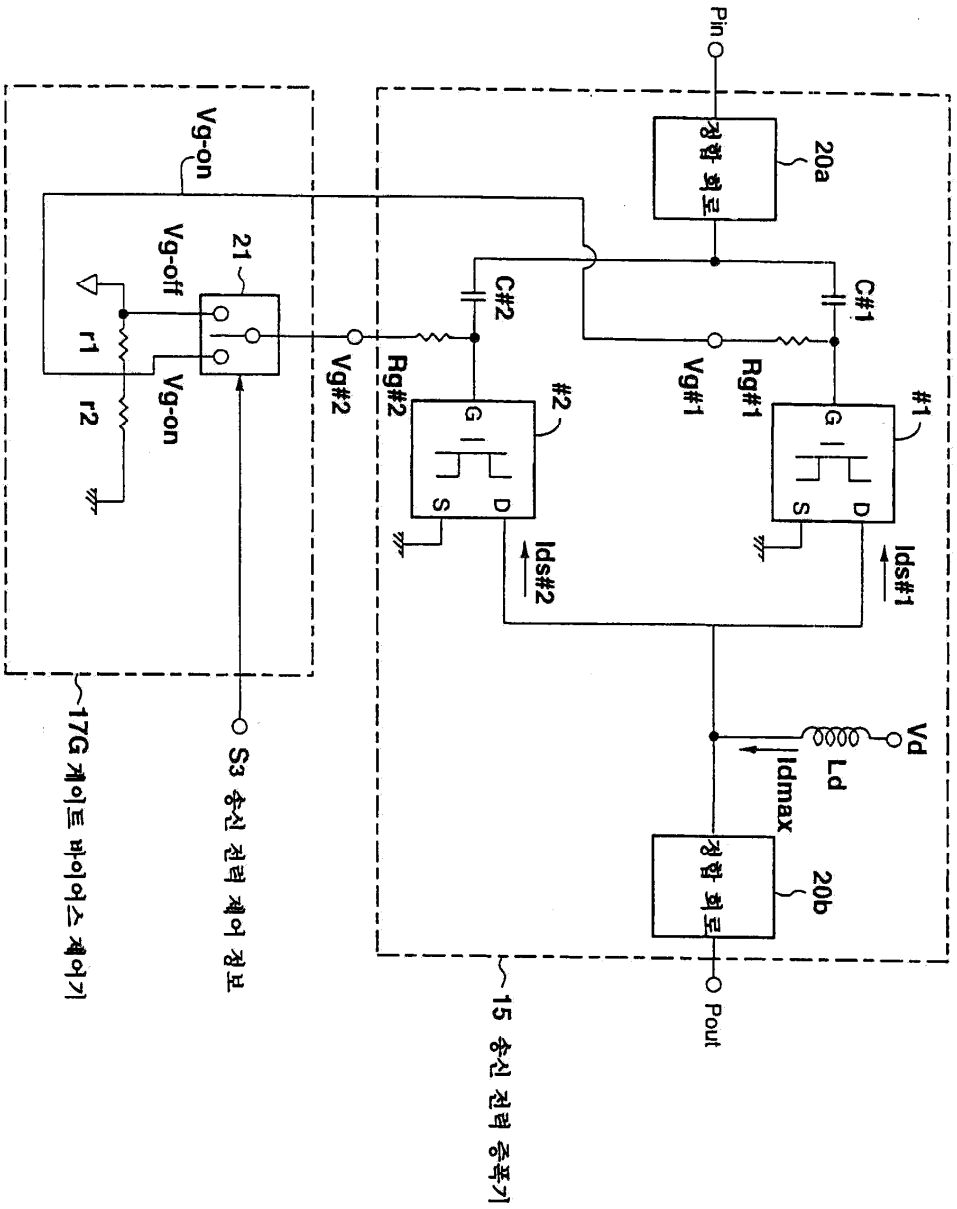
도면9


1
송수신기
2
17 (17G또는17D)
18 (18G또는18D)
송신 전력 증폭기
바이어스 제어기
바이어스 제어기
수신 증폭기
15
3
5
무선 주파수 가변 이득 증폭기
S3
×
4
14
중간 주파수 가변 이득 증폭기
13
×
6
S1
송신 전력 제어기
AGC 제어기
8a
중간 주파수 가변 이득 증폭기
S3
16
8
12
제어기
10
복조기
7
변조기
11
S2
기저대역 신호 처리기
9
마이크
9b
스피커
9a

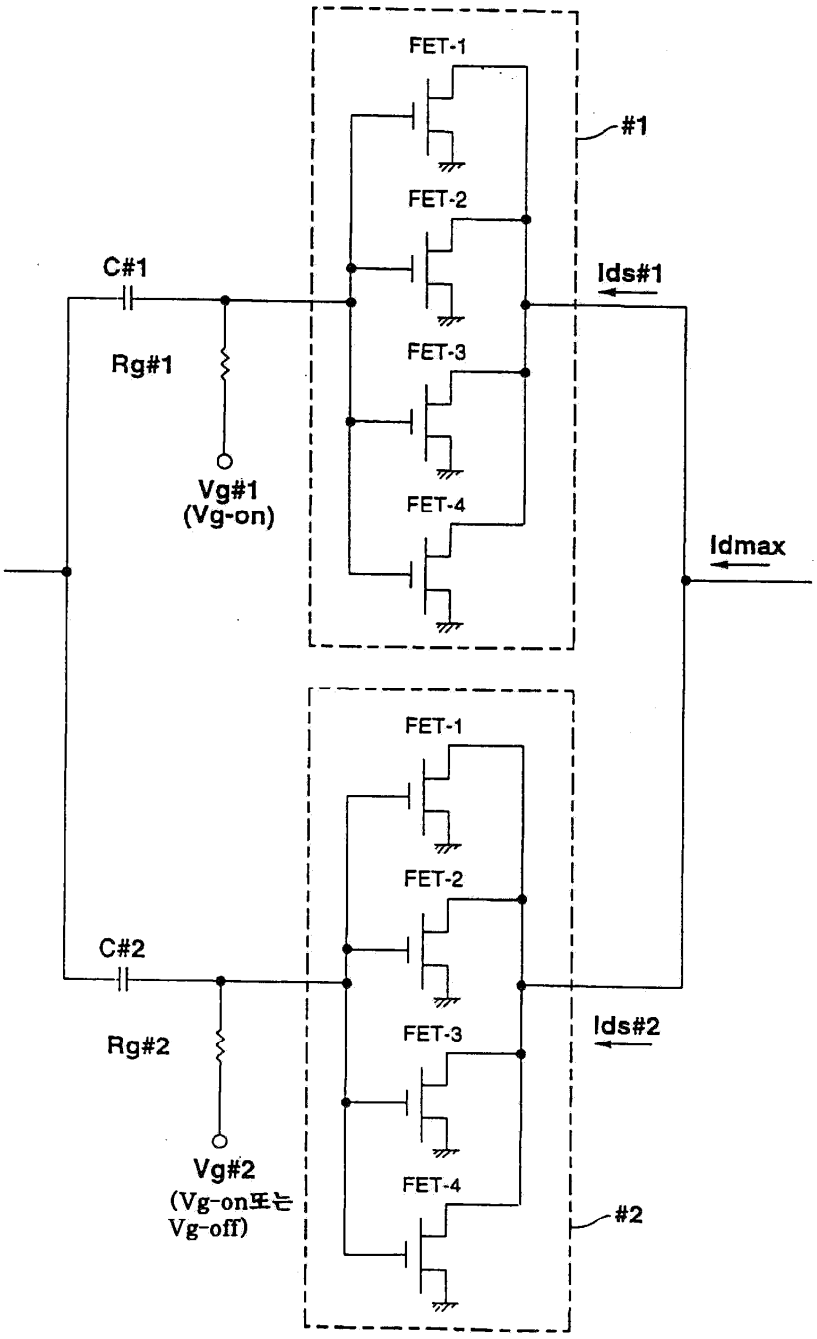
도면10


1
2
송수신기
3
수신 증폭기
4
×
5
6
중간 주파수 가변 이득 증폭기
7
복조기
8
AGC 제어기
8a
9
기저대역 신호 처리기
10
제어기
S1
S2
S3
11
변조기
12
중간 주파수 가변 이득 증폭기
13
×
14
무선 주파수 가변 이득 증폭기
15
송신 전력 증폭기
16
송신 전력 제어기
17 (17G또는17D)
바이어스 제어기
18 (18G또는18D)
바이어스 제어기
19
검출기
19a

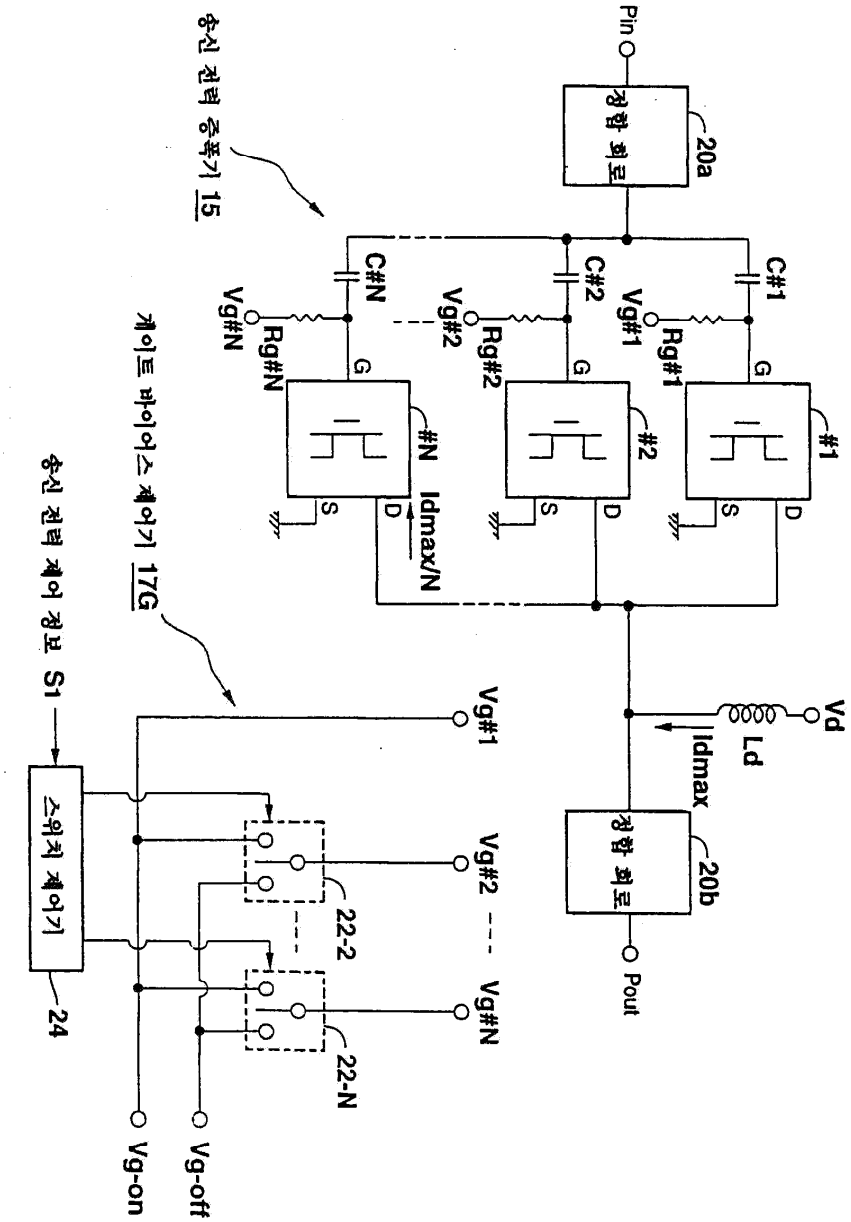
도면11


Pin
정합 회로
20a
C#1
C#2
Vg#1
Rg#1
Rg#2
#1
#2
G
D
S
Ids#1
Ids#2
Vd
Ld
Idmax
정합 회로
20b
Pout
15 송신 전력 증폭기
Vg-on
Vg-off
21
r1
r2
Vg-on
Vg#2
17G 게이트 바이어스 제어기
S3 송신 전력 제어 정보

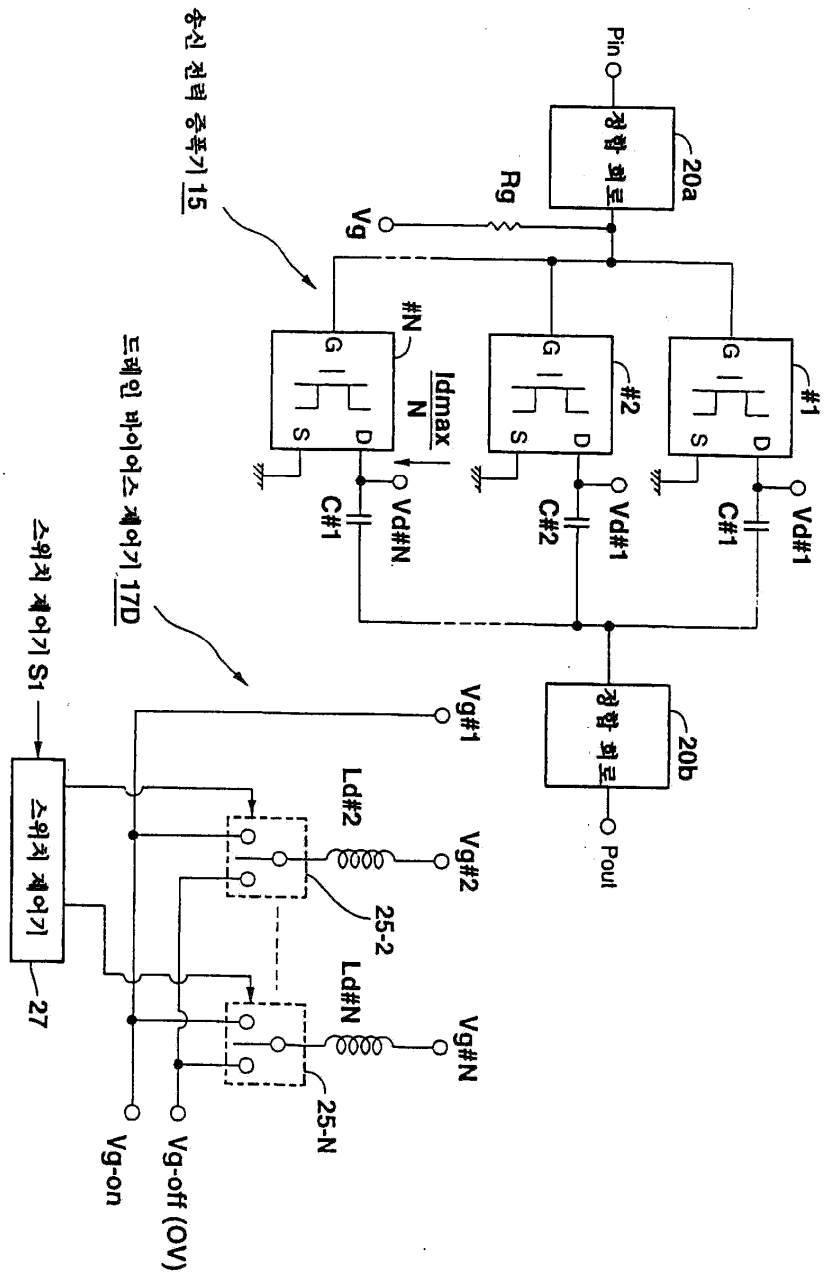
도면12


FET-1
#1
FET-2
C#1
Ids#1
Rg#1
FET-3
Vg#1
(Vg-on)
FET-4
Idmax
FET-1
FET-2
C#2
Ids#2
Rg#2
FET-3
Vg#2
(Vg-on또는
Vg-off)
FET-4
#2

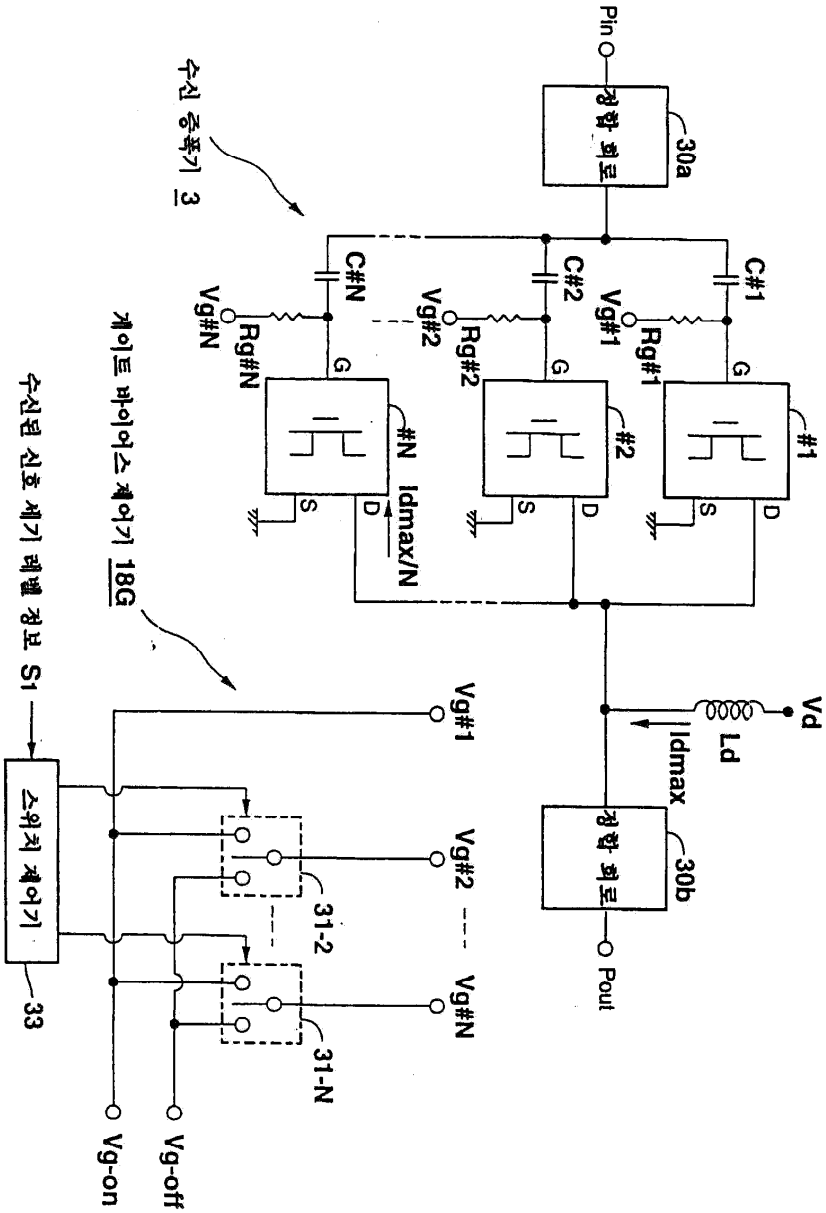
도면13


Pin
정합 회로
20a
송신 전력 증폭기 15
C#1
C#2
C#N
Vg#1
Vg#2
Vg#N
Rg#1
Rg#2
Rg#N
G
D
S
#1
#2
#N
Idmax/N
Vd
Ld
Idmax
정합 회로
20b
Pout
게이트 바이어스 제어기 17G
송신 전력 제어 정보 S1
스위치 제어기
24
22-2
22-N
Vg-on
Vg-off

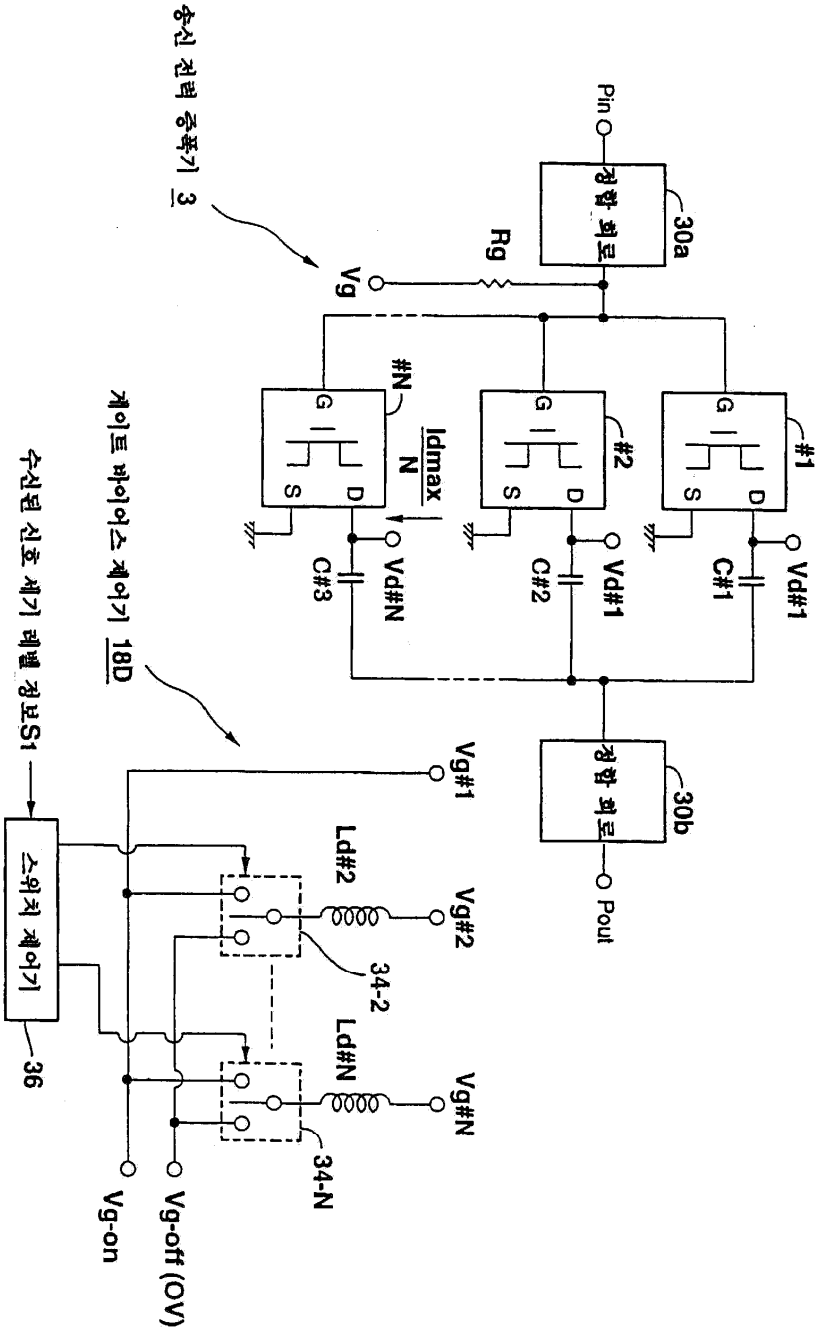
도면14


송신 전력 증폭기 15
Pin
정합 회로
20a
Rg
Vg
#N
#2
#1
G
D
S
Idmax
N
C#1
C#2
Vd#N
Vd#1
드레인 바이어스 제어기 17D
정합 회로
20b
Pout
스위치 제어기 S1
Vg#1
Ld#2
Vg#2
25-2
Ld#N
Vg#N
25-N
스위치 제어기
27
Vg-on
Vg-off (OV)

도면15

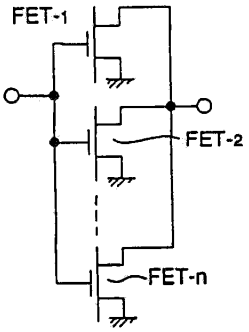

수신 증폭기 3
Pin
정합 회로
30a
C#1
C#2
C#N
Vg#1
Vg#2
Vg#N
Rg#1
Rg#2
Rg#N
G
D
S
#1
#2
#N
Idmax/N
게이트 바이어스 제어기 18G
수신된 신호 세기 레벨 정보 S1
스위치 제어기
33
31-2
31-N
Vg-on
Vg-off
Vd
Ld
Idmax
정합 회로
30b
Pout

도면16

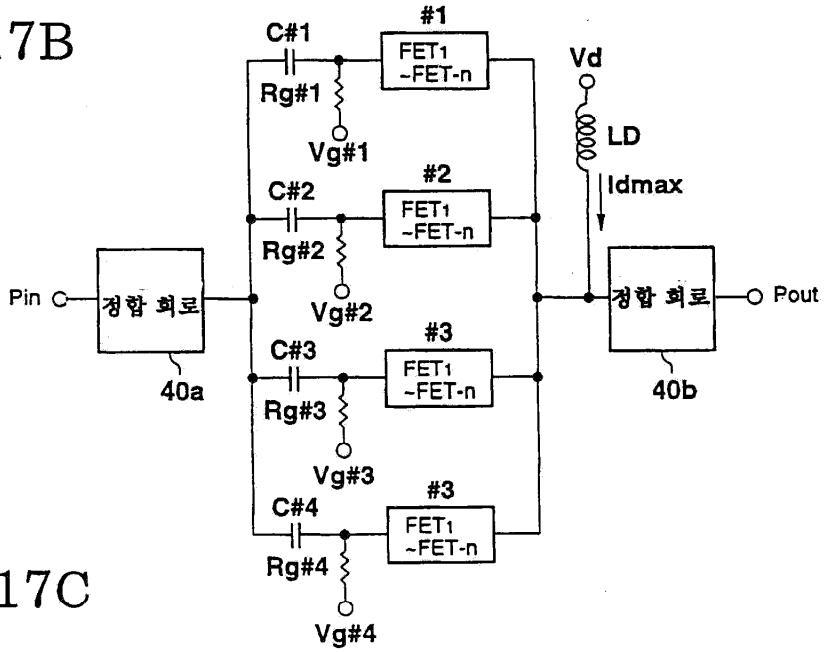

송신 전력 증폭기 3
Pin
정합 회로
30a
Rg
Vg
#N
#2
#1
G
D
S
Idmax
N
C#3
C#2
C#1
Vd#N
Vd#1
Vd#1
정합 회로
30b
Pout
게이트 바이어스 제어기 18D
수신된 신호 세기 레벨 정보S1
스위치 제어기
36
Vg#1
Vg#2
Vg#N
Ld#2
Ld#N
34-2
34-N
Vg-on
Vg-off (0V)

도면17

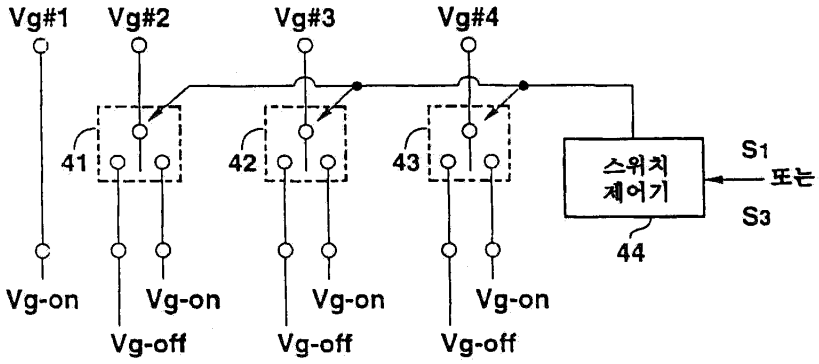
17A



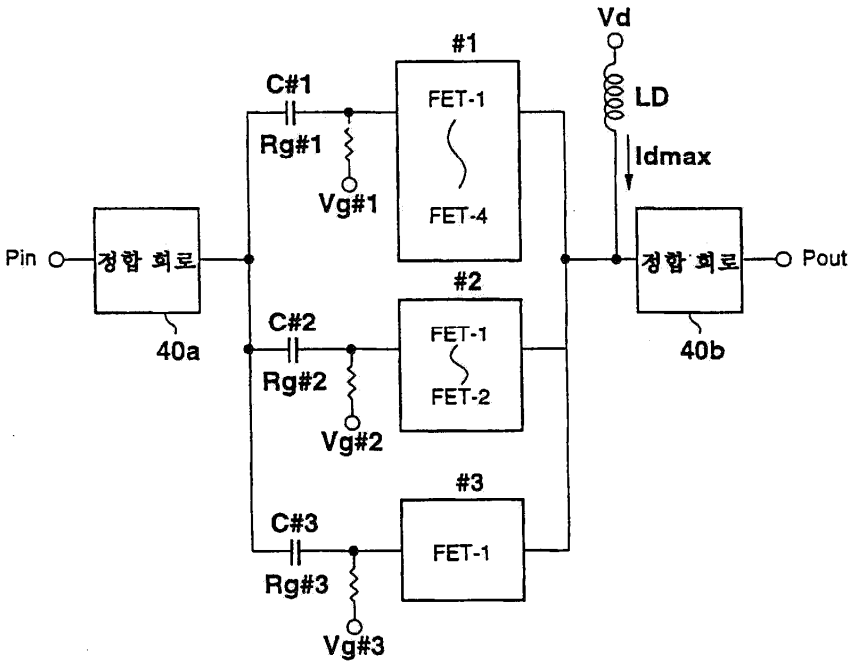
17B



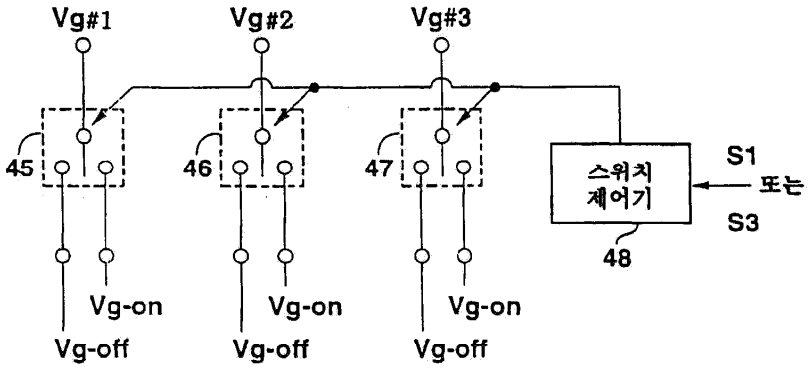
17C



도면18a


Vd
LD
Idmax
#1
C#1
Rg#1
Vg#1
FET-1
FET-4
Pin
정합 회로
40a
#2
C#2
Rg#2
Vg#2
FET-1
FET-2
#3
C#3
Rg#3
Vg#3
FET-1
정합 회로
Pout
40b

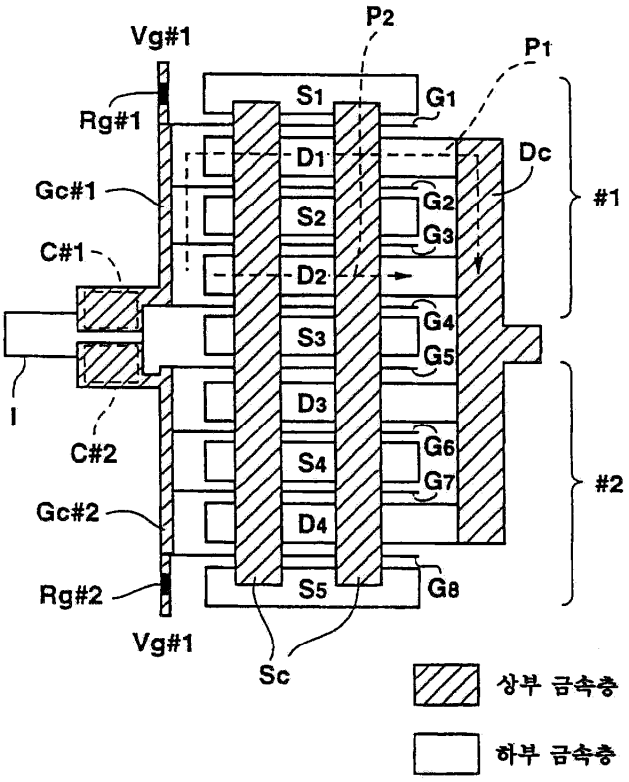
도면18b


Vg#1
Vg#2
Vg#3
45
46
47
스위치
제어기
S1
또는
S3
48
Vg-on
Vg-off
Vg-on
Vg-off
Vg-on
Vg-off

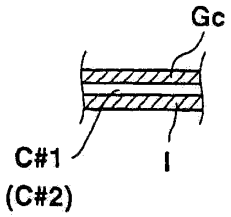
도면19

FET 그룹 #	각각의 FET 그룹에 대한 동작 상태							드레인 전류
#1	온	온	온	온	오프	오프	오프	Idmax
#2	온	온	오프	오프	온	온	오프	6/7 Idmax
#3	온	오프	온	오프	온	오프	온	5/7 Idmax
	오프	온	온	오프	온	오프	온	4/7 Idmax
	오프	온	오프	온	온	온	오프	3/7 Idmax
	오프	오프	온	온	오프	온	오프	2/7 Idmax
	온	오프	오프	오프	오프	오프	온	1/7 Idmax

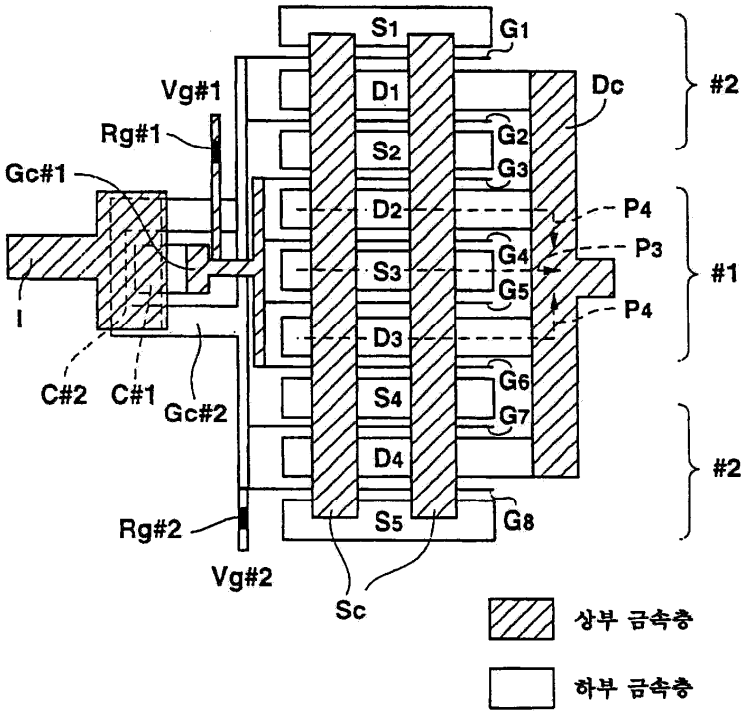
도면20a


Vg#1
P2
P1
S1
G1
Rg#1
D1
Dc
Gc#1
G2
#1
S2
G3
C#1
D2
G4
S3
G5
I
D3
C#2
G6
S4
G7
#2
Gc#2
D4
Rg#2
S5
G8
Vg#1
Sc
상부 금속층
하부 금속층

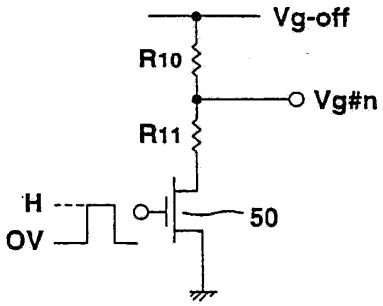
도면20b


Gc
C#1
(C#2)
I

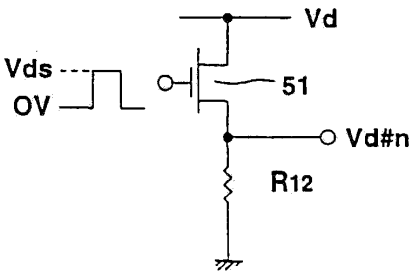
도면21



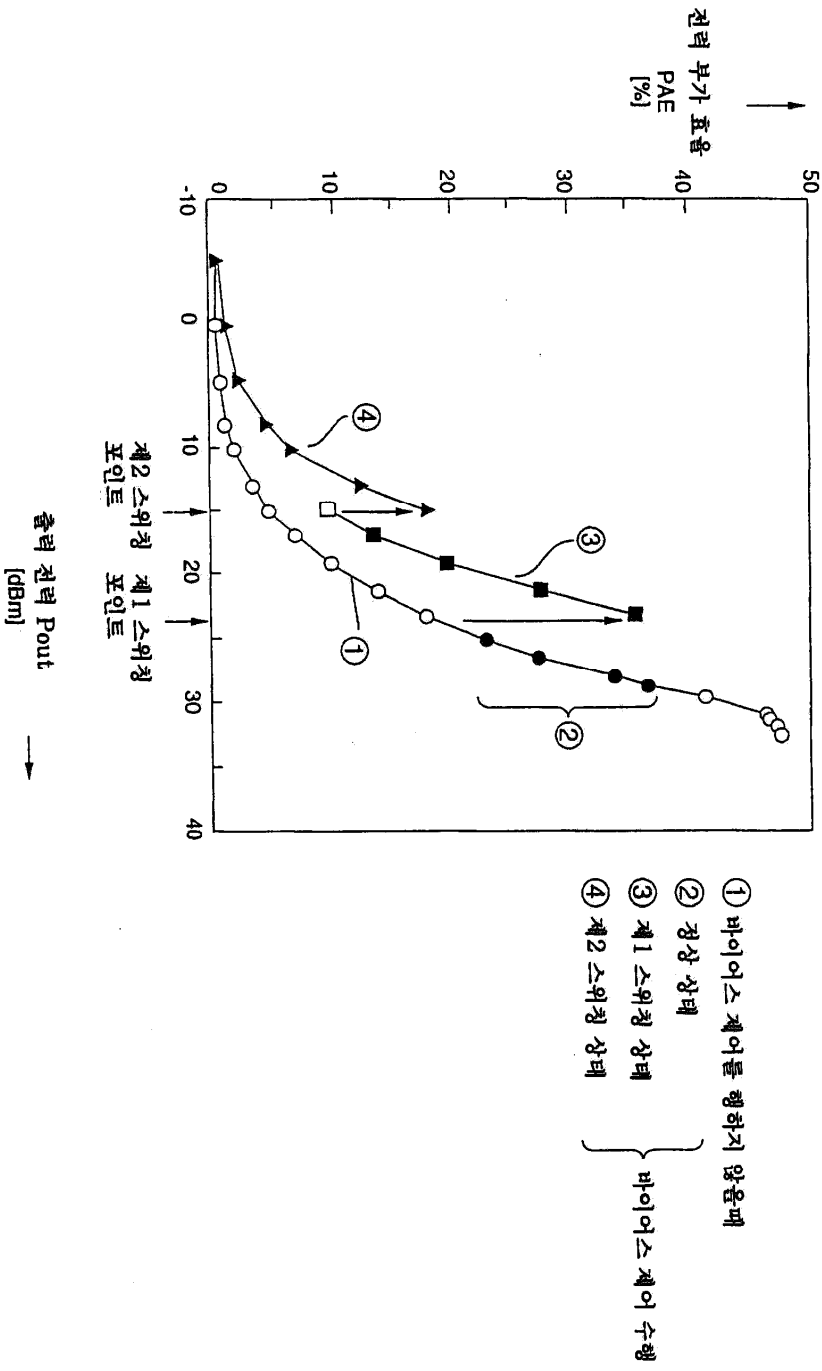
도면22



도면23



도면24


전력 부가 효율
PAE
[%]
50
40
30
20
10
0
-10
0
10
20
30
40
④
③
①
②
제2 스위칭 포인트
제1 스위칭 포인트
출력 전력 Pout
[dBm]
① 바이어스 제어를 행하지 않을때
② 정상 상태
③ 제1 스위칭 상태
④ 제2 스위칭 상태
바이어스 제어 수행