

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
3. Februar 2005 (03.02.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/010967 A2

(51) Internationale Patentklassifikation⁷: **H01L 21/3065**

(21) Internationales Aktenzeichen: PCT/EP2004/051392

(22) Internationales Anmeldedatum:
7. Juli 2004 (07.07.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10332877.7 19. Juli 2003 (19.07.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **SCHÖMANN,
Stephan** [DE/DE]; Lorenzonstr. 56, 81545 München
(DE).

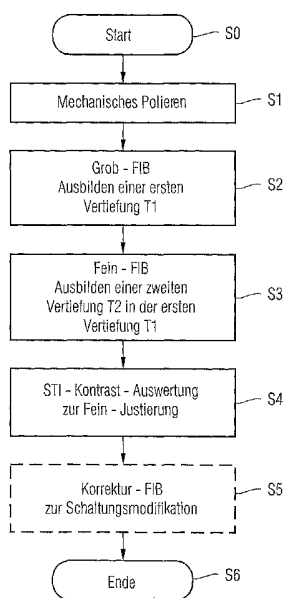
(74) Anwälte: **KARL, Frank** usw.; Postfach 1330, 85627
Grasbrunn (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,

[Fortsetzung auf der nächsten Seite]

(54) Title: DEVICE AND METHOD FOR MACHINING THE REAR SIDE OF SEMICONDUCTOR CHIPS

(54) Bezeichnung: VORRICHTUNG UND VERFAHREN ZUR RÜCKSEITENBEARBEITUNG VON HALBLEITERBAUSTEIL-
NEN



S0 START
S1 MECHANICAL POLISHING
S2 COARSE FIB / FORMATION OF
A FIRST TRENCH T1
S3 FINE FIB / FORMATION OF A
SECOND TRENCH T2 IN THE FIRST TRENCH T1
S4 STI CONTRAST EVALUATION FOR
FINE-ADJUSTMENT
S5 CORRECTION FIB FOR CIRCUIT
MODIFICATION
S6 END

(57) Abstract: The invention relates to a device and a method for machining the rear side of semiconductor chips. Said method comprises the steps of thinning the entire surface of a substrate of the semiconductor chip to obtain a first substrate thickness (S1), forming a first trench by means of focused ion beams to obtain a second substrate thickness (S2), forming a second trench within the first trench by means of focused ion beams to obtain a third substrate thickness (S3), whereby a trench isolation can be detected in the substrate, and, finally, fine-adjusting the semiconductor chip on the basis of a FIB image of the second trench and of a reference layout for a trench isolation of the semiconductor chip (S4). In this manner, circuit modifications can be made to the rear side of a semiconductor chip with an accuracy up to 25 nm.

(57) Zusammenfassung: Die Erfindung betrifft eine Vorrichtung und ein Verfahren zur Rückseitenbearbeitung von Halbleiterbausteinen, wobei zunächst ein ganzflächiges Dünnen eines Substrats des Halbleiterbausteins bis zu einer ersten Substratdicke (S1), anschließend ein Ausbilden einer ersten Vertiefung mittels fokussierter Ionenstrahlen bis zu einer zweiten Substratdicke (S2), anschließend ein Ausbilden einer zweiten Vertiefung innerhalb der ersten Vertiefung mittels fokussierter Ionenstrahlen bis zu einer dritten Substratdicke (S3), bei der eine Grabenisolierung im Substrat erfassbar ist und abschließend eine Fein-Justierung des Halbleiterbausteins auf der Grundlage eines FIB-Bildes der zweiten Vertiefung und eines Referenz-Lay-outs für eine Grabenisolierung des Halbleiterbausteins (S4) durchgeführt wird. Auf diese Weise können Schaltungsmodifikationen von der Rückseite eines Halbleiterbausteins mit einer Genauigkeit von bis zu 25 nm realisiert werden.

WO 2005/010967 A2



TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Vorrichtung und Verfahren zur Rückseitenbearbeitung von Halbleiterbausteinen

5

Die vorliegende Erfindung bezieht sich auf eine Vorrichtung und ein Verfahren zur Rückseitenbearbeitung von Halbleiterbausteinen und insbesondere auf eine Vorrichtung und ein Verfahren zur Schaltungsmodifikation von Halbleiterbauelementen mittels fokussierter Ionenstrahlen (FIB, focused ion beam) von einer Substratrückseite.

Bei der Entwicklung und Analyse von Halbleiterschaltungen und Halbleiterbausteinen werden seit vielen Jahren Schaltungsmodifikationen mit sogenannten FIB-Techniken (focused ion beam) durchgeführt. Dabei können sowohl in der Halbleiterschaltung aufgetretene Fehler korrigiert, vorher schon eingeplante Optionen freigeschaltet oder auch andere neue Kundenwünsche realisiert werden, ohne dass ein neuer, teurer Lithographie-Maskensatz erstellt werden muss. Demzufolge können mit fokussierten Ionenstrahlen (FIB) Vertiefungen sowie Querschnitte realisiert werden, um beispielsweise Leitbahnen gezielt zu unterbrechen, aber auch elektrische leitende und nicht leitende Materialien abgeschieden und ein Spannungskontrast als sogenanntes FIB-Bild aus Sekundärteilchen (Elektronen oder Ionen) beobachtet und ausgewertet werden. Auf diese Weise können die für eine Produktentwicklung notwendigen Kosten und insbesondere eine Zeitdauer bis zur Markteinführung eines funktionsfähigen Produkts bzw. Halbleiterbausteins wesentlich verringert werden.

Diese bisher von der Vorderseite eines Halbleiterbausteins durchgeführten Schaltungsmodifikationen sind jedoch in der bisherigen Form immer weniger nutzbar, da sie für neue Halbleiterbausteingenerationen nicht greifen. Dies liegt einerseits daran, dass die Verwendung von 6 und mehr Metalllagen in einem Halbleiterbaustein eine Modifikation von der Vorder-

seite auf Grund des Öffnungswinkels der vom Ionenstrahl erzeugten Vertiefung nicht mehr erlaubt ohne dass andere Elemente beschädigt werden. Darüber hinaus werden zunehmend alternative Gehäuseformen wie beispielsweise LOC (lead on
5 chip), CSP (chip scale package) und sogenannte Flip-Chip-Gehäuse verwendet, wobei ein Halbleiterbaustein nur mehr über seine Rückseite für Schaltungsmodifikationen erreichbar ist.

10 Während man bei einer Schaltungsmodifikation von der Vorderseite bisher die Möglichkeit hatte, sich an den Verdrahtungsstellen und/oder der Topographie der obersten Lage zu orientieren, fehlen diese Informationsquellen von der Rückseite und man benötigt einen alternativen Weg zur Überlagerung eines erfassten Bildes und einem jeweiligen Referenz-Layout.

15 Die üblicherweise für Rückseiten-Modifikationen verwendbaren herkömmlichen Geräte basieren entweder auf einem Infrarot-Mikroskop oder auf Interferrometrie, wobei jedoch nur eine Genauigkeit von 200 nm erreicht wird und der Zeitbedarf darüber hinaus sehr hoch ist. Für die derzeitigen und insbesondere für die kommenden Technologie-Generationen mit Strukturgrößen im nm-Bereich sind jedoch derartige Vorrichtungen und Verfahren hinsichtlich ihrer Justiergenauigkeit vollkommen
20 unzureichend.

25 Der Erfindung liegt daher die Aufgabe zu Grunde eine Vorrichtung und ein Verfahren zur Rückseitenbearbeitung von Halbleiterbausteinen zu schaffen, welches bei minimalen Kosten eine hervorragende Justiergenauigkeit zum Durchführen einer gezielten Schaltungsmodifikation aufweist.
30

Erfindungsgemäß wird diese Aufgabe hinsichtlich der Vorrichtung durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Verfahrens durch die Maßnahmen des Patentanspruchs 9
35 gelöst.

- Insbesondere durch die Verwendung einer herkömmlichen FIB-Einheit zum Erzeugen eines fokussierten Ionenstrahls und eines daraus abgeleiteten FIB-Bildes und einer Auswerteeinheit zum Vergleichen des erzeugten FIB-Bildes mit einem Referenz-
- 5 Layout des Halbleiterbausteins und zum Durchführen einer Fein-Justierung des Halbleiterbausteins in Abhängigkeit vom Vergleichsergebnis können erstmalig mit einer Genauigkeit von ca. 25 nm zu modifizierende Positionen im Halbleiterbaustein aufgefunden und bearbeitet werden.
- 10 Vorzugsweise weist das Referenz-Layout ein STI-Layout des Halbleiterbausteins für eine flache Grabenisolierung auf, wodurch für nahezu jeden Bausteintyp eine sehr schnelle und kostengünstige Schaltungsmodifikation realisierbar ist.
- 15 Hinsichtlich des Verfahrens wird vorzugsweise zunächst ein ganzflächiges Dünnen eines Substrats des Halbleiterbausteins von seiner Rückseite bis zu einer ersten Substratdicke, anschließend ein Ausbilden einer ersten Vertiefung mittels fokussierter Ionenstrahlen bis zu einer zweiten Substratdicke
- 20 und anschließend ein Ausbilden einer zweiten Vertiefung in der ersten Vertiefung mittels fokussierter Ionenstrahlen bis zu einer dritten Substratdicke durchgeführt, bei der eine Grabenisolierung im Substrat erfassbar ist, wobei eine Fein-
- 25 Justierung des Halbleiterbausteins auf der Grundlage eines FIB-Bildes der zweiten Vertiefung und eines Referenz-Layouts für eine Grabenisolierung des Halbleiterbausteins durchgeführt wird.
- 30 Das Durchführen einer Schaltungsmodifikation des feinjustierten Halbleiterbausteins kann hierbei wiederum mittels fokussierter Ionenstrahlen realisiert werden, weshalb unter Verwendung einer bereits existierenden FIB-Einheit alle für eine Schaltungsmodifikation wesentlichen Schritte kostengünstig
- 35 durchgeführt werden können.

Zur Verringerung einer Bearbeitungszeit kann das ganzflächige Dünnen des Substrats durch Schleifen bis zu einer Substratdicke von 6 μm bis 40 μm durchgeführt werden.

5 Vorzugsweise wird für das Ausbilden der ersten Vertiefung, der zweiten Vertiefung und das Durchführen der Schaltungsmodifikation der gleiche fokussierte Ionenstrahl mit jeweils veränderten Strahlströmen verwendet, wodurch der Zeitbedarf und die Kosten erheblich minimiert werden.

10

Vor dem Ausbilden der zweiten Vertiefung kann darüber hinaus eine Grob-Justierung des Halbleiterbausteins auf der Grundlage eines Infrarotbildes und eines Referenz-Layouts für Metallisierungsebenen des Halbleiterbausteins durchgeführt werden, 15 wodurch ein Zeitbedarf weiterhin verringert werden kann.

Insbesondere durch eine automatische Mustererkennung des FIB-Bildes der zweiten Vertiefung und einem nachfolgenden Vergleich dieses Bildes mit dem Referenz-Layout für die Grabenisolierung des Halbleiterbausteins kann eine zu modifizierende Schaltungsposition sehr einfach und hoch genau ermittelt werden. 20

In den weiteren Ansprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet. 25

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

30 Es zeigen:

Figuren 1A bis 1F2 vereinfachte Schnittansichten, perspektivische Ansichten oder Draufsichten zur Veranschaulichung wesentlicher Schritte des erfindungsgemäßen Verfahrens zur 35 Rückseitenbearbeitung von Halbleiterbausteinen;

Figur 2 ein vereinfachtes Flussdiagramm zur Veranschaulichung des erfindungsgemäßen Verfahrens; und

Figur 3 eine vereinfachte Blockdarstellung zur Veranschaulichung einer erfindungsgemäßen Vorrichtung zur Rückseitenbearbeitung von Halbleiterbausteinen.

Figuren 1A bis 1F2 zeigen vereinfachte Schnittansichten, perspektivische Ansichten sowie Draufsichten zur Veranschaulichung wesentlicher Verfahrensschritte eines erfindungsgemäßen Verfahrens zur Rückseitenbearbeitung von Halbleiterbausteinen, wobei der betrachtete Halbleiterbaustein IC in einem sogenannten Flip-Chip-Gehäuse montiert ist, und demzufolge nur von seiner Substratrückseite bearbeitet werden kann.

Figur 1A zeigt eine vereinfachte Schnittansicht eines in einem derartigen Flip-Chip-Gehäuse montierten Halbleiterbausteins IC, der im Wesentlichen ein Halbleitersubstrat 1 sowie eine darauf ausgebildete Verdrahtungsschicht 2 aufweist. Während das Halbleitersubstrat 1 die eigentlichen Halbleiterbauelemente an der Grenzfläche enthält, sind in der Verdrahtungsschicht 2 im Wesentlichen die verschiedenen Metallisierungsebenen zum Verbinden der Halbleiterschaltelemente ausgebildet.

Der Halbleiterbaustein IC ist ferner über Verbindungselemente 4 mit einem Gehäusesubstrat 3 des Flip-Chip-Gehäuses verbunden, welches seinerseits wiederum Anschlussdrähte bzw. -pins 5 an seiner Unterseite aufweist.

Der Halbleiterbaustein IC stellt nunmehr beispielsweise ein neues Produkt in einem Flip-Chip-Gehäuse dar, wobei erste Testmuster ein ungewolltes elektrisches Verhalten aufweisen. Eine Analyse dieses elektrischen Verhaltens führt üblicherweise zu einer Hypothese über die Fehlerursache. Grundsätzlich wäre ein Masken-Redesign denkbar, was jedoch mit erheblichen Kosten und einigen Wochen Zeitverlust verbunden ist.

Stattdessen kann nunmehr mittels der nachfolgend beschriebenen Ionenstrahltechnik beispielsweise eine lokale Neuverdrahtung innerhalb kurzer Zeit (z.B. eines Tages) durchgeführt werden, um entweder den Fehler zu beheben oder nachzuweisen, dass die aufgestellte Hypothese nicht korrekt war.

Hierzu wird zunächst ein ganzflächiges Dünnen des Halbleitersubstrats 1 des Halbleiterbausteins IC von seiner Rückseite bis zu einer ersten Substratdicke d_1 durchgeführt. Üblicherweise besitzen Halbleiterbausteine eine Dicke d_0 von ca. 500 μm , die eine Rückseitenbearbeitung völlig unmöglich macht. Demzufolge wird zunächst ein Schleifen des Halbleitersubstrats 1 von der Ausgangsdicke d_0 bis zur ersten Substratdicke d_1 durchgeführt, die beispielsweise in einem Bereich von 6 μm bis 40 μm liegt. Ferner kann anschließend zum Erzeugen einer RMS-Rauhigkeit des gedünnten Halbleitersubstrats 1 von kleiner 0,5 nm ein Polieren durchgeführt werden. Abschließend kann noch eine Reinigung zum Entfernen der beim Schleifen und/oder Polieren entstandenen Teilchen durchgeführt werden, wodurch man den in Figur 1A dargestellten Halbleiterbaustein IC mit gedünntem Halbleitersubstrat 1 erhält.

Auf Grund dieses mechanischen Schleif- und Poliervorgangs kann eine nachfolgend durchgeführte Bearbeitung mittels fokussierter Ionenstrahlen bzw. mittels einer FIB-Einheit bzw. einem fokussierten Ionenstrahlgerät wesentlich schneller durchgeführt werden.

Anschließend wird gemäß Figur 1A eine erste Vertiefung bzw. ein erster Graben T1 mittels fokussierter Ionenstrahlen (focused ion beam) ausgebildet.

Figur 1B zeigt eine vergrößerte Teilschnittansicht der in Figur 1A dargestellten ersten Vertiefung T1, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 1B wird mittels einer FIB-Einheit bzw. eines fokussierten Ionenstrahls FIB die erste Vertiefung (bzw. ein sogenannter erster Trench) T1 von etwa 150 µm Kantenlänge angelegt, die das Halbleitersubstrat 1, welches vorzugsweise ein einkristallines Silizium-Halbleitersubstrat aufweist, bis zu einer zweiten Substratdicke d2 reduziert. Gemäß Figur 1B wird hierbei aus Gasdüsen 6 ein Reaktionsgas XeF₂ auf die vom fokussierten Ionenstrahl FIB bearbeitete Stelle gerichtet, wodurch unter Entstehung von SiF_x-Zersetzungsprodukten ein gleichmäßiger Abtrag des Halbleitersubstrats 1 durchgeführt wird.

Vorzugsweise werden als fokussierter Ionenstrahl FIB ein Ga-Ionenstrahl mit einer Energie von 25 bis 40 kV und einer Strahlstromstärke von etwa 20 nA verwendet, wodurch sich eine Abtragsrate für das Si-Substrat 1 von ca. 4 µm/min ergibt.

Vorzugsweise kann hierbei eine Kontraständerung im aus Sekundärteilchen (Elektronen oder Ionen) abgeleiteten FIB-Bild auf Grund von im Substrat 1 ausgebildeten Dotierwannen als Endpunkt-Signal verwendet werden, wodurch die zweite Substratdicke der ersten Vertiefung sich automatisch in einem Bereich von 2 bis 3 µm einstellt.

Auf diese Weise erhält man die in Figur 1C perspektivisch dargestellte erste Vertiefung T1 mit einer Kantenlänge von ca. 150 µm und einer Tiefe von ca. 3 µm. Die Kontraständerung im FIB-Bild als Endpunkt-Signal zu verwenden, ist insbesondere daher sehr wirkungsvoll, da beim Abtragungsvorgang gemäß Figur 1B ein Kontrast am Boden der ersten Vertiefung T1 für Si stets gleichmäßig hell ist und erst vorzugsweise beim Auftreffen auf die im Substrat 1 ausgebildeten tiefen n-Wannen sich eine erfassbare Helligkeitsveränderung für die Bodenoberfläche der ersten Vertiefung T1 ergibt. Die Tiefe der ersten Vertiefung T1 bzw. die zweite Substratdicke kann jedoch auch über beispielsweise eine Zeitdauer, in der ein Ab-

trag stattfindet, eingestellt werden. Eine Zerstörung von Halbleiterbauelementen im Substrat 1 oder einer Verdrahtung in der Verdrahtungsschicht 2 kann daher zuverlässig ausgeschlossen werden.

5

Figur 1D zeigt eine weiterhin vergrößerte Teilschnittansicht der ersten Vertiefung T1 zur Veranschaulichung eines weiteren Verfahrensschrittes zum Ausbilden einer zweiten Vertiefung T2, wobei gleiche Bezugszeichen wiederum gleiche Elemente
10 oder Schichten bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 1D wird nunmehr innerhalb der ersten Vertiefung T1 wiederum mittels fokussierter Ionenstrahlen FIB eine zweite Vertiefung T2 bis zu einer dritten Substratdicke d3 ausgebildet, bei der nunmehr eine im Substrat 1 vorhandene Graben-
15 isolierung STI erfassbar ist. Gemäß Figur 1D sind in der Verdrahtungsschicht 2 nunmehr bereits die ersten Metallisierungsebenen M1 und M2 zu erkennen, die über sogenannte Vias bzw. Kontaktlöcher V mit der Oberfläche des Substrats 1 bzw.
20 seiner Vorderseite in Verbindung stehen.

Figur 1E zeigt eine weiterhin vergrößerte Teilschnittansicht von Figur 1D zur Veranschaulichung des Verfahrensschritts zum
25 Ausbilden der zweiten Vertiefung T2, wobei wiederum gleiche Bezugszeichen gleiche oder entsprechende Elemente bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

30 Gemäß Figur 1E wird im Boden der ersten Vertiefung T1 nunmehr eine zweite Vertiefung bzw. kleine Öffnung T2 mit einer Kantenlänge von beispielsweise 5 µm mal 5 µm mittels fokussierter Ionenstrahlen FIB ausgebildet.

35 Vor diesem Ausbilden der zweiten Vertiefung T2 kann beispielsweise eine Grob-Justierung des Halbleiterbausteins IC bzw. des fokussierenden Ionenstrahls FIB auf der Grundlage

eines IR-Bildes (infrarot) und eines Referenz-Layouts für Implantationen oder die erste Metallisierung des Halbleiterbausteins IC durchgeführt werden, wodurch man die zweite Vertiefung T2 zu einem hinsichtlich ihrer Abmessungen sehr klein halten kann (und damit Zeit spart) und darüber hinaus ausreichend genau an eine zu modifizierende Position im Halbleiterbaustein heranzuführen kann.

Zum Ausbilden der zweiten Vertiefung T2 wird vorzugsweise wiederum der gleiche Ionenstrahl wie für das Ausbilden der ersten Vertiefung T1 verwendet, d.h. beispielsweise ein Ga-Ionenstrahl, wobei jedoch ein verringerter Strahlstrom von 2 pA bis 250 pA verwendet wird. Darüber hinaus wird aus den Gasdüsen 6 nunmehr vorzugsweise das reaktive Gas Ethylendiodid $C_2H_4I_2$ verwendet, wodurch man Abtragsraten von 1 bis 100 nm/min erhält und sich ausreichend langsam den im Halbleitersubstrat üblicherweise ausgebildeten flachen Grabenisolierungen STI nähert.

Sobald nunmehr im Sekundärelektronenbild bzw. FIB-Bild der FIB-Einheit starke Helligkeitsunterschiede bzw. Kontraständerungen erkennbar werden, werden diese Kontraständerungen wieder als Endpunktsignal verwendet und der Abtragungsprozess sofort abgebrochen, da der Helligkeitsumschlag anzeigt, dass der fokussierte Ionenstrahl FIB nunmehr die Grenze zwischen dem Siliziumsubstrat und dem ersten Isolatormaterial beispielsweise in einer flachen Grabenisolierung STI (shallow trench isolation) erreicht hat.

Da die flachen Grabenisolierungen STI üblicherweise 300 bis 400 nm dick sind und über das Sekundärelektronenbild sehr leicht erfassbar sind, kann somit die zweite Vertiefung T2 bis zur dritten Substratdicke von 300 bis 400 nm sehr einfach ausgebildet werden. Eventuell vorhandene Transistoren, die sich üblicherweise in den zwischen den Grabenisolierungen STI befindlichen aktiven Gebieten AA befinden, werden hierbei noch nicht zerstört, weshalb eine durchgeführte Schaltungs-

difikation minimale Zerstörungen in der Halbleiterschaltung verursacht.

Da die Grabenisolierung STI im Sekundärelektronenbild bzw.
5 FIB-Bild eine sehr starke Kontraständerung hervorruft bzw.
die ursprünglich sehr helle Bodenfläche zum Teil stark verdunkelt, kann ein entsprechend erfasstes FIB-Bild problemlos mit einem Referenz-Layout für eine Grabenisolierung des Halbleiterbausteins IC verglichen und eine entsprechende Fein-
10 Justierung des Halbleiterbausteins IC bzw. des fokussierten Ionenstrahls durchgeführt werden. Genauer gesagt lässt sich das FIB-Bild eindeutig mit dem Referenz-Layout der Halbleiterschaltung überlagern, wodurch die zu modifizierende Position mit einer Genauigkeit von ca. 25 nm aufgefunden werden
15 kann.

Vorzugsweise wird eine automatische Mustererkennung des FIB-Bildes der zweiten Vertiefung T2 und ein Vergleich mit dem Layout der Halbleiterschaltung bzw. der zugehörigen Grabenisolierung STI zum exakten Ermitteln eines Bezugspunktes
20 durchgeführt, wodurch ein Zeitbedarf wiederum wesentlich verringert werden kann.

Figuren 1F1 und 1F2 zeigen eine vereinfachte Darstellung eines STI-Kontrast-Bildes bzw. des FIB-Bildes der zweiten Vertiefung T2 sowie ein zugehöriges Referenz-Layout für die Grabenisolierung zur Veranschaulichung dieses Überlagerungs- bzw. Fein-Justier-Vorgangs.

30 Nachdem nun bekannt ist, wo sich die jeweiligen Schaltungselemente befinden, können nach der Isolierung der freigelegten Siliziumbereiche sogenannte Zielbohrungen durchgeführt werden, um beispielsweise einzelne falsche Signalleitungen abzutrennen oder neue gewünschte Verbindungen durch beispielsweise Platinabscheidung zu knüpfen. Da man bereits bis
35 auf ca. 300 nm an die Transistoren bzw. Substratoberfläche heran präpariert hat, ergeben sich außerordentlich günstige

Verhältnisse für das Aspektverhältnis derartiger Bohrungen und damit wiederum eine einfachere Endpunkterkennung.

Vorzugsweise wird demzufolge das Durchführen einer Schaltungsmodifikation wiederum mittels fokussierter Ionenstrahlen FIB durchgeführt, nachdem der Halbleiterbaustein bzw. der fokussierte Ionenstrahl unter Verwendung des STI-Kontrast-Bildes fein-justiert wurde. Wiederum wird hierbei der gleiche Ionenstrahl z.B. Ga-Ionenstrahl wie in den Schritten zum Ausbilden der ersten und zweiten Vertiefung verwendet, wobei jedoch wiederum ein verringerter Strahlstrom von 1 pA bis 2 pA verwendet wird. Die von den Gasdüsen austretenden bzw. zugeführten Reaktionsgase sind hierbei abhängig von einem jeweiligen Abtragungs- oder Abscheidungsverfahren und insbesondere von der Art des abzuscheidenden Materials (Metall oder Isolator) auszuwählen.

Auf diese Weise können nicht nur mit einer außerordentlich hohen Genauigkeit von ca. 25 nm im Halbleitermaterial ausgebildete Bauelemente, sondern auch die untersten Metallisierungs- bzw. Verdrahtungsebenen M1 bis M5 erreicht und modifiziert werden. Ferner können dadurch Halbleiterbausteine in neuartigen Gehäuseformen, wie beispielsweise Flip-Chip-Gehäuse und dergleichen, von ihrer Rückseite modifiziert werden.

Figur 2 zeigt ein vereinfachtes Flussdiagramm zur Veranschaulichung wesentlicher Schritte des erfindungsgemäßen Verfahrens zur Rückseitenbearbeitung von Halbleiterbausteinen.

Nach einem Beginn im Schritt S0 kann in einem Schritt S1 zunächst ein mechanisches Polieren bzw. Schleifen des Substrats von seiner Rückseite bis zu einer ersten Substratdicke durchgeführt werden. Anschließend wird in einem sogenannten Grob-FIB-Schritt S2 die erste Vertiefung T1 mittels fokussierter Ionenstrahlen bis zu einer zweiten Substratdicke ausgebildet und in einem nachfolgenden Fein-FIB-Schritt S3 die zweite

Vertiefung T2 innerhalb der ersten Vertiefung T1 wiederum mittels fokussierter Ionenstrahlen so lange ausgebildet werden, bis eine im Substrat vorhandene Grabenisolierung erfassbar ist. In einem abschließenden Schritt S4 wird dann eine
5 Fein-Justierung des Halbleiterbausteins bzw. des fokussierten Ionenstrahls auf der Grundlage eines FIB-Bildes der zweiten Vertiefung und eines Referenz-Layouts für eine Grabenisolierung des Halbleiterbausteins als sogenannte STI-Kontrast-Auswertung durchgeführt. Nachdem nunmehr ein jeweiliger Zielpunkt bzw. Bezugspunkt mit einer Genauigkeit von bis zu 25 nm
10 bestimmt ist, kann nunmehr in einem Schritt S5 beispielsweise eine Korrektur-FIB zur Schaltungsmodifikation durchgeführt werden, wobei mittels fokussierter Ionenstrahlen ein Abtragen von Material und/oder ein Abscheiden von elektrisch leitendem
15 oder elektrisch nicht leitendem Material durchgeführt wird. Das Verfahren ist in einem Schritt S6 abgeschlossen.

Figur 3 zeigt eine vereinfachte Blockdarstellung einer Vorrichtung zur Rückseitenbearbeitung von Halbleiterbausteinen, wobei eine FIB-Einheit 10 einen fokussierten Ionenstrahl FIB
20 erzeugt und daraus ein sogenanntes FIB-Bild bzw. ein Sekundärelektronenbild ableitet. Dieses FIB-Bild wird an eine Auswerteeinheit 20 weitergeleitet, die das erzeugte FIB-Bild mit einem Referenz-Layout für eine Grabenisolierung des Halbleiterbausteins 50 vergleicht und eine Fein-Justierung in Abhängigkeit vom Vergleichsergebnis durchführt. Die Fein-Justierung betrifft üblicherweise den Halbleiterbaustein 50, sie
25 kann jedoch in gleicher Weise auch auf den fokussierten Ionenstrahl FIB gerichtet sein oder einer sonstige nachgeschaltete Bearbeitungseinheit zur Verfügung gestellt werden.
30

Zum beschleunigten Abtragen eines Substratmaterials von der Rückseite des Halbleiterbausteins 50 kann die Vorrichtung darüber hinaus eine mechanische Schleifeinheit 30 aufweisen,
35 mit der ein erstes Dünnen, Polieren und Reinigen des Halbleitersubstrats durchgeführt werden kann.

Darüber hinaus kann die Vorrichtung zur Rückseitenbearbeitung eine IR-Einheit 40 zum Erzeugen eines Infrarotsignals und eines daraus abgeleiteten IR-Bildes bzw. Infrarotbildes aufweisen, wobei das abgeleitete IR-Bild des Halbleiterbausteins 50 mit einem zugehörigen Referenz-Layout für eine Metallisierung des Halbleiterbausteins verglichen wird und in Abhängigkeit vom Vergleichsergebnis eine Grob-Justierung des Halbleiterbausteins 50 durchgeführt wird.

Die FIB-Einheit 10 weist ferner in einem ersten Betriebsmodus einen Ga-Ionen-Strahlstrom von ca. 20 nA zum Ausbilden einer ersten Vertiefung und in einem zweiten Betriebsmodus einen Ga-Ionen-Strahlstrom von 2 bis 250 pA zum Ausbilden einer zweiten Vertiefung innerhalb der ersten Vertiefung auf. Ferner kann die FIB-Einheit 10 einen dritten Betriebsmodus zum Durchführen einer eigentlichen Schaltungsmodifikation im Halbleiterbaustein aufweisen, wobei ein Ga-Ionen-Strahlstrom von 1 bis 2 pA verwendet wird.

Zur vereinfachten Durchführung des Fein-Alignments bzw. der Fein-Justierung des Halbleiterbausteins 50 kann die Auswertereinheit 20 darüber hinaus eine Mustererkennung auf der Grundlage eines Helligkeitsunterschieds des FIB-Bildes durchführen.

Die Erfindung wurde vorstehend anhand eines Si-Halbleiterbausteins beschrieben, der in einem Flip-Chip-Gehäuse montiert ist. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise auch nicht gehäute Halbleiterbausteine oder Halbleiterbausteine mit entsprechend alternativen Gehäuseformen.

Patentansprüche

1. Vorrichtung zur Rückseitenbearbeitung von Halbleiterbausteinen (IC, 50) mit
5 einer FIB-Einheit (10) zum Erzeugen eines fokussierten Ionenstrahls (FIB) und eines daraus abgeleiteten FIB-Bildes,
g e k e n n z e i c h n e t d u r c h
eine Auswerteinheit (20) zum Vergleichen des erzeugten FIB-Bildes mit einem Referenz-Layout für eine Grabenisolierung
10 des Halbleiterbausteins (IC) und zum Durchführen einer Feinjustierung des Halbleiterbausteins (IC) in Abhängigkeit vom Vergleichsergebnis.
2. Vorrichtung nach Patentanspruch 1,
15 d a d u r c h g e k e n n z e i c h n e t, dass das Referenz-Layout ein STI-Layout des Halbleiterbausteins (IC) für eine flache Grabenisolierung (STI) darstellt.
3. Vorrichtung nach Patentanspruch 1 oder 2,
20 d a d u r c h g e k e n n z e i c h n e t, dass die FIB-Einheit (10) einen ersten Betriebsmodus zum Ausbilden einer ersten Vertiefung (T1) und
einen zweiten Betriebsmodus zum Ausbilden einer zweiten Vertiefung (T2) in der ersten Vertiefung (T1) des Halbleiterbausteins (IC) aufweist.
25
4. Vorrichtung nach Patentanspruch 3,
d a d u r c h g e k e n n z e i c h n e t, dass die FIB-Einheit (10) im ersten Betriebsmodus einen Ionen-Strahlstrom
30 von ca. 20 nA und im zweiten Betriebsmodus einen Ionen-Strahlstrom von 2 bis 250 pA aufweist.
5. Vorrichtung nach Patentanspruch 3 oder 4,
d a d u r c h g e k e n n z e i c h n e t, dass die FIB-Einheit (10) einen dritten Betriebsmodus zum Durchführen einer Schaltungsmodifikation im Halbleiterbaustein (IC) aufweist.
35

6. Vorrichtung nach einem der Patentansprüche 1 bis 5,
g e k e n n z e i c h n e t d u r c h eine IR-Einheit (40)
zum Erzeugen eines Infrarot-Signals und eines daraus abgelei-
5 teten IR-Bildes, wobei ein IR-Bild des Halbleiterbausteins
(IC) mit einem zugehörigen Referenz-Layout für eine Metall-
sierung des Halbleiterbausteins verglichen und in Abhängig-
keit vom Vergleichsergebnis eine Grob-Justierung des Halblei-
terbausteins (IC) durchgeführt wird.
- 10 7. Vorrichtung nach einem der Patentansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t, dass die Aus-
werteeinheit (20) eine Mustererkennung auf der Grundlage ei-
nes Helligkeitsunterschiedes des FIB-Bildes durchführt.
- 15 8. Vorrichtung nach einem der Patentansprüche 1 bis 7,
g e k e n n z e i c h n e t d u r c h eine Schleifeinheit
(30) zum mechanischen Dünnen des Halbleiterbausteins (IC) von
seiner Rückseite bis auf eine erste Substratdicke (d1) von 6
20 bis 40 μm .
9. Verfahren zur Rückseitenbearbeitung von Halbleiterbau-
steinen mit den Schritten:
- a) Ganzflächiges Dünnen (S1) eines Substrats (1) des Halb-
25 leiterbausteins (IC) von seiner Rückseite bis zu einer ersten
Substratdicke (d1);
- b) Ausbilden (S2) einer ersten Vertiefung (T1) mittels fo-
kussierter Ionenstrahlen (FIB) bis zu einer zweiten Substrat-
dicke (d2);
- 30 c) Ausbilden (S3) einer zweiten Vertiefung (T2) in der ers-
ten Vertiefung (T1) mittels fokussierter Ionenstrahlen (FIB)
bis zu einer dritten Substratdicke (d3), bei der eine Graben-
isolierung im Substrat (1) erfassbar ist; und
- d) Durchführen einer Fein-Justierung (S4) des Halbleiter-
35 bausteins (IC) auf der Grundlage eines FIB-Bildes der zweiten
Vertiefung (T2) und eines Referenz-Layouts für eine Graben-
isolierung (STI) des Halbleiterbausteins (IC).

10. Verfahren nach Patentanspruch 9,
g e k e n n z e i c h n e t d u r c h den weiteren Schritt:
e) Durchführen einer Schaltungsmodifikation (S5) des fein-
5 justierten Halbleiterbausteins (IC) mittels fokussierten Ionenstrahlen (FIB).
11. Verfahren nach Patentanspruch 9 oder 10,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
10 a) ein Schleifen eines Halbleitersubstrats (1) bis zur ersten Substratdicke (d1) von 6 µm bis 40 µm durchgeführt wird.
12. Verfahren nach einem der Patentansprüche 9 bis 11,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
15 a) ein Polieren zum Erzeugen einer Substratrauhigkeit von kleiner 0,5 nm durchgeführt wird.
13. Verfahren nach einem der Patentansprüche 11 oder 12,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
20 a) eine Reinigung zum Entfernen der beim Schleifen und/oder Polieren entstandenen Teilchen durchgeführt wird.
14. Verfahren nach einem der Patentansprüche 9 bis 13,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
25 b) die erste Vertiefung (T1) bis zur zweiten Substratdicke (d2) von 2 µm bis 3 µm ausgebildet wird.
15. Verfahren nach einem der Patentansprüche 9 bis 14,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
30 b) ein Ga-Ionenstrahl als fokussierter Ionenstrahl (FIB) mit einer Energie von 25 bis 40 kV und einem Strahlstrom von ca. 20 nA verwendet wird.
16. Verfahren nach einem der Patentansprüche 9 bis 15,
35 d a d u r c h g e k e n n z e i c h n e t, dass eine Kontraständerung im FIB-Bild auf Grund im Substrat (1) ausgebildeter Dotierwannen als Endpunkt-Signal verwendet wird.

17. Verfahren nach einem der Patentansprüche 9 bis 16,
d a d u r c h g e k e n n z e i c h n e t, dass vor
Schritt c) eine Grob-Justierung des Halbleiterbausteins (IC)
5 auf der Grundlage eines IR-Bildes und eines Referenz-Layouts
für eine Metallisierung des Halbleiterbausteins (IC) durchge-
führt wird.
18. Verfahren nach einem der Patentansprüche 9 bis 17,
10 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
c) die zweite Vertiefung (T2) bis zur dritten Substratdicke
(d3) von 300 nm bis 400 nm ausgebildet wird.
19. Verfahren nach einem der Patentansprüche 9 bis 18,
15 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
c) eine Kontraständerung des FIB-Bildes auf Grund von im Sub-
strat (1) ausgebildeten Grabenisolierungen (STI) als End-
punkt-Signal verwendet wird.
20. Verfahren nach einem der Patentansprüche 9 bis 19,
20 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
c) der gleiche Ionenstrahl wie in Schritt b) mit einem ver-
ringerten Strahlstrom von 2 pA bis 250 pA verwendet wird.
21. Verfahren nach einem der Patentansprüche 9 bis 20,
25 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
d) eine Mustererkennung des FIB-Bildes der zweiten Vertiefung
(T2) und ein Vergleich mit dem Referenz-Layout für die Gra-
benisolierung (STI) des Halbleiterbausteins (IC) zum exakten
30 Ermitteln eines Bezugspunktes durchgeführt wird.
22. Verfahren nach einem der Patentansprüche 10 bis 21,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
e) der gleiche Ionenstrahl wie in den Schritten b) und c) mit
35 einem verringerten Strahlstrom von 1 pA bis 2pA verwendet
wird.

1/6

FIG 1A

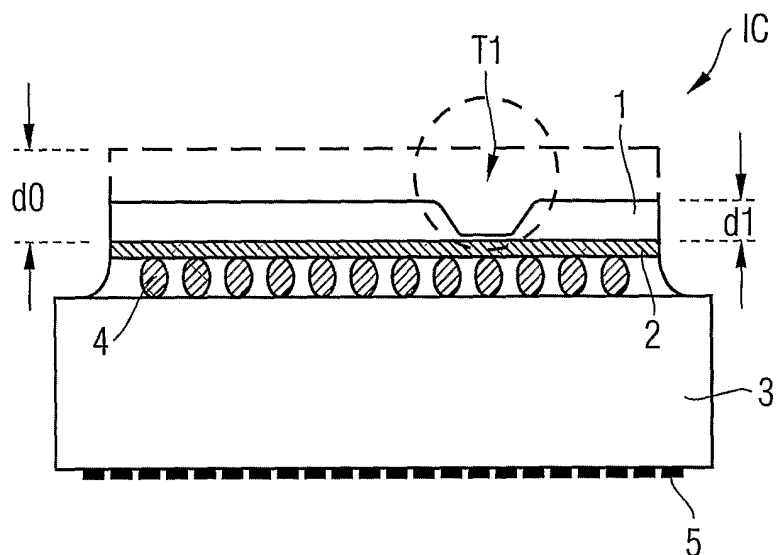
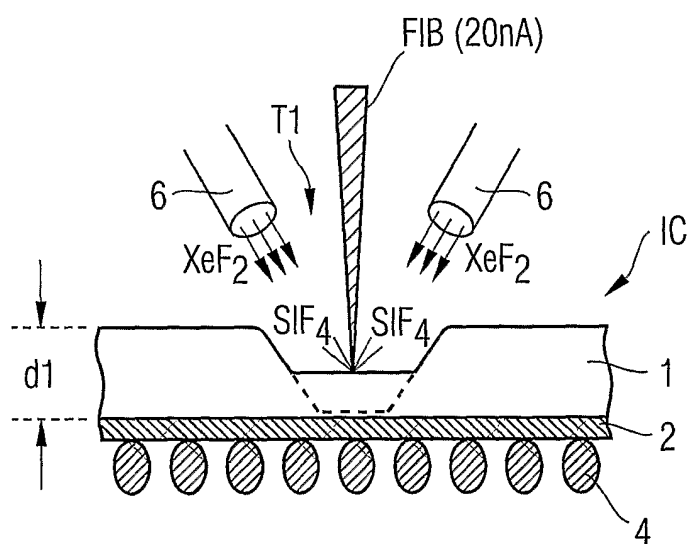


FIG 1B



2/6

FIG 1C

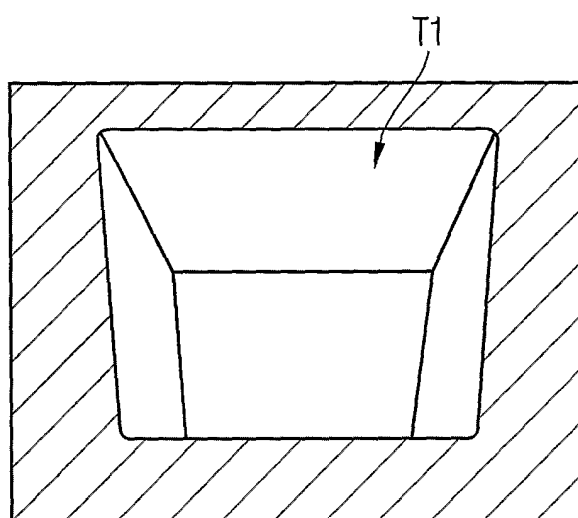


FIG 1D

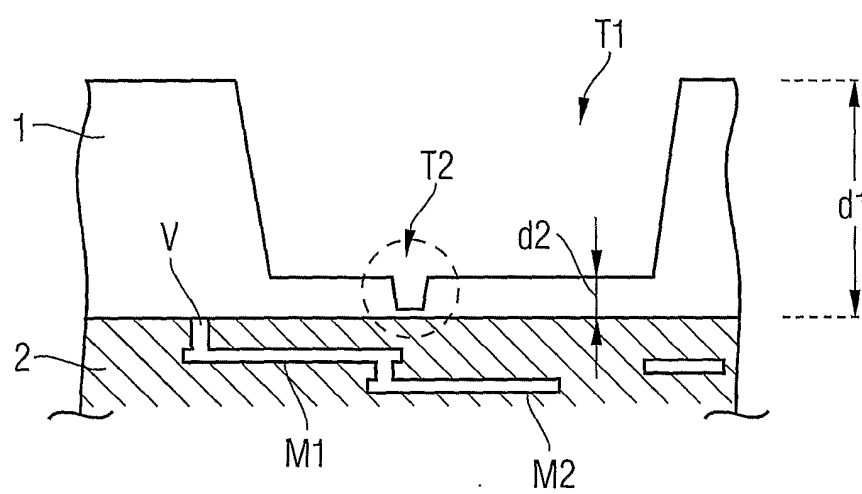


FIG 1F2

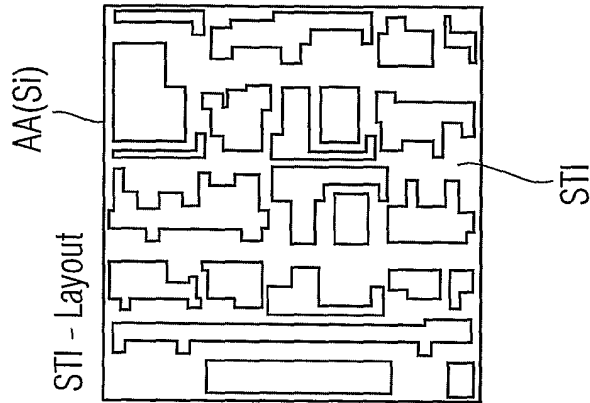
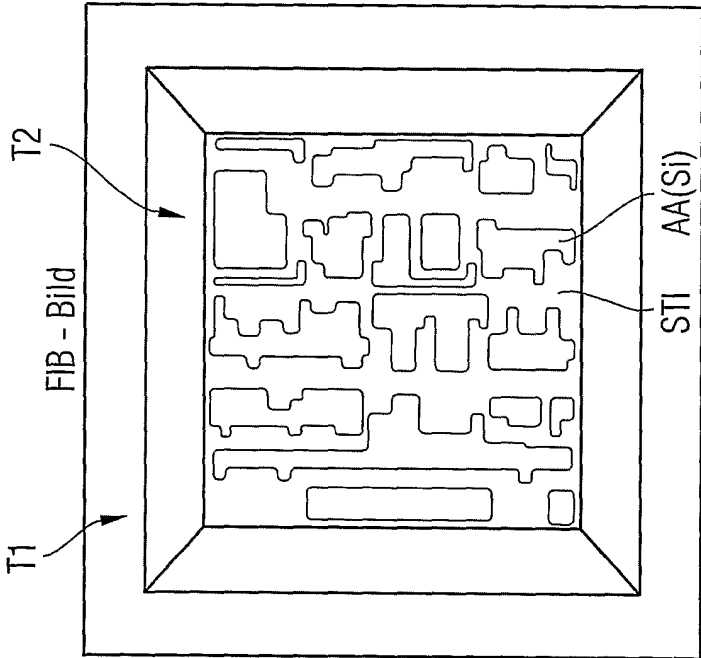


FIG 1F1



5/6

FIG 2

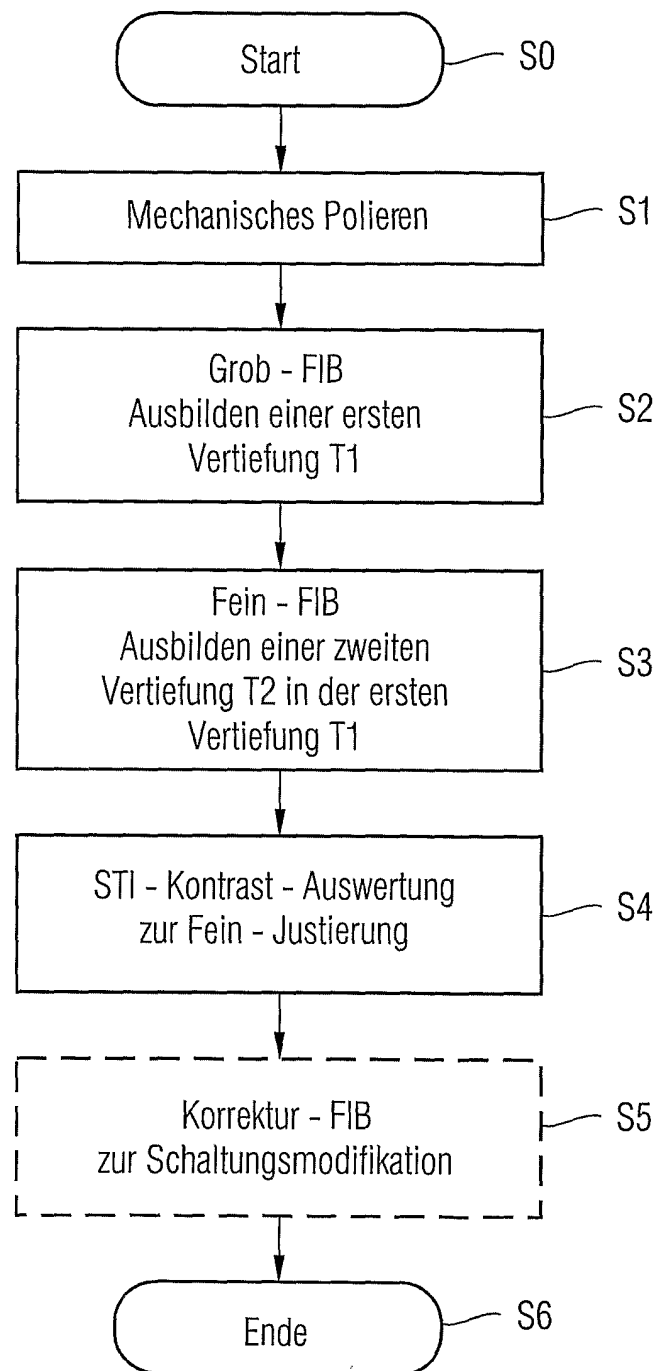


FIG 3

