(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 698 12 742 T2** 2004.02.05

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 858 170 B1**
(21) Deutsches Aktenzeichen: **698 12 742.0**
(96) Europäisches Aktenzeichen: **98 100 753.7**
(96) Europäischer Anmeldetag: **16.01.1998**
(97) Erstveröffentlichung durch das EPA: **12.08.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **02.04.2003**
(47) Veröffentlichungstag im Patentblatt: **05.02.2004**

(51) Int Cl.[7]: **H03M 1/08**
H03M 1/06

(30) Unionspriorität:
795220 **05.02.1997** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Agilent Technologies Inc., A Delaware Corp., Palo Alto, Calif., US

(74) Vertreter:
BOEHMERT & BOEHMERT, 80336 München

(72) Erfinder:
Jewett, Robert E., Redwood City, California 94061, US

(54) Bezeichnung: **System zur Vermeidung von Verzerrung ein einem Analog-Digital-Wandler**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

TECHNISCHES FELD

[0001] Die Erfindung betrifft elektronische Schaltkreise. Insbesondere betrifft die Erfindung die Verringerung von kohärenten Interferenzen zwischen Teilen desselben Schaltkreises.

BESCHREIBUNG DES STANDS DER TECHNIK

[0002] Systeme mit gemischten Signalen sind solche, die sowohl analoge als auch digitale Signale enthalten. Diese Systeme weisen oft unerwünschtes Übersprechen zwischen diesen beiden Bereichen auf. Übersprechen ist definiert als unerwünschte Störung, die in einem Signalweg als Ergebnis einer Kopplung mit einem anderen Signalwegs auftritt.

[0003] Ein Analog/Digital-Wandler (ADC) ist ein Beispiel eines Systems mit gemischten Signalen, das für Interferenzen aufgrund von Übersprechen anfällig ist. In einem ADC ist der Ausgang eine digitale Darstellung des analogen Eingangssignals und somit sehr eng mit diesem verbunden. Das unbearbeitete digitale Ausgangssignal umfaßt Frequenzkomponenten, die mit dem analogen Eingangssignal interferieren können. Ein Übersprechen des unbearbeiteten digitalen Ausgangssignals auf das analoge Eingangssignal könnte daher fehlerhafte Eingangssignalpegel erzeugen.

[0004] In solchen Systemen sind die digitalen Ausgangssignale im allgemeinen große Signale. Beispielsweise kann in einem Schaltkreis in Transistor-Transistorlogik (TTL) ein Hub von 3 Volt erzeugt werden. Ein Schaltkreis in Emitter-gekoppelter Logik (ECL) ist für hohe Geschwindigkeit ausgelegt und hat daher einen nicht so hohen Spannungshub, weist aber deutlich schnellere Übergänge auf.

[0005] Ferner erzeugen die digitalen Ausgangssignale üblicherweise bei jedem Taktzyklus steile Übergänge. Solche steilen Übergänge haben einen Hochfrequenzanteil, der leichter auf das analoge Eingangssignal zurückkoppelt. In extremen Fällen erzeugt die sich ergebende Kopplung eine Rückkopplung, die bei Gleichstromeingängen Schwingungen anregt. Wenn eine schwächere Kopplung auftritt, ist die Rückkopplung nicht stark genug, um Schwingungen anzuregen, jedoch erzeugt diese einen gewissen Betrag an Kopplung mit dem Eingang, welche sich als Fehlersignal darstellt und abhängig von der Art des Eingangssignals die halbe Abtastrate oder unterschiedliche Frequenzen aufweist. Dadurch werden Nichtlinearitäten und Störausgangssignale mit geringem Pegel erzeugt.

[0006] Die Standardmaßnahmen zur Minimierung von Übersprechen umfassen Abschirmen und Vorsehen von Isolation, Taktüberlagerung (clock dithering), Differenz-Ein- und -Ausgänge, Optimieren der Phase der digitalen Übergänge und Einstellen der Signalniveaus und der Anstiegsraten, um entweder die „Empfänger"-Empfindlichkeit oder die „Sender"-Leistung zu minimieren. Solche Verfahren sind ausreichend, um eine Isolierung von 60 bis 100 Dezibel (dB) zu erzielen. Beispielsweise wird in dem U.S. Patent 5,528,239 (vom 18. Juni 1996), „Low Noise Transmission of Output Data From Delta-Sigma Modulator" von Swanson et al. ein Schaltkreis beschrieben, der eine effektive Isolierung von 120 dB gegenüber den digitalen Ausgangssignalen erreicht, die eine niedrige Rate aufweisen. In dem U.S. Patent 5,530,390 (vom 25. Juni 1996), „Random Clock Generating Circuit and Method for Control of Electrical Systems thereof" von Russel et al. wird ein digitaler Controller beschrieben, der digitale Signale an Audiomodule bereitstellt, in dem für den Übertragungsprozeß das digitale Signal zwischen den unterschiedlichen Automodulen codiert wird. Die Codierung vor der Übertragung und die Decodierung nach der Übertragung des digitalen Signals wird von einem zufallsgesteuerten Taktsignal synchronisiert. Das zufallsgesteuerte Taktsignal wird verwendet, um das Auftreten von Geräuschen in den Audiosignalen und Interferenzeffekte mit anderen elektrischen Systemen zu vermeiden. In des Patent Abstracts of Japan, Band 13, Nr. 91, „Modulation/Demodulation System" von Shikane Osamu wird eine Vorrichtung und ein Verfahren beschrieben, welche das Codieren von unbearbeiteten digitalen Signalen für unterschiedliche Zwecke verwenden. Ein analog/digital-umgewandeltes Videosignal wird codiert, indem das digitale Signal und ein zyklischer Pseudo-Zufallszahlencode XOR-verknüpft werden. Das codierte digitale Signal wird in einem Speicher gespeichert und kann zu einem späteren Zeitpunkt abgerufen und demoduliert werden.

[0007] Mit der fortschreitenden Präzision von Ausstattung und Schaltkreisen werden jedoch die noch zu tolerierenden Pegel der Signalinterferenz entsprechend verringert. Für Anwendungen, die einen sehr niedrigen Fehlersignalpegel voraussetzen, rufen Übersprechen, Fehlersignale oder Rückkopplungen, die während der Analog/Digital-Umwandlung wegen der Abhängigkeit zwischen Eingang und Ausgang erzeugt werden, wesentliche Echtzeiteffekte hervor. Jedoch ist der Grad an Isolation des Standes der Technik nicht geeignet, die Integrität des digitalen Ausgangssignals zu erhalten. Ferner bieten zunehmend miniaturisierte Bauteile nicht genug Platz, um die Abschirmung und Schaltkreise aufzunehmen, die für die Maßnahmen nach dem Stand der Technik benötigt werden.

[0008] Eine Aufgabe der Erfindung ist es daher, ein System und ein Verfahren zur Verringerung der kohärenten Interferenzen zwischen Teilen eines elektronischen Schaltkreises vorzusehen. Es wäre ferner vorteilhaft, wenn solche Systeme ein Minimum an Schaltkreisen benötigen würden. Ein weiterer Vorteil wäre es, wenn solche Schaltkreise zusätzlich zu den Maßnahmen nach dem Stand der Technik verwendet werden könnten, um das Übersprechen stärker zu reduzieren.

ABRISS DER ERFINDUNG

[0009] Die Erfindung sieht ein System zur Vermeidung von Störungen in einem Analog/Digital-Wandler (analog-digital Converter, ADC) vor. Zwischen dem unbearbeiteten digitalen Ausgangssignal des ADC und einer Pseudo-Zufallszahlenfolge wird eine XOR-Verknüpfung durchgeführt, um ein codiertes Ausgangssignal zu erzeugen. Dadurch wird jegliche Korrelation zwischen dem analogen Eingangssignal und dem codierten Ausgangssignal aufgehoben. Eine Kohärenz zwischen dem codierten Ausgangssignal und dem analogen Eingangssignal wird vermieden und die Übersprecheffekte auf das analoge Eingangssignal werden verringert. Das originale unbearbeitete digitale Ausgangssignal kann durch Ausführung einer inversen XOR-Operation in dem Empfänger wiedergewonnen werden.

[0010] In einer ersten Ausführung der Erfindung wird das unbearbeitete digitale Ausgangssignal mit Ein-Bit-Pseudo-Zufallszahlen XOR-verknüpft. In einer zweiten Ausführung werden N-Bit-Pseudo-Zufallszahlen mit dem N-Bit Wort des unbearbeiteten digitalen Ausgangssignals XOR-verknüpft.

[0011] Um das originale unbearbeitete digitale Ausgangssignal, das von dem ADC vor der ersten XOR-Verknüpfung erzeugt wurde, in. dem Empfänger wieder herzustellen, wird eine zweite XOR-Operation zwischen dem codierten Ausgangssignal und den Pseudo-Zufallszahlen durchgeführt. Alternativ wird ein lineares rückgekoppeltes Schieberegister bei dem Empfänger mit dem linearen rückgekoppelten Schieberegister synchronisiert, welches zur Erzeugung der Pseudo-Zufallszahlen verwendet wird. Dadurch werden gleiche Folgen erzeugt, wodurch das Decodieren des Signals ermöglicht wird.

[0012] In einer zweiten Ausführung der Erfindung sendet ein Haupt-Synchronisationsschaltkreis zu jedem PRNG (Pseudo-Zufallszahlengenerator) ein Signal, um diese zu synchronisieren. Dieses Signal ist ein einzelnes Synchronisationssignal, ein periodisches Signal oder ein kontinuierliches einzelnes Signal.

[0013] Es kann eine zwischengeschaltete digitale Parallelverarbeitung (Pipelining) verwendet werden, um Decodierbits oder -worte des Pseudo-Zufallszahlengenerators zu den codierten Ausgangssignalen hinzuzufügen. Solche zusätzlichen Bits oder Worte können in dem codierten Ausgangssignal gespeichert werden. Die zusätzlichen Bits oder Worte können zu einem späteren Zeitpunkt verwendet werden, um das unbearbeitete digitale Ausgangssignal aus dem codierten Ausgangssignal wiederzugewinnen.

KURZBESCHREIBUNG DER FIGUREN

[0014] **Fig.** 1 ist ein Schaltplan eines Systems zur Vermeidung von Störungen in einem Analog/Digital-Wandler gemäß der ersten bevorzugten Ausführung der Erfindung;

[0015] **Fig.** 2 ist ein Schaltplan eines Systems zur Decodierung des codierten Ausgangssignals, das von dem Analog/Digital-Wandler gemäß der Erfindung erzeugt wurde;

[0016] **Fig.** 3 ist ein Schaltplan eines Systems zur Vermeidung von Störungen in einem Analog/Digital-Wandler gemäß einer zweiten, gleichermaßen bevorzugten Ausführung der Erfindung darstellt;

[0017] **Fig.** 4 ist ein Schaltplan eines Systems, der die Parallelverarbeitung von Daten gemäß der Erfindung darstellt; und

[0018] **Fig.** 5 ist ein Blockdiagramm eines integrierten Schaltkreises, der ein System zur Vermeidung von Störung in einem Analog/Digital-Wandler gemäß der Erfindung umfaßt.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0019] Die Erfindung sieht ein System zur Vermeidung von Störung in einem Analog/Digital-Wandler vor. Jedes Bit des unbearbeiteten digitalen Ausgangssignals wird mit einem anderen Pseudo-Zufallsbit XOR-verknüpft, um ein codiertes Ausgangssignal zu erzeugen. Dadurch wird die Korrelation zwischen dem analogen Eingangssignal und dem unbearbeiteten digitalen Ausgangssignal beseitigt. Eine Kohärenz zwischen dem unbearbeiteten digitalen Ausgangssignal und dem analogen Eingangssignal wird verhindert und die Übersprecheffekte auf das analoge Eingangssignal werden verringert. Um das originale unbearbeitete digitale Ausgangssignal wiederherzustellen, wird in dem Empfänger eine inverse XOR-Operation ausgeführt.

[0020] **Fig.** 1 ist ein Schaltbild eines Systems **10** zur Vermeidung von Störungen in einem Analog/Digital-Wandler gemäß einer ersten bevorzugten Ausführung der Erfindung. In dieser Ausführung wird ein analoges Eingangssignal **12** an einen Analog/Digital-Wandler (ADC) **14** übertragen. Das unbearbeitete digitale Ausgangssignal **16** mit N Bits wird dann von dem ADC an das XOR-Gatter **18** mit der Breite N weitergegeben.

[0021] Ein Pseudo-Zufallszahlengenerator (PRNG) **22** erzeugt eine Folge von Pseudo-Zufallszahlen (PRNs) **28**, die ebenfalls an das XOR-Gatter weitergegeben werden. In der ersten Ausführung der Erfindung haben die PRNs der Folge von PRNs ein Bit. Der ADC und der PRNG werden durch einen Takt **20** synchronisiert. Das XOR-Gatter führt eine XOR-Operation mit jedem Bit des unbearbeiteten digitalen Ausgangssignals und der jeweiligen PRN mit einem Bit in der PRN-Folge durch, die von dem PRNG erzeugt wurde. Der Ausgang des XOR-Gatters ist ein codiertes Ausgangssignal **24** mit N-Bit-Worten. Eine Kohärenz erster Ordnung zwischen dem codierten Ausgangssignal und dem analogen Eingangssignal wird vermieden, da anzunehmen ist, daß die PRN-Folge, die von dem PRNG erzeugt wird, zu jedem analogen Signal unkorreliert ist.

[0022] Die Folge der PRNs **26** mit einem Bit kann in dem Empfänger verwendet werden, um das originale unbearbeitete digitale Ausgangssignal wiederherzustellen. Die Folge der PRNs wird auf einer Leitung **34** übertragen, welche das System durchläuft und zu dem Empfänger führt. Dies wird anhand **Fig.** 2 detaillierter behandelt.

[0023] Die Verwendung eines linearen rückgekoppelten Schieberegisters (LFSR) als Pseudo-Zufallszahlengenerator (PNRG) ist im Stand der Technik bekannt. Beispielsweise wird in dem Patent U.S. 5,189,418, „Dither Error Correction", von Bartz et al ein PRNG verwendet, um eine Folge von überlagerten Zahlen (dither numbers) zu erzeugen. Jedoch können die Pseudo-Zufallszahlen durch jedes andere entsprechende Mittel erzeugt werden, einschließlich der Erzeugung durch Computer mittels Programmierungstechniken, beispielsweise die Technik, die in „The Art of Computer Programming" von Knuth beschrieben ist. Alternativ können die unbearbeiteten digitalen Ausgangssignale des ADCs mit Zufallsbits XOR-verknüpft werden, die beispielsweise durch thermisches Rauschen erzeugt werden – eine Technik, die bereits bekannt ist. Andere Verfahren zur Erzeugung von Pseudo-Zufallszahlen umfassen die Verwendung von Chips, die PRNs erzeugen.

[0024] In einer alternativen, gleichermaßen zu bevorzugenden Ausführung der Erfindung werden Pseudo-Zufallszahlen mit N-Bit mit entsprechenden N-Bit-Worten des unbearbeiteten digitalen Ausgangssignals XOR-verknüpft. Die PRNs mit N Bits werden in der gleichen Art und Weise erzeugt, wie die PRNs mit einem Bit, die mit Bezug auf **Fig.** 1 behandelt wurden. Die Verwendung einer PRN mit N-Bits bei der XOR-Operation mit jedem N-Bit-Wort des unbearbeiteten digitalen Ausgangssignals verhindert jegliche Kohärenz zwischen dem codierten Ausgangssignal und dem analogen Eingangssignal. Da Kohärenzen zweiter und höherer Ordnung verhindert werden, erscheint das codierte Ausgangssignal als vollkommen zufällig. Die Verwendung einer PRN mit N Bit bewirkt eine bessere Codierung als die Verwendung einer PRN mit 1-Bit.

[0025] Um das unbearbeitete digitale Ausgangssignal in dem Empfänger wiederzugewinnen, das vor der originalen XOR-Verknüpfung durch den ADC in dem Sender erzeugt wurde, wird die Folge von Pseudo-Zufallszahlen, die bei der codierenden XOR-Operation verwendet werden, an den Empfänger übertragen, wo diese bei einer weiteren XOR-Operation verwendet werden, um das codierte Ausgangssignal zu decodieren. Die **Fig.** 2 ist ein Schaltplan eines Beispiels für einen Empfänger **32**, in dem das codierte Ausgangssignal decodiert wird und das sich ergebende unbearbeitete digitale Ausgangssignal gemäß der Erfindung in ein analoges Signal umgewandelt wird.

[0026] In dem Empfänger, der in der **Fig.** 2 dargestellt ist, wird das codierte Ausgangssignal **24** mit N Bit an ein zweites XOR-Gatter **29** übertragen. Die PRN-Folge **26**, die vorher zur Codierung des unbearbeiteten digitalen Ausgangssignals an dem ersten XOR-Gatter verwendet wurde, wird an das zweite XOR-Gatter über eine Leitung **43** übertragen, die durch das System verläuft. Das codierte Ausgangssignal und die Folge der PRNs kann in einer Datenspeichereinheit **27** gespeichert werden, bevor diese an das zweite XOR-Gatter übertragen wird. Die Folge der PRNs wird dann mit dem codierten Ausgangssignal XOR-verknüpft, um das Äquivalent **30** des originalen unbearbeiteten digitalen Ausgangssignals wiederherzustellen.

[0027] Eine weitere Ausführung der Erfindung verwendet mehrere Pseudo-Zufallszahlengeneratoren (PRNGs), um in dem Sender und dem Empfänger die gleichen PRN-Folgen zu erzeugen. Die **Fig.** 3 zeigt einen Schaltplan, der ein System **40** zur Vermeidung von Störungen in einem Analog/Digital-Wandler gemäß einer zweiten gleichermaßen zu bevorzugenden Ausführung der Erfindung darstellt. Wenn gleiche lineare rückgekoppelte Schieberegister, die jeweils in dem Sender und dem Empfänger angeordnet sind, synchronisiert sind, werden diese die gleichen PRN-Folgen erzeugen. Daher müssen die PRN-Folgen zur Codierung des unbearbeiteten digitalen Ausgangssignals des ADCs nicht mit dem codierten Ausgangssignal übertragen werden, um das codierte Ausgangssignal in dem Empfänger zu decodieren. Wenn zur XOR-Operation PRNs mit N Bit verwendet werden, ist es effizienter, ein Synchronisationssignal zu übertragen, als die gesamten PRNs mit N Bits.

[0028] In dem in **Fig.** 3 gezeigten System sendet ein Hauptsynchronisations-Schaltkreis **42** ein Signal an jeden PRNG, um diese zu synchronisieren. Dieses Signal kann eine Synchronisation mit einem einzigen Impuls, mit sich wiederholenden periodischen Synchronisationsimpulsen oder mit einem durchgängigen, sich wiederholenden Synchronisationssignal sein.

[0029] Ein erster PRNG **44** ist in dem Sender **65** vorgesehen, um eine Folge von PRN **46** mit N-Bit zu erzeugen, die an ein ersten XOR-Gatter **48** übertragen wird. In einer Ausführung bestehen die PRNs mit N Bit aus PRNs mit einem Bit. In einer alternativen Ausführung umfassen die PRNs mit N Bit jeweils mehr als ein Bit.

[0030] Ein analoges Eingangssignal **50** wird an einen ADC **52** gesendet. Das unbearbeitete digitale Ausgangssignal **54** mit N Bit, das von dem ADC kommt, wird dann an das erste XOR-Gatter **58** mit der Breite N übertragen. Das erste XOR-Gatter führt eine XOR-Operation zwischen jedem Wort mit N Bit des unbearbeiteten digitalen Ausgangssignals und einer entsprechenden N-Bit-PRN **56** der PRN-Folge durch.

[0031] Das codierte Ausgangssignal **58** des ersten XOR-Gatters hat eine Breite von N Bits. Dieses codierte Ausgangssignal wird an ein zweites XOR-Gatter **60** mit der Breite N bei dem Empfänger **66** gesendet. Ein zweiter PRNG **62** erzeugt eine Folge von

PRNs **64**, die an das zweite XOR-Gatter **60** übertragen wird. Der Hauptsynchronisations-Schaltkreis **42** synchronisiert den ersten und den zweiten PRNG **44**, **62**. Somit erzeugen beide PRNGs die gleiche Folge von PRNs.

[0032] Die XOR-Operation des zweiten XOR-Gatters **60** erzeugt eine Ausgabe **68**, die das Äquivalent des originalen unbearbeiteten digitalen Ausgangssignals **54** ist. Daher wird das codierte Ausgangssignal decodiert. Der ADC und beide PRNGs werden mit einem Takt **56** synchronisiert.

[0033] Die Synchronisation der PRNGs kann beispielsweise bei der Initialisierung des erfindungsgemäßen Systems implementiert werden. Alternativ kann die Synchronisation aus einem Signal bestehen, das in Abhängigkeit von der XOR-Operation implementiert wird, die das unbearbeitete digitale Ausgangssignal codiert, oder kann manuell oder automatisch gesteuert werden.

[0034] Während ein Synchronisationssignal mit einem einfachen Impuls ausreicht, um mehrere PRNGs zu synchronisieren, kann ein solches System Ungenauigkeiten oder Fehler erleiden, wenn dieses Synchronisationssignal fehlgeleitet wird, fehlerhaft ist oder verlorengeht. Es ist daher vorzuziehen, an die PRNGs entweder einen sich wiederholenden periodischen Synchronisationsimpuls oder ein durchgehendes, sich wiederholendes Synchronisationssignal zu übermitteln.

[0035] Das codierte Ausgangssignal kann in jeder Stufe des Codierungs- oder Decodierungsprozesses gespeichert werden. Genauso können die PRNs in jeder Stufe gespeichert werden. Beispielsweise kann das codierte Ausgangssignal nach der ersten XOR-Operation in einem Speicher oder in einer magnetischen Speichereinheit gespeichert werden. Die PRNs können nach der ersten XOR-Operation gespeichert werden und zu einem späteren Zeitpunkt zur Decodierung des codierten Ausgangssignals wiederhergestellt werden. Alternativ kann auch das Haupt-Synchronisationssignal gespeichert werden, um eine zukünftige Synchronisation mehrerer PRNGs zu gestatten.

[0036] Die Signale können in jedem geeigneten Typ von Speichereinheit gespeichert werden, beispielsweise in einem Speicher oder in einem magnetischen Platten-Laufwerk. Die gespeicherten Signale und PRNs werden vorzugsweise in der gleichen Speichereinheit gespeichert. Jedoch können die Daten und die PRNs auch in unterschiedlichen Einheiten gespeichert werden, beispielsweise um Sicherheit zu gewährleisten.

[0037] Ein Verfahren zur Speicherung solcher Signale ist die Parallelverarbeitung (pipelining). **Fig.** 4 ist ein Schaltplan eines Schaltkreises **70**, der eine Parallelverarbeitung mit einer 1-Bit PRN in diesem Beispiel zeigt. Eine digitale Zwischen-Parallelverarbeitung fügt die PRN an das codierte Ausgangssignal **72** an. Daher hat das codierte Ausgangssignal eine Breite von N + 1 Bits und nicht eine Breite von N Bits. Das hinzugefügte Bit, das decodiertes Bit **74** genannt wird, wird in einem Speicher **76** als Teil des codierten Signals gespeichert, der eine Breite von N + 1 Bits hat. Die zusammen mit dem codierten Ausgangssignal gespeicherte PRN kann dann dazu verwendet werden, das codierte Ausgangssignal zu einem späteren Zeitpunkt mit einer Prozessoreinheit **80** zu decodierten.

[0038] **Fig.** 5 ist ein Blockdiagramm eines integrierten Schaltkreises, der das System zur Vermeidung von Störungen oder Verzerrungen in einem Analog/Digital-Wandler gemäß der Erfindung umfaßt. Das analoge Eingangssignal, das in den integrierten Schaltkreis **90** eintritt, wird zunächst verstärkt. In dem dargestellten Beispiel ist der Verstärker ein einfacher Differenz-Konverter (S/D) 100 mit einer Verstärkung von 4. Jedoch ist für den Fachmann ersichtlich, daß der Schaltkreis mit anderen Verstärkerkonfigurationen implementiert werden kann. Der Differenzausgang des S/D wird an eine Differenz-Folge- und Halteeinheit (track and hold device) (TH) 105 übertragen. Eine TH-Einheit erlaubt es, ein Signal für eine Zeitdauer, die Folgezeit genannt wird, zu verfolgen und hält das Signal für eine Zeit, die Haltezeit genannt wird, auf dem Niveau, das das Signal am Ende der Folgezeit hat.

[0039] Das gehaltene Signal geht an einen ersten Analog/Digital-Wandler (ADC **1**) 110. Dieser erste ADC ist ein Flash-Wandler mit 32 (2^5) Eingangsleitungen. Ein 32/6-Bit Codierer **140** codiert den Ausgang des ersten ADCs und liefert eine binäre Ausgabe mit 6 Bit. Es werden sechs binäre Bits benötigt, da die 32-stufige Pegelausgabe (32-line thermometer output) des ersten ADC **33** Zustände aufweist, die zur Codierung sechs binäre Bits benötigen. Die 32 Ausgangsleitungen des ersten ADC steuern auch einen Haupt-Digital/Analog-Wandler (DAC) **115**, der sich aus 32 Stromquellen zusammensetzt. Der Ausgang des Haupt-DAC wird dann von dem gehaltenen Signal von einer Subtrahiereinheit **120** abgezogen. In einer alternativen Ausführung der Erfindung wird diese Subtraktion von einer Addier-Subtrahier-Einheit durchgeführt.

[0040] Das Ergebnis der Subtrahiereinheit geht in einen Verstärker **125** mit einer Verstärkung von 8 und wird dann von einem zweiten Flash-Analog/Digital-Wandler 130 (ADC **2**) umgewandelt, um eine binäre Multi-Bit-Ausgabe zu erzeugen. Ein Codierer **135** erzeugt aus dem Multi-Bit-Ausgang ein binäres Signal mit 8 Bit. Die 6-Bit-Ausgabe des ADC1 und das 8-Bit-Ergebnis des ADC2 durchlaufen ein Latch **145** und gehen an einen Addierer **150**. Die sich ergebende Summe wird wiederum von einem Latch **155** verarbeitet. Das Verarbeiten mit dem Latch ist ein parallelverarbeitender (pipelined) Schritt, der für den Datenausgang zu einer längeren Gültigkeitszeit führt.

[0041] Das 13-Bit-Ergebnis des Latchs **155** hat möglicherweise einen Überlauf. Jeder auftretende Überlauf wird in dem Addierer oder in dem zweiten ADC ermittelt und von einem digitalen Begrenzer **160**

entfernt. Wenn das Ergebnis des Verarbeitens durch den Latch **155** einen Überlauf beinhaltet, wird ein Überlauf-Bit **170** gesetzt. Das 12-Bit-Ergebnis des digitalen Begrenzers geht an eine XOR-Verknüpfungseinheit **165** (XOR), wo das Ergebnis mit einem Pseudo-Zufallszahlenbit eines PRNG **175** XOR-verknüpft wird. Diese Ausgabe wird mit einem Latch verarbeitet 180 und an die Ausgangstreiber **185** übermittelt. Der Schaltkreis wird von einem Takt **190** angesteuert, der sowohl die anfängliche Analog/Digital-Wandlung als auch den Ausgang des Schaltkreises synchronisiert.

[0042] Obwohl die Erfindung hier in Bezug auf die bevorzugte Ausführung beschrieben ist, ist für den Fachmann leicht ersichtlich, daß andere Anwendungen für die hierin beschriebene Anwendung substituiert werden können, ohne den Schutzumfang der vorliegenden Erfindung zu verlassen.

[0043] Beispielsweise kann die Anzahl der Stufen in dem linearen rückgekoppelten Schieberegister gemäß den Bedürfnissen bestimmter Anwendung variiert werden, wobei sich mit einem längeren linearen rückgekoppelten Schieberegister eine größere Länge der Folge ergibt. Die Anzahl und der Typ der Rückkopplungs-Konfiguration in dem linearen rückgekoppelten Schieberegister kann in gleicher Weise verändert werden.

[0044] Ferner kann alternativ jeder andere Typ von PRNG verwendet werden, während die bevorzugte Ausführung der Erfindung ein lineares rückgekoppeltes Schieberegister zur Erzeugung der Pseudo-Zufallszahlen verwendet. Dies sind im allgemeinen komplexere Generatoren, die aufwendigere Schaltkreise benötigen. Diese können eine höhere Flexibilität oder längere Folgen vorsehen, jedoch werden im allgemeinen umfangreichere Schaltungen benötigt, als es für diese Anwendung notwendig ist. Alternativ können die Pseudo-Zufallszahlen durch eine Software-Anwendung erzeugt werden.

[0045] Es gibt weiterhin die Möglichkeit des Übersprechens zwischen den Anschlüssen (pins) innerhalb der Platine, wenn die unbearbeiteten digitalen Ausgangssignale in einem System mit mehreren Chips außerhalb des Chips zu einem anderen Chip übertragen werden. Ein solches Übersprechen kann das Signal wesentlich verschlechtern. In solchen Systemen mit mehreren Chips ist ein Codierchip mit zugeordneten Anschlüssen vorgesehen, welche das codierte Ausgangssignal übertragen. Gleichartige zugeordnete Anschlüsse auf dem Decodierchip empfangen die codierten Daten. Das Signal kann dann frei von Interferenz durch Übersprechen mit jeder der oben aufgeführten Methoden wiederhergestellt werden.

[0046] Der Empfängerschaltkreis gemäß der Erfindung kann einen Digital/Analog-Wandler, ein computerimplementiertes System mit einer Softwareanwendung zum Decodieren der codierten Systemausgaben, eine Speichereinheit oder einer Verstärkungseinheit umfassen.

[0047] Die Erfindung soll nur durch die folgenden Ansprüche begrenzt sein.

Patentansprüche

1. Verfahren zur Vermeidung von Störung in einem Analog/Digital-Umsetzer mit einem analogen Eingangssignal und einem unbearbeiteten digitalen Ausgangssignal mit folgenden Schritten:
Übertragendes unbearbeiteten digitalen Ausgangssignal an ein erstes XOR-Gatter; Erzeugen einer ersten Pseudo-Zufallszahl;
Durchführen einer XOR-Verknüpfung des unbearbeiteten digitalen Ausgangssignal mit der ersten Pseudo-Zufallszahl durch das erste XOR-Gatter, um ein kodiertes Ausgangssignal zu erzeugen;
Festhalten eines Ausgangs der XOR-Verknüpfung an dem ersten XOR-Gatter;
Übermitteln des festgehaltenen XOR-Ausgangs an zumindest einen Ausgangstreiber; und Synchronisieren der Analog/Digital-Umsetzung des festgehaltenen XOR-Ausgangs mit dem Ausgangstreiber.

2. Verfahren nach Anspruch 1, wobei der Schritt zur Erzeugung einer ersten Pseudo-Zufallszahl die Schritte umfaßt:
Bereitstellen eines linear rückgekoppelten Schieberegisters; und Anwenden des linearen rückgekoppelten Schieberegisters zum Erzeugen der ersten Pseudo-Zufallszahl.

3. Verfahren nach Anspruch 1 oder 2 mit den folgenden Schritten:
Durchführen einer XOR-Verknüpfung des kodierten Ausgangssignals mit einem zweiten XOR-Gatter, um das unbearbeitete Ausgangssignal wiederzugewinnen.

4. Verfahren nach Anspruch 1 bis 3, wobei:
die erste Pseudo-Zufallszahl als Reaktion auf ein Synchronisierungssignal erzeugt wird und
das Verfahren weiterhin den Schritt des Erzeugens einer zweiten Pseudo-Zufallszahl in Reaktion auf das Synchronisierungssignal aufweist; und
die zweite XOR-Verknüpfung mit der zweiten Pseudo-Zufallszahl durchgeführt wird.

5. Verfahren nach den Ansprüchen 1 bis 4, das den Schritt des Speicherns von zumindest der ersten Pseudo-Zufallszahl, der zweiten Pseudo-Zufallszahl und des kodierten Ausgangssignals umfaßt.

6. System zur Vermeidung von Störungen in einem Analog/Digital-Umsetzer der ein analoges Eingangssignal (**50**) und ein unbearbeitetes Ausgangssignal (**68**), hat mit:
einem ersten Pseudo-Zufallszahlengenerator (**22**; **44**) zum Erzeugen einer ersten Pseudo-Zufallszahl;
einem ersten XOR- Gatter (**18**, **48**) zum Empfang des unbearbeiteten digitalen Ausgangssignals und zur XOR-Verknüpfung des unbearbeiteten digitalen Aus-

gangssignal mit der ersten Pseudo-Zufallszahl zur Erzeugung eines kodierten Ausgangssignal;
zumindest einem Latch (**180**) zum Festhalten eines Ausgangs der XOR-Verknüpfung des ersten XOR-Gatters;
zumindest einer Ausgangsstufe (**185**) zum Empfangen des festgehaltenen XOR-Ausgangs; und
einer Synchronisierungseinrichtung (**42**; **190**) zur Synchronisierung des Analog/Digital-Umsetzers und des festgehaltenen XOR-Ausgangs mit der zumindest einen Ausgangsstufe.

7. System nach Anspruch 6 mit einem Regeneratorschaltkreis (**32**; **66**) zur Regeneration des unbearbeiteten digitalen Aufgangssignals.

8. System nach Anspruch 7, worin der Regeneratorschaltkreis zur Regeneration des unbearbeiteten digitalen Ausgangssignals ein zweites XOR-Gatter (**29**, **60**) aufweist.

9. System nach den Ansprüchen 6 bis 8, weiterhin umfassend: einen Erzeugerschaltkreis (**62**) zum Erzeugen einer zweiten Pseudo-Zufallszahl; ein Synchronisationsschaltkreis (**42**) zur Synchronisation des Generatorschaltkreises mit dem ersten Pseudo-Zufallszahlengenerator.

10. System nach den Ansprüchen 6 bis 9, weiterhin umfassend:
ein Speicher (**76**) zum Speichern von zumindest der ersten Pseudo-Zufallszahl, der zweiten Pseudo-Zufallszahl und des kodierten Ausgangssignals.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

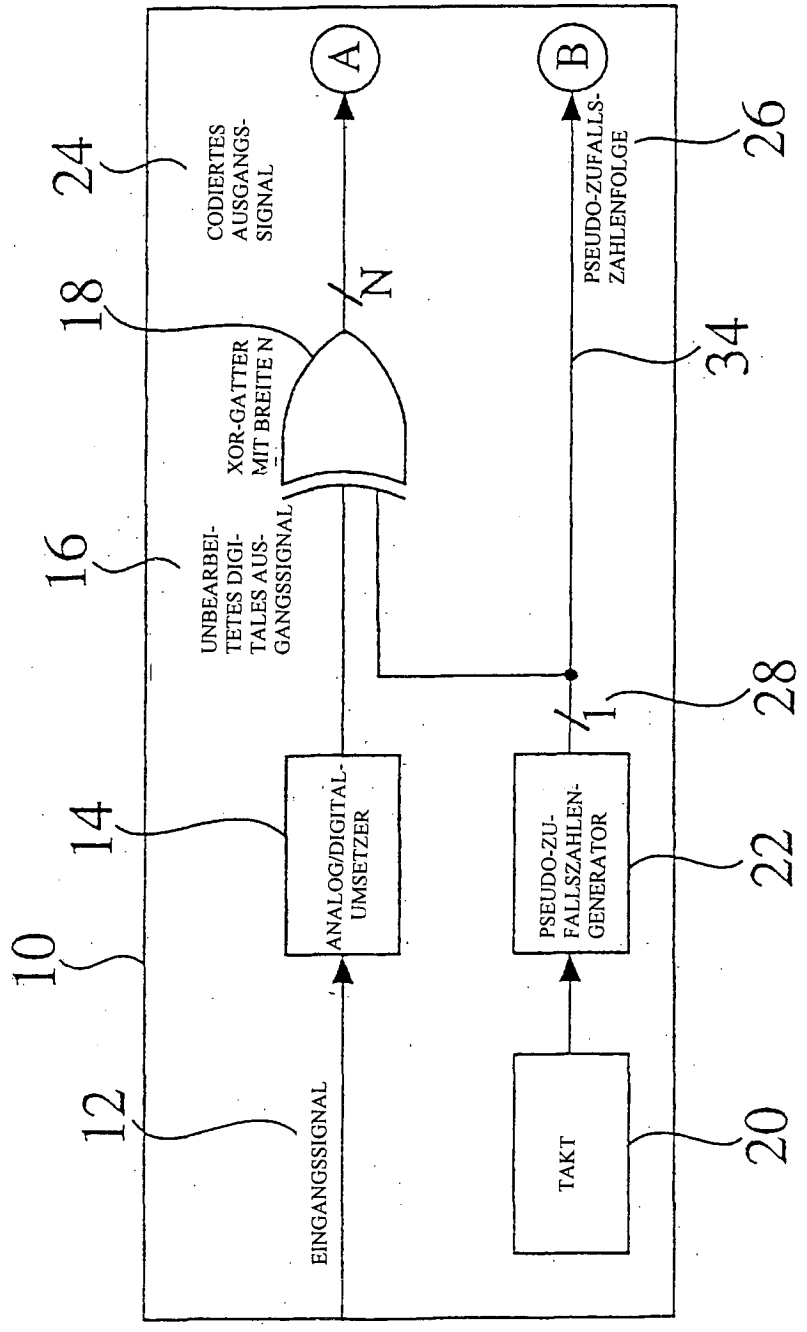


Fig. 1

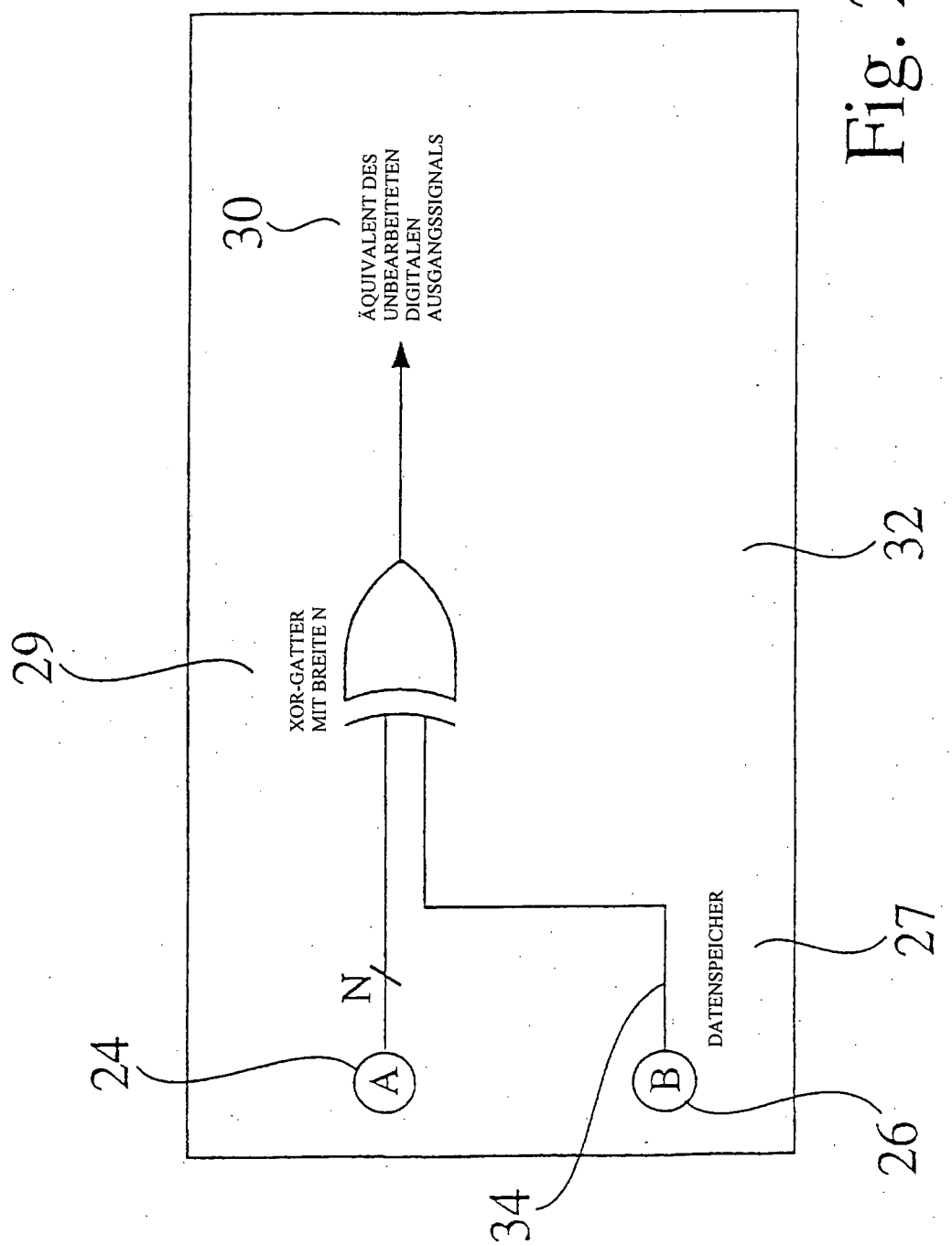

29
30
ÄQUIVALENT DES
UNBEARBEITETEN
DIGITALEN
AUSGANGSSIGNALS
XOR-GATTER
MIT BREITE N
32
N
24
A
B
DATENSPEICHER
27
26
34

Fig. 2

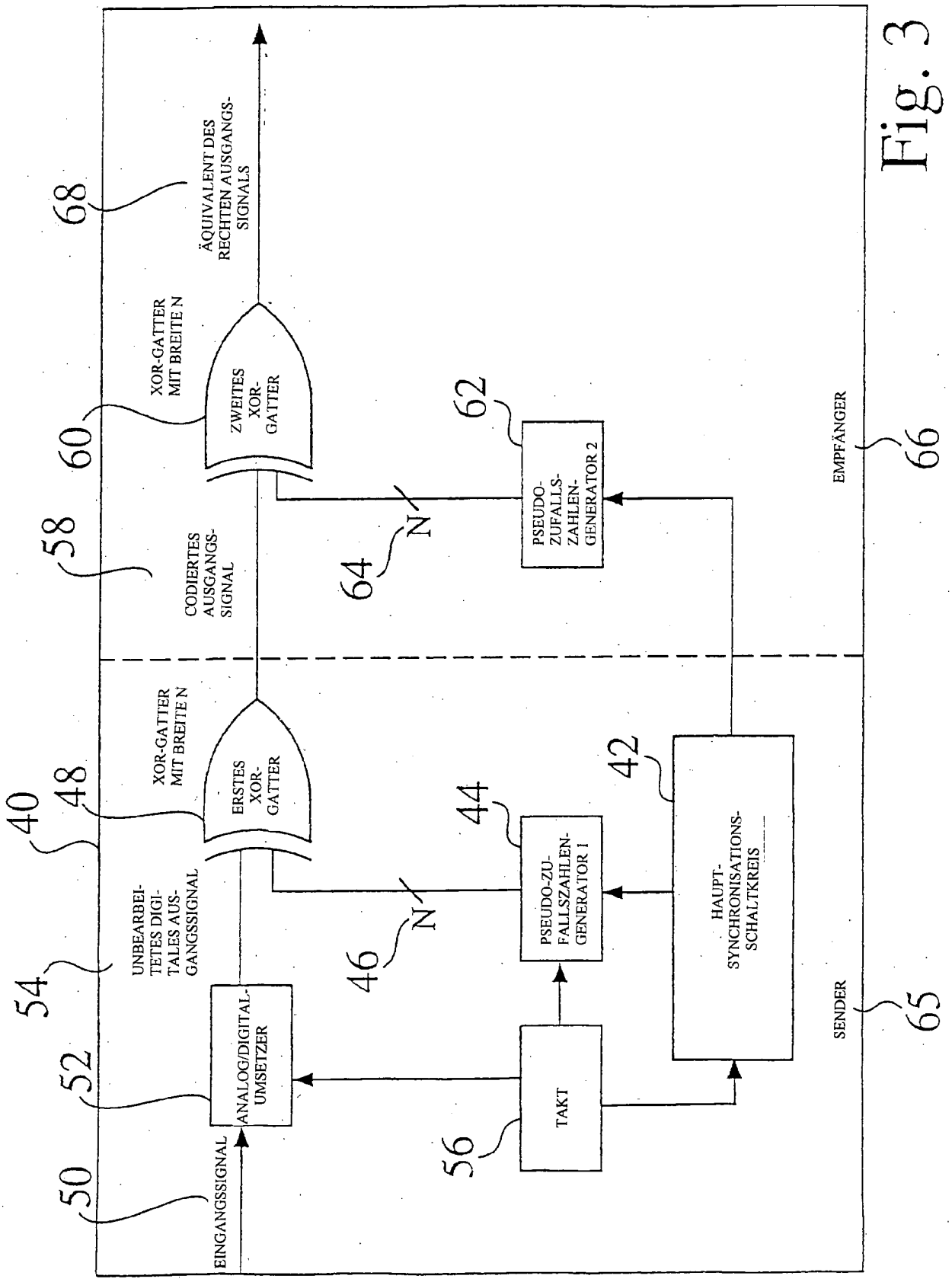

ÄQUIVALENT DES RECHTEN AUSGANGS-SIGNALS
68
XOR-GATTER MIT BREITE N
ZWEITES XOR-GATTER
60
62
PSEUDO-ZUFALLS-ZAHLEN-GENERATOR 2
64
N
58
CODIERTES AUSGANGS-SIGNAL
EMPFÄNGER
66
XOR-GATTER MIT BREITE N
ERSTES XOR-GATTER
48
40
44
42
PSEUDO-ZU-FALLSZAHLEN-GENERATOR 1
HAUPT-SYNCHRONISATIONS-SCHALTKREIS
UNBEARBEI-TETES DIGI-TALES AUS-GANGSSIGNAL
54
46
N
ANALOG/DIGITAL-UMSETZER
52
TAKT
56
EINGANGSSIGNAL
50
SENDER
65

Fig. 3

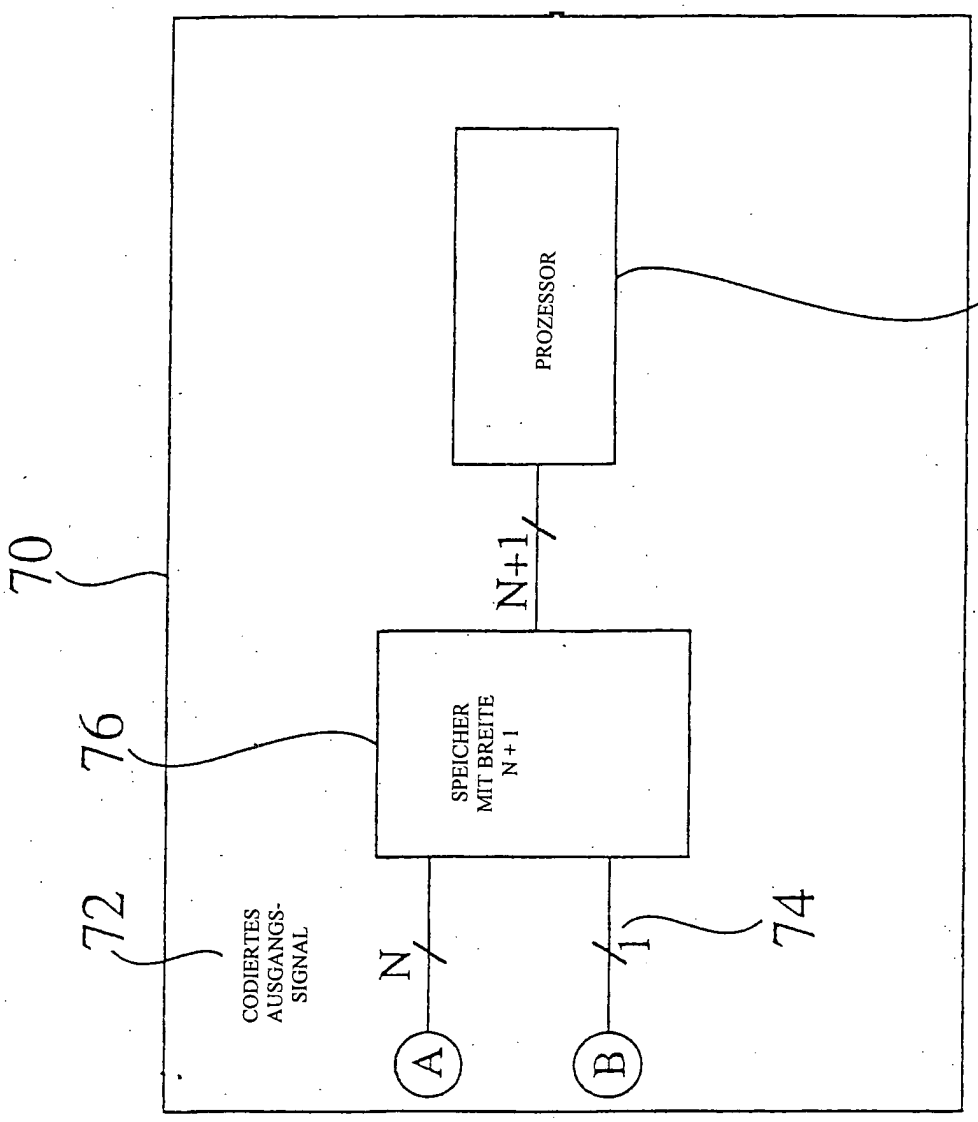

70
PROZESSOR
80
N+1
SPEICHER
MIT BREITE
N + 1
76
72
CODIERTES
AUSGANGS-
SIGNAL
N
1
74
A
B

Fig. 4

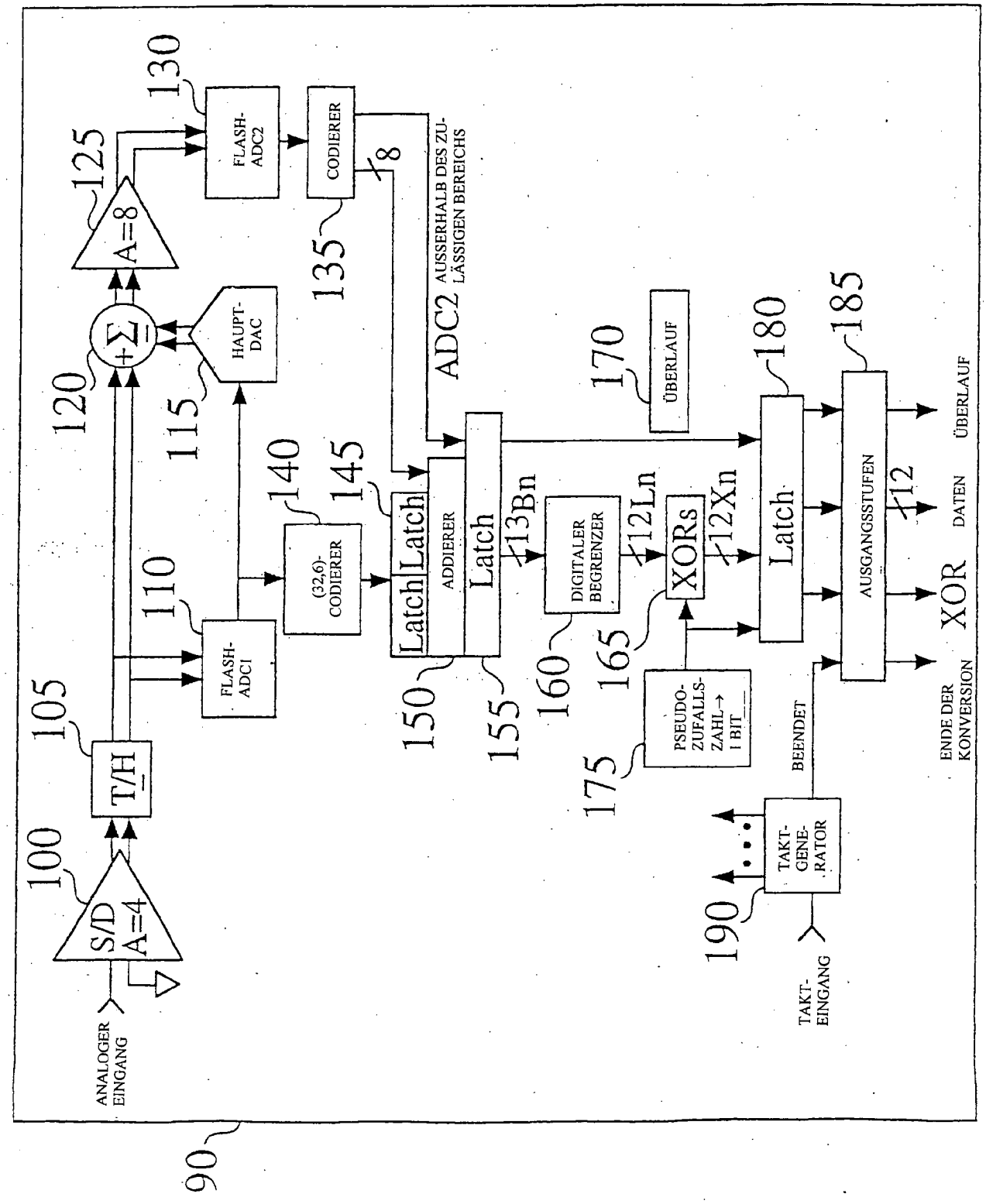

90
100
S/D
A=4
ANALOGER EINGANG
105
T/H
110
FLASH-ADC1
115
HAUPT-DAC
120
+Σ
125
A=8
130
FLASH-ADC2
135
CODIERER
8
ADC2 AUSSERHALB DES ZULÄSSIGEN BEREICHS
140
(32,6)-CODIERER
145
Latch
Latch
150
ADDIERER
155
Latch
13Bn
160
DIGITALER BEGRENZER
12Ln
165
XORs
12Xn
170
ÜBERLAUF
175
PSEUDO-ZUFALLS-ZAHL→ 1 BIT
180
Latch
185
AUSGANGSSTUFEN
12
DATEN
ÜBERLAUF
XOR
ENDE DER KONVERSION
BEENDET
190
TAKT-GENE-RATOR
TAKT-EINGANG

Fig. 5