

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國、2007 年 3 月 8 日、11/683,608

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明之實施例整體而言係關於掃描技術。

【先前技術】

掃描設計(scan design)係應用於數位電路之可測試性設計(design for test, DFT)中。掃描設計可提供用以改善被測試裝置(device under test, DUT)測試性(testability)之測試存取(test access)並降低測試成本。掃描設計之一範例係描述於圖一之先前技術中。掃描設計之一目的係提供測試存取以增加組合電路(combinational circuit)之測試性。掃描設計可用掃描暫存器取代正規的內部暫存器。掃描暫存器係在正規暫存器中加入了一名為掃描路徑(scan path)之訊號路徑，使暫存器可直接由外部存取。當一掃描允許(scan enable, SE)訊號係設為，例如，一邏輯高訊號(logical high signal，亦可稱為 1)時，則掃描路徑可為有效的。否則，則選擇正規路徑，並讓掃描暫存器作為一正規暫存器。掃描暫存器之掃描路徑係以串聯的方式而連結，形成一名為掃描鏈之移位暫存器(shift register)。由於載入與載出(load and unload)掃描鏈之時間將主導整體的測試時間，故可平行利用複數掃描鏈而縮短測試時間。上述掃描鏈可藉由晶片上如內建自我測試(built-in self test, BIST)之測試電路而由內部存取及/或由一外部測試器(external tester)而存取。

參照圖一，在一積體電路晶片內之一組合 10 包含一掃

掃描移位時的峰值功率問題係顯示於先前技術圖三中，其包含由一 CLK1 訊號所時控之一掃描鏈內的暫存器 52-1、52-2 與 52-3，以及由一 CLK2 訊號所時控之另一掃描鏈內的暫存器 54-1 與 54-2，其分別耦合至組合邏輯 50。(由於篇幅有限故未顯示出多工器。)理所當然的，上述掃描鏈可比已描述之規模更龐大。載入掃描鏈後，即可能有為數眾多之轉變(transition)由掃描暫存器注入組合邏輯中。注入之轉變可造成邏輯閘輸出的切換，並在被測試裝置(DUT)內造成更多之轉變。

在製造轉變的過程中電力係不可或缺的，其係由供應電壓(VDD)所提供。過量的瞬時電力之需求(instantaneous power demand)可能造成如圖四所示之供應電壓雜訊(supply voltage noise)。此供應電壓雜訊可能會變更被測試裝置(DUT)之工作頻率(operating frequency)並可能造成如保持時間違規(hold-time violations)之時序問題。此時序問題可能使預期之測試功能失靈，並導致不正確的測試結論。

為了解決上述問題，先前技術組合如圖三提供了不同相位(不同時間)之掃描移位時脈(scan shift clocks)，稱為時間偏差。舉例來說，在圖五中，移位時脈 CLK1，CLK2，...CLKn 係於不同時間具有上升緣(rising edges)。然而，先前技術之電路並未有效利用時間偏差。

【發明內容】

在某些實施例中，一晶片包含第一及第二掃描鏈部位(scan chain segments)，其各自包含暫存器及多工器，用以

在掃描輸入期間(scan input periods)提供掃描輸入訊號至暫存器，並在擷取期間(capture periods)提供擷取輸出訊號至暫存器。上述晶片亦包含分別提供第一及第二測試時脈訊號至第一及第二掃描鏈部位之暫存器的電路，其中上述第二測試時脈訊號在掃描輸入期間與在擷取期間係由電路中不同之訊號路徑所提供，而在掃描輸入期間第二測試時脈訊號相對於第一測試時脈訊號係偏斜的(skewed)。

在某些實施例中，一晶片包含第一及第二掃描鏈部位，其各自包含暫存器及多工器，用以在掃描輸入期間提供掃描輸入訊號至暫存器，並在擷取期間提供擷取輸出訊號至暫存器。上述晶片亦包含分別提供第一及第二測試時脈訊號至第一及第二掃描鏈部位之暫存器的電路，其中上述第二測試時脈訊號在掃描輸入期間相對於第一測試時脈訊號係偏斜的，而第一及第二測試時脈訊號在擷取期間則係對齊的(aligned)。

在某些實施例中，上述晶片係位於一測試系統內。

在某些實施例中，一方法包含藉由一第一測試時脈電路產出一第一測試時脈訊號，並將第一測試時脈電路之一訊號延遲。此方法亦包含藉由第一測試時脈電路提供一擷取時脈訊號(capture clock signal)或一延遲訊號(delayed signal)作為第二測試時脈訊號而產出一第二測試時脈訊號。此方法更包含提供第一測試時脈訊號至一第一掃描鏈部位之暫存器，以及提供第二測試時脈訊號至一第二掃描鏈部位之暫存器。

其他實施例亦加以敘述並請求其權利。

【實施方式】

參照圖六，電路 60 將提供第一及第二測試時脈訊號 TCLK1 及 TCLK2 至掃描鏈部位(如圖 13 所示)內之時脈暫存器。TCLK1 訊號係在導體 62 上之一 CLK1 訊號，其代表了掃描輸入期間之一掃描移位時脈訊號及擷取期間之一擷取時脈。TCLK2 訊號係由一測試時脈電路 75 所提供，其包含了一具有一延遲參數(delay value) K2 (其為某時間值，例如一時脈半週期(a clock half period)之一部份)之延遲電路 82。舉例來說，延遲電路 82 可包含時脈緩衝器(clock buffers)，一偶數系列之反相器(an even series of inverters)，或其他延遲元件(delay cells)。延遲電路 82 將接收一導體 90 上之 TCLK1 訊號。一多工器 88 將接收延遲電路 82 之輸出以及導體 64 上之時脈 2 訊號(CLK2)。在掃描輸入期間，當一掃描允許訊號係 1(例如，高)時，多工器 88 將由延遲電路 82 提供輸出作為 TCLK2 訊號。相應的，延遲電路 82 之輸出即被稱為一掃描移位時脈(SCLK2)。在擷取期間，當一掃描允許訊號係 0(例如，低)時，多工器 88 將提供 CLK2 訊號作為 TCLK2 訊號。相應的，CLK2 訊號即被稱為一擷取時脈訊號(CCLK2)。

由於延遲電路 82 所造成之延遲，在掃描輸入期間 TCLK2 相對於 TCLK1 係偏斜的，但在擷取期間當多工器 88 選擇 CCLK2 訊號時，只要 CLK1 及 CLK2 係對齊的，則 TCLK1 及 TCLK2 亦係對齊的。由於傳遞訊號之導體係

由電路所連結(如圖八所示)或隔離，故 CLK1 及 CLK2 訊號可來自一共同訊號。在這期間根據所實施之方式而定，CLK1 及 CLK2 可為對齊或非對齊的。再者，如圖六所示，在不同期間 TCLK2 係由一不同訊號路徑所提供，在掃描輸入期間其訊號路徑係經由導體 62 至導體 90 至延遲電路 82 再至多工器 88，而在擷取期間其訊號路徑係經由導體 64 至多工器 88。

圖七顯示出用以提供第一及第二測試時脈訊號 TCLK1 及 TCLK2 之電路 74。TCLK1 訊號係由一第一測試時脈電路 76 所提供，其包含一具有一延遲參數 K1(其為某時間值，例如一時脈半週期之一部份)之延遲電路 80。延遲電路 80 將接收導體 68 上之一掃描移位時脈訊號(SCLK)。延遲電路 80 之輸出係稱為一第一掃描移位時脈訊號(SCLK1)以利與一第二掃描移位時脈訊號(SCLK2)做區別。一多工器 86 將接收延遲電路 80 之輸出以及導體 66 上之第一擷取時脈訊號(CCLK1)。一第二測試時脈電路 78 包含一具有一延遲參數 K2 之延遲電路 82，K2 可與 K1 相同亦可不同(較高或較低)。延遲電路 82 將由一導體 90 上之第一測試時脈電路 76 接收一訊號。圖七顯示出兩個實施例。以一第一實施例而言，在延遲電路 80 之輸出的 SCLK1 係由導體 90 傳輸至延遲電路 82。以一第二實施例而言(如虛線所示)，多工器 86 之輸出係由導體 90 傳輸至延遲電路 82。在掃描輸入期間，當一掃描允許訊號為 1(例如，高)時，延遲電路 80 之輸出 SCLK1 即通過多工器 86 轉為

TCLK1 訊號，而延遲電路 82 之輸出 SCLK2 則通過多工器 88 轉為 TCLK2 訊號。在擷取期間，當一掃描允許訊號為 0(例如，低)時，CCLK1 即通過多工器 86 轉為 TCLK1 訊號，而導體 64 上之一訊號 CCLK2 則通過多工器 88 轉為 TCLK2 訊號。

圖七中，在掃描輸入期間 TCLK2 相對於 TCLK1 而言係偏斜的，但在擷取期間，只要 CCLK1 及 CCLK2 係對齊的則 TCLK1 及 TCLK2 亦係對齊的。再者，在不同期間 TCLK1 及 TCLK2 係由一不同訊號路徑所提供，在掃描輸入期間其訊號路徑係經由導體 68 至延遲電路 80 再至多工器 86，及經由導體 68 至延遲電路 80 至導體 90 至延遲電路 82 再至多工器 88，而在擷取期間其訊號路徑係經由導體 66 至多工器 86，及經由導體 64 至多工器 88。

圖八係與圖七相似，但其顯示出 CCLK1、SLK 及 CCLK2 訊號係來自導體 70 上之同一訊號 CLK，導體 70 係一及閘(AND gate) 96 之輸出。及閘 96 之輸入係一測試模式訊號(test mode signal)及一來自一時脈產生電路 98(其可為一鎖相迴路(phase locked loop, PLL)、延遲鎖定迴路(delayed locked loop, DLL 或其他電路)之 CLK 訊號。亦有許多其他方法可施行本發明之實施例。舉例來說，某些實施例不包含及閘 96 及一測試模式訊號。

圖七顯示出當 SE=0 時(擷取期間)，由於 CCLK1 可與 CCLK2 對齊，故 TCLK1 可為平衡的(balanced)。圖八中，CCLK1 係與 CCLK2 對齊的，故其係平衡的。

圖九及圖十一顯示出具有可程式延遲 (programmable delay) 之測試時脈電路的實施例。此程式可由 serial_in 至 serial_out 而連續執行。視暫存器 116 (或 116-1, 116-2) 之內容而定，當 SE=1 時，SCLK 或延遲後之 SCLK 可轉為 TCLK。藉由包含或繞過 TCLK1 之延遲，亦可控制 TCLK2 之延遲 (或時間偏差之程度)。假使賦予各個測試時脈相似之可程式性 (programmability)，則整體提出之測試時脈結構將具有相當大之彈性，並可用以實施掃描移位之不同排程。

參照圖九，一測試時脈電路 110 包含延遲電路 120 (具有延遲參數 m1) 及一多工器 124，其各自接收一掃描移位時脈訊號 (SCLK)。多工器 124 係藉由一延遲控制訊號之數值而控制，此延遲控制訊號係經由一暫存器 (鎖存器，正反器) 116 以讓 SCLK 或一延遲後之 SCLK 訊號成為多工器 86 之輸入，其亦接收一第一擷取時脈訊號 (CCLK1) 並提供一輸出至延遲電路 128 (具有延遲參數 n1)。延遲控制訊號及多工器 124 允許可程式延遲之數量。一測試時脈電路 112 包含一具有延遲參數 m2 之延遲電路 132，此延遲電路 132 將接收來自於延遲電路 128 前或延遲電路 128 後 (或由其他位置) 由測試時脈電路 110 透過導體 90 之一訊號。如虛線所示，在某些實施例中，電路 112 包含一類似多工器 124 之多工器 134，但在其他實施例中則不包含此多工器。多工器 88 將接收延遲電路 132 之輸出或多工器 134 及一第二擷取時脈訊號 (CCLK2)。在某些實施例中，多工器 134 可

藉由正反器 116 或另一未顯示於圖九之正反器而控制。在掃描輸入期間(掃描允許訊號為 1)，SCLK 或延遲後之 SCLK 將通過多工器 86，而延遲電路 132 或多工器 134 之輸出將通過多工器 88，視其他施行之選擇而定，其可為一進一步延遲之 SCLK 訊號或可與多工器 86 之 SCLK 訊號對齊。在擷取期間(掃描允許訊號為 0)，CCLK1 將通過多工器 86 而 CCLK2 將通過多工器 88。延遲電路 138 (具有延遲參數 $n2$) 將延遲多工器 134 之輸出。延遲電路 128 及 138 不包含於某些實施例中。

在某些實施例中，延遲參數 $m1+n1$ 可等於圖七及圖八之 $K1$ ，而 $m2+n2$ 可等於 $K2$ ，但在其他實施例中則未必。在某些實施例中，為了降低施行一延遲效果所需之時脈緩衝器，可利用位於一功能 (functional) 或擷取時脈路徑中之時脈緩衝器。在某些實施例中，作為一特殊例子，假使 $m1 = m2 = 0$ ，則所提出之測試時脈電路可藉由現行之時脈緩衝器(已存在於設計中)而實施，不需要額外之緩衝器，但在其他實施例中則非如此。

圖九中，在掃描輸入期間 TCLK2 相對於 TCLK1 而言係偏斜的，但在擷取期間，只要 CCLK1 及 CCLK2 係對齊的則 TCLK1 及 TCLK2 亦係對齊的。再者，在掃描輸入期間及擷取期間 TCLK1 及 TCLK2 係由不同訊號路徑所提供。

圖十一係與圖九相似，但測試時脈電路 152 包含了由多工器 148 所接收之延遲電路 120-1、120-2 及 120-3，其

係由延遲控制訊號一及二透過暫存器 116-1 及 116-2 所控制。根據控制訊號一及二之數值，多工器 148 將選擇 SCLK 或經由 m1、m2 或 m3 所延遲之 SCLK，故可比圖九之實施例具有更高之可程式性。測試時脈電路 112 可包含相似之電路。

圖六至圖九及圖十一中，TCLK1 及 TCLK2 係用於兩個測試時脈區域 (test clock domains) 之訊號。一經由測試時脈電路 75 所加入之測試時脈領域可能會，舉例來說，與一功能時脈區域 (functional clock domain) 或設計階層內之一局部時脈區域 (local clock domain) 重疊 (coincide)。在某些實施例中，一組局部掃描移位時脈 (local scan shift clocks)，例如 SCLK1 及 SCLK2，可藉由一頂級單一移位時脈 (SCLK) 所取得。在某些實施例中，各個局部時脈皆可用以移動各個測試時脈區域內之掃描鏈部位。可藉由符合需求之延遲而使每個已取得之局部時脈產生偏斜，以避免掃描移位同時發生。在局部移位時脈所插入之延遲可以一串聯之方式連結，形成一串聯鏈 (serial chain) 之延遲。在某些實施例中，上述串聯鏈可施行一順序掃描移位 (sequential scan shifts) 之排程並可保證在特定排定之時脈區域中將不會有掃描移位同時發生。

圖十顯示出在測試時脈 TCLK1、TCLK2 ... TCLKn 中之不同掃描移位時脈訊號 SCLK1、SCLK2 ... SCLKn。其差別在於 SCLK1 及 SCLK2 間之相位可為延遲所增加的數量 (例如，緩衝器所增加的數量)。SCLK1 及 SCLKn 間之延

遲可為延遲之總數(例如，緩衝器之總數)。在某些實施例中，局部移位時脈路徑中串聯連結之延遲可確認掃描移位將不會同時發生。在某些實施例中，延遲可藉由決定轉變的次數，包含在施行下一掃描移位前供應電源匯流排(supply power bus)之小波動而決定。與整體之測試時間相比，引進延遲所增加之時間係微不足道的。在圖十中，SCLK1 係顯示為與 SCLK 對齊的，但其可被往後延遲而讓 SCLK1 在 SCLK2 所在之位置，並進一步延遲 SCLK2 等。

當掃描資料係由一測試時脈區域移至另一測試時脈區域時，引入掃描移位排程之刻意延遲(intentional delays)可造成保持時間違規。為了防止保持時間之問題，可配置一如圖十二中所示之 lock-up 鎖存器 164-1 之 lock-up 鎖存器於掃描鏈部位 160-1 之末端。參照圖十二，一掃描鏈部位 160-1 包含了由組合邏輯 162 提供掃描輸入訊號(SI)或擷取輸出訊號至暫存器(例如，正反器)168-1 ... 168-N 之多工器 166-1 ... 166-N。一來自暫存器 168-N 之掃描輸出訊號(其可為 SI 或其他擷取訊號)係提供至 lock-up 鎖存器 164-1，其係將訊號輸出至 TCLK1 的下一個下降緣(next falling edge)。在某些實施例中，上述鎖存器可協助容許時間偏差至半個 SCLK 時脈週期。

掃描鏈部位之測試時脈電路可藉由許多不同方法實施。舉例來說，圖十三顯示出之電路包含測試時脈電路 188-1、188-2、188-3、188-4、188-5 及 188-6，上述電路提供測試時脈訊號 TCLK1、TCLK2、TCLK3、TCLK4、

TCLK5 及 TCLK6 至掃描鏈部位 160-1、160-2、160-3、160-4、160-5 及 160-6 (其將與邏輯 162 溝通)以及 lock-up 鎖存器 164-1、164-2、164-3、164-4、164-5 及 164-6。其可有額外或較少之掃描鏈部位。如上所述，測試時脈訊號可為偏斜的。在不同測試時脈電路所提供之延遲程度亦將不同。在某些實施例中，測試時脈電路 188-1 及/或 188-4 係僅作為導體，如圖六之導體 62。在某些實施例中，lock-up 鎖存器 164-3 之 SO 輸出係掃描鏈部位 160-4 之 SI 輸入，但在其他實施例中則不一定。上述掃描鏈部位可以與圖十三所示之不同順序排列。擷取時脈訊號 CCLK1、CCLK2、CCLK3、CCLK4、CCLK5 及 CCLK6 可來自一共同訊號(如圖八)，或二或更多個訊號可由電路所隔離，其可為對齊的，或二或更多個訊號可為非對齊的(故其為非平衡的)。在某些實施例中，測試時脈區域可為一階層式模組(hierarchical module)之一局部時脈區域，一功能時脈區域，或任何功能時脈區域之副時脈區域(sub clock domain)。

在某些實施例中，所提之掃描結構可將掃描移位期間所遭遇之時序問題(timing problems)，包含保持時間違規，局限於測試時脈區域。因此，在這些實施例中，所遭遇之時序問題可在局部獲得解決。在階層式設計環境中，當時序問題在設計階層內之局部即可解決時，其可視為一重大之優勢。

圖十三可顯示出兩個並行順序掃描移位排程(concurrent sequential scan shift schedules)。在測試時脈區

域 1、2 及 3 內之掃描移位係規律及非並行的，而測試時脈區域 4、5、及 6 亦相同。然而，上述兩個順序掃描移位排程可為並行的。可在上述並行順序掃描移位排程中加入一順序限制(sequential constraint)使其依照順序。舉例來說，假使 TCLK3 係連接至 TCC 188-4 (或 TCLK6 至 TCC 188-1)之輸入，則此兩個並行順序掃描移位排程可成為一單一順序排程。

以下將概述一可插入於某些實施例之時序時脈電路(timing clock circuit)。在其他實施例中可採用其他技術。

1. 建立測試時脈區域
2. 為測試時脈區域安排掃描移位排程
3. 決定掃描鏈部位之每一群組在移位時脈路徑(TM=1 & SE=1)所需之時脈延遲以及決定局部區域
4. 在移位時脈路徑中插入所決定之時脈延遲
5. 以 SE=0 將功能時脈及掃描移位時脈加以平衡
6. (非必要步驟)藉由採用功能或擷取時脈樹(functional or capture clock tree)內之時脈緩衝器將最佳化所插入之延遲。

同這些項目相關，下述資訊可在某些實施例中同時採用，但在其他實施例中則為非必要的。首先，測試時脈區域可藉由所提出之測試時脈電路(TCC)之插入而建立。TCC之一輸出將提供時脈至測試時脈區域。假使已建立了測試時脈區域，則可將其排入掃描移位排程。測試時脈區域可分割為數組按照順序排列之測試時脈區域。每一組測試時

脈區域係由插入於移位時脈路徑之時脈緩衝器而排定順序。已排定之移位時脈(scheduled shift clocks)可以一串聯之方式連結，以確保掃描移位不會同時發生。在插入延遲後所產生之時脈樹電路可顯示於圖七至圖九以及圖十一，其僅插入緩衝器於移位時脈路徑。在插入延遲後，功能已及擷取時脈將可保持平衡而不需考慮移位時脈。如前所述，可藉由將 CTS 局限於 $SE=0$ 而達到此目的。CTS 將配置時脈樹緩衝器以利功能時脈樹或時脈路徑之平衡。當 CTS 結束後，在移位時脈路徑中所插入之時脈緩衝器將可由如圖九及圖十一所示之功能時脈路徑中可利用之時脈緩衝器所取代。可能需要小幅增值之 CTS 測試以確保最佳化後之 CTS 結果的正確性。在某些實施例中，由於移位時脈不需為平衡的，故在擷取時脈樹之合成期間可忽略上述移位時脈。由於在擷取時脈樹之合成(clock tree synthesis, CTS)期間可忽略上述移位時脈，故所提之電路將不需使 CTS 以及基本之設計流程更加複雜化。如前所述，並非所有實施例皆需包含上述細節。

當峰值功率問題遭遇不當之處理時可造成時序問題，其可導致不正確之測試決定。其亦可造成在一大型系統晶片如系統單晶片(system-on-chip, SOC)裝置內之電源的中斷。在某些實施例中，所提出之解決方案將藉由避免掃描移位的同時發生而降低峰值功率。在某些情況下，為了達到低峰值功率，擷取時脈可由移位時脈中分離。再者，一降低峰值功率之排程係於移位時脈路徑中施行。上述排程

可能對擷取時脈路徑不具任何影響。上述排程可藉由採用時脈緩衝器或延遲元件所造成之掃描移位時脈的偏斜而施行。另外，在某些實施例中，極端準確之延遲係不重要的，且可採用任何具有足以避免掃描移位同時發生之延遲的小型時脈緩衝器。然而，其他實施例則採用特定之時脈緩衝器。

圖十四顯示出一系統 210，其具有一包含組合邏輯 222 及掃描鏈電路 224(例如，圖十三所示)之晶片 214。掃描鏈電路 224 將由測試圖案產生器(test pattern generator) 218 接收一 SI 訊號並提供輸出訊號至分析電路 228。分析電路 228 之結果可藉由一晶片介面 234 提供至外部測試器 216。

圖十五顯示出一系統 250，其具有一包含組合邏輯 222 及掃描鏈電路 224 之晶片 252。掃描鏈電路 224 將由在外部測試器 256 內之測試圖案產生器 262 接收一 SI 訊號並經由晶片介面 254 提供輸出訊號至外部測試器 256 之分析電路 264。

本發明將不受限於任何特定訊號技術或協議。舉例來說，訊號可為單端(single ended)訊號或差動(differential)訊號。訊號可只包含兩個電壓位準(voltage levels)或多於兩個之電壓位準。訊號可為單一資料速率，雙倍資料速率，四倍資料速率或八倍資料速率等。訊號可包含經編碼之符號及/或封包之訊號。可用閃控訊號(strobe signals)代替時脈訊號。當提及一邏輯高電壓(logical high voltage)時，可修改電路而讓其改為採用一邏輯低電壓(logical low

voltage)，反之亦然。

在眾多已顯示之元件間可有居中之結構(intermediate structure)。本文中所描述或顯示之眾多晶片可具有未顯示或未敘述之額外輸入或輸出。在實際實施圖示中之系統時，將會有未顯示於圖中之額外電路、控制線以及可能相互連結之部分。當圖示顯示出兩個方塊藉由導體連接時，在兩個方塊之間可能會有未顯示之電路。在此所提及之導體不需為連續之材質。舉例來說，其可包含通孔或其他連結結構。方塊之形狀以及相對之尺寸與實際上之形狀以及相對尺寸未具有任何關聯。

一實施例係指本發明之實際執行例或範例。本文所提及之「實施例」、「一實施例」、「某些實施例」或「其他實施例」意指與實施例相關之特定外型、結構或特性係至少包含在某些實施例中，但不需包含在所有實施例中。本文中所出現之「實施例」、「一實施例」或「某些實施例」不一定是指相同之實施例。

當文中提及元件「A」係耦合至元件「B」時，元件「A」可直接耦合至元件「B」或間接耦合至元件「B」，例如，藉由元件「C」而耦合至元件「B」。當說明書或申請專利範圍聲明了一元件、外型、結構或特性 A 將「導致」一元件、外型、結構或特性 B，即表示至少「A」係造成「B」之部份原因，但亦可能係因為至少另一元件、外型、結構或特性之輔助而造成了「B」。

假使說明書中提到一元件、外型、結構或特性「可以」、

「可能」或是「能」被含括在內，即表示該特定之元件、外型、結構或是特性將不需被含括在所有實施例內。假使說明書或請求項指出「一」要素(element)時，其語意並非表示其中僅含有一種要素。

本發明將不受本文所提及之特定細節所限制。前述所敘述之細節以及圖式可在本發明之範圍內進行眾多變化。因此，下述之專利主張將定義本發明之範圍，此範圍應包含所有類似之修改，且應作最寬廣之詮釋。

【圖式簡單說明】

本發明可藉由下列詳細敘述以及實施例之附加圖式得以瞭解，然而，本發明特定描述之實施例係用以說明而非用以限制本發明之申請專利範圍。

圖一係一先前技術組合之方塊代表圖，其包含一掃描鏈及組合邏輯。

圖二係一先前技術之掃描鏈部位及一 lock-up 鎖存器之方塊代表圖。

圖三係一先前技術組合之方塊代表圖，其包含掃描鏈及組合邏輯。

圖四係與圖三中之組合相關的供應電壓雜訊代表圖。

圖五顯示出一先前技術之掃描移位排程。

圖六係一根據本發明之某些實施例之用以提供第一及第二測試時脈訊號之測試時脈電路的方塊代表圖。

圖七係一根據本發明之某些實施例之用以提供第一及第二測試時脈訊號之第一及第二測試時脈電路的方塊代表

圖。

圖八係一根據本發明之某些實施例之用以提供第一測試時脈訊號、第二測試時脈訊號及一時脈產生電路(clock generation circuit)之第一及第二測試時脈電路的方塊代表圖。

圖九係一根據本發明之某些實施例之用以提供第一測試時脈訊號、第二測試時脈訊號及一控制訊號鎖存器(control signal latch)之第一及第二測試時脈電路的方塊代表圖。

圖十顯示出根據本發明之某些實施例之掃描移位排程。

圖十一係一根據本發明之某些實施例之用以提供第一測試時脈訊號、第二測試時脈訊號及控制訊號鎖存器之第一及第二測試時脈電路的方塊代表圖。

圖十二係一根據本發明之某些實施例之一掃描鏈部位及 lock-up 鎖存器的方塊代表圖。

圖十三係一根據本發明之某些實施例之掃描鏈部位耦合至組合邏輯及測試時脈電路的方塊代表圖。

圖十四及圖十五分別係一根據本發明之某些實施例之一晶片耦合至外部測試器的方塊代表圖。

【主要元件符號說明】

10	組合
14	掃描鏈
18	組合邏輯

20-1...20-N	多工器
22-1...22-N	暫存器
30	邏輯閘
36	邏輯閘
40	邏輯閘
42	邏輯閘
46	掃描鏈部位
48	lock-up 鎖存器
50	組合邏輯
52-1...52-3	暫存器
54-1...54-2	暫存器
60	電路
62	導體
64	導體
66	導體
68	導體
70	導體
74	電路
75	測試時脈電路
76	第一測試時脈電路
78	第二測試時脈電路
80	延遲電路
82	延遲電路
86	多工器

88	多工器
90	導體
96	AND 閘
98	時脈產生電路
110	測試時脈電路
112	測試時脈電路
116	暫存器
116-1...116-2	暫存器
120	延遲電路
120-1...120-3	延遲電路
124	多工器
128	延遲電路
132	延遲電路
134	多工器
138	延遲電路
148	多工器
152	測試時脈電路
160-1...160-6	掃描鏈部位
162	組合邏輯
164-1...164-6	lock-up 鎖存器
166-1...166-N	多工器
168-1...168-N	暫存器
188-1...188-6	測試時脈電路
210	系統

214	晶片
216	外部測試器
218	測試圖案產生器
222	組合邏輯
224	掃描鏈電路
228	分析電路
234	晶片介面
250	系統
252	晶片
254	晶片介面
256	外部測試器
262	測試圖案產生器
264	分析電路

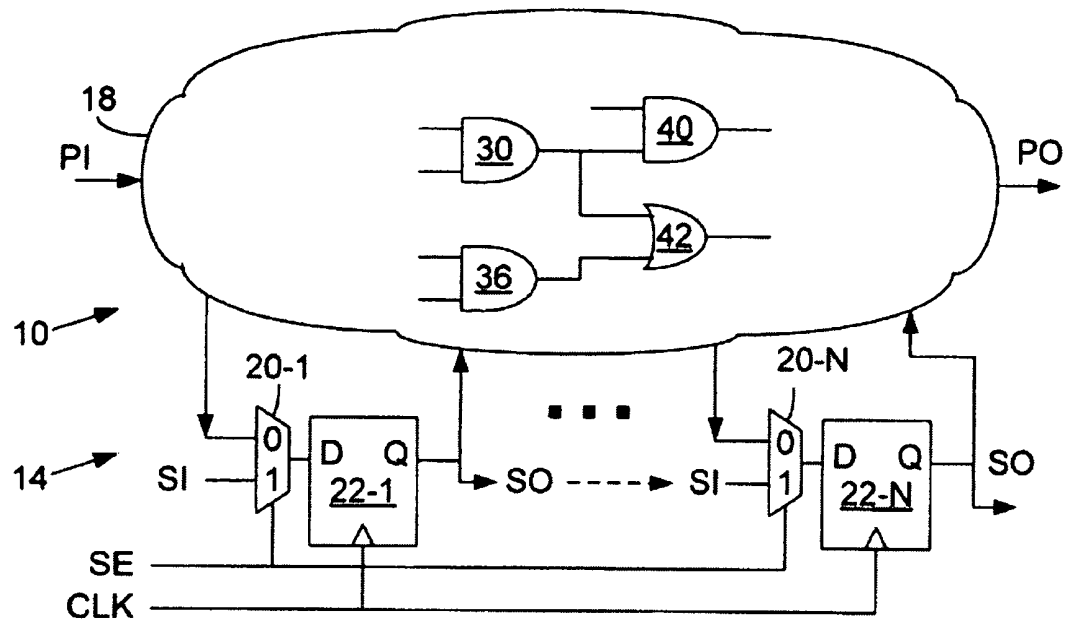
五、中文發明摘要：

在某些實施例中，一晶片包含第一及第二掃描鏈部位 (scan chain segments)，其各自包含暫存器及多工器，用以在掃描輸入期間 (scan input periods) 提供掃描輸入訊號至暫存器，並在擷取期間 (capture periods) 提供擷取輸出訊號至暫存器。上述晶片亦包含分別提供第一及第二測試時脈訊號至第一及第二掃描鏈部位之暫存器的電路，其中上述第二測試時脈訊號在掃描輸入期間與在擷取期間係由電路中之一不同訊號路徑所提供，而在掃描輸入期間第二測試時脈訊號相對於第一測試時脈訊號係偏斜的 (skewed)。其他實施例亦加以敘述並請求其權利。

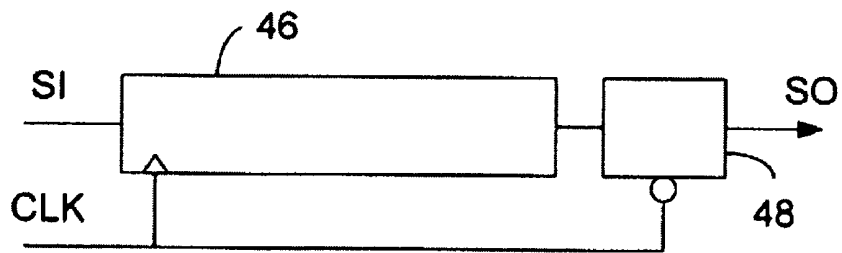
六、英文發明摘要：

In some embodiments, a chip includes first and second scan chain segments each including registers and multiplexers to provide to the registers scan input signals during scan input periods and captured output signals during a capture periods. The chip also includes circuitry to provide first and second test clock signals to the registers of the first and second scan chain segments, respectively, wherein the second test clock signal is provided by a different signal path in the circuitry during the scan input periods than during the capture periods, and during the scan input periods the second test clock signal is skewed with

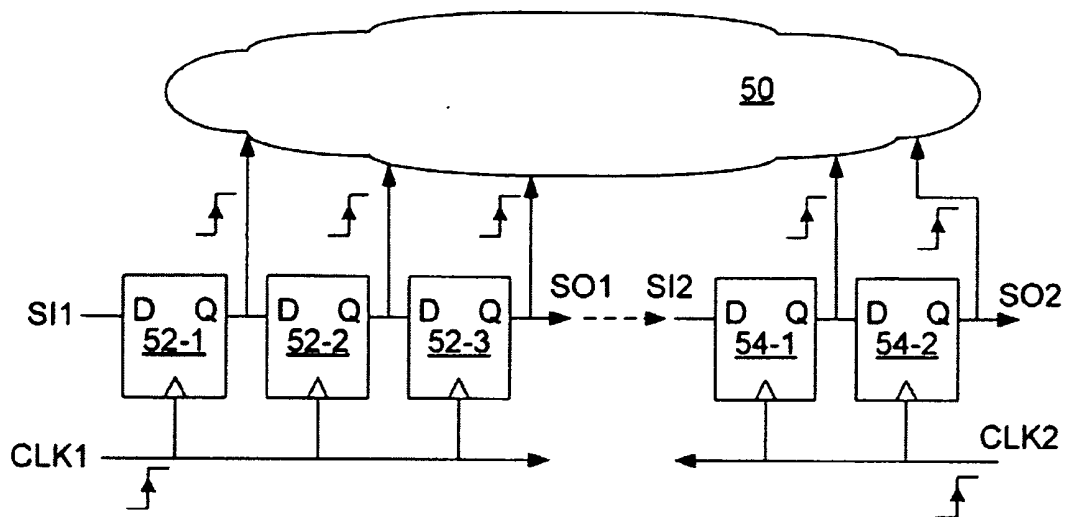
十一、圖式：



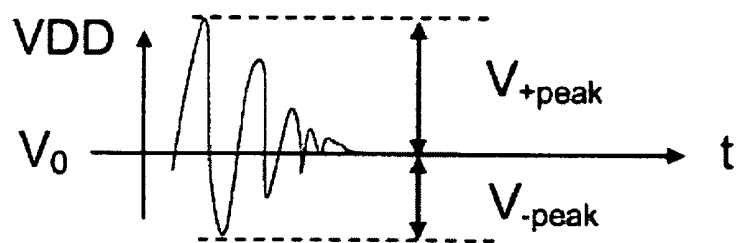
圖一



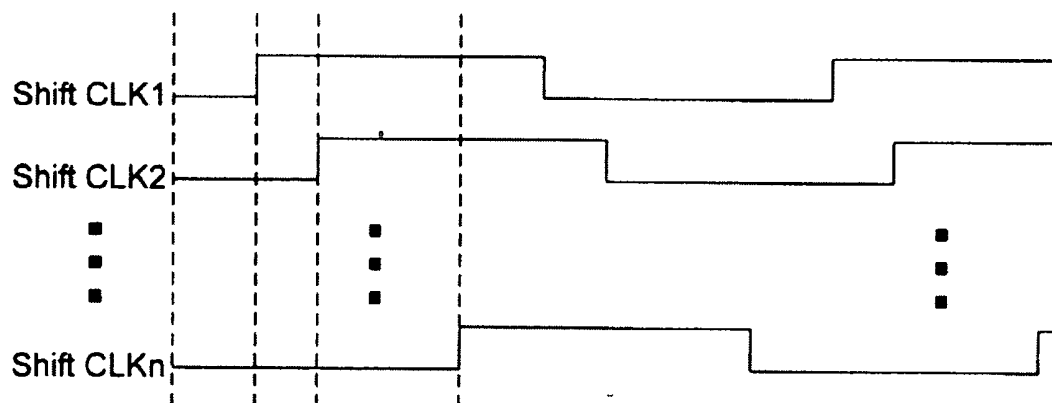
圖二



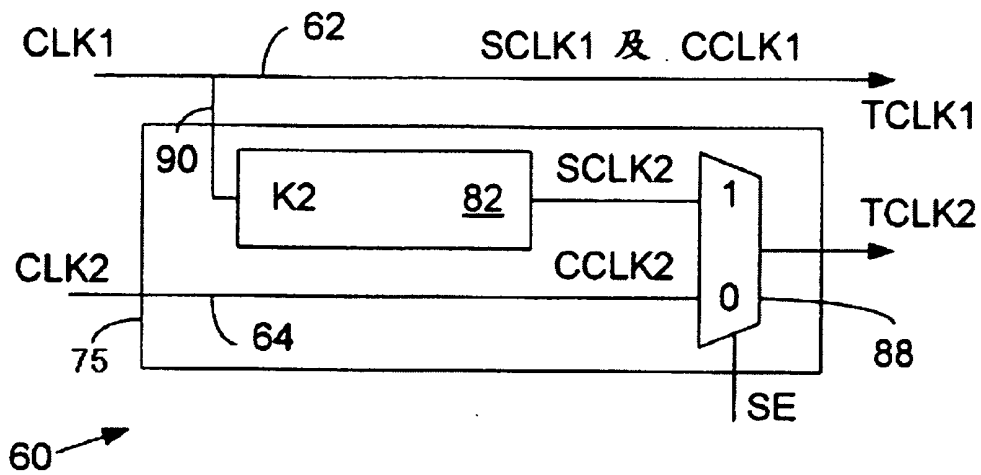
圖三



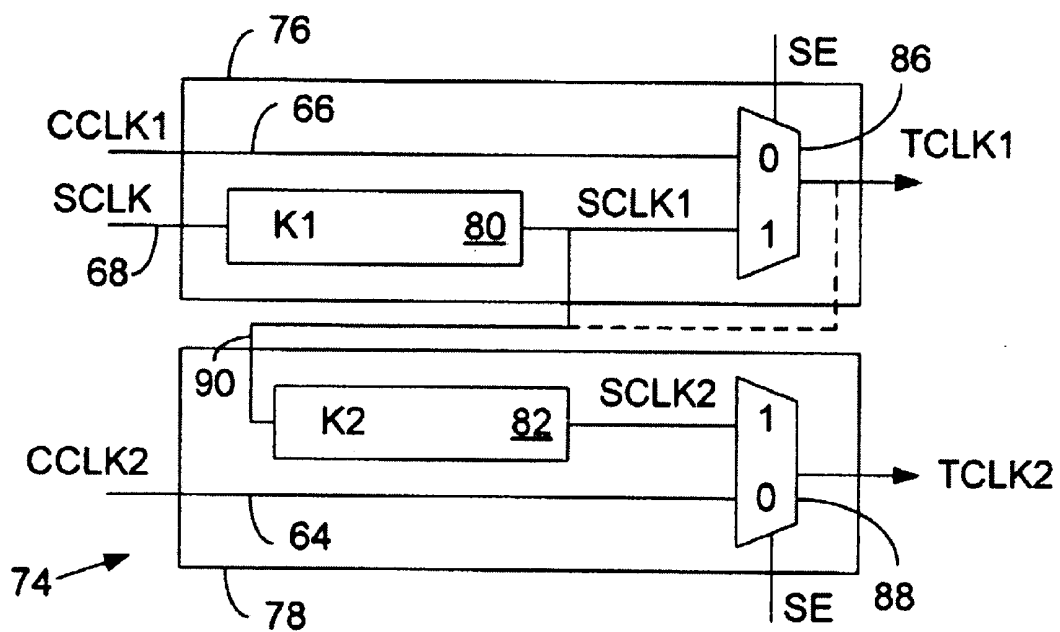
圖四



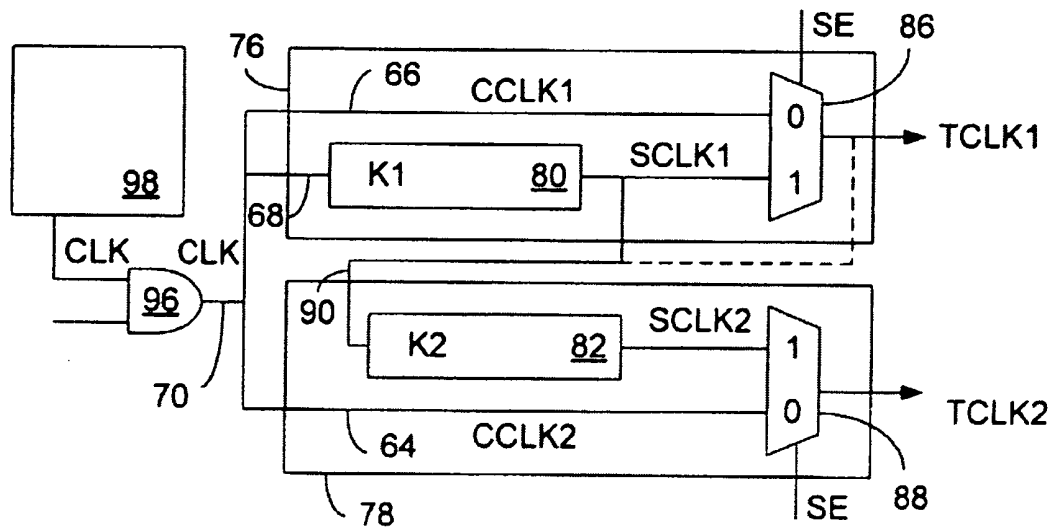
圖五



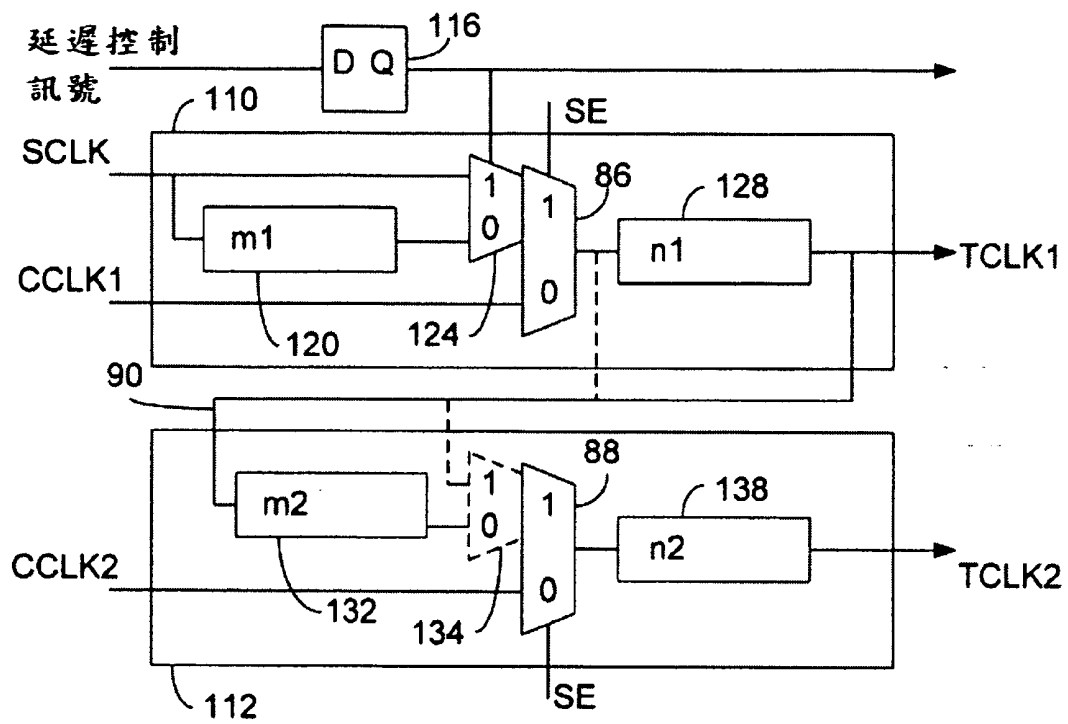
圖六



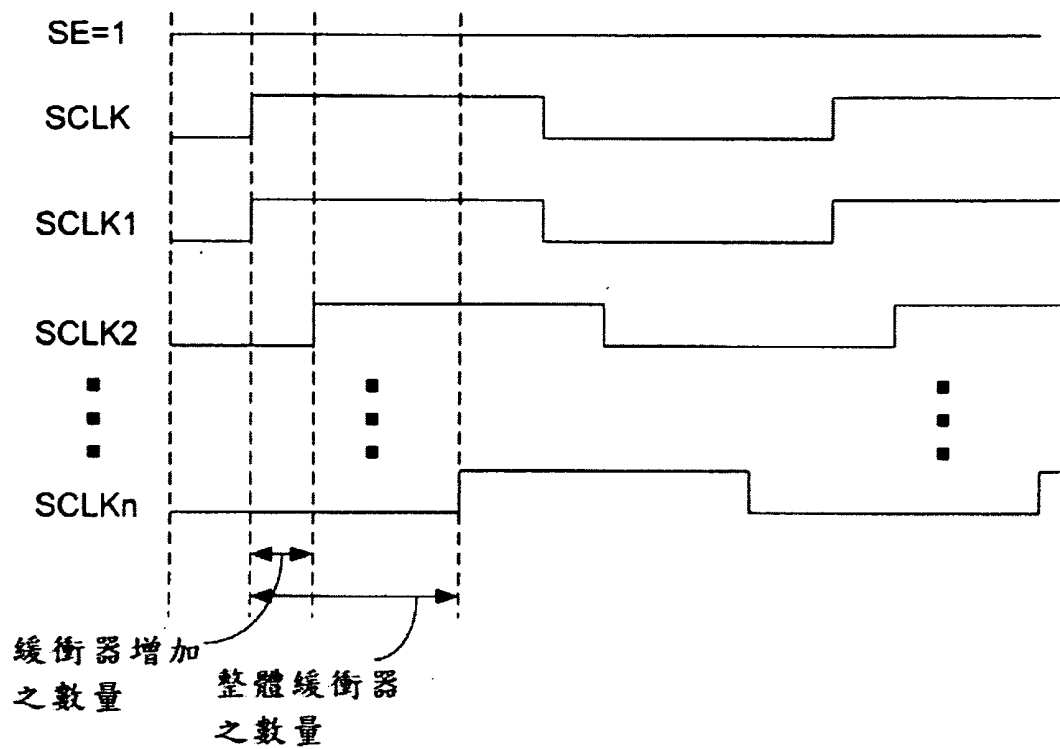
圖七



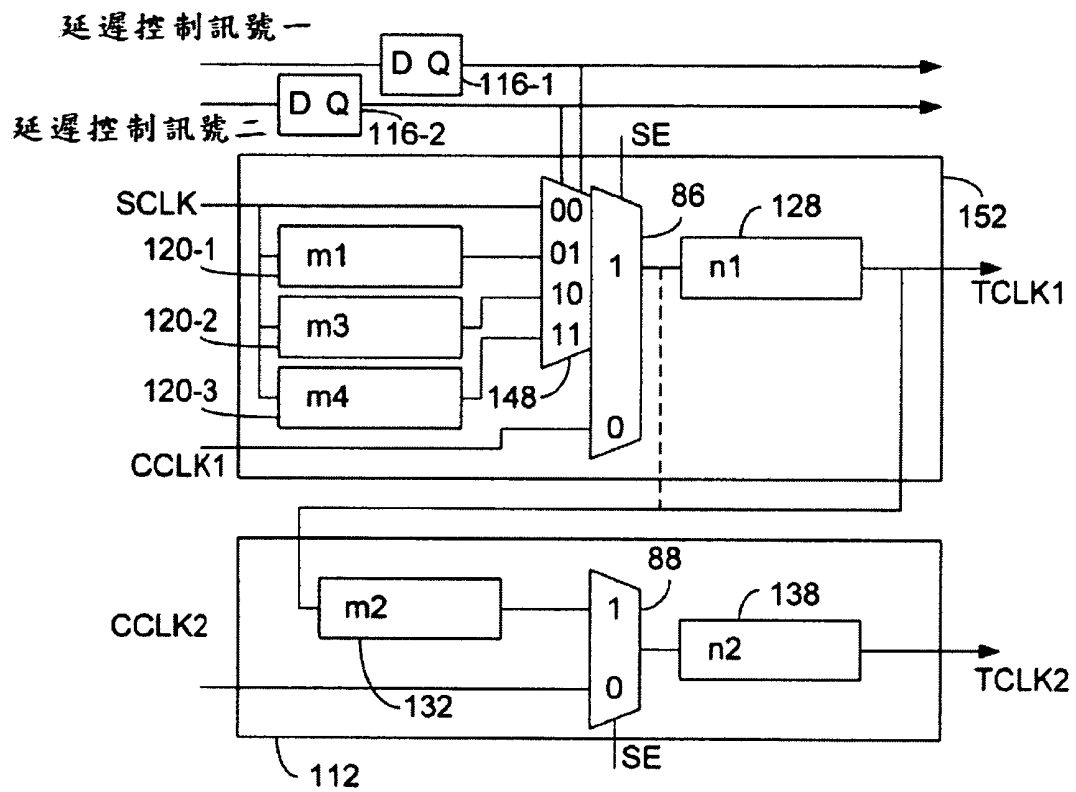
圖八



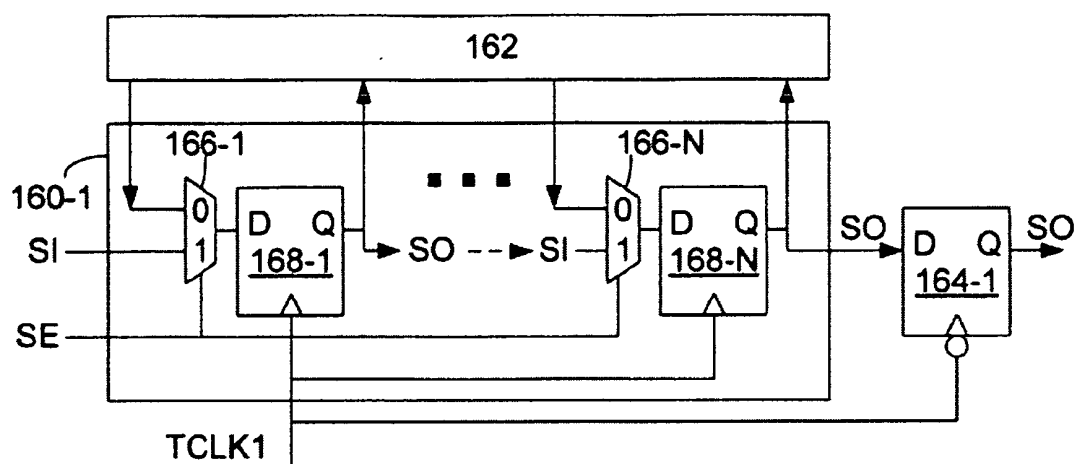
圖九



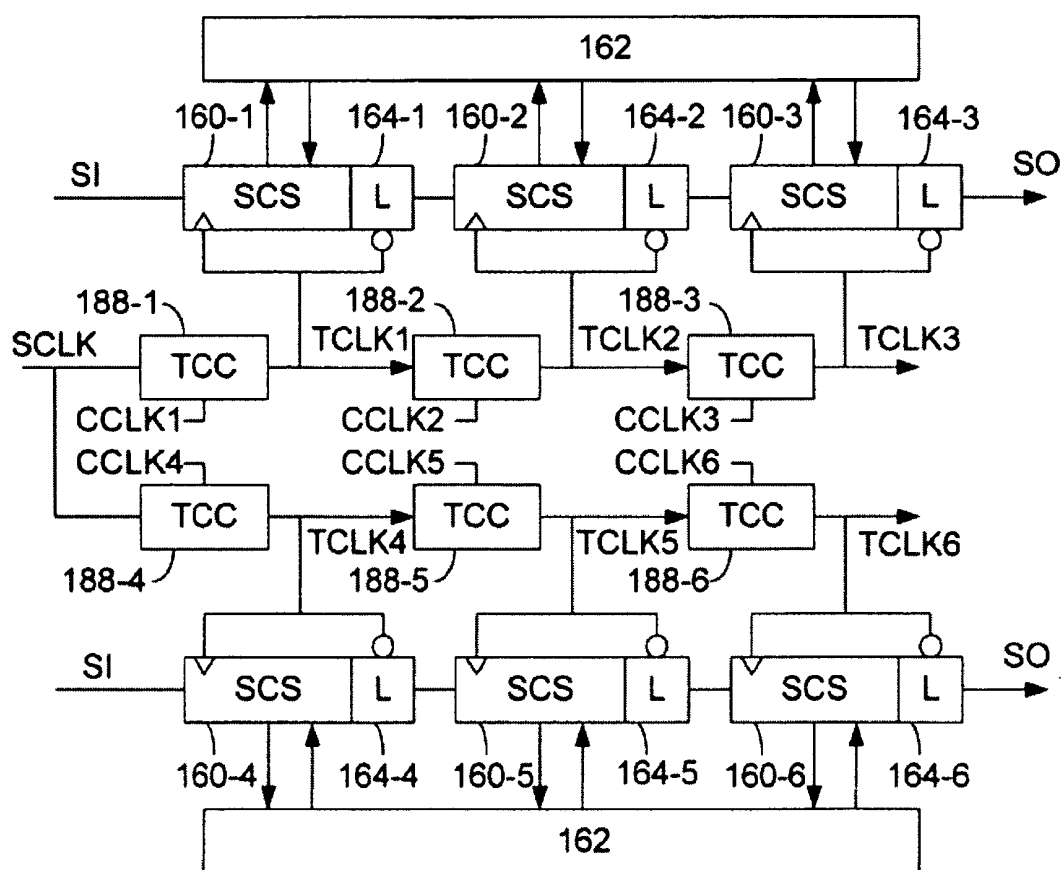
圖十



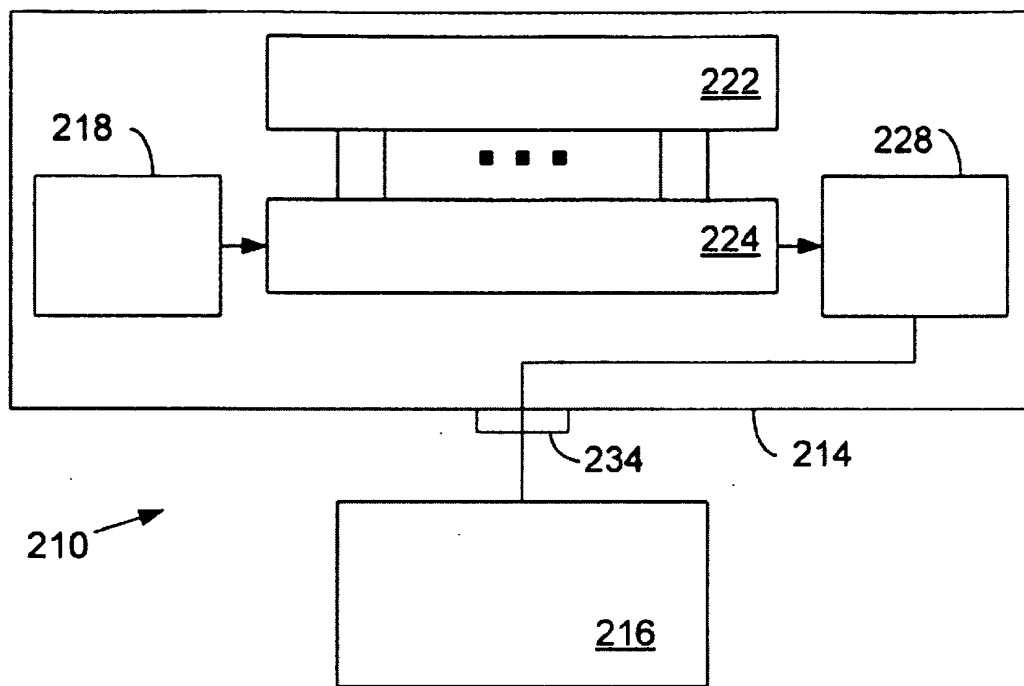
圖十一



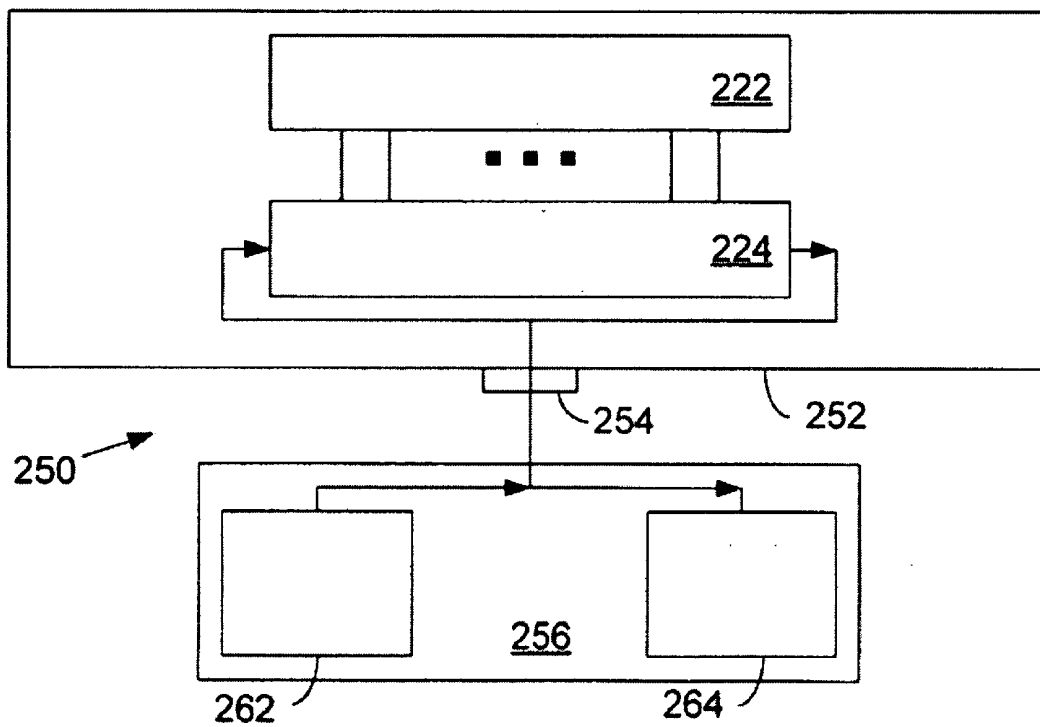
圖十二



圖十三



圖十四



圖十五

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：09615/563

※ 申請日期：96.12.31

※IPC 分類：G01R 31/58 (2006.01)

一、發明名稱：(中文/英文)

在掃描移位時預防峰值功率問題之積體電路晶片及系統/Integrated circuit
Chip and System to Prevent Peak Power Problems During Scan Shift

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

矽像公司/Silicon Image, Inc.

代表人：(中文/英文) 伯區 哈波/Harper, Burch A.

住居所或營業所地址：(中文/英文)

美國加利福尼亞州 94086 桑尼維爾市阿奎茲東路 1060 號/1060 E.

Arques Avenue, Sunnyvale, California 94085, U.S.A.

國 籍：(中文/英文) 美國/U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1、宋晶頌/Sul, Chinsong

2、金憲熙/Kim, Heon

國 籍：(中文/英文)

1、美國/U.S.A.

2、韓國/Republic of Korea

描鏈 14，其包含多工器 20-1 ... 20-N 及暫存器(例如正反器) 22-1 ... 22-N 耦合至組合邏輯 18 內的電路。暫存器 22-1 ... 22-N 之時控(clocked)係透過一時脈訊號 CLK。首先，選定掃描路徑(SE=1)，並將一輸入測試圖案(SI)移入掃描鏈中以將暫存器初始化(initialize)。暫存器 22-1 ... 22-N 之輸出可讓組合邏輯，例如一或多個邏輯閘 30，36 及 40 所利用。第二，選定正規功能路徑(normal functional path)並強制輸入(forced)主要輸入(PI)。之後，測量主要輸出(PO)並將其與預期輸出比較。當 SE=0 時，組合邏輯 18 之特定輸出例如邏輯閘 30、36、40 及/或 42 之輸出可作為多工器 20-1 ... 20-N 之 0 輸入並將其提供至暫存器 22-1 ... 22-N 之輸入。採用時脈(CLK)脈波擷取組合邏輯 18 之測試回應(test response)至暫存器。接著選定掃描路徑(SE=1)並在下一個輸入測試圖案移入時將測試回應(測試向量(test vector))移出(掃描輸出(scan out, SO))。將所取得之測試回應 SO 與預期回應做比較以決定被測試裝置(DUT)之好壞。重複此過程直到所有測試圖案皆已經過測試。當 SE=1 時即為掃描輸入期間，而當 SE=0 時則為擷取期間。

圖二係如圖一之掃描鏈所示之一掃描鏈部位 46，其包含複數多工器與複數暫存器，及一 lock-up 鎖存器 (lock-up latch)48，此 lock-up 鎖存器 48 係用以接收掃描鏈部位 46 之輸出並持有此輸出直到時脈轉變為低時脈。例如，Lock-up 鎖存器係用以容忍至多與半個時脈週期相當之時脈偏差(clock skew)。

respect to the first test clock signal. Other embodiments are described and claimed.

七、指定代表圖：

(一)本案指定代表圖為：第(六)圖。

(二)本代表圖之元件符號簡單說明：

60	電路
62	導體
64	導體
78	第二測試時脈電路
82	延遲電路
88	多工器
90	導體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種用以掃描訊號及擷取輸出訊號至一暫存器的晶片，包含：

第一及第二掃描鏈部位，其各自包含暫存器及多工器，用以在掃描輸入期間提供掃描輸入訊號至該暫存器，並在擷取期間提供擷取輸出訊號至該暫存器；及

用以分別提供第一及第二測試時脈訊號至該第一及該第二掃描鏈部位之該暫存器的電路，其中該第二測試時脈訊號在掃描輸入期間與在擷取期間係由電路中之一不同訊號路徑所提供，而在掃描輸入期間該第二測試時脈訊號相對於該第一測試時脈訊號係偏斜的；

其中該用以提供該第一及該第二測試時脈訊號之該電路包含：

一第一測試時脈電路包含一第一延遲電路一及一第一多工器，以在該掃描輸入期間將一第一延遲時脈訊號作為該第一測試時脈訊號通過該第一多工器，該第一延遲時脈訊號當做一掃描位移時脈訊號被至少該第一延遲電路延遲，在該擷取期間一第一擷取時脈訊號作為該第一測試訊號通過該電路；及

一第二測試時脈電路與該第一測試時脈電路耦合，包含一第二延遲電路及一第二多工器，以在該掃描輸入期間將一第二延遲訊號作為該第二測試時脈訊號通過該第二多工器，該第二延遲時脈訊號當做該第一延遲時脈訊號從該第一測試時脈電路被至少該第二延遲電路另外

延遲，在該擷取期間一第二擷取時脈訊號作為該二測試時脈訊號通過該第二延遲電路。

2. 如請求項 1 所述之晶片，其中該第一及該第二測試時脈電路包含位於該第一及該第二多工器之輸出之該第一及第二延遲電路，以在提供該第一及該第二測試時脈訊號至該第一及該第二掃描鏈部位之該暫存器前分別延遲該第一及該第二測試時脈訊號。

3. 如請求項 1 所述之晶片，其中該掃描移位時脈訊號及該第一及該第二訊號擷取時脈訊號係來自一共同訊號。

4. 如請求項 1 所述之晶片，其中：

該第一測試時脈電路更包含一第三多工器以通過一輸出訊號至該第一多工器；及

一第三延遲電路，其中該第二多工器可配置去連接該第三延遲電路串連該第一延遲電路以藉由該第三延遲電路另外延遲該掃描移位時脈訊號；且

該第二測試時脈電路更包含一第四多工器以通過一輸出訊號至該第二多工器；及

一第四延遲電路，其中該第四多工器可配置去連接該第四延遲電路串連該第二延遲電路以藉由該第四延遲電路另外延遲該第一延遲時脈訊號。

5. 如請求項 1 所述之晶片，更包含額外之測試時脈電路，用以提供額外之測試時脈訊號至包含一第三掃描鏈部位之額外掃描鏈部位，且其中該第二掃描部位之一輸出係連結至該第三掃描鏈部位之一輸入。

6. 一種用以掃描訊號及擷取輸出訊號至一暫存器的晶片，包含：

第一及第二掃描鏈部位，其各自包含暫存器及多工器，用以在掃描輸入期間提供掃描輸入訊號至該暫存器，並在擷取期間提供擷取輸出訊號至該暫存器；及

用以分別提供第一及第二測試時脈訊號至該第一及該第二掃描鏈部位之該暫存器的電路，其中在掃描輸入期間該第二測試時脈訊號相對於該第一測試時脈訊號係偏斜的，而在擷取期間該第一及該第二測試時脈訊號係對齊的；

其中該電路用以提供該第一及第二測試時脈訊號，包含：

一第一測試時脈電路包含一第一延遲電路，及一第一多工器以在該掃描輸入期間通過一第一延遲時脈訊號作為該第一測試時脈訊號，該第一延遲時脈訊號藉由至少該第一延遲電路延遲，成為一掃描移位時脈訊號，及在該擷取期間通過一第一擷取時脈訊號作為該第一測試時脈訊號；及

一第二測試電路與該第一測試電路耦合，該第二測試電

路包含一第二延遲電路，及一第二多工器以在該掃描輸入期間通過一第二延遲時脈訊號作為該第二測試時脈訊號，該第二延遲時脈訊號從該第一測試時脈電路藉由至少該第二延遲電路延遲，成為該第一延遲脈時脈訊號，及在該擷取期間通過一第二擷取時脈訊號作為該第二測試時脈訊號。

7. 如請求項 6 所述之晶片，其中該第一及第二測試電路包含在該第一及第二多工器輸出端之第一及第二延遲電路以分別預先延遲該第一及第二掃描鏈部位提供至暫存器之該第一級第二測試時脈訊號。
8. 如請求項 6 所述之晶片，其中：該第一測試電路更包含一第三多工器以通過一輸出訊號至該第一多工器及一第三延遲電路，其中該第二多工器可配置連接該第三延遲電路與該第一延遲電路串連以藉由該第三延遲電路另外延遲該掃描移位時脈訊號；及
該第二測試電路更包含一第四多工器以通過一輸出訊號至該第二多工器及一第四延遲電路，其中該第四多工器可配置連接該第四延遲電路與該第二延遲電路串連以藉由該第四延遲電路另外延遲該第一延遲時脈訊號。
9. 一種用以提供掃描輸入訊號及擷取輸出訊號至暫存器之測試系統，包含：

一晶片包含第一及第二掃描鏈部位，其各自包含暫存器及多工器，用以在掃描輸入期間提供掃描輸入訊號至該暫存器，並在擷取期間提供擷取輸出訊號至該暫存器，及如下之一電路：

該電路，用以分別提供第一及第二測試時脈訊號至該第一及該第二掃描鏈部位之該暫存器，其中在掃描輸入期間該第二測試時脈訊號相對於該第一測試時脈訊號係偏斜的，而在擷取期間該第一及該第二測試時脈訊號係對齊的；及

其中該第二測試時脈訊號在掃描輸入期間與在擷取期間係由該電路中之一不同訊號路徑所提供。

一測試器耦合至該晶片，用以接收與所擷取之輸出訊號相關之訊號，其中該電路包含：

一測試時脈電路包含一第一延遲電路及一第一多工器以在該掃描輸入期間通過一第一延遲時脈訊號作為該第一測試時脈訊號，該第一延遲時脈訊號藉由至少該第一延遲電路延遲，成為一掃描移位時脈訊號，及在該擷取期間通過一第一擷取時脈訊號作為該第一測試時脈訊號；及

一第二測試電路與該第一測試電路耦合，該第二測試電路包含一第二延遲電路，及一第二多工器以在該掃描輸入期間通過一第二延遲時脈訊號作為該第二測試時脈訊號，該第二延遲時脈訊號從該第一測試時脈電路藉由至少該第二延遲電路延遲，成為該第一延遲脈時脈訊

號，及在該擷取期間通過一第二擷取時脈訊號作為該第二測試時脈訊號。

10.如請求項 9 所述之系統，其中該晶片包含一測試圖案產生器，用以生產該掃描鏈輸入訊號並分析電路，以分析所擷取之輸出訊號。

11.如請求項 9 所述之系統，其中該測試器包含一測試圖案產生器，用以生產該掃描鏈輸入訊號並分析電路，以分析與所擷取之輸出訊號相關之訊號。

12.一種用以測試時脈訊號之測試方法，包含：

藉由任一之一第一測試時脈電路產出一第一測試時脈訊號；

在掃描輸入期間產生一第一延遲訊號，該第一延遲訊號是藉由經過至少一第一延遲電路延遲一掃描時脈移位，或

在擷取期間通過一擷取時脈訊號所產生；

藉由任一之一第二測試時脈電路產出一第二測試時脈訊號；

在掃描輸入期間產生一第二延遲訊號，該第二延遲訊號是藉由經過至少一第二延遲電路另外延遲該第一延遲訊號，或

在擷取期間通過該擷取時脈訊號所產生。提供該第一測

試時脈訊號至一第一掃描鏈部位之暫存器；及
提供該第二測試時脈訊號至一第二掃描鏈部位之暫存器。

13.如請求項 12 所述之方法，其中在掃描輸入期間該第二測試時脈訊號相對於該第一測試時脈訊號係偏斜的，而在擷取期間該第一及該第二測試時脈訊號係對齊的。

14.如請求項 12 所述之方法，其中該第二測試時脈訊號在掃描輸入期間與在擷取期間係由該第二電路中之一不同訊號路徑所提供，而在掃描輸入期間該第二測試時脈訊號相對於該第一測試時脈訊號係偏斜的。

15.如請求項 12 所述之方法，其中產生該第一延遲訊號更包含經由一第三延遲電路另外延遲該掃描移位時脈。

16.如請求項 15 所述之方法，其中產生該第二延遲訊號更包含經由一第四延遲電路另外延遲該第一延遲訊號。

respect to the first test clock signal. Other embodiments are described and claimed.

七、指定代表圖：

(一)本案指定代表圖為：第(六)圖。

(二)本代表圖之元件符號簡單說明：

60	電路
62	導體
64	導體
78	第二測試時脈電路
82	延遲電路
88	多工器
90	導體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無