



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

HO1L 27/146 (2006.01)*HO1L 31/10* (2006.01)

(45) 공고일자

2007년01월09일

(11) 등록번호

10-0666371

(24) 등록일자

2007년01월03일

(21) 출원번호

10-2004-0110836

(65) 공개번호

10-2006-0072279

(22) 출원일자

2004년12월23일

(43) 공개일자

2006년06월28일

심사청구일자

2004년12월23일

(73) 특허권자

삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자

최자영
 경기 성남시 분당구 수내동 5-2 삼성보보스쉐르빌 1709호

(74) 대리인

박영우

심사관 : 이정재

전체 청구항 수 : 총 32 항

(54) 이미지 소자의 제조 방법**(57) 요약**

광투과도가 형상되는 CMOS이미지 센서를 제조하기 위하여, 우선 포토다이오드가 형성되어 있는 기판 상에 불투명막을 갖는 제1 층간 절연 구조물을 형성한다. 상기 제1 층간 절연 구조물 상에서 상기 포토다이오드와 대향하는 부위에 식각 저지막 패턴을 형성한다. 상기 식각 저지막 패턴 및 제1 층간 절연 구조물 상에 불투명막을 갖는 제2 층간 절연 구조물을 형성한다. 다음에, 상기 포토다이오드가 노출되지 않도록 하면서, 상기 포토다이오드와 대향하는 부위의 상기 제2 층간 절연 구조물, 식각 저지막 패턴 및 제1 층간 절연 구조물을 순차적으로 식각하여 개구부를 형성한다. 상기 공정에 의하면, 포토다이오드로 광투과되는 부위에 불투명막이 제거됨으로서 CMOS이미지 센서의 광투과도가 형상된다.

대표도

도 4

특허청구의 범위**청구항 1.**

포토다이오드가 형성되어 있는 기판 상에 불투명막을 갖는 제1 층간 절연 구조물을 형성하는 단계;

상기 제1 층간 절연 구조물 상에서 상기 포토다이오드와 대향하는 부위에 금속 물질로 이루어지는 식각 저지막 패턴을 형성하는 단계;

상기 식각 저지막 패턴 및 제1 층간 절연 구조물을 상에 불투명막을 갖는 제2 층간 절연 구조물을 형성하는 단계;

상기 식각 저지막 패턴이 노출되도록 상기 포토다이오드와 대향하는 부위의 상기 제2 층간 절연 구조물을 식각하여 제1 예비 개구부를 형성하는 단계;

상기 식각 저지막 패턴을 식각하여 상기 제1 예비 개구부가 하방을 확장된 형태의 제2 예비 개구부를 형성하는 단계; 및

상기 포토다이오드가 노출되지 않도록 하면서, 상기 제2 예비 개구부 아래에 노출된 제1 층간 절연 구조물을 부분적으로 식각하여 개구부를 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제1항에 있어서, 상기 제1 층간 절연 구조물을 형성하는 단계는,

상기 포토다이오드를 덮는 제1 하부 층간 절연막을 형성하는 단계;

상기 제1 하부 층간 절연막 상에 제1 하부 불투명막을 형성하는 단계;

상기 제1 하부 불투명막상에 제1 상부 층간 절연막을 형성하는 단계; 및

상기 제1 상부 층간 절연막 상에 제1 상부 불투명막을 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 5.

제4항에 있어서, 상기 제1 하부 층간 절연막 및 제1 상부 층간 절연막은 각각 300 내지 2500Å의 두께로 형성되는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 6.

제4항에 있어서, 상기 제1 하부 및 상부 층간 절연막에, 기판의 콘택 형성 영역과 접촉하는 제1 콘택들 및 상기 제1 콘택들을 전기적으로 연결시키는 제1 보조 배선으로 이루어지는 제1 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 7.

제6항에 있어서, 상기 제1 배선은 상기 포토다이오드와 어긋나게 배치하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 8.

제1항에 있어서, 상기 제1 층간 절연 구조물을 형성하는 단계는,

기판 상에 기판의 콘택 형성 영역과 접속하는 제1 콘택들이 구비되는 제1 하부 층간 절연막을 형성하는 단계;

상기 제1 하부 층간 절연막 상에 금속 확산을 방지하기 위한 제1 하부 불투명막 및 제1 상부 층간 절연막을 형성하는 단계;

상기 트렌치 내에 금속 물질을 매립시켜 제1 보조 배선을 형성하는 단계; 및

상기 제1 보조 배선 상에 제1 상부 불투명막을 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 9.

제1항에 있어서, 상기 제2 층간 절연 구조물을 형성하는 단계는,

상기 제1 층간 절연 구조물 및 식각 저지막 패턴 상에, 층간 절연막 및 불투명막을 반복적으로 적층하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 10.

제9항에 있어서, 상기 층간 절연막에,

기판의 콘택 형성 영역과 전기적으로 연결되는 제2 콘택들 및 상기 제2 콘택들을 전기적으로 연결시키는 제2 보조 배선을 포함하는 제2 배선을 형성하는 단계; 및

상기 제2 배선 상에 기판의 콘택 형성 영역과 전기적으로 연결되는 추가 콘택들 및 상기 추가 콘택들을 전기적으로 연결시키는 추가 보조 배선을 포함하는 추가 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 11.

제10항에 있어서, 상기 추가 배선은 다층으로 적층시키는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 12.

제10항에 있어서, 상기 제2 배선 및 추가 배선은 구리를 사용하여 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 13.

제10항에 있어서, 상기 제2 배선 및 추가 배선은 상기 포토다이오드와 어긋나도록 배치하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 14.

제10항에 있어서, 상기 제2 배선을 형성하는 단계는,

상기 제1 하부 층간 절연막 구조물 및 식각 저지막 패턴 상에 제2 하부 층간 절연막을 형성하는 단계;

상기 제2 층간 하부 절연막 상에 금속 확산을 막기 위한 제2 하부 불투명막 및 제2 상부 층간 절연막을 형성하는 단계;

상기 제2 상부 층간 절연막, 제2 불투명막 및 제2 하부 층간 절연막의 일부분을 식각하여 제2 콘택홀 및 제2 보조 배선용 트렌치를 형성하는 단계;

상기 제2 콘택홀 및 제2 보조 배선용 트렌치 내부에 금속 물질을 매립함으로서 제2 콘택 및 제2 보조 배선을 형성하는 단계; 및

상기 제2 보조 배선 및 상기 제2 상부 층간 절연막 상에 제2 상부 불투명막을 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 15.

제10항에 있어서, 상기 제2 배선을 형성하는 단계는,

상기 제1 층간 절연막 구조물 상에 제2 콘택들이 구비되는 제2 하부 층간 절연막을 형성하는 단계;

상기 제2 하부 층간 절연막 상에 금속 확산을 방지하기 위한 제2 하부 불투명막 및 제2 상부 층간 절연막을 형성하는 단계;

상기 제2 상부 층간 절연막 및 상기 제2 하부 불투명막을 부분적으로 식각하여 상기 제2 콘택을 노출시키는 제2 보조 배선 용 트렌치를 형성하는 단계;

상기 제2 보조 배선용 트렌치 내에 금속 물질을 매립시켜 제2 보조 배선을 형성하는 단계; 및

상기 제2 보조 배선 및 상기 제2 상부 층간 절연막상에 제2 상부 불투명막을 형성하는 단계를 수행하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 16.

삭제

청구항 17.

제1항에 있어서, 상기 금속 물질은 티타늄, 티타늄 질화물, 탄탈륨 및 탄탈륨 질화물로 이루어지는 군에서 선택되는 적어도 하나의 물질인 것을 특징으로 하는 특징으로 하는 이미지 소자의 제조 방법.

청구항 18.

제1항에 있어서, 상기 불투명막은 실리콘 질화막 또는 탄화 실리콘막을 사용하여 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 19.

제1항에 있어서, 상기 제2 층간 절연 구조물을 형성하는 단계를 수행한 이 후에,

상기 제2 층간 절연 구조물 상에, 상기 제2 층간 절연 구조물 및 제1 층간 절연 구조물을 보호하기 위한 보호막 구조물을 형성하는 단계;

상기 보호막 구조물의 일 부분을 식각하여 패드 콘택홀을 형성하는 단계; 및

상기 패드 콘택홀 내부에 도전 물질을 매립시켜 패드를 형성하는 단계를 더 수행하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 20.

제19항에 있어서, 상기 보호막 구조물은 제1 보호막 및 제2 보호막이 적층된 다층막으로 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 21.

제20항에 있어서, 상기 제1 보호막은 실리콘 산화막으로 형성하고, 상기 제2 보호막은 실리콘 질화막 또는 탄화 실리콘막으로 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 22.

제20항에 있어서, 상기 제1 보호막 및 제2 보호막은 각각 100 내지 5000Å의 두께로 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 23.

제1항에 있어서, 상기 개구부를 형성하는 단계를 수행한 이 후에,

상기 개구부 내부를 매립하는 투명 절연막을 형성하는 단계;

상기 투명 절연막 및 제2 층간 절연 구조물 상에 칼라 필터를 형성하는 단계; 및

상기 칼라 필터 상에 마이크로 렌즈를 형성하는 단계를 포함하는 이미지 소자의 제조 방법.

청구항 24.

제1 영역 및 제2 영역을 갖는 기판을 마련하는 단계;

상기 제1 영역에 포토다이오드를 형성하는 단계;

상기 제1 영역 상에는 상기 포토다이오드와 어긋나게 배치되는 배선을 포함하고, 상기 제2 영역 상에는 커패시터 하부 전극을 포함하는 제1 층간 절연 구조물을 형성하는 단계;

상기 제1 층간 절연 구조물 상에 유전막을 형성하는 단계;

상기 제1 영역에 상기 포토다이오드와 대향하는 부위의 유전막 상에 식각 저지막 패턴과, 상기 제2 영역에 상기 커패시터 하부 전극과 대향하는 부위의 유전막 상에 상부 전극 패턴을 각각 형성하는 단계;

상기 식각 저지막 패턴 및 제1 층간 절연 구조물 상에 적어도 하나의 불투명막을 갖는 제2 층간 절연 구조물을 형성하는 단계; 및

상기 포토다이오드가 노출되지 않도록 하면서, 상기 포토다이오드와 대향하는 부위의 제2 층간 절연 구조물, 식각 저지막 패턴 및 상기 제1 층간 절연 구조물을 순차적으로 식각하여 개구부를 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 25.

제24항에 있어서, 상기 개구부를 형성하는 단계는,

상기 식각 저지막 패턴이 노출되도록 상기 제2 층간 절연 구조물을 식각하여 제1 예비 개구부를 형성하는 단계;

상기 식각 저지막 패턴을 식각하여 상기 제1 예비 개구부가 하방을 확장된 형태의 제2 예비 개구부를 형성하는 단계; 및

상기 제2 예비 개구부 아래에 노출된 제1 층간 절연 구조물을 부분적으로 식각하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 26.

삭제

청구항 27.

제24항에 있어서, 상기 제1 층간 절연 구조물을 형성하는 단계는,

기판의 콘택 형성 영역과 접촉하는 제1 콘택들을 형성하는 단계; 및

상기 제1 콘택들을 전기적으로 연결시키는 제1 보조 배선을 형성함으로서 상기 제1 콘택 및 제1 보조 배선으로 구성되는 제1 배선을 형성하고, 동시에 하부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 28.

제27항에 있어서, 상기 제1 배선 및 하부 전극은 구리를 이용하여 사용하는 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 29.

제24항에 있어서, 상기 제1 층간 절연 구조물을 형성하는 단계는,

상기 기판 상에 기판의 콘택 형성 영역과 접속하는 제1 콘택이 구비되는 제1 하부 층간 절연막을 형성하는 단계;

상기 제1 하부 층간 절연막 상에 금속 확산을 방지하기 위한 제1 하부 불투명막 및 제1 상부 층간 절연막을 형성하는 단계;

상기 제1 상부 층간 절연막 및 제1 불투명막을 부분적으로 식각함으로서, 상기 제1 영역에 상기 제1 콘택과 전기적으로 연결되는 제1 보조 배선용 트렌치 및 상기 제2 영역에 하부 전극용 트렌치를 형성하는 단계;

상기 제1 보조 배선용 트렌치 및 하부 전극용 트렌치 내에 금속 물질을 매립시켜 제1 보조 배선 및 하부 전극을 형성하는 단계; 및

상기 제1 보조 배선, 하부 전극 및 제1 상부 층간 절연막 상에 제1 상부 불투명막을 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 30.

제24항에 있어서, 상기 제2 층간 절연 구조물을 형성하는 단계는,

기판의 콘택 형성 영역과 전기적으로 연결되는 제2 콘택들 및 상기 제2 콘택들을 전기적으로 연결시키는 제2 보조 배선을 포함하는 제2 배선을 형성하는 단계; 및

상기 제2 배선 상에 기판의 콘택 형성 영역과 전기적으로 연결되는 추가 콘택들 및 상기 추가 콘택들을 전기적으로 연결시키는 추가 보조 배선을 포함하는 추가 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 31.

제30항에 있어서, 상기 제2 배선 및 추가 배선은 구리를 사용하여 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 32.

제30항에 있어서, 상기 제2 배선 및 추가 배선은 상기 포토다이오드와 어긋나도록 배치하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 33.

제24항에 있어서, 각 저지막 패턴 및 상부 전극 패턴을 형성하는 단계는,

상기 유전막 상에 금속막을 형성하는 단계; 및

상기 금속막을 패터닝하여 상기 포토다이오드와 대향하는 부위의 유전막 상부면 및 상기 커패시터 하부 전극과 대향하는 부위의 유전막 상부면에 각각 금속막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 34.

제33항에 있어서, 금속막은 티타늄물 티타늄 질화물, 탄탈륨 및 탄탈륨 질화물로 이루어지는 군에서 선택되는 적어도 하나의 물질을 사용하여 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 35.

제24항에 있어서, 상기 불투명막은 실리콘 질화물 또는 탄화 실리콘물을 사용하여 형성하는 것을 특징으로 하는 이미지 소자의 제조 방법.

청구항 36.

제24항에 있어서, 상기 제2 층간 절연 구조물을 형성한 이 후에,

상기 제2 층간 절연 구조물 상에, 하부 구조들을 보호하기 위한 보호막 구조물을 형성하는 단계;

상기 보호막 구조물의 일 부분을 식각하여 패드 콘택홀을 형성하는 단계; 및

상기 패드 콘택홀 내부에 도전 물질을 매립시켜 패드를 형성하는 단계를 더 수행하는 것을 특징으로 하는 이미지 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지 센서 제조 방법에 관한 것이다. 보다 상세하게는, 씨모스 이미지 센서 제조 방법에 관한 것이다.

이미지 센서(image sensor)는 1차원 또는 2차원 이상의 광학 정보를 전기 신호로 변환하는 장치이다. 이미지 센서의 종류로서는 활상관과 고체 활상 소자로 분류된다. 활상관은 텔레비전을 중심으로 하여 화상처리기술을 구사한 계측, 제어, 인식 등에서 널리 상용되며 응용기술이 발전되었다. 시판되는 고체 이미지 센서는 MOS(metal- oxide- semiconductor)형과 CCD(charge coupled device)형의 2종류가 있다.

CMOS 이미지 센서는 CMOS 제조기술을 이용하여 광학적 이미지를 전기적 신호로 변환시키는 소자이다. CMOS 이미지 센서는 1960년대 개발되었으나, FPN(Fixed Pattern Noise)와 같은 노이즈로 인하여 이미지 품질(Image quality)이 CCD에 비하여 열등하고, CCD에 비하여 회로가 복잡하고, 집적 밀도(Packing Density)가 낮고, 비용면에서는 CCD에 비하여 차이가 없고, 칩 크기가 커서 1990년대까지 더 이상의 개발은 진행되지 않았었다.

1990년 대 후반에 들어서 CMOS 공정 기술의 발달 및 신호처리 알고리즘 등의 개선으로 인하여 기존의 CMOS 이미지 센서가 갖고 있는 단점들이 극복되기 시작하였다. 또한, 선택적으로 CCD공정을 CMOS 이미지 센서에 적용하여 제품의 질이 월등하게 개선되어 이미지 센서로 사용되어 왔다. CMOS 이미지 센서의 경우, 저전력 동작이 가능하고, 영상 데이터의 랜덤 액세스가 가능하며, 통상의 CMOS공정을 이용함으로서 공정 비용이 감소될 수 있는 장점이 있다.

최근에는 디지털 스틸 카메라, 휴대폰의 카메라, 도어폰의 카메라 등 이미지 센서에 대한 수요가 폭발적으로 늘어나면서, CMOS 이미지 센서에 대한 수요도 기하급수적으로 늘어나고 있다. 이에 따라서, 각종 응용 제품에서 고성능의 CMOS 이미지 센서가 요구되고 있다.

미세한 디자인 룰을 갖는 CMOS 이미지 센서의 경우에는, 알루미늄을 이용한 금속 배선을 형성하기가 어렵다. 따라서, 상기 알루미늄보다 저저항을 갖는 구리를 이용한 금속 배선을 적용하는 것이 바람직하다. 그런데, 상기 구리 물질은 반응 이온 식각(RIE, Reactive Ion Etch) 방식으로 패턴을 형성하기가 어렵기 때문에, 다마신 방식을 적용하여 패턴을 형성하여야 한다. 상기 다마신 방식을 적용하여 구리 금속 배선을 형성하는 경우에는, 구리의 확산을 방지하기 위한 캡핑막과 식각 깊이 조절을 위한 식각 저지막으로 사용하기 위하여 상기 금속 층간 절연막 사이 사이에 SiN, SiC 등과 같은 광투과율이 낮은 물질막을 형성하여야 한다. 그러나, 상기한 물질의 사용은 외부에 광을 받아들여서 반응하여야 하는 포토다이오드를 갖는 이미지 센서의 감도를 현격히 저하시키며, 공정 불량에 의해 상기 불투명막들이 제거되지 않으면 포토다이오드까지 외부 광이 도달하기가 어려워지므로 이미지 센서로서 동작되지 않는다.

따라서, 상기 구리 다층 배선 공정을 수행한 이 후에 액티브 픽셀 센서 부위의 금속 층간 절연막 및 불투명막을 제거하는 액티브 픽셀 센서 오픈 공정이 수행되고 있다. 그런데, 상기 액티브 픽셀 센서 오픈 공정 시에 상기 금속 층간 절연막 하부의 층간 절연막까지 과도하게 식각되는 경우에는 포토다이오드에 어택이 가해질 수 있다. 반대로, 상기 액티브 픽셀 센서 오픈 공정 시에 상기 금속 층간 절연막이 완전히 제거되지 못하여 불투명막이 일부 남게되면, 상기 남아있는 불투명막에 의해 광이 산란되기 때문에 하부의 포토다이오드까지 광이 도달하기 어렵게 된다. 따라서, 상기 액티브 픽셀 센서 오픈 공정 시에 상기 금속 층간 절연막 및 불투명막만이 완전히 제거되도록 식각 공정을 조절하여야 한다.

그러나, 상기 금속 층간 절연막들 각각의 두께 산포가 존재하고, 상기 금속 층간 절연막 사이 사이에 불투명막이 반복적으로 개재되어 있기 때문에, 기판 전 영역에서 하부 층간 절연막의 어택없이 상기 금속 층간 절연막 및 불투명막을 완전히 제

거하도록 식각 공정을 조절하기가 어렵다. 더구나, 상기 포토다이오드로의 광 투과율을 향상시키기 위해서는 상기 금속 층간 절연막 각각의 두께가 점점 더 낮아지고 있다. 때문에, 상기 액티브 핵셀 센서 오픈 공정 시에 약간의 오버 에치에 의해 서도 포토다이오드의 어택이 가해지게되고, 반대로 약간의 언 에치에 의해서도 상기 불투명막이 남게된다. 그러므로, 상기 액티브 핵셀 센서 오픈 공정 시의 식각 마진은 더욱 더 감소되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 포토다이오드의 어택이 감소되고 포토다이오드로의 광투과율이 향상되는 이미지 센서 제조 방법을 제공하는데 있다.

발명의 구성

상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 이미지 센서 제조에서, 우선 포토다이오드가 형성되어 있는 기판 상에 불투명막을 갖는 제1 층간 절연 구조물을 형성한다. 상기 제1 층간 절연 구조물 상에서 상기 포토다이오드와 대향하는 부위에 식각 저지막 패턴을 형성한다. 상기 식각 저지막 패턴 및 제1 층간 절연 구조물을 상에 불투명막을 갖는 제2 층간 절연 구조물을 형성한다. 다음에, 상기 포토다이오드가 노출되지 않도록 하면서, 상기 포토다이오드와 대향하는 부위의 상기 제2 층간 절연 구조물, 식각 저지막 패턴 및 제1 층간 절연 구조물을 순차적으로 식각하여 개구부를 형성한다.

상기한 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 이미지 센서 제조에서, 우선 제1 영역 및 제2 영역을 갖는 기판을 마련한다. 상기 제1 영역에 포토다이오드를 형성한다. 상기 제1 영역 상에는 상기 포토다이오드와 어긋나게 배치되는 배선이 포함되고, 상기 제2 영역 상에는 커패시터 하부 전극이 포함되는 제1 층간 절연 구조물을 형성한다. 상기 제1 층간 절연 구조물 상에 유전막을 형성한다. 상기 포토다이오드와 대향하는 부위의 유전막 상에 식각 저지막 패턴과, 상기 커패시터 하부 전극과 대향하는 부위의 유전막 상에 상부 전극 패턴을 각각 형성한다. 상기 식각 저지막 패턴 및 제1 층간 절연 구조물 상에 적어도 하나의 불투명막을 갖는 제2 층간 절연 구조물을 형성한다. 다음에, 상기 포토다이오드가 노출되지 않도록 하면서, 상기 포토다이오드와 대향하는 부위의 제2 층간 절연 구조물, 식각 저지막 패턴 및 상기 제1 층간 절연 구조물을 순차적으로 식각하여 개구부를 형성한다.

상기 설명한 방법에 의하면, 상기 제1 층간 절연 구조물 상의 상기 포토다이오드와 대향하는 부위에 식각 저지막 패턴이 구비된다. 때문에, 상기 개구부 형성 공정 시에 개구부 저면에 제1 층간 절연 구조물이 일부 남아있도록 용이하게 각각의 층간 절연막들을 식각해 낼 수 있다. 그러므로, 상기 식각 공정 시에 하부의 포토다이오드 어택 발생을 감소시킬 수 있다. 또한, 상기 식각 공정 시에 불투명막이 남게되어 광투과율이 감소되는 것을 최소화할 수 있다. 이로 인해, 궁극적으로는 이미지 센서의 특성 및 신뢰성을 향상시킬 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

실시예 1

도 1 내지 도 12는 본 발명의 제1 실시예에 따른 이미지 소자의 제조 방법을 보여주는 단면도들이다.

도 1을 참조하면, 반도체 기판(10)에 소자 분리막(도시안됨)을 형성함으로서 소자 분리 영역 및 액티브 영역을 한정한다. 상기 액티브 영역의 기판 아래에 포토다이오드(12)와 같은 수광 소자를 형성하고, 상기 포토다이오드(12)와 인접한 영역에, 상기 포토다이오드(12)의 스위칭 소자인 트랜지스터(도시안됨)들을 형성한다.

상기 트랜지스터 및 포토다이오드(12)가 형성되어 있는 반도체 기판(10)을 덮도록 제1 하부 층간 절연막(16)을 형성한다. 상기 제1 하부 층간 절연막(16)은 1500 내지 3000Å의 두께로 형성된다. 상기 제1 하부 층간 절연막(16)은 투명한 물질로 형성할 수 있으며, 구체적으로 실리콘 산화물을 증착시킴으로서 형성할 수 있다.

상기 제1 하부 층간 절연막(16)에 사진 및 식각 공정을 수행하여 상기 트랜지스터의 소오스/드레인 영역(14)의 표면 부위와 게이트 전극의 상부 표면 부위를 노출시키는 제1 콘택홀(18)들을 형성한다. 이 때, 상기 제1 콘택홀(18)들은 상기 포토다이오드(12)와 어긋나도록 배치된다.

상기 제1 콘택홀(18)들 내부를 매립하도록 티타늄 또는 텉스텐과 같은 금속 물질을 증착시켜 하부 금속층(도시안됨)을 형성한다. 상기 금속 물질은 화학 기상 증착 방법이나 스퍼터링 방법을 이용하여 증착될 수 있다. 상기 하부 금속층은 구리를

증착시켜 형성할 수도 있다. 그러나, 상기 구리는 하부에 존재하는 반도체 기판(10)으로 확산되기 쉽기 때문에, 설명한 바와 같이, 티타늄이나 텉스텐을 이용하는 것이 더 바람직하다. 한편, 상기 하부 금속층을 구리로 형성하는 경우에는 상기 하부 금속층을 형성하기 이전에, 금속 확산을 방지하기 위한 베리어 금속막 형성 공정을 먼저 수행하여야 한다.

다음에, 상기 제1 하부 층간 절연막(16)의 상부면이 노출될 때까지 상기 하부 금속층을 화학적 기계적 연마 방법으로 연마함으로서 제1 콘택(18)을 형성한다.

도 2를 참조하면, 상기 제1 하부 층간 절연막(16) 및 제1 콘택(18) 상에 제1 하부 캡핑막(20)을 형성한다. 상기 제1 하부 캡핑막(20)은 상기 제1 콘택(18)을 이루고 있는 금속이 확산되는 것을 방지하기 위한 막이다. 또한, 상기 제1 하부 캡핑막(20)은 후속의 트렌치 형성 공정 시에 식각 정지를 위한 막으로도 제공된다. 때문에, 상기 제1 하부 캡핑막(20)은 이 후에 형성되는 제1 상부 층간 절연막과 식각 선택비가 높은 막으로 형성되는 것이 바람직하다. 구체적으로, 상기 제1 상부 층간 절연막을 실리콘 산화물로 형성하는 경우에, 상기 제1 하부 캡핑막(20)으로 사용될 수 있는 물질의 예로서는 실리콘 질화물(SiN), 실리콘 산질화물(SiON) 및 탄화 실리콘(SiC)을 들 수 있다. 이들은 단독 또는 적층된 구조로 형성될 수 있다. 상기 제1 하부 캡핑막(20)은 100 내지 1000Å 정도의 두께로 형성된다.

상기 제1 하부 캡핑막(20) 상에 제1 상부 층간 절연막(22)을 증착한다. 상기 제1 상부 층간 절연막(22)은 실리콘 산화물과 같은 투명한 재질의 물질을 증착함으로서 형성될 수 있다. 상기 제1 상부 층간 절연막(22)에는 후속 공정을 통해 제1 보조 배선(26)이 형성된다. 때문에, 상기 제1 상부 층간 절연막(22)의 두께는 형성하고자 하는 제1 보조 배선(26)의 두께보다 더 높게 형성되어야 한다. 그런데, 상기 제1 보조 배선(26)이 저저항을 갖는 구리로 형성되는 경우에는 알루미늄으로 형성되는 경우와 비교할 때 상대적으로 상기 제1 보조 배선(26)의 두께를 더 낮게 형성할 수 있다. 상기 제1 상부 층간 절연막(22)은, 상기 제1 보조 배선(26)에서 요구하는 저항값에 따라 달라지겠지만, 1000 내지 3000Å의 두께로 형성될 수 있다.

상기 제1 상부 층간 절연막(22)을 부분적으로 식각하고, 순차적으로 제1 하부 캡핑막(20)을 식각함으로서, 상기 제1 콘택(18)의 상부면을 노출하는 라인형의 제1 트렌치(도시안됨)를 각각 형성한다. 상기 제1 트렌치는 상기 포토다이오드와 어긋나게 배치되어야 한다. 다시 말하면, 상기 제1 트렌치는 상기 포토 다이오드의 상부를 경유하지 않도록 배치되어야 한다.

상기 제1 트렌치의 측면, 저면 및 상기 제1 상부 층간 절연막(22)의 상부면에 연속적으로 제1 베리어 금속막(도시안됨)을 형성한다. 상기 제1 베리어 금속막은 후속의 구리 증착 공정시에 구리 성분이 상기 제1 상부 층간 절연막(22)내로 확산되는 것을 방지하기 위한 막이다. 구체적으로, 상기 제1 베리어 금속막은 티타늄물, 티타늄 질화물, 탄탈륨 또는 탄탈륨 질화물을 증착시켜 형성할 수 있다. 이들은 단독 또는 적층된 구조로 형성할 수 있다.

상기 제1 베리어 금속막 상에 상기 제1 트렌치를 매립하도록 구리를 증착시킴으로서 제1 구리막(도시안됨)을 형성한다. 상기 제1 구리막은 구리 시드(Seed)를 스펀터링 방법에 의해 증착한 후, 전기 도금법에 의해 형성할 수 있다. 또는, 상기 제1 구리막은 무전해 도금법으로 형성할 수도 있다.

상기 제1 상부 층간 절연막(22)의 상부면이 노출되도록 상기 제1 구리막 및 제1 베리어 금속막을 화학적 기계적 연마 방법으로 연마함으로서, 상기 제1 콘택(18)과 전기적으로 연결되는 라인형의 제1 보조 배선(26)을 형성한다. 이 때, 상기 제1 트렌치의 내부면에는 제1 베리어 금속막이 잔류함으로서 1 베리어 금속막 패턴(24)이 형성된다.

이하에서는, 상기 제1 콘택(18)와 제1 보조 배선(26)을 제1 배선이라 하면서 설명한다. 상기 제1 배선은 하부의 포토다이오드와 어긋나게 배치함으로서, 상기 제1 배선이 상기 포토다이오드로 투과되는 광을 흡수하지 않도록 한다.

다음에, 상기 제1 보조 배선(26) 및 제1 상부 층간 절연막(22) 상부면에 제1 상부 캡핑막(28)을 형성한다. 상기 제1 상부 캡핑막(28)은 상기 제1 보조 배선(26)에서 구리가 확산되는 것을 방지하기 위해 구비된다. 상기 제1 상부 캡핑막(28)은 실리콘 질화막 또는 탄화 실리콘막으로 형성될 수 있다. 상기 제1 상부 캡핑막(28)은 100 내지 1000Å 정도의 두께로 형성된다. 상기 제1 상부 캡핑막이 100Å 이하의 두께로 형성되는 경우 구리의 확산을 방지하기가 어려우며, 1000Å 이상의 두께로 형성되는 경우에는 층간 절연 구조물의 전체 두께가 증가되기 때문에 이미지 센서의 광 센싱 능력이 저하된다.

상기 도 1 및 도 2를 참조로 설명한 공정을 수행함으로서, 포토다이오드가 형성되어 있는 기판 상에 제1 층간 절연 구조물을 완성한다.

도 3을 참조하면, 상기 제1 상부 캡핑막(28)상에 금속 물질로 이루어지는 식각 저지막(30)을 형성한다. 상기 금속 물질은 층간 절연막 및 캡핑막으로 사용되는 물질인 실리콘 질화물, 탄화 실리콘, 실리콘 산질화물 및 실리콘 산화물과는 전혀 다

른 식각 조건에서 식각된다. 그러므로, 상기 금속 물질은 상기 충간 절연막들 및 캡핑막들을 식각하는 조건에서는 거의 식각이 이루어지지 않는다. 따라서, 상기 충간 절연막 및 캡핑막을 식각할 때 식각 저지막(30)으로 제공되기에 가장 적합하다.

상기 식각 저지막(30)으로 사용할 수 있는 금속의 예로서는 티타늄, 티타늄 질화물, 탄탈륨 및 탄탈륨 질화물을 들 수 있다. 그리고, 이들은 단독 또는 둘 이상을 적층시켜 형성할 수 있다.

도 4를 참조하면, 상기 식각 저지막(30)을 부분적으로 식각하여 상기 포토다이오드(12)에 대향하는 부위에 식각 저지막 패턴(30a)을 형성한다.

상기 식각 저지막 패턴(30a)은 후속의 액티브 핵셀 센서를 오픈하기 위한 식각 공정에서 1차적으로 식각을 정지시키기 위하여 구비된다. 그러므로, 상기 식각 저지막 패턴(30a)은 상기 식각 공정에서 개구되는 부위의 전체 영역 상에 형성되어야 한다. 또한, 상기 식각 저지막 패턴(30a)은 상기 제1 배선과는 겹쳐지지 않도록 형성되어야 한다. 상기 식각 저지막 패턴(30a)이 개구되는 부위의 일부 영역에만 형성되어 있을 경우에는, 상기 식각 저지막 패턴(30)이 형성되어 있지 않은 개구부위에서 과도하게 막이 식각되어 포토다이오드(12)에 어택이 가해질 수 있다. 또한, 상기 식각 저지막 패턴(30)이 제1 배선과 겹쳐지는 경우에는 상기 식각 저지막 패턴(30)에 의해 제1 배선이 서로 쇼트될 수 있다.

도 5를 참조하면, 상기 식각 저지막 패턴(30a), 제1 상부 캡핑막(28) 상에 제2 하부 충간 절연막(32)을 증착한다. 상기 제2 하부 충간 절연막(32)은 실리콘 산화물과 같은 투명한 물질을 1000 내지 3000 Å의 두께로 증착시킴으로서 형성할 수 있다.

상기 제2 하부 충간 절연막(32) 상에 제2 하부 캡핑막(34)을 형성한다. 상기 제2 하부 캡핑막(34)은 실리콘 질화물, 실리콘 산질화물 또는 탄화 실리콘물을 100 내지 1000 Å의 두께로 증착시킴으로서 형성할 수 있다.

상기 제2 하부 캡핑막(34) 상에 제2 상부 충간 절연막(36)을 형성한다. 상기 제2 상부 충간 절연막(36)은 상기 제2 하부 충간 절연막(32)과 동일한 물질로 형성하는 것이 바람직하다.

상기 제2 상부 충간 절연막(36), 제2 하부 캡핑막(34) 및 제2 하부 충간 절연막(32)을 순차적으로 식각함으로서, 상기 제2 하부 충간 절연막(32)에는 상기 제1 보조 배선(26)의 상부면을 노출시키는 제2 콘택홀(40)을 형성하고, 상기 제2 상부 충간 절연막(36)에는 제2 트렌치(38)를 각각 형성한다.

이 때, 상기 제2 콘택홀(40)을 먼저 형성한 이 후에 제2 트렌치(38)를 형성하는 비아 퍼스트 공정으로 진행할 수 있다. 또는, 상기 제2 트렌치(38)를 형성한 이 후에, 상기 제2 콘택홀(40)을 형성하는 트렌치 퍼스트 공정으로도 진행할 수 있다.

도 6을 참조하면, 상기 제2 트렌치(38)의 측벽 및 저면, 상기 제2 콘택홀(40)의 측벽 및 저면 그리고 상기 제2 상부 충간 절연막(36)상에 연속적으로 제2 베리어 금속막(도시안됨)을 형성한다. 이어서, 상기 제2 트렌치(38) 및 제2 콘택홀(40)을 매립하면서 상기 제2 베리어 금속막 상에 제2 구리막(도시안됨)을 형성한다.

다음에, 상기 제2 상부 충간 절연막(36)의 상부 표면이 노출될 때까지 상기 제2 구리막 및 제2 베리어 금속막을 화학적 기계적 연마 방법으로 연마하여, 상기 제2 트렌치(38)와 제2 콘택홀(40) 내에만 구리가 채워진 제2 배선(44)을 형성한다.

즉, 상기 제2 배선(44)은 상기 하부의 제1 배선과 전기적으로 연결되는 제2 콘택들과 상기 제2 콘택들을 서로 연결하는 제2 보조 배선으로 구성된다.

상기 제2 배선(44) 및 제2 상부 충간 절연막(36) 상에 제2 상부 캡핑막(46)을 형성한다.

도 7을 참조하면, 상기 도 5 및 도 6을 참조로 하여 설명한 것과 동일한 공정을 수행함으로서 상기 제2 상부 캡핑막(46) 상에 추가 하부 충간 절연막(48), 추가 하부 캡핑막(50) 및 추가 상부 충간 절연막(52)을 형성한다. 또한, 상기 추가 하부 충간 절연막(52), 추가 하부 캡핑막(50) 및 추가 상부 충간 절연막(52) 내부에 상기 제2 배선(44)과 전기적으로 접속하는 추가 배선(56)을 순차적으로 형성한다. 상기 추가 배선(56)은 추가 콘택 및 추가 보조 배선을 포함한다. 또한, 상기 추가 배선(56) 및 추가 상부 충간 절연막(52) 상부면에 추가 상부 캡핑막(58)을 형성한다.

상기와 같이, 도 5 내지 도 7에서 설명한 공정을 수행함으로서, 상기 제1 충간 절연 구조물 및 식각 저지막 패턴(30a) 상에 제2 충간 절연 구조물을 완성한다.

도시되지는 않았으나, 반복적으로 상기 추가 상부 층간 절연막 및 추가 배선을 계속하여 적층함으로서 다층의 배선 구조물을 형성할 수 있다. 본 실시예에서는 상기 제2 층간 절연 구조물이 2층의 배선 구조를 예로 들어 설명하였지만, 필요에 따라서는, 단일층 또는 2층 이상의 배선 구조를 질 수도 있다.

도 8을 참조하면, 상기 추가 상부 캡핑막(56) 상에 하부의 제1 층간 절연 구조물, 식각 저지막 패턴(30a) 및 제2 층간 절연 구조물을 보호하기 위한 제1 보호막(60)을 형성한다. 상기 제1 보호막(60)은 실리콘 산화물을 100 내지 3000Å 정도의 두께로 증착함으로서 형성할 수 있다. 상기 제1 보호막(60)이 100Å보다 얇으면 하부의 막들을 보호하기가 어려우며, 상기 제1 보호막(60)이 3000Å보다 더 두꺼우면 후속의 식각 공정 시에 공정 시간이 과도하게 증가하게 된다. 상기 제1 보호막(60)은 구체적으로 FSG(Flowable Silicon Glass) 또는 TEOS를 증착함으로서 형성할 수 있다.

상기 제1 보호막(60)상에 하부의 제1 층간 절연 구조물, 식각 저지막 패턴(30a) 및 제2 층간 절연 구조물을 보호하기 위한 제2 보호막(62)을 형성한다. 상기 제2 보호막(62)은 실리콘 질화물, 실리콘 산질화물 또는 탄화 실리콘을 100 내지 3000Å 정도의 두께로 증착함으로서 형성할 수 있다.

본 실시예에 의하면, 금속으로 이루어지는 식각 저지막이 제2 층간 절연 구조물 아래에 구비되어 있다. 그러므로, 이 후 포토다이오드 오픈을 위한 개구부 형성 시에 식각 콘트롤을 용이하게 수행할 수 있다. 때문에, 이 후 개구부 형성 시에 식각 마진을 충분히 확보하기 위하여 상기 제1 보호막 및 제2 보호막을 불필요하게 두껍게 형성할 필요가 없다.

본 실시예에서는 제1 보호막 상에 제2 보호막을 형성하는 것으로 설명하고 있으나, 공정의 단순화를 위하여 제1 보호막만을 형성하거나 또는 제2 보호막만을 형성할 수도 있다. 상기 제1 보호막 및 제2 보호막 중 어느 하나의 막만을 형성하는 경우에는 막의 두께를 적절하게 증가시킬 수 있다.

도 9를 참조하면, 상기 제2 보호막(62) 상에 상기 포토다이오드(12)와 대향하는 부위만을 선택적으로 노출시키는 포토레지스트 패턴(도시안됨)을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제2 보호막(62), 제1 보호막(60) 및 제2 층간 절연 구조물을 순차적으로 식각함으로서 식각 저지막 패턴(30a)이 하부에 노출되는 제1 예비 개구부(64)를 형성한다.

본 실시예에서, 상기 제2 층간 절연 구조물은 제2 하부 층간 절연막(32), 제2 하부 캡핑막(34), 제2 상부 층간 절연막(36), 제2 상부 캡핑막(46), 제2 배선(44), 추가 하부 층간 절연막(48), 추가 하부 캡핑막(50), 추가 상부 층간 절연막(52), 추가 상부 캡핑막(58) 및 추가 배선(56)으로 구성된다. 이 때, 각 층간 절연막들은 실리콘 산화물로 이루어지고, 각 캡핑막들은 실리콘 질화물, 실리콘 산질화물 또는 탄화 실리콘으로 이루어진다. 또한, 각 층간 절연막들 및 캡핑막들은 3000Å 이하의 낮은 두께를 갖는다.

상기 제2 배선(44) 및 추가 배선(56)은 하부의 포토다이오드(12)와 어긋나게 배치되므로, 식각될 부위(즉, 상기 포토다이오드와 대향하는 부위)에는 상기 제2 배선(44) 및 추가 배선(56)이 형성되어 있지 않다. 따라서, 상기 식각 공정에서 추가 상부 캡핑막(58), 추가 상부 층간 절연막(52), 추가 하부 캡핑막(50), 추가 하부 층간 절연막(50), 제2 상부 캡핑막(46), 제2 상부 층간 절연막(36), 제2 하부 캡핑막(34) 및 상기 제2 하부 층간 절연막(32)을 순차적으로 식각한다.

상기와 같이, 서로 다른 물질막들이 반복 적층되는 경우 각각의 막을 형성하는 공정에서 미세한 변동(variation)이 발생하더라도 제2 층간 절연 구조물은 목표한 두께 및 특성을 갖지 못하게 된다. 또한, 하나의 기판 내에서도 기판내의 위치에 따라 제2 층간 절연 구조물 내의 각 막들의 두께에 편차가 발생된다. 때문에, 상기와 같이 서로 다른 물질막들이 반복 적층되어 있는 제2 층간 절연 구조물을 동일한 공정 조건에 의해 식각하더라도, 기판별로, 기판 내의 각 영역별로 각각의 막들이 식각되는 정도가 달라질 수 있다.

그러나, 설명한 바와 같이 상기 식각 저지막 패턴(30a)이 구비되는 경우에는 식각 공정을 과도하게 수행하더라도 상기 식각 저지막 패턴(30a)이 거의 식각되지 않는다. 따라서, 상기 식각 저지막 패턴(30a) 하부에 구비되는 막들은 전혀 식각되지 않으면서, 상기 식각 저지막 패턴(30a)상에 형성되어 있는 상기 제2 보호막(62), 제1 보호막(60) 및 제2 층간 절연 구조물만을 완전히 제거할 수 있다.

도 10을 참조하면, 상기 노출되어 있는 식각 저지막 패턴(30a)을 식각함으로서 제2 예비 개구부(66)를 형성한다. 상기 제2 예비 개구부(66)의 하부에는 제1 상부 캡핑막(28)이 노출되어 있다.

도 11을 참조하면, 상기 노출된 제1 상부 캡핑막(28)을 식각하고 순차적으로 제1 상부 충간 절연막(22) 및 제1 하부 캡핑막(20)을 식각함으로서 저면에 제1 하부 충간 절연막(16)이 노출되는 개구부(68)를 형성한다. 상기 공정에 의해, 상기 포토다이오드(12) 상에 위치하는 불투명막들이 모두 제거됨으로서 액티브 픽셀 센서가 오픈된다. 그리고, 상기 식각 공정을 수행하는 중에 하부의 포토다이오드에 어택이 가해지지 않도록 하기 위해서는 상기 제1 하부 충간 절연막이 거의 식각되지 않는 것이 바람직하다.

그런데, 상기 개구부(68)를 형성하기 위한 최종적인 식각 공정에서는 상기 제1 상부 캡핑막(28), 제1 상부 충간 절연막(22) 및 제1 하부 캡핑막(20)만이 식각되므로 식각되는 막의 두께가 상대적으로 얇다. 따라서, 상기 식각 공정에서는 식각 시간을 조절하는 것만으로 충분히 식각 두께를 콘트롤할 수 있으며, 이로 인해 상기 제1 하부 충간 절연막(16)은 거의 식각되지 않으면서 제1 하부 캡핑막(20)을 완전히 식각할 수 있다. 따라서, 상기 식각 공정에서, 제1 하부 캡핑막(20)이 남거나 상기 제1 하부 충간 절연막(16)이 과도하게 식각되는 등의 문제가 거의 발생되지 않게 된다.

도 12를 참조하면, 상기 개구부(68) 내부를 채우도록 투명한 물질의 제1 최상부 절연막(70)을 형성한 후 평탄화한다. 상기 제1 최상부 절연막(70) 상에 컬러 필터(72)를 형성한다. 상기 컬러 필터(72)는 블루, 그린 및 레드 컬러 필터의 어레이 구조를 갖는다.

상기 컬러 필터(72) 상에, 제2 최상부 절연막(74)을 형성한다. 상기 제2 최상부 절연막(74)상에 포토다이오드(12)로 광을 모아주기 위한 마이크로 렌즈(76)를 형성하여 이미지 소자인 CMOS 이미지 센서를 완성한다. 상기 마이크로 렌즈(76)는 상부면이 볼록한 반구형으로 형성한다.

실시예 2

도 13 내지 도 15는 본 발명의 실시예 2에 따른 이미지 소자의 제조 방법을 보여주는 단면도들이다. 이하에서 설명하는 본 실시예에서의 이미지 소자의 제조 방법은 금속 배선 형성을 위한 다마신 방법을 제외하고는 상기 실시예 1의 방법과 동일하다. 따라서, 상기 실시예 1에서와 동일한 부재에 대하여는 동일한 참조부호를 사용하고, 중복된 설명은 생략한다.

우선, 도 1 내지 도 4를 참조로 설명한 것과 동일한 공정을 수행하여 포토다이오드가 형성되어 있는 기판(10) 상에 제1 충간 절연 구조물을 형성한다.

다음에, 도 13을 참조하면, 상기 식각 저지막 패턴(30a), 제1 상부 캡핑막(28)상에 제2 하부 충간 절연막(32)을 증착한다. 상기 제2 하부 충간 절연막(32)을 부분적으로 식각하여 상기 제1 배선(26)을 노출시키는 제2 콘택홀(도시안됨)을 형성한다. 상기 제2 콘택홀의 측벽, 저면 및 상기 제2 하부 충간 절연막(32) 상부면에 제2 하부 베리어 금속막(도시안됨)을 형성한다.

상기 제2 콘택홀 내부를 채우면서 상기 제2 하부 베리어 금속막(82) 상에 제2 하부 구리막(도시안됨)을 형성한다. 상기 제2 콘택홀 내부에만 구리가 남아있도록 상기 제2 하부 구리막 및 제2 하부 베리어 금속막을 연마시켜 상기 제2 콘택(80)을 형성한다. 상기 연마 공정에 의해 상기 제2 하부 베리어 금속막은 상기 제2 콘택홀 내부면에만 남게됨으로서 제2 하부 베리어 금속막 패턴(82)으로 전환된다.

다음에, 상기 제2 콘택(80) 및 상기 제2 하부 충간 절연막(32) 상에 제2 하부 캡핑막(34)을 형성한다.

도 14를 참조하면, 상기 제2 하부 캡핑막(34) 상에 제2 상부 충간 절연막(36)을 증착한다. 상기 제2 상부 충간 절연막(36)을 부분적으로 식각하여 상기 제2 콘택(80)을 노출시키는 제2 트렌치(도시안됨)를 형성한다. 상기 제2 트렌치 측벽, 저면 및 상기 제2 상부 충간 절연막(36)에 연속적으로 제2 상부 베리어 금속막 패턴(84)을 형성한다.

상기 제2 트렌치 내부를 채우면서 상기 제2 하부 충간 절연막(36) 상에 제2 상부 구리막(도시안됨)을 형성한다. 상기 제2 콘택홀 내부에만 구리가 남아있도록 상기 제2 상부 구리막을 연마시켜 상기 제2 보조 배선(86)을 형성한다. 상기 연마 공정에 의해 상기 제2 상부 베리어 금속막은 상기 제2 트렌치 내부면에만 남게됨으로서 제2 상부 베리어 금속막 패턴(84)으로 전환된다. 상기 공정에 의해, 제2 콘택(82) 및 제2 보조 배선(86)으로 이루어지는 제2 배선을 완성한다.

다음에, 상기 제2 보조 배선(86) 및 상기 제2 상부 충간 절연막(36) 상에 제2 상부 캡핑막(46)을 형성한다.

도 15를 참조하면, 상기 도 13 및 도 14를 참조로 하여 설명한 것과 동일한 공정을 수행함으로서, 상기 제2 상부 캡핑막(46) 상에 추가 하부 충간 절연막(48), 추가 콘택(90), 추가 하부 캡핑막(50), 추가 상부 충간 절연막(52), 추가 보조 배선(94) 및 추가 상부 캡핑막(58)을 형성함으로서 제2 충간 절연 구조물을 형성한다.

다음에, 상기 실시예 1의 도 8 내지 도 12의 공정을 동일하게 수행함으로서 도 15에 도시된 이미지 센서를 완성한다.

실시예 3

도 16 내지 도 27은 본 발명의 실시예 3에 따른 이미지 소자의 제조 방법을 보여주는 단면도들이다.

도 16을 참조하면, 제1 내지 제3 영역으로 구분되는 기판을 마련한다. 여기서, 상기 제1 영역은 액티브 픽셀 센서들이 형성되기 위한 영역이고, 상기 제2 영역은 커패시터와 같은 단위 소자들이 형성되기 위한 영역이고, 상기 제3 영역은 상기 액티브 픽셀 센서들에 신호를 입출력하기 위한 패드 전극들이 형성되기 위한 영역이다.

상기 기판(100)에 소자 분리막(도시안됨)을 형성함으로서 소자 분리 영역 및 액티브 영역을 한정한다. 상기 제1 영역에 위치하는 액티브 영역에 포토다이오드(102)와 같은 수광 소자를 형성한다. 그리고, 상기 포토다이오드(102)와 인접한 영역에 상기 포토다이오드(102)의 스위칭 소자인 트랜지스터(도시안됨)들을 형성한다.

상기 기판(100)을 덮도록 제1 하부 충간 절연막(106)을 형성한다. 상기 하부 충간 절연막(106)은 1500 내지 3000Å의 두께로 형성된다. 상기 제1 하부 충간 절연막(106)은 투명한 물질로 형성할 수 있으며, 구체적으로 실리콘 산화물을 증착시킴으로서 형성할 수 있다.

상기 제1 하부 충간 절연막(106)에 사진 및 식각 공정을 수행하여 상기 트랜지스터의 소오스/드레인 영역(104)의 표면 부위와 게이트 전극의 상부 표면 부위를 노출시키는 제1 콘택홀(도시안됨)을 형성한다. 이 때, 상기 제1 콘택홀은 상기 포토다이오드(102)와 어긋나도록 배치된다.

상기 제1 콘택홀을 매립하도록 티타늄 또는 텉스텐과 같은 금속 물질을 증착시켜 제1 하부 금속층(도시안됨)을 형성한다. 다음에, 상기 제1 하부 충간 절연막(106)의 상부면이 노출될 때까지 상기 제1 하부 금속층을 화학적 기계적 연마 방법으로 연마함으로서 제1 콘택(108)들을 형성한다.

이어서, 상기 제1 하부 충간 절연막(106) 및 제1 콘택(108) 상에 제1 하부 캡핑막(110)을 형성한다. 상기 제1 하부 캡핑막(110)은 후속의 트렌치 형성 공정 시에 식각 정지를 위한 막으로도 제공된다. 때문에, 상기 제1 하부 캡핑막(110)은 실리콘 산화물과 식각 선택비가 높은 막으로 형성되는 것이 바람직하다. 예를 들어, 상기 제1 하부 캡핑막(110)은 실리콘 질화물, 실리콘 산질화물 또는 탄화 실리콘물을 증착시켜 형성할 수 있다. 상기 제1 하부 캡핑막(110)은 100 내지 1000Å 정도의 두께로 형성된다.

상기 제1 하부 캡핑막(110) 상에 제1 상부 충간 절연막(112)을 증착한다. 상기 제1 상부 충간 절연막(112)은 실리콘 산화물과 같은 투명한 재질의 물질을 증착함으로서 형성될 수 있다.

상기 제1 상부 충간 절연막(112)을 부분적으로 식각하고 순차적으로 제1 하부 캡핑막을 식각함으로서, 상기 제1 내지 제3 영역 각각에 제1 트렌치(도시안됨)들을 형성한다. 상기 식각 공정에 의해, 상기 제1 영역에는 상기 제1 콘택(108)의 상부면이 노출되도록 상기 제1 트렌치를 형성하여야 한다. 그리고, 상기 제1 영역에 형성되는 제1 트렌치는 상기 포토다이오드(102)와 어긋나게 배치되어야 한다. 다시 말하면, 상기 제1 트렌치는 상기 포토다이오드(102)의 상부를 경유하지 않도록 배치되어야 한다. 그리고, 상기 제2 영역에는 커패시터 하부 전극이 형성되어야 할 부위에 제1 트렌치가 형성되어야 한다. 또한, 상기 제3 영역에는 패드 전극과 전기적으로 접속되기 위한 배선이 형성될 영역에 제1 트렌치가 형성되어야 한다.

상기 제1 트렌치들의 측면, 저면 및 상기 제1 충간 절연막의 상부면에 연속적으로 제1 베리어 금속막(도시안됨)을 형성한다. 상기 제1 베리어 금속막은 후속의 구리 증착 공정시에 구리 성분이 상기 제1 상부 충간 절연막(112)내로 확산되는 것을 방지하기 위한 막이다. 상기 제1 베리어 금속막은 티타늄, 티타늄 질화물, 티타늄 또는 티타늄 질화물을 증착시켜 형성할 수 있다. 이들은 단독 또는 적층된 구조로 형성될 수 있다.

상기 제1 트렌치를 매립하도록 구리를 증착시켜 제1 구리막(도시안됨)을 형성한다. 상기 제1 구리막은 구리 시드(Seed)를 스퍼터링 방법에 의해 증착한 후, 전기 도금법에 의해 형성할 수 있다. 또는, 상기 제1 구리막은 무전해 도금법으로 형성할 수도 있다.

상기 제1 상부 충간 절연막(112)의 상부면이 노출되도록 상기 제1 구리막 및 제1 베리어 금속막을 화학적 기계적 연마 방법으로 연마한다. 상기 공정에 의해, 상기 제1 영역에는 상기 제1 콘택(108)들과 접속하는 라인형의 제1 보조 배선(116a)이 형성되고, 상기 제2 영역에는 커패시터 하부 전극(116b)이 형성된다. 그리고, 상기 제3 영역에는 제1 하부 도전 패턴(116c)이 형성된다. 또한, 상기 제1 트렌치의 측벽들 및 저면상에는 상기 제1 베리어 금속막이 잔류하여 제1 베리어 금속막 패턴(114)이 형성된다.

아하에서는, 상기 제1 영역에 형성되어 있는 제1 콘택(108) 및 제1 보조 배선(116a)을 통칭하여 제1 배선이라 한다.

도 17을 참조하면, 상기 제1 보조 배선(116a), 커패시터 하부 전극(116b), 제1 하부 도전 패턴(116c) 및 상기 제1 상부 충간 절연막(112) 상에 제1 상부 캡핑막(118)을 형성한다. 상기 제2 영역에 형성되어 있는 상기 제1 상부 캡핑막(118)은 상기 커패시터의 유전막으로 제공된다. 상기 제1 상부 캡핑막(118)은 실리콘 질화물, 실리콘 산질화물 또는 탄화 실리콘을 증착시켜 형성할 수 있다. 상기 제1 상부 캡핑막(118)은 100 내지 1000Å 정도의 두께로 형성된다.

상기 설명한 공정을 수행함으로서, 기판(100) 상에 제1 충간 절연 구조물을 완성한다.

도 18을 참조하면, 상기 제1 상부 캡핑막(118) 상에 금속막(120)을 형성한다. 상기 금속막(120)은 후속 공정을 통해 커패시터 상부 전극 및 식각 저지막 패턴으로 제공된다. 상기 금속막(120)으로 사용할 수 있는 물질의 예로서는 티타늄, 티타늄 질화물, 탄탈륨 및 탄탈륨 질화물을 들 수 있다. 그리고, 이들을 단독으로 사용하거나 또는 둘 이상을 적층시켜 사용할 수 있다.

도 19를 참조하면, 상기 금속막(120)을 부분적으로 식각함으로서, 상기 제1 영역에서 포토다이오드(102)에 대향하는 부위에는 식각 저지막 패턴(120a)을 형성하고, 상기 제2 영역에서 커패시터 하부 전극에 대향하는 부위에는 커패시터 상부 전극(120b)을 형성한다.

상기 식각 저지막 패턴(120a)은 후속의 액티브 픽셀 센서 오픈을 위한 식각 공정 시에 1차적으로 식각을 정지시키기 위하여 구비된다. 따라서, 상기 식각 저지막 패턴(120a)은 상기 포토다이오드(102)의 상부 전체와 오버랩되면서 상기 제1 배선(116a)과는 겹쳐지지 않도록 형성되는 것이 바람직하다.

상기 식각 저지막 패턴(120a)은 상기 커패시터 상부 전극(120b)을 형성할 시에 함께 형성된다. 때문에, 상기 식각 저지막 패턴(120a)을 형성하기 위한 별도의 사진 및 식각 공정이 요구되지 않는다.

도 20을 참조하면, 상기 식각 저지막 패턴(120a), 커패시터 상부 전극(120b) 및 제1 상부 캡핑막(118)상에 제2 하부 충간 절연막(122)을 증착한다. 상기 제2 하부 충간 절연막(122)은 실리콘 산화물과 같은 투명한 물질을 100 내지 3000Å의 두께로 증착시킴으로서 형성할 수 있다.

상기 제2 하부 충간 절연막(122) 상에 제2 하부 캡핑막(124)을 형성한다. 상기 제2 하부 캡핑막(124)은 실리콘 질화막, 실리콘 산질화막 또는 탄화 실리콘막을 100 내지 1000Å의 두께로 증착시킴으로서 형성할 수 있다.

상기 제2 하부 캡핑막(124) 상에 제2 상부 충간 절연막(126)을 형성한다. 상기 제2 상부 충간 절연막(126)은 상기 제2 하부 충간 절연막(122)과 동일한 물질로 형성하는 것이 바람직하다.

상기 제2 상부 충간 절연막(126), 제2 하부 캡핑막(124) 및 제2 하부 충간 절연막(122)을 부분적으로 식각함으로서, 상기 제2 하부 충간 절연막(122)에 제2 콘택홀(130)을 형성한다. 구체적으로, 상기 제1 영역에는 상기 제1 보조 배선(116a)의 상부면을 노출시키는 콘택홀을 형성하고, 상기 제2 영역에는 상기 커패시터 상부 전극이 노출되는 콘택홀을 형성하고, 상기 제3 영역에는 하부 도전막 패턴의 상부면을 노출시키는 콘택홀을 형성한다.

그리고, 상기 제2 상부 충간 절연막(126)을 부분적으로 식각함으로서 제2 트렌치(128)를 형성한다. 상기 제2 트렌치(128)는 각 영역에 형성되어 있는 콘택홀을 경유한다.

도 21을 참조하면, 상기 제2 트렌치(128)의 측벽 및 저면, 상기 제2 콘택홀(130)의 측벽 및 저면 그리고 상기 제2 상부 층간 절연막(126)상에 연속적으로 제2 베리어 금속막(도시안됨)을 형성한다. 이어서, 상기 제2 트렌치(128) 및 제2 콘택홀(130)을 매립하면서 상기 제2 베리어 금속막 상에 제2 구리막(도시안됨)을 형성한다.

다음에, 상기 제2 상부 층간 절연막(126)의 상부 표면이 노출될 때까지 상기 제2 구리막 및 제2 베리어 금속막을 화학적 기계적 연마 방법으로 연마함으로서, 상기 제1 영역에는 상기 제1 배선과 전기적으로 연결되는 제2 배선(134a)을 형성하고, 상기 제2 영역에는 상기 커패시터 상부 전극과 접속하는 로직용 제1 배선(134b)을 형성하고, 상기 제3 영역에는 상기 패드용 도전 패턴과 접속하는 패드용 제1 배선(134c)을 형성한다.

상기 제2 배선(134a), 로직용 제1 배선(134b), 패드용 제1 배선(134c) 및 제2 상부 층간 절연막(126) 상부면에 제2 상부 캡핑막(136)을 형성한다. 상기 제2 상부 캡핑막(136)은 실리콘 질화막, 실리콘 산질화막 또는 탄화 실리콘막으로 형성된다.

도 22를 참조하면, 상기 도 20 및 도 21을 참조로 하여 설명한 것과 동일한 공정을 수행함으로서 상기 제2 상부 캡핑막(136) 상에 추가 하부 층간 절연막(138), 추가 하부 캡핑막(140) 및 추가 상부 층간 절연막(142)을 형성한다. 또한, 상기 추가 하부 층간 절연막, 추가 식각 저지막 및 추가 상부 층간 절연막 내부에 추가 배선(146b, 146c)을 형성한다. 상기 추가 배선(146b, 146c)은 상기 제3 배선, 로직용 제2 배선 및 패드용 제2 배선 중 적어도 어느 하나와 전기적으로 접속하도록 형성한다. 다음에, 상기 추가 배선(146b, 146c) 및 추가 상부 층간 절연막(142) 상에 추가 캡핑막(148)을 형성한다.

도시되지는 않았으나, 반복적으로 공정을 수행하여 추가 층간 절연막 및 추가 배선을 계속하여 적층함으로서 다층의 배선 구조물을 형성할 수 있다.

도 20 내지 도 22에서 설명한 공정을 수행함으로서, 상기 제1 층간 절연 구조물, 식각 저지막 패턴(120a) 및 커패시터 상부 전극(120b) 상에 제2 층간 절연 구조물을 완성한다. 본 실시예에서는 상기 제2 층간 절연 구조물이 2층의 배선 구조를 예로 들어 설명하였지만, 필요에 따라서는, 단일층 또는 2층 이상의 배선 구조를 가질 수도 있다.

도 23을 참조하면, 상기 추가 캡핑막(148) 상에 하부의 제1 층간 절연 구조물, 식각 저지막 패턴(120a) 및 제2 층간 절연 구조물을 보호하기 위한 제1 보호막(150) 및 제2 보호막(152)을 순차적으로 형성한다. 상기 제1 보호막(150) 및 제2 보호막(152) 형성 공정은 상기 도 9를 참조로 설명한 것과 동일하다.

다음에, 상기 제2 보호막(152), 제1 보호막(150) 및 추가 캡핑막(148)을 부분적으로 식각하여 상기 제3 영역에 형성되어 있는 추가 배선(146c)의 상부면을 노출시키는 비아홀(도시안됨)을 형성한다. 상기 비아홀 내부를 매립하면서 상기 제2 보호막 상에 패드용 금속막(도시안됨)을 증착한다. 상기 패드용 금속막은 알루미늄을 5000 내지 10000Å의 두께로 증착시켜 형성할 수 있다. 상기 패드용 금속막을 패터닝하여 패드 전극(154)을 형성한다. 상기 패드 전극(154)은 후속의 패키지 공정에서 와이어 본딩되는 부위이다.

도 24를 참조하면, 상기 패드 전극(154) 및 제2 보호막(152) 상에 상기 포토다이오드와 대향하는 부위만을 선택적으로 노출시키는 포토레지스트 패턴(도시안됨)을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제2 보호막(152), 제1 보호막(150) 및 제2 층간 절연 구조물을 순차적으로 식각함으로서 식각 저지막 패턴(120a)이 하부에 노출되는 제1 예비 개구부(156)를 형성한다.

도 25를 참조하면, 상기 노출되어 있는 식각 저지막 패턴(120a)을 식각함으로서 제2 예비 개구부(158)를 형성한다. 상기 제2 예비 개구부(158)의 하부에는 제1 상부 캡핑막(118)이 노출되어 있다.

도 26을 참조하면, 상기 노출된 제1 상부 캡핑막(118), 제1 상부 층간 절연막(112) 및 제1 하부 캡핑막(110)을 식각함으로서 저면에 제1 하부 층간 절연막(106)이 노출되는 개구부(160)를 형성한다. 상기 공정을 수행함으로서, 상기 포토다이오드(102)상에 위치하는 불투명막이 모두 제거된다.

도 27을 참조하면, 상기 개구부(160) 내부를 채우도록 투명한 물질의 제1 최상부 절연막(162)을 형성한 후 평탄화한다. 상기 제1 최상부 절연막(162) 상에 컬러 필터(164)를 형성한다. 상기 컬러 필터(164)는 블루, 그린 및 레드 컬러 필터의 어레이 구조를 갖는다.

상기 칼라 필터(164)상에, 제2 최상부 층간 절연막(166)을 형성한다. 다음에, 상기 포토다이오드(102)로 광을 모아주기 위한 마이크로 렌즈(168)를 형성한다. 상기 마이크로 렌즈(168)는 상부면이 볼록한 반구형으로 형성한다.

다음에, 상기 패드 전극(154)이 노출되도록 상기 제1 및 제2 최상부 층간 절연막(162, 164)을 식각함으로서, 상기 패드 전극(154)을 선택적으로 오픈시킨다. 상기 공정에 의해, 이미지 소자인 CMOS 이미지 센서를 완성한다.

상기에서 설명한 것과 같이, 실시예2의 방법에 의하면 상기 식각 저지막 패턴이 상부 전극을 형성하면서 동시에 형성된다. 때문에, 상기 식각 저지막 패턴을 형성하기 위한 별도의 공정이 수행되지 않아도 되므로, 상기 식각 저지막 패턴을 형성하는데 있어서 공정 비용이 증가되지 않는다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 포토다이오드 어택 발생을 감소시킬 수 있으며 불투명막이 잔류함으로서 광투과율이 감소되는 것을 최소화할 수 있다. 이로 인해, 궁극적으로는 이미지 센서의 특성 및 신뢰성을 향상시킬 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

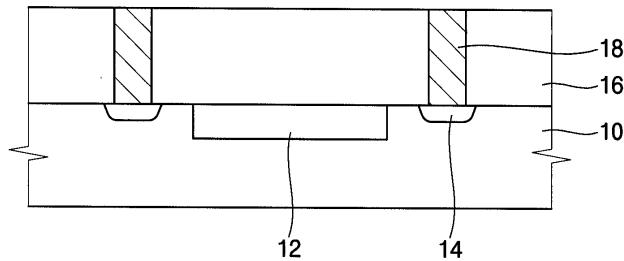
도 1 내지 도 12는 본 발명의 실시예 1에 따른 이미지 소자의 제조 방법을 보여주는 단면도들이다.

도 13 내지 도 15는 본 발명의 실시예 2에 따른 이미지 소자의 제조 방법을 보여주는 단면도들이다.

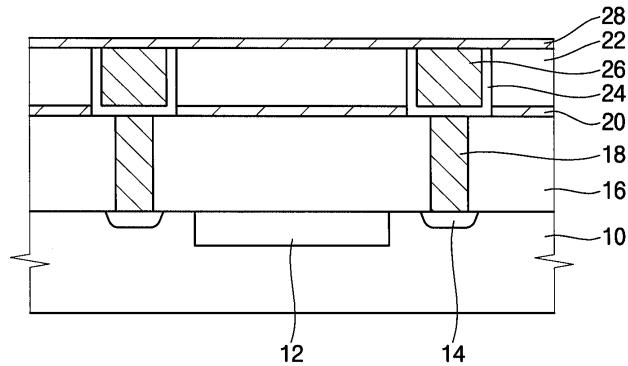
도 16 내지 도 27은 본 발명의 실시예 3에 따른 이미지 소자의 제조 방법을 보여주는 단면도들이다.

도면

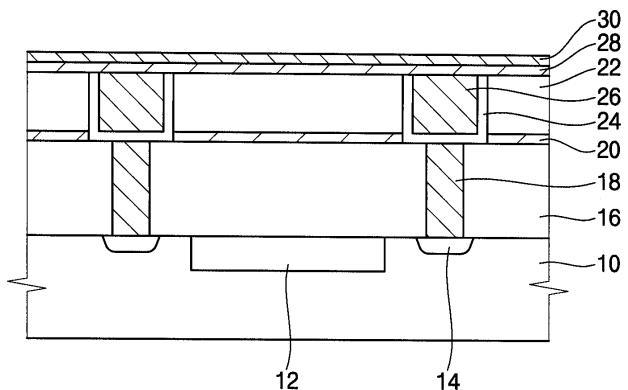
도면1



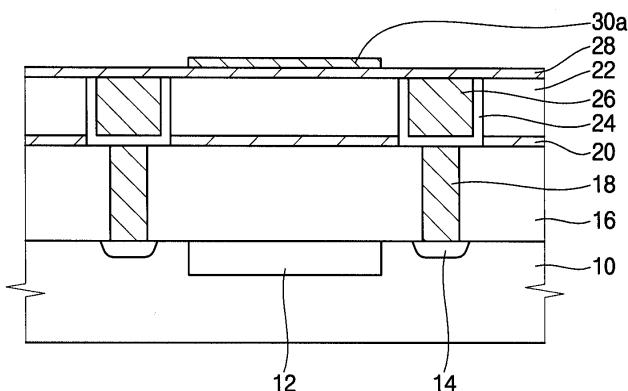
도면2



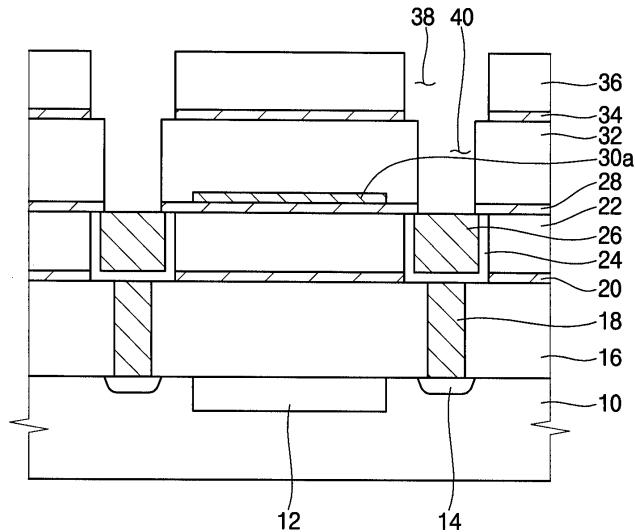
도면3



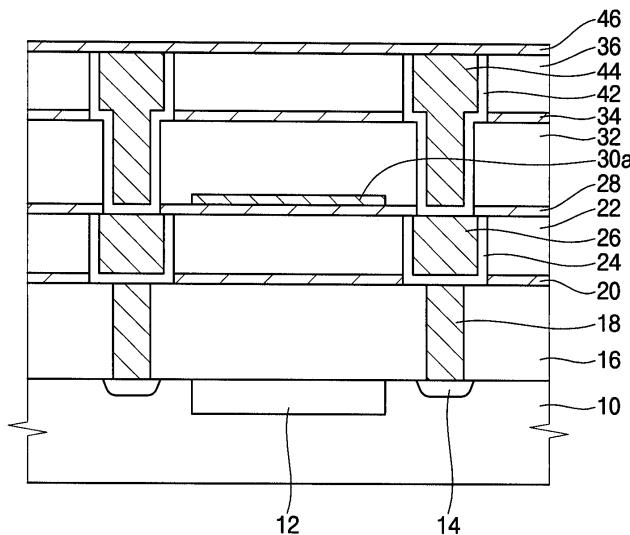
도면4



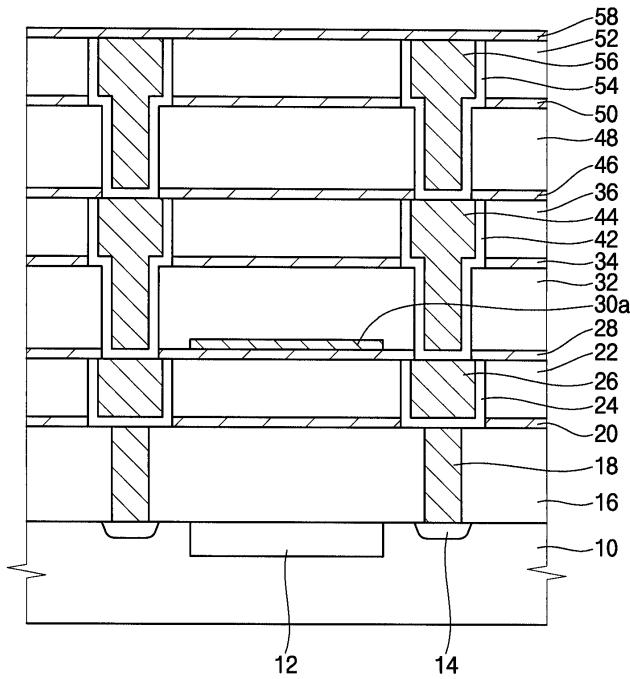
도면5



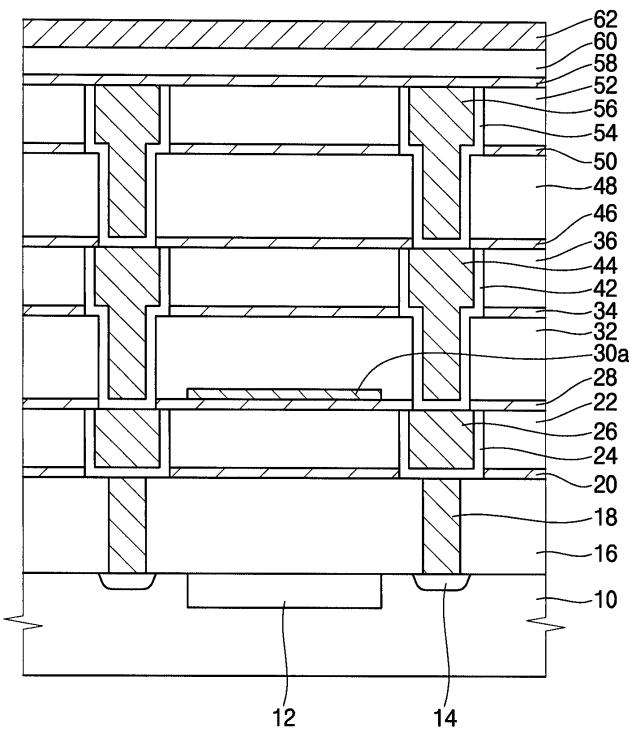
도면6



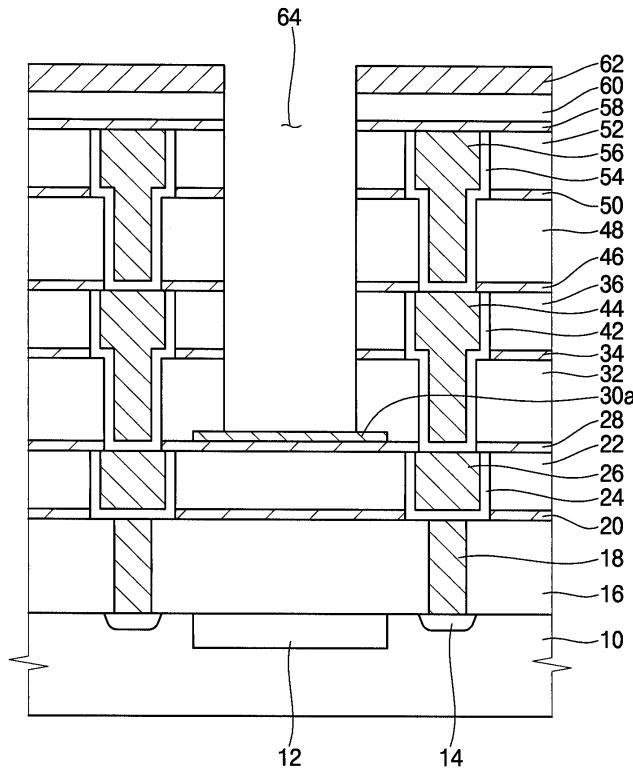
도면7



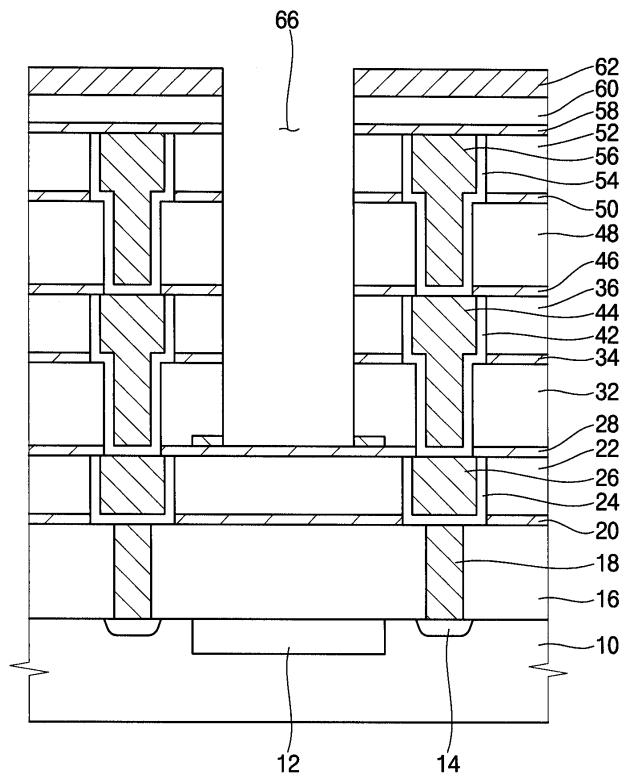
도면8



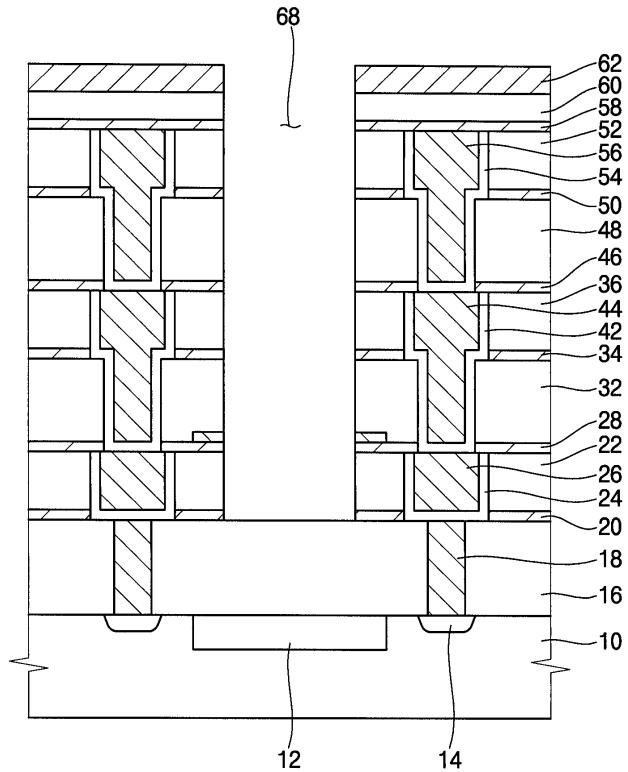
도면9



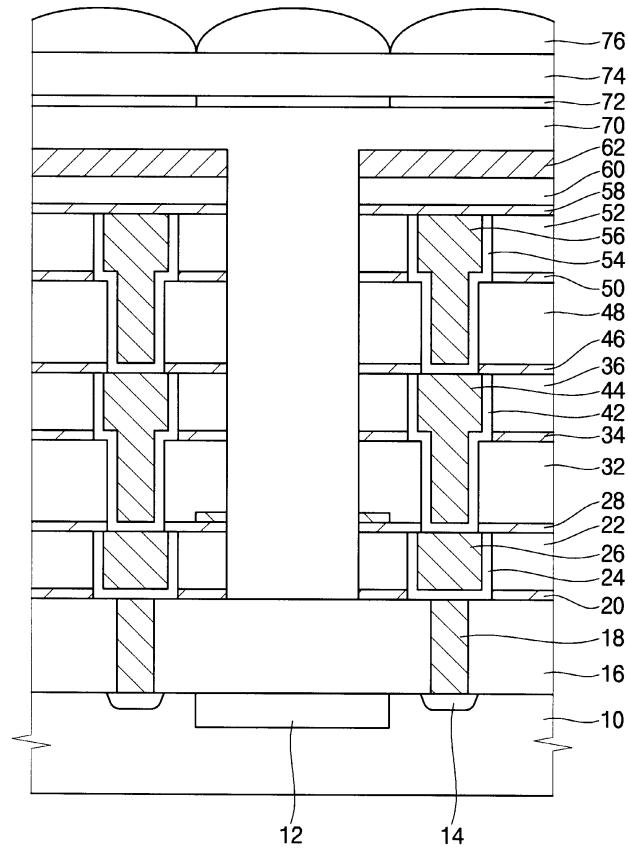
도면10



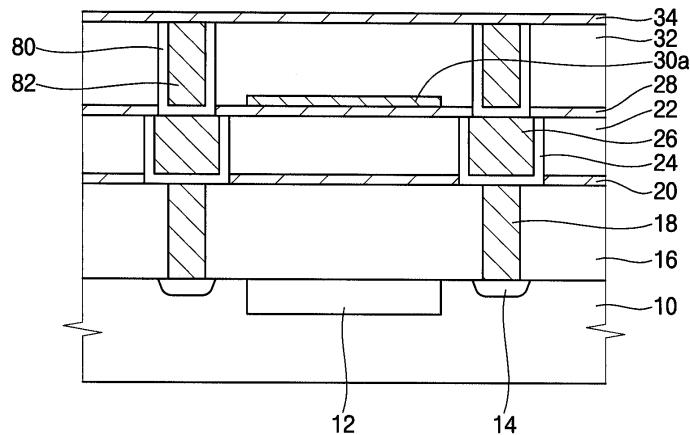
도면11



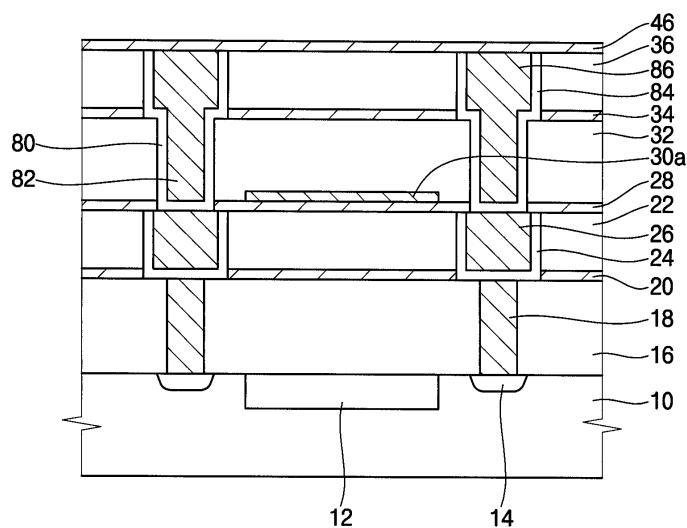
도면12



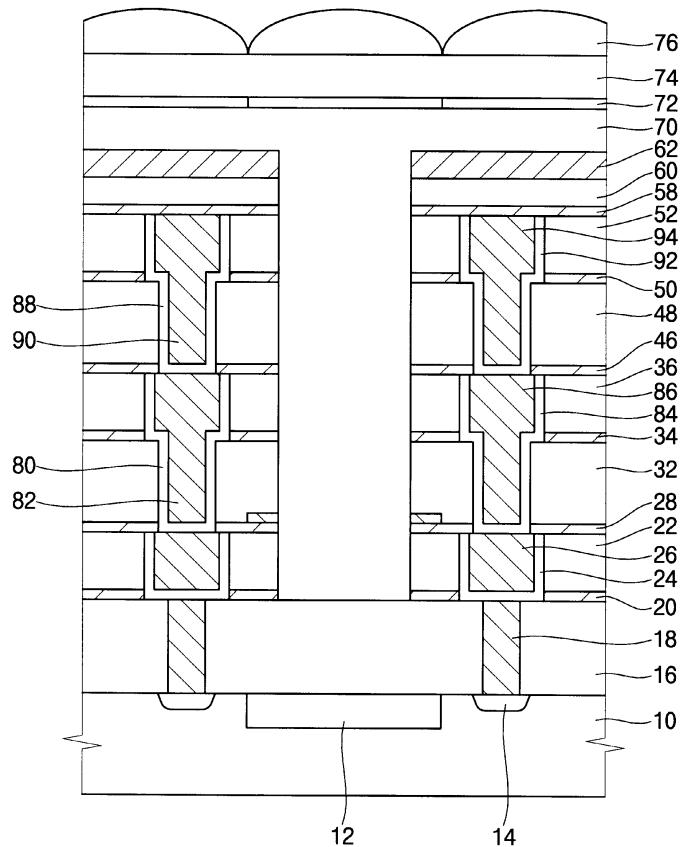
도면13



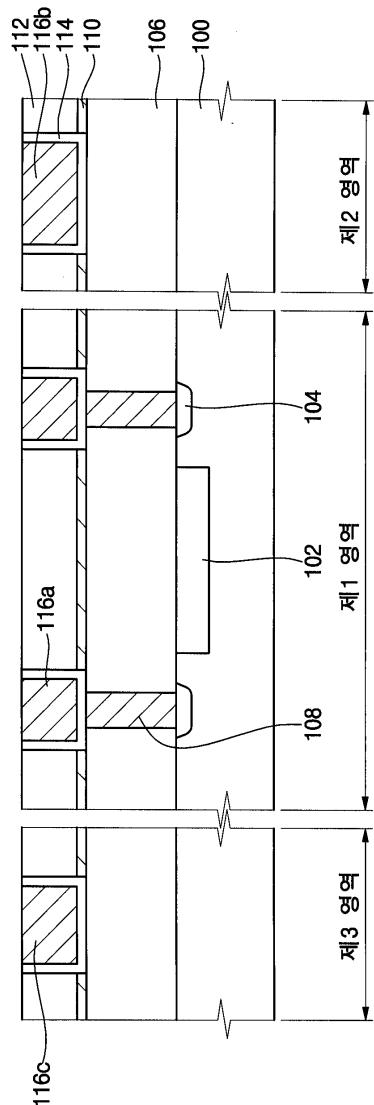
도면14



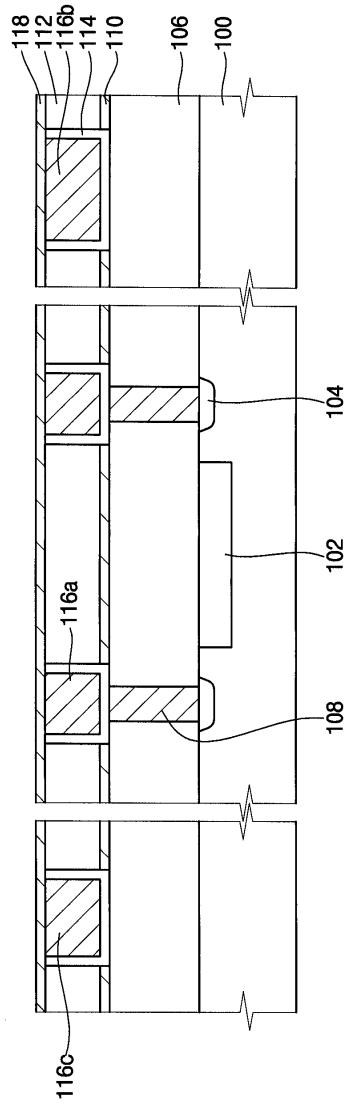
도면15



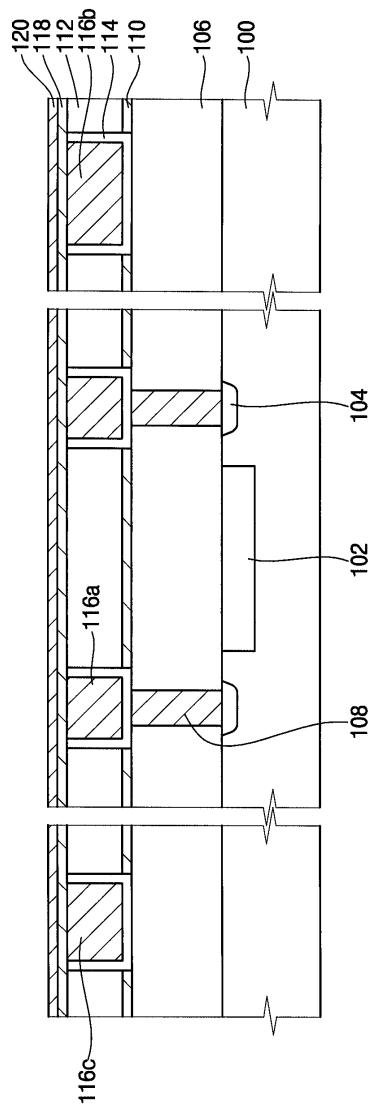
도면16



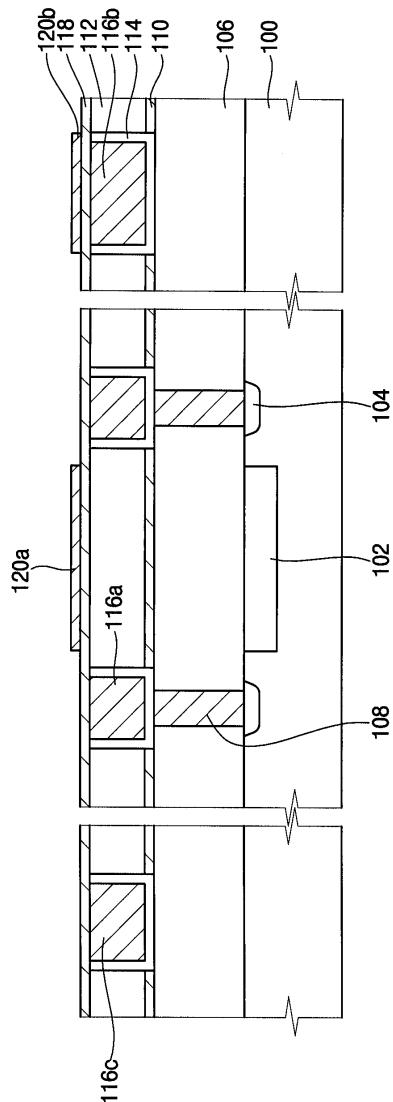
도면17



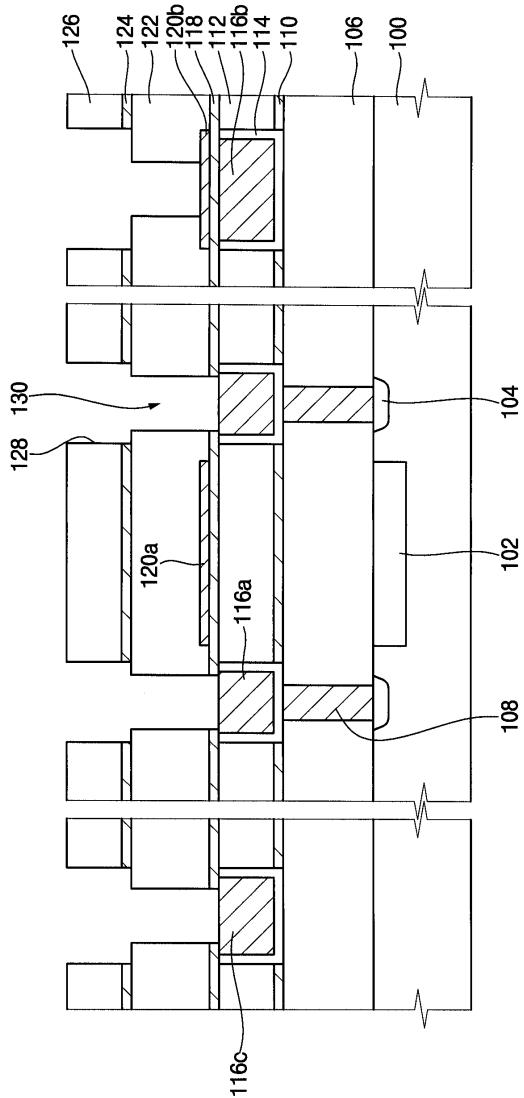
도면18



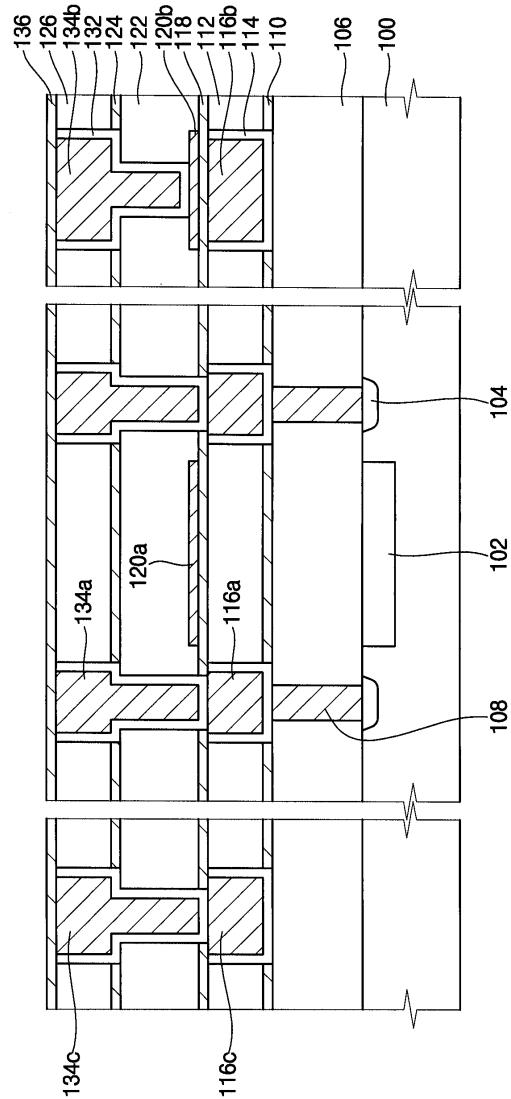
도면19



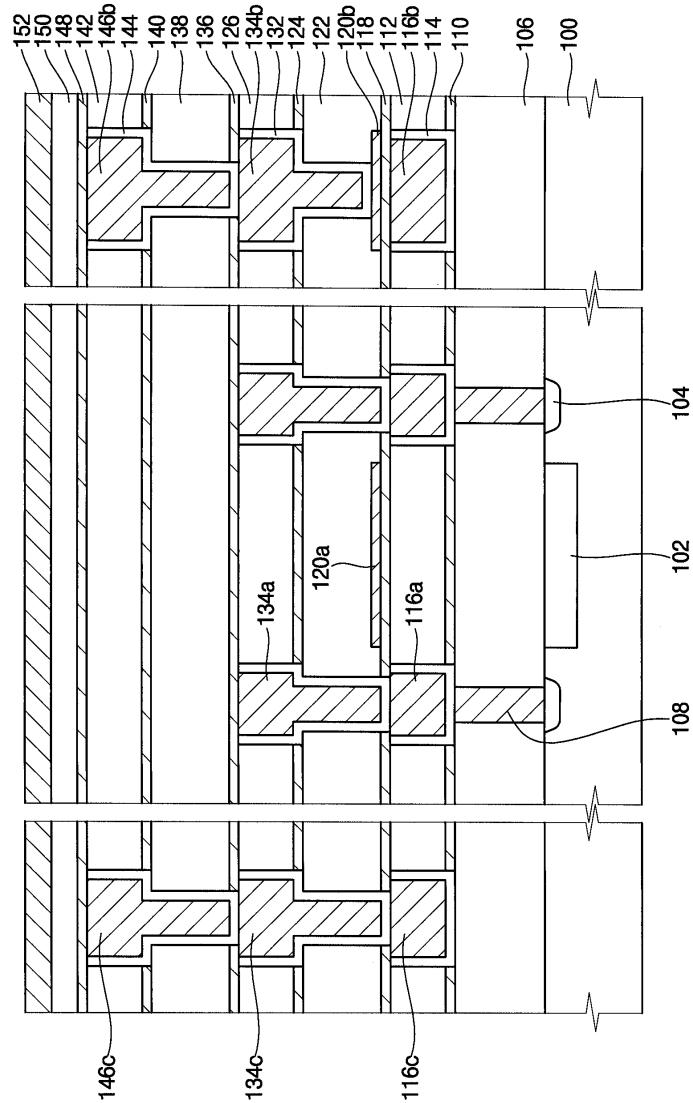
도면20



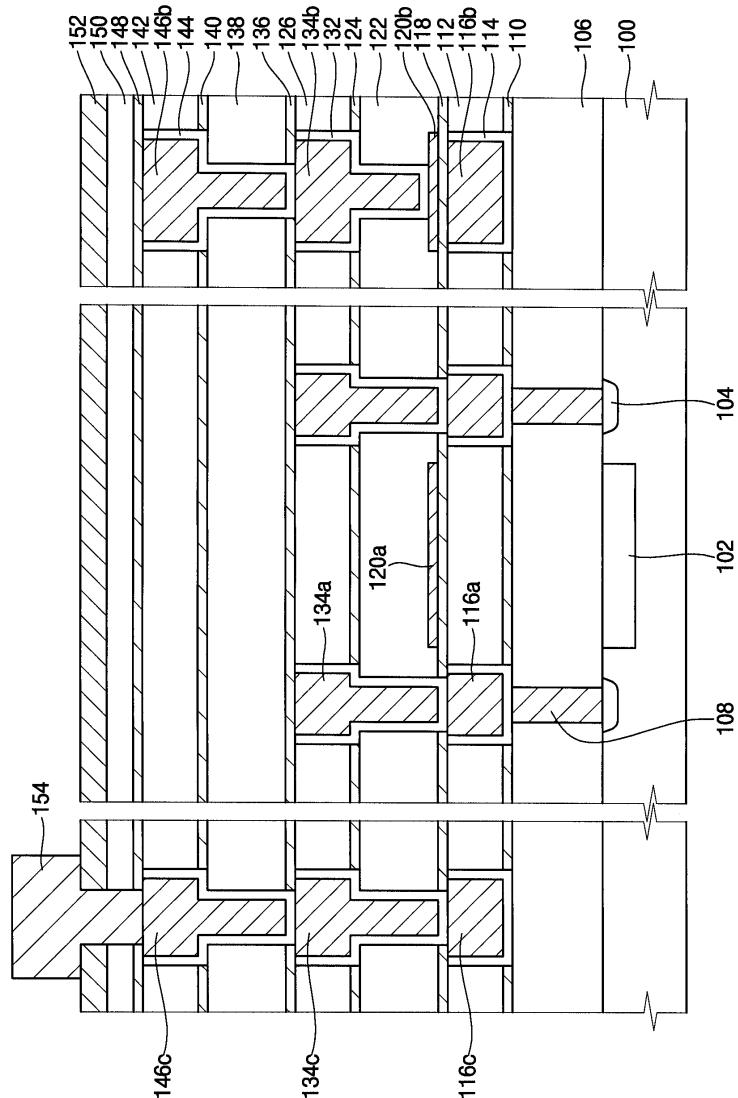
도면21



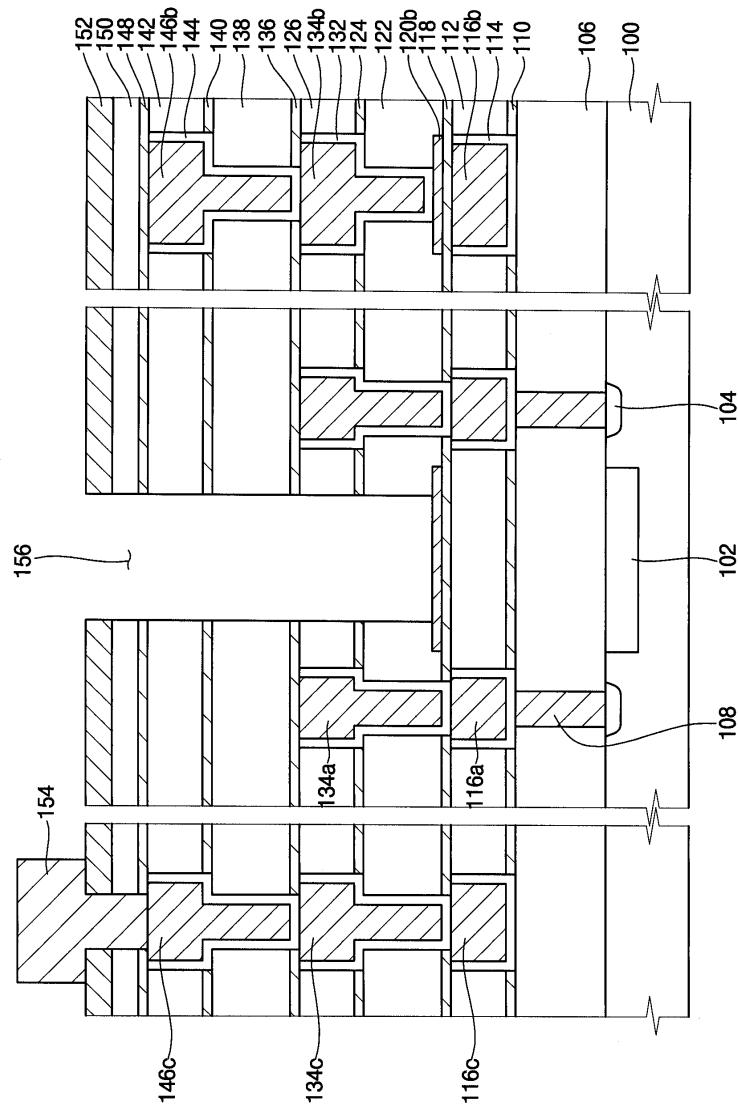
도면22



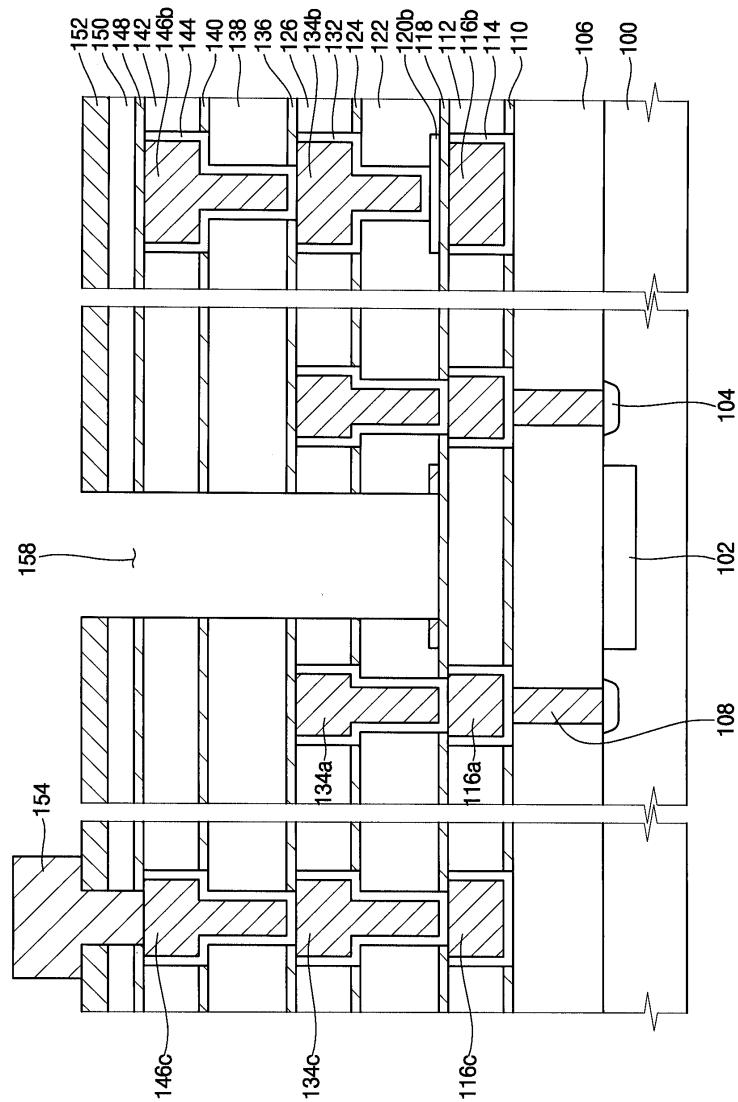
도면23



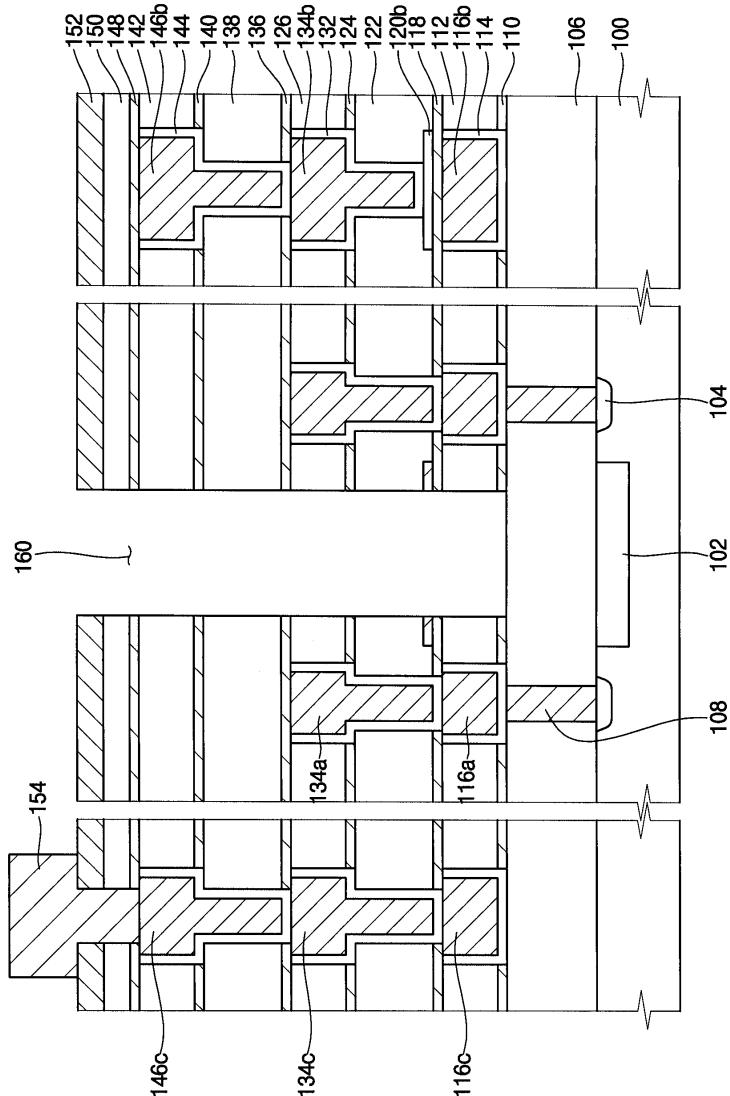
도면24



도면25



도면26



도면27

