

發明專利說明書 200539176

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93135723

※ 申請日期：97-11-19

※IPC 分類：G11C 11/16

一、發明名稱：(中文/英文)

在程式化一磁阻記憶裝置之期間執行主動場補償之方法及裝置
METHOD AND DEVICE FOR PERFORMING ACTIVE FIELD
COMPENSATION DURING PROGRAMMING OF A
MAGNETORESISTIVE MEMORY DEVICE

二、申請人：(共 1人)

姓名或名稱：(中文/英文)

荷蘭商皇家飛利浦電子股份有限公司
KONINKLIJKE PHILIPS ELECTRONICS N.V.

代表人：(中文/英文)

J L 凡 德 渥
VAN DER VEER, J. L.

住居所或營業所地址：(中文/英文)

荷蘭愛因和文市格羅尼渥街1號
GROENEWOUDSEWEG 1, 5621 BA EINDHOVEN, THE
NETHERLANDS

國 籍：(中文/英文)

荷蘭 THE NETHERLANDS

三、發明人：(共 1 人)

姓 名：(中文/英文)

翰斯 馬克 伯特 玻維
BOEVE, HANS MARC BERT

國 籍：(中文/英文)

比利時 BELGIUM

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 歐洲專利機構；2003年11月24日；03104338.3

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明關於一種方法及裝置用以，在諸如MRAM裝置之類的磁阻記憶體裝置的程式化期間，補償一外部磁場的存在。

【先前技術】

磁性或磁阻隨機存取記憶體(MRAM)目前已被許多公司視為快閃記憶體之後繼者。它很有潛力可以取代所有除了最快速的靜態記憶體(SRAM)之外的記憶體。這使得MRAM相當適合當作晶片上系統(SoC)之嵌入式記憶體。它屬於非揮發性記憶體(NVM)裝置，這是指保持該儲存資訊無須額外能量。這被視為超越大部分其他類型記憶體的優點。MRAM記憶體可以特別用於"行動"施加方面，像是智慧卡、行動電話、PDA等等。

該MRMA觀念源於美國Honeywell公司，該觀念利用磁性多層裝置之磁化方向做為資訊儲存，及利用該合成的磁阻差值來讀取資訊。就像所有記憶體裝置，MRAM陣列之每個記憶體元件必須能夠儲存至少兩種二進制狀態，其表示成—"1"或—"0"。

目前存在不同類型的磁阻(MR)效應，其中該巨磁阻(GMR)及穿隧磁阻(TMR)效應是目前最重要的效應。該GMR效應及TMR效應可能可以實現a.o.非揮發性磁記憶體。這些裝置包含一疊薄膜，其中至少有兩薄膜是鐵磁性或亞鐵磁性，兩者以一非磁性中間層分開，GMR是具有導體中間層

之結構的磁阻，而TMR是具有介電中間層之結構的磁阻。假如在兩鐵磁或亞鐵磁薄膜之間放置一非常薄的導體，則該合成多層結構之有效共平面磁阻當該等薄膜之磁化方向平行時最小而當反向平行時則最大。假如在兩鐵磁或亞鐵磁薄膜之間放置一非常薄的介電中間層，則該等薄膜之間的穿隧電流當該等薄膜之磁化方向平行時觀察到為最大(或是因此磁阻為最小)而當反向平行時則最小(或是因此磁阻為最大)。

通常以該等上述結構從平行變成反向平行的磁化狀態的磁阻值的百分比變化來衡量磁阻值。TMR裝置比GMR結構提供更高的百分比磁阻值，而因此具有更多信號及更快速度的潛力。近來結果指出相較於很好的GMR記憶體元件具有10-14%磁阻值，穿隧可以提供超過40%磁阻值。

一典型MRAM裝置包含複數個磁阻記憶體元件10，其中一係描述於圖1A及1B中，例如磁性穿隧接合(MTJ)元件，而配置在一陣列之中。圖2中，描述一陣列20的磁阻記憶體元件10。MTJ記憶體元件10大體上包含一層狀結構，該結構包含一固定或釘紮磁難層11、一自由層12及一介電障礙層13位於其間。磁性材料之釘紮層11之磁向量總是指向相同方向。該自由層12則用以儲存資訊。該自由層12之磁向量是自由的，但是限制在該自由層12之磁易軸內，這主要是由該記憶體元件10之物理尺寸來確定。該自由層12之磁向量朝向兩方向之一：與該釘紮層11之磁化方向平行或反向平行的方向。MRAM基本原理是將資訊儲存成二進制資

料，例如 "0" 及 "1"，這是基於磁化方向來儲存。這是為何該磁性資料屬於非揮發性而不會改變直到又受到磁場的影響。

儲存或寫入資料於一磁阻記憶體元件 10 係藉由施加磁場來達成，而藉此造成該自由層 12 之磁性材料被磁化成兩種可能的記憶體狀態之一。當一 MRAM 元件 10 之層化結構的磁性薄膜 11、12 都磁化成相同方位(平行)時，該資料是兩個二進制值之一，例如 "0"，相反地，假如該 MRAM 元件 10 之層化結構的磁性薄膜 11、12 磁化成相反方位(反向平行)，該資料是另一個二進制值，例如 "1"。將電流通過位於該等磁性結構外部的電流線(字元線 14、14a、14b、14c 及位元線 15、15a、15b、15c)會產生該等磁場。應注意兩磁場組成係用以區分一被選擇的記憶體元件 10s 與其他沒有被選擇記憶體元件 10。

當施加磁場時感測一磁性記憶體元件 10 之磁阻變化，便能夠感測資料。利用該等層狀結構 11、12、13 之磁阻變化是基於該等方位有無平行的事實，該系統能夠區別該資料之兩個二進位數值，例如 "0" 或 "1"。

將電流通過位於該等磁性結構外部的電流線(字元線)或是通過該等磁性結構本身(經由位元線 15 及感測線 16)可以產生讀取所要求的該等磁場。要完成讀取一被選擇的記憶體元件 10s 是透過一連串連接到一通道 21 之電晶體 17，以避免暗中電流(sneak current)通過其他記憶體元件 10。

最普通的 MRAM 設計是屬於該類型 1T1MTJ(每一個 MTJ

記憶體元件10一個電晶體17)，如圖1A及1B中所描述。一記憶體陣列20包含複數個記憶體元件10，該陣列包含互相正交的位元線15a、15b、15c及字元線14a、14b、14c，其分別地形成到兩層分別位於該磁性穿隧接合(MTJ)記憶體元件10之上下的金屬層內。該等位元線15a、15b、15c與該等記憶體元件10之磁難軸平行，這在該磁易軸上產生一磁場，同時該等字元線14a、14b、14c另外在該磁難軸上產生一磁場。在某些設計上，該等關係可能會相反，即該等位元線15可產生一磁難軸磁場而該字元線14可能產生一磁易軸磁場。藉由同時施加電流脈衝通過相交於該被選擇的記憶體元件10s上的該個別位元線15b及字元線14a，可以達成寫入一被選擇的記憶體元件10s。該合成場之方向相對於該記憶體元件10s之自由層12之磁易軸夾45度。在該角度下，該自由層12之切換場為最小，因此可以以該最少電流完成寫入。

一MRMA元件之切換曲線可以由其所謂的星形線30、31來表示，如圖3中所示。該等星形線30、31很明顯地區隔不同時間期間的切換及非切換事件。在MRAM陣列中，記憶體元件間之統計變化，例如大小的變化，會導致該磁性切換場產生統計變化，因此導致該等星形線精確大小產生統計變化。星形線30是指未被選擇的記憶體元件10經過10年的穩定度的曲線，而星形線31則是指一被選擇的記憶體元件10s之10ns脈衝寫入操作所要求磁場的曲線。換言之，假如施加的磁場在該等星形線30、31內，則對於10年、10ns

的情形，相對應的元件不會切換而狀態保持不變，反之假如該前述狀態是相反的狀態，超過這些星形線之磁場在該等對應時間範圍期間就會切換該元件。因此，只要兩磁場組成存在，一被選擇的記憶體元件10s之位元狀態便可以在不改變未被選擇的記憶體元件10的情形下切換。

假如電流線14、15所產生之該等磁場大小相同，則該合成磁場之方向會相對於該被選擇的記憶體元件10s之自由層12的磁易軸夾45度。在該角度下，該自由層12之切換場最小，如圖3之星形線30、31所示，因此可以以最小電流來寫入。

在某一方面，用以通過該被選擇的位元線15b及字元線14a所挑選的電流必須讓該總磁場足夠超過與該磁易軸夾45度之被選擇記憶體元件10s之切換場，換言之，使得該合成場向量32之末端在該方向上，位於該星形線31之上或超過該星形線31(參見圖3)。另一方面，該被選擇的位元線15b所產生之場大小必須遠小於任何位在該相同位元線15b上的記憶體元件10的磁易軸方向EA的切換場，以避免產生不希望的覆寫。同樣地，該被選擇字元線14a所產生之場大小必須遠小於任何位在該相同字元線14a上的記憶體元件10的磁難軸方向HA的切換場，以避免產生不希望的覆寫。換言之，對於其他位在該等被選擇線之一上的元件，兩組成必須都在該星形線30之內。

圖3也描述穩定的晶片上寫入場窗口33，在不考慮記憶體元件間的統計變化，即假如藉由施加一第一電流通過一被

選擇的位元線及施加一第二電流通過一被選擇的字元線所獲得的合成磁場向量落在該晶片上寫入場窗口33內，則假如先前狀態是相反的話則會切換該被選擇的記憶體元件之磁性狀態，但是位在該被選擇的字元線或位元線上的未被選擇的記憶體元件10並不會切換狀態。

MRAM元件的缺點是不論有意或無意地暴露於強大磁場之下都會變得易受損害。非常高密度的MRAM陣列20對於磁場特別敏感，主要是因為該等微小MRAM元件10只需要很小的磁場便可以執行讀取/寫入操作，該等操作取決於該等自由層12之磁向量的切換或感測。這些磁向量無疑地會受到影響，而在該等外部磁場影響下改變它們的磁性方位。

假如在一寫入操作期間存在一額外的外部磁場，則該寫入場窗口應該加以調適。舉個簡單的例子：假如場組成沿著該磁易軸存在一只有10Oe的微小外部場，則降低/增加該電流的方式要使得對於一被選擇的記憶體元件10s，在該適當電流線上產生一更小/更大的場，用以寫入一"0"或一"1"。圖3中，該"零外部磁場參考"(該範例中沿著該磁易軸)會是相對於該原點偏移10Oe。在更常見範例中，任何共平面的外部場會造成該星形線偏離該原點，因為它向量和具有該2-D場向量。

有必要提出一解決方法以保護該等記憶體元件受到任何外部場的影響。然而，保護也有其極限，以便總是施加一更高磁場，而該磁場會在該資料層附近造成一外部磁場。

【發明內容】

因此本發明之一目的是提供一種方法及裝置，其中在寫入或程式化一磁阻元件期間，可以減少外部磁場之保護程度。

該上述目的可以利用根據本發明之方法及裝置來達成。

在一方面，本發明提供一陣列的磁阻記憶體元件。該陣列包含：

- 施加構件，用以施加電流或電壓，在一被選擇的磁阻記憶體元件處產生一用以程式化的磁場；

- 一磁場感測器單元，用以量測該被選擇的磁阻記憶體元件附近的外部磁場；及

- 調整構件，用以調整該電流或電壓，在程式化期間，局部補償該量測到的外部磁場。

本發明之一優點是藉由調整局部補償該被量測的外部磁場之電流或電壓，對於某些磁阻施加，該保護程度可以降低。

該磁場感測器單元較佳地是一類比感測器單元。該類比磁場感測器單元可以是一種與該等磁阻記憶體相同結構的元件。這讓它很容易實現在一陣列之磁阻元件內，因此得到一單體整合。這樣就不需要獨立的遮罩來製造該磁場感測器單元。

該磁場感測器單元包含一或更多磁場感測器。所包含的許多磁場感測器，舉例來說，帶有一第一感測器以量測該外部磁場之x組成，及一第二感測器以量測該外部磁場之y組成。

用以施加電流或電壓之施加構件包含至少一電流線，及流動構件，用以將電流通過該至少一電流線。

該磁場感測器單元可以經過調適以產生一輸出信號，該信號代表所量測到的外部磁場。

用以調整該電流或電壓之調整構件包含一補償電路，用以添加一補償電流以流過該至少一電流線。該至少一電流線所可包含的結構有兩組互相正交的電流線，該等電流線攜帶著施加該等典型寫入場所需要的寫入電流，以及該等補償電流。或者，一方向上或兩方向上之額外電流線可以添加該等補償電流之至少一補償電流，使得這些補償電流不會流經用以產生該等記憶體元件之磁性寫入場的電流線。這可能不是理想情形，而這只有在該等電流線中的電流例如由於電子遷移而會受到限制時才會相關。

該補償電路也可以在該磁場感測器單元上添加一補償磁場。假如與該等電流線有關之該(等)感測器的幾何形狀相似於該等記憶體元件之幾何形狀，則添加於該磁場感測器單元的補償磁場可以以相同的方法添加於該等記憶體元件。例如，假如該補償磁場係利用電流流經電流線來添加，則被饋送到電流線以便產生一磁場影響該(等)感測器之相同電流可以被饋送到該陣列之電流線以便在該陣列中產生補償磁場。

該磁場感測器單元對於磁場可能比該等磁阻記憶體元件更為敏感。

在一第二方面，本發明揭示一種方法，用以在程式化一磁性記憶體元件期間補償一外部磁場的存在，藉由施加產生一用以程式化的磁場之電流或電壓於該磁性記憶體元件

執行該程式化。該方法包含：

- 量測該磁性記憶體元件附近的外部磁場；及
- 在該程式化操作期間，藉由調整產生該用以程式化的磁場之電流或電壓，局部補償該外部磁場。

施加一電流或電壓包含將一電流流經至少一電流線。調整該電流或電壓包含將一電流流經該至少一電流，該電流不同於當沒有外部磁場存在時會流經該至少一電流線之電流，以便產生一相同的用以程式化的磁場。

【實施方式】

本發明係針對特定實施例及參考特定圖式來描述，然而本發明並非限制於這些實施例及圖式而只受限於該等請求項。所描述之圖式只是概略而並非限制。在該等圖式中，為了說明起見，某些該等元件的大小係被誇大而沒有按照比例繪製。在該描述及請求項中使用術語"包含"的地方，並非排除有其他元件或步驟的存在。當提及一單數名詞時，例如"一"或"該"，使用不定冠詞及定冠詞的地方，這也可能包含複數個該名詞，除非另外有特別說明。

再者，在該描述及該等請求項中之該等術語第一、第二及該類似術語是用以區分類似元件，而不一定是指按照順序或按照時間先後排列的順序。應了解該等如此使用的術語在適當情形下是可以互換，及本發明在此所描述的實施例能夠以其他沒有在此描述或說明的順序操作。

此外，在該描述及該等請求項中之術語上、下、之上、之下及該類似術語是供說明目的，而並不一定是用以描述

相對位置。應了解該等如此使用的術語在適當情形下是可以互換，及本發明在此所描述的實施例能夠以其他沒有在此描述或說明的方位操作。

本發明在一磁性記憶體陣列20中之一被選擇的磁阻記憶體元件10s執行一寫入操作的期間，提供局部主動場補償。根據本發明，一磁場感測器50或感測器單元添加到該MRAM陣列20，而其輸出51係用以在一寫入操作期間調整該等電流位準，以便能夠補償可能的外部磁場。以該方式，在一寫入操作期間所使用的電流位準會跟隨著該穩定的寫入場區域，其係與該外部磁場一起偏移。

圖4說明一外部磁場對於一典型磁性記憶體元件10之星狀切換線30、31的影響。星狀線30、31是指一記憶體元件10沒有外部磁場存在的情形下的星狀線。在一磁場H影響下，在假設相對於該磁易軸夾45度的範例中，星狀線30、31以相反於該外部磁場H方向的方向朝星狀線40、41偏移。同樣地，該等穩定的晶片上寫入場窗口33係以該相同方向朝向穩定的晶片上寫入場窗口42偏移。該術語"晶片上寫入場窗口"在此及稍後會在該描述及該等請求項中使用係用以區分從外部所施加的磁場與在該寫入操作期間在晶片上所產生的磁場。該術語係用以指出所要處理的磁場是由晶片上電流所產生，例如流經字元線及位元件的電流。應注意在所有顯示的星狀線上，該等軸顯示沿著該磁易軸EA及該磁難軸HA之晶片上寫入場，或產生該等EA及HA場之電流。這不同於已存在的總磁場，其是從外部所施加的磁場

與該晶片上所產生的磁場的總和。

根據本發明之一方面，一磁場感測器50係用以量測該記憶體陣列20附近的磁場。該磁場較佳地是為靠近、鄰近或接近該記憶體陣列的磁場。應注意對於主動場補償，較佳地是使用一類比式感測器。該記憶體陣列20附近的磁場可以利用各種方式量測，不論是直接量測或間接量測都可以。

該磁場感測器50可以是任何類型的磁感測器，其可以添加到含有該電路磁阻記憶體元件10之電路，例如加到一MRAM積體電路內。較佳地，該磁場感測器50整合到磁阻記憶體陣列20內。該磁場感測器50可以是例如一Hall感測器，該感測器屬於一種固態半導體感測器，其可以感測磁場強度，而產生一電壓隨著該強度而變化。

然而，如果該磁阻記憶體陣列20包含MRAM元件10，則相當有利的是將具有與該陣列20內的MRAM元件10相同堆疊組成的磁性穿隧接面當作磁場感測器50使用。另外，該等MRAM元件10本身或是額外的MRAM元件不當做記憶體元件使用則可以做為磁場感測器50，以監視該局部的外部擾動場。

因為MRAM元件具有雙穩定磁化組態，它們對微小場並不會特別敏感。一旦它們一受到一場顯著地影響，含有資料之MRAM元件便會有遭受到該擾動場影響的風險。因此，需要使用的磁場感測器50要比該記憶體陣列20本身的MRAM元件10對磁場強度更為敏感。較佳地，該感測器與該等MRAM元件使用相同的材料堆疊。調整該感測器使得

對磁場更為敏感可以藉由例如使用一不同形狀的磁性元件來達成。例如，一低縱橫比意指該裝置更為敏感，或一大尺寸但使用不同方位也是指可以更為敏感。在本發明之一實施例中，用以做為感測器之一或更多MRAM元件可以相對於該記憶體陣列20之正常MRAM元件10旋轉一角度，例如90度，同時該釘紮層11之磁化方向，通常利用交換偏移(exchange biasing)來決定，是相同不變。在該所謂的交叉異向性幾何形狀中，該形狀異向性導致該自由層12的方向會相對於該釘紮層11的方向夾90度，這在該磁性穿隧界面之作用曲線上是屬於最敏感的地方。

各種將該感測器與該MRAM晶片整合的類型可以加以考慮，而在下文中描述到某種程度：

(1)一第一方法是如上文所述，將該感測器整合於該MRAM晶片上-一單體整合。因此，該感測器會非常靠近該記憶體陣列，而可能可以以某種方式包含在該記憶體陣列本身。該感測器也可以放在該晶片角落處。

(2)一第二方法是所謂的該混合法(hybrid way)。該感測器不再位於該MRAM晶片本身上，而較佳地是基板的一塊，例如矽，而該MRAM是位於其上，例如位在一大系統內之嵌入式MRAM(e-MRAM)，或是SoC(晶片上系統)。由於實現不同功能性所產生的高成本，特別在該感測器區域內，水平整合或封裝內系統已成為趨勢，在該處不同晶粒細節合成一單一封裝。在此的方案是要結合兩晶片於一單一封裝內，即一第一晶片(包含該MRAM裝置)與一第二晶片(該

(等)磁感測器所在的位置)。

(3)最後方法是簡單地使用兩個分開封裝的不同晶片。這樣做的理由之一是由於一MRAM晶片要求一高程度的保護，而對於該感測器就不需要。在該MRAM晶片上，則需要一或多額外針腳以饋送該感測器信號。

在所有該等上述整合類型中，該磁場感測器輸出51是當做為一直接信號使用，該信號代表該局部、外部的磁場。對於一可靠的寫入操作，該外部磁場是要在一寫入操作期間被局部補償。例如，在一寫入操作期間，當存在一外部磁場時，可以調整所使用的電流。

本發明提供一補償場電路52，該電路基於該磁場感測器輸出51來調整電流，特別是該類比感測器輸出。應注意該(等)磁場感測器(50)或感測器單元較佳地係以二維方式表示該MRAM陣列20附近的磁場。在該(等)磁場感測器50與該陣列之間的距離使得可以量測到存在於該MRAM陣列內的場。因為大部分處理的是該遠端磁場，長度刻度是中間等級。取決於該整合程度，如上文所解釋，可以使用不同距離。在一晶片上的實現中，該磁場感測器50較佳地是盡可能地靠近該MRAM陣列，或當沒有保護時距離可以到1公分。對於在一單一封裝中之一混合實現，該距離會屬於1公分的等級，而對於不同封裝，比較聰明的做法是將該感測器與該MRAM擺得很靠近，例如彼此相鄰，或是該感測器就位於該MRAM晶片的上面。

該二維表示較佳地是可以量化的。在該星狀線上之外部

磁場的效應，以及該等所要求的寫入場窗口是說明於圖4中，其是針對沿著該45度方向所施加的一負外部磁場，這只是做為範例說明用。事實上，其他電流必須施加於該等字元線14及位元線15，以便處理該等資料位元。調整該等電流位準使得對於寫入操作所要求的晶片上寫入場窗口42係沿著該被量測到的外部場偏移，如圖4所示。

在本發明之一第一實施例中，該磁場感測器輸出51是直接被當作一補償場電路52使用，其作用係用以產生該等補償電流供該位元及字元場(分別為 I_{comp_b} 及 I_{comp_w})使用，即磁易軸及磁難軸場，如圖5中所示。已顯示有兩電流產生。該補償場電路52讀取該磁場感測器單元之輸出51(類比-電壓或電流)，該磁場感測器單元包含一或更多磁場感測器50。舉例來說，兩個感測器或感測器橋可用以分別量測該等兩個場組成。該(等)磁場感測器輸出51則是利用該補償場電路52來轉換成該等所要求的補償電流。該補償場電路52包含一類比放大電路，其可以是電壓對電流轉換器或電流對電流轉換器。該補償場電路52也可以製造成能夠補償溫度變化，該溫度變化會影響到該磁場感測器器50之輸出，而且也會影響在一寫入操作期間所要求的電流。因此，可以包含適用於溫度補償之雙重法則，其結合有關(1)該等磁性記憶體元件之切換及(2)該感測器輸出之溫度效應。在測試該等MRAM晶片期間，需要較準該補償場電路52及該磁場感測器50。

該等電流 I_{comp_b} 及 I_{comp_w} 可能是雙極性，及理想地能夠修

正任何外部場或一些類似的外部場。該等有效場範圍係取決於該特定MRAM設計及其元件的幾何形狀及大小。一範例提供如下。

然而，應注意對於存在的某些外部磁場，用於寫入所需的電流在某些範例中幾乎加倍，這讓它暗示處於該等最高的電流位準上在該記憶體架構中變得可能，例如與該電子遷移極限有關。此外，對超過一上限值之場的補償原則上對一被選擇的記憶體元件10s是可能的，但是並不實際，因為其他記憶體元件的保持性就不再有保證。對於太小的場，可以決定不用調整任何電流，因為該等外部場係落在該等寫入場範圍內。對於目前最先進的MRAM，一些Oe的場，例如3到5 Oe，並不會損害MRAM寫入操作，因此也不需要補償。

在此之後，提出一範例係包含所有有補償及沒有補償的場。有必要區分這三種記憶體元件：

(1)該被選擇的記憶體元件10s，在該元件上該寫入操作有達到所要求的效應(即切換)；

(2)沒被選擇的記憶體元件10，該等元件共用該等被選擇的記憶體元件10s之某一條電流線，而處於半選擇(half-selects)狀態；及

(3)該等其他沒被選擇的記憶體元件10。

對於保持資料及可靠寫入的不同要求描述如下：該被選擇的記憶體元件10s必須要在10ns內切換，及該等沒被選擇的記憶體元件即使處於半選擇狀態仍然必須保持資料10年

不變。同樣地，該等沒被選擇的記憶體元件也必須保持資料10年不變(沒有半選擇場狀態存在)。

當沒有補償磁場時，該等不同的記憶體元件10會感測到該等下列場。應注意該寫入場標示為 $H_w(H_{wx}, H_{wy})$ 而該外部擾動場 $\Delta H(\Delta H_x, \Delta H_y)$ 。該被選擇的記憶體元件10s是處於該總場 $(H_{wx} + \Delta H_x, H_{wy} + \Delta H_y)$ 的狀態，共用該等被選擇記憶體元件10s之某一條電流線的沒被選擇的記憶體元件10是處於 $(H_{wx} + \Delta H_x, \Delta H_y)$ 狀態或 $(\Delta H_x, H_{wy} + \Delta H_y)$ 狀態，及其他沒被選擇的記憶體元件10是處於 $(\Delta H_x, \Delta H_y)$ 狀態。換言之，只要該外部擾動場是相當微小，例如在任何方向上都小於5 Oe，則對該被選擇的記憶體元件10s的寫入操作仍然會成功(依舊在圖3及圖4之寫入場窗口內)。共用該等被選擇記憶體元件10s之某一條電流線的沒被選擇的記憶體元件10之穩定性會變的比較差，但是該場並非持續存在，很有可能該穩定性是足以保證資料不會流失。假如某些施加該外部場 ΔH 持續存在，例如在帶有大量直流電電流的芯線附近，則可以採用不同方法，像是初始校準寫入電流('固定'補償電流是時間的函數)，或是重新設計該記憶體元件本身，以補償該外部場所引起的不對稱。其他沒被選擇的記憶體元件10之資料保持就不是問題，因為即使大到很大的場(圖3之內部星形線30)都能夠保證穩定性。

當補償該外部磁場 ΔH 時，根據本發明，該等電流線中的電流係經過調整使得該被選擇的記憶體元件10s處於 $H_w(H_{wx}, H_{wy})$ 狀態，因而該等補償電流 I_{comp_b} 及 I_{comp_w} 在該

被選擇的記憶體元件10s處產生一磁場 $H_c(H_{cx}, H_{cy})$ ，該磁場等於 $-\Delta H$ 。該等場與該等被選擇的記憶體元件10s所處之場的向量總和為 $(H_{wx} + \Delta H_x + H_{cx}, H_{wy} + \Delta H_y + H_{cy})$ 。結果，與該被選擇的記憶體元件10s共用一電流線之沒被選擇的記憶體元件10變成處於 $(H_{wx} + \Delta H_x + H_{cx}, \Delta H_y) = (H_{wx}, \Delta H_y)$ 狀態，或 $(\Delta H_x, H_{wy} + \Delta H_y + H_{cy}) = (\Delta H_x, H_{wy})$ 狀態，而其他沒被選擇的記憶體元件10則保持在 $(\Delta H_x, \Delta H_y)$ 狀態。應注意對該被選擇的記憶體元件10s的補償已經完成，但是對於與該被選擇的記憶體元件10s共用一電流線之沒被選擇的記憶體元件10只有某一場組成有補償，而對於其他沒被選擇的記憶體元件10則沒有任何補償。該補償架構受限於與該被選擇的記憶體元件10s共用一電流線之沒被選擇的記憶體元件10及其他沒被選擇的記憶體元件10的穩定性要求，而且也受限於在該等到該記憶體元件之電流線中所產生的最大電流。由於電子遷移現象，該最大補償電流會受到限制。應注意假如總電流由於電子遷移而受限，額外電流線(成組的額外電流線)可以加入在不同平面上。由於額外遮罩產生額外成本，這樣做雖不理想但卻是可行。

在圖6A及6B之幾何結構中，說明該等磁場符合與該被選擇的記憶體元件10s共用一電流線之沒被選擇的記憶體元件10的穩定性要求。該箭頭32代表該被選擇的記憶體元件10s所要求的寫入場，其係補償該外部場。只要 $(H_{wx}, \Delta H_y)$ 或 $(\Delta H_x, H_{wy})$ 在該10年穩定性區域(星狀線30)內，就能夠保證與該被選擇的記憶體元件10s共用一電流線之沒被選

擇的記憶體元件10的穩定性。圖6A中，該箭頭32所指示的寫入場係分解成兩組成60、61，而該外部擾動磁場之x及y組成 ΔH_x 及 ΔH_y 的最大允許範圍係以該方塊62表示。所有在該方塊62內之擾動外部磁場($\Delta H_x, \Delta H_y$)可以加以補償。

對於大部分的施加，該等外部擾動場($\Delta H_x, \Delta H_y$)是隨機出現，而且只出現很短的時間。因此，圖6A中之方塊62可以增加比較大的場，因為一'更高的'半選擇場之穩定性所要求的時間在'稀少事件'的範例中會比較短。預期直到數十Oe的場，例如40Oe，可以補償到典型直到大約一半用以寫入所要求的磁場(參考圖6A及6B之幾何結構)。換言之，該寫入電流範圍會由於該補償部分而在該等典型的寫入電流值之50%到150%之間變化，例如，對於一8毫安培的電流，其是用以在零外部磁場的情形下產生該等磁場組成之一所要求電流，包含補償的總電流會從大約4毫安培變化到12毫安培，這取決於該外部磁場之方向及強度。

在一第二實施例中，該磁場感測器輸出51可以是一直接回饋迴路53的一部份，該迴路使用沿著該磁易軸EA及磁難軸HA無效化的磁場來產生該等要求的補償電流，例如 I_{comp_b} 、 I_{comp_w} 。藉由產生補償該(等)磁場感測器50之外部磁場，該主動組件強迫該(等)磁場感測器50保持該零狀態。關於MRAM元件，使用在該(等)磁場感測器50之下方及/或上方的電流線14、15以產生磁場。在某一方面，該(等)感測器之幾何形狀類似於該等記憶體元件10的幾何形狀，而補償電流也是直接饋送到該MRAM陣列20。圖5中，利用虛線

表示的回饋迴路53概略地描繪。該實施例可以整合成一連續的回饋迴路(時間上的連續)。

應注意該第二實施例只有處理具有一內部回饋迴路的感測器。該回饋迴路內的電流可以'鏡射'到該補償電路52所需要的電流上，例如，藉由確認該回饋迴路內所產生的場是否相同於該記憶體陣列20內所產生的磁場。因此，較佳地，該感測器及記憶體元件相對於該等電流線之位置與該等對應的電流線之幾何形狀相同。

應了解雖然在此已經針對根據本發明之裝置討論較佳的實施例、特定架構及組態，各種在形式及細節上不同的變化及修正都可以在不背離本發明之範圍及精神下實施。

【圖式簡單說明】

本發明之這些及其他特性、特徵及優點將會從該下列詳細描述、連結該等伴隨圖式變得明顯，這藉由範例說明本發明之原理。該描述只是為了當作示範用，並非限制本發明之範圍。下列所引述的該等參考圖式是指該等附屬圖式。

圖1A說明該MRAM寫入原理及圖1B說明該MRAM讀取原理；

圖2是一已知的1T1MTJ MRAM設計之透視圖，該設計包含複數個記憶體元件，及垂直的位元線及字元線。磁性穿隧接合(MTJ)放置在該等位元線與字元線相交的區域上。該等MTJs之下電極經由通道連接到選擇電晶體，這些當讀取該記憶體元件時會被使用；

圖3描述一星形線，其說明MRAM中穩健的寫入操作之準

則，導致穩定的寫入場窗口；

圖4描述該星形線及寫入場窗口(三角形)由於一外部場H所造成的偏移；

圖5概略地描述一根據本發明之調整電流之系統。來自一磁場感測器之輸入係用於一補償場電路，有效地該電路是一可以產生補償電流曲線之零場回饋系統；

圖6A及6B顯示可以被補償之場之概略表示。

在該等不同圖式中，該等相同的參考數字是指該等相同或類似的元件。

【主要元件符號說明】

10	記憶體元件
10s	被選擇的記憶體元件
11	釘紮層
12	自由層
13	介電障礙層
14	字元線
14a	字元線
14b	字元線
14c	字元線
15	位元線
15a	位元線
15b	位元線
15c	位元線
16	感測線

17	電 晶 體
20	MRAM陣 列
21	通 道
HA	磁 難 軸
EA	磁 易 軸
30	星 形 線
31	星 狀 線
32	箭 頭
33	晶 片 上 寫 入 場 窗 口
40	星 狀 線
41	星 狀 線
42	晶 片 上 寫 入 場 窗 口
H	外 部 磁 場
50	磁 場 感 測 器
51	磁 場 感 測 器 輸 出
52	補 償 電 路
53	回 饋 迴 路
I_{bit}	電 流
I_{comp_b}	補 償 電 流
I_{word}	電 流
I_{comp_w}	補 償 電 流
60	組 成
61	組 成
62	方 塊

五、中文發明摘要：

本發明揭示一種磁阻記憶體元件(10)之陣列(20)。該陣列包含：

- 施加構件，用以施加電流或電壓，在一被選擇的磁阻記憶體元件(10s)處產生一用以程式化的磁場；

- 一磁場感測器單元(50)，用以量測該被選擇的磁阻記憶體元件(10s)附近的外部磁場；及

- 調整構件(52)，用以調整該電流或電壓，在程式化期間，局部補償該量測到的外部磁場。

本發明也揭示一種對應的方法。

六、英文發明摘要：

十、申請專利範圍：

1. 一種磁阻記憶體元件(10)之陣列(20)，其包含：
 - 施加構件，用以施加電流或電壓，在一被選擇的磁阻記憶體元件(10s)處產生一用以程式化的磁場；
 - 一磁場感測器單元(50)，用以量測該被選擇的磁阻記憶體元件(10s)附近的外部磁場；及
 - 調整構件(52)，用以調整該電流或電壓，在程式化期間，局部補償該量測到的外部磁場。
2. 如請求項1之陣列，其中該磁場感測器單元(50)是一類比感測器單元。
3. 如請求項1之陣列，其中該磁場感測器單元包含複數個磁場感測器單元(50)。
4. 如請求項1之陣列(20)，其中用以施加該電流或電壓之施加構件包含至少一電流線(14、15)，及流動構件，用以將電流(I_{bit} ， I_{word})流經該至少一電流線。
5. 如請求項1之陣列(20)，其中該磁場感測器單元(50)係調適用以產生一輸出信號(51)，該信號代表量測到的該外部磁場。
6. 如請求項4之陣列(20)，其中用以調整該電流或電壓的調整構件(52)包含一補償電路，用以添加一補償電流(I_{comp_b} ， I_{comp_w})流經該至少一電流線(14、15)。
7. 如請求項6之陣列(20)，其中該補償電路也會在該磁場感測器單元(50)處添加一補償磁場。
8. 如請求項2之陣列(20)，其中該類比磁場感測器單元(50)

是一與該等磁阻記憶體元件(10)具有相同結構的元件。

9. 如請求項8之陣列(20)，其中該磁場感測器單元(50)是比該等磁阻記憶體元件(10)對磁場更為敏感。

10. 一種在程式化一磁記憶體元件(10)期間，用以補償一外部磁場存在的方法，將用以產生一用以程式化的磁場之電流(I_{bit} 、 I_{word})或電壓施加於該磁記憶體元件(10)來執行該程式化，該方法包含：

- 量測該磁記憶體元件(10)附近的該外部磁場；及

- 在該程式化操作期間，由調整用以產生該用以程式化的磁場之該電流(I_{bit} 、 I_{word})或電壓，局部補償該外部磁場。

11. 如請求項10之方法，其中施加一電流或一電壓包含將一電流(I_{bit} 、 I_{word})流經至少一電流線(14、15)。

12. 如請求項11之方法，其中調整該電流或電壓包含將一電流($I_{bit}+I_{comp_b}$ 、 $I_{word}+I_{comp_w}$)流經至少一電流線(14、15)，該電流($I_{bit}+I_{comp_b}$ 、 $I_{word}+I_{comp_w}$)不同於該電流(I_{bit} 、 I_{word})，當沒有外部磁場存在時，該電流(I_{bit} 、 I_{word})會流經該至少一電流線(14、15)以產生一相同的用以程式化的磁場。

十一、圖式：

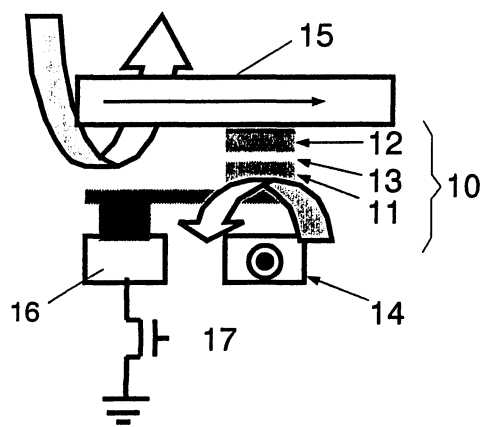


圖 1A

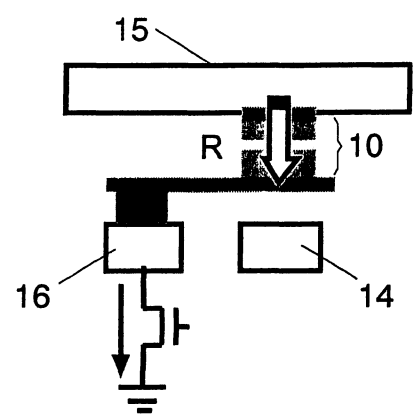


圖 1B

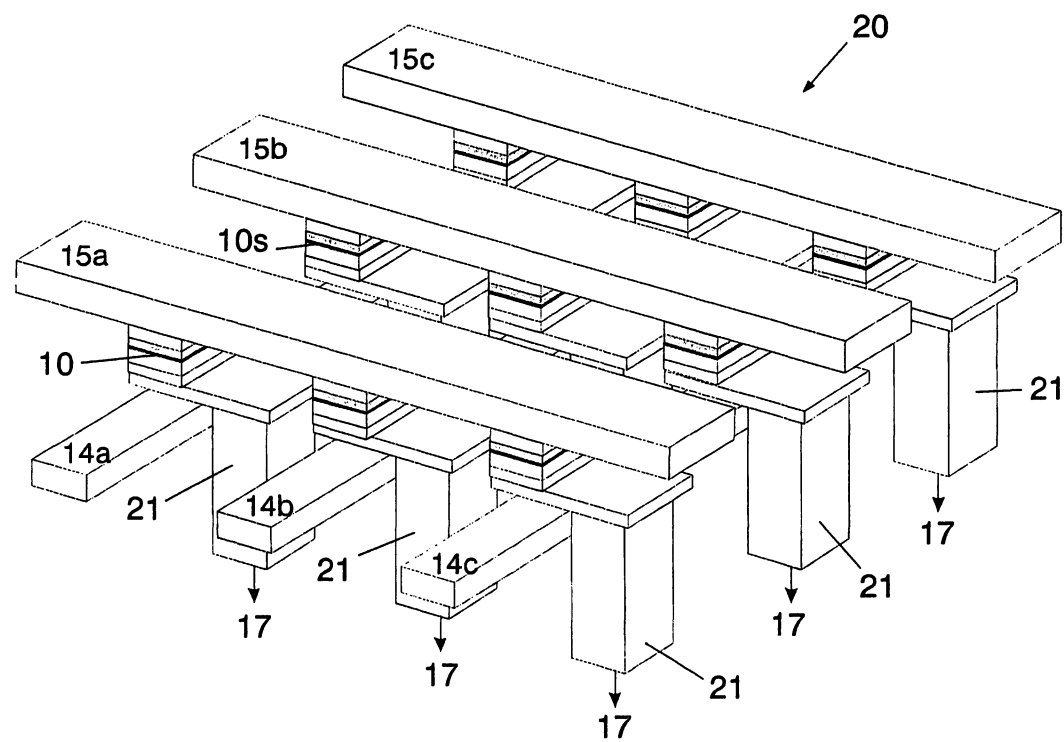


圖 2

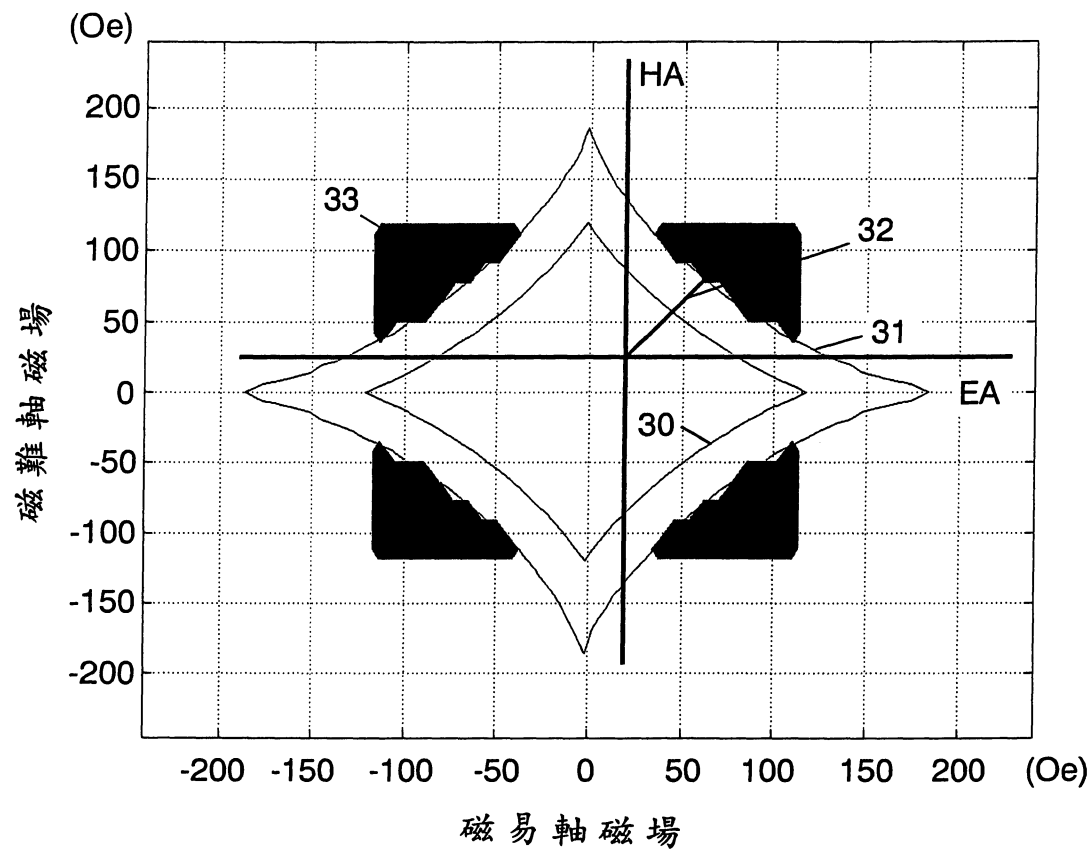


圖 3

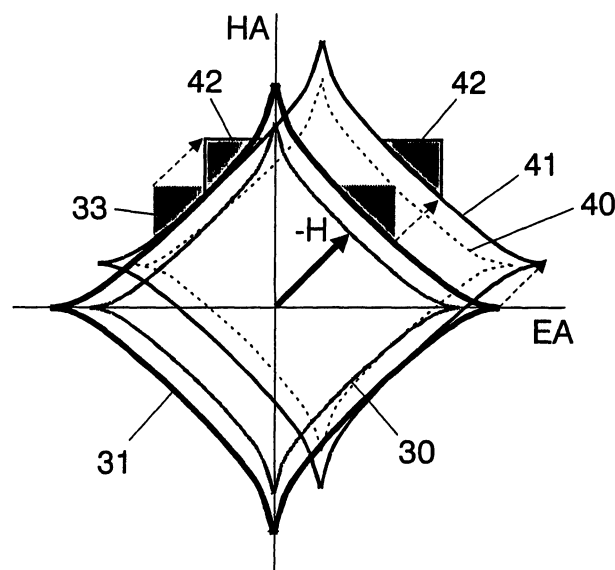


圖 4

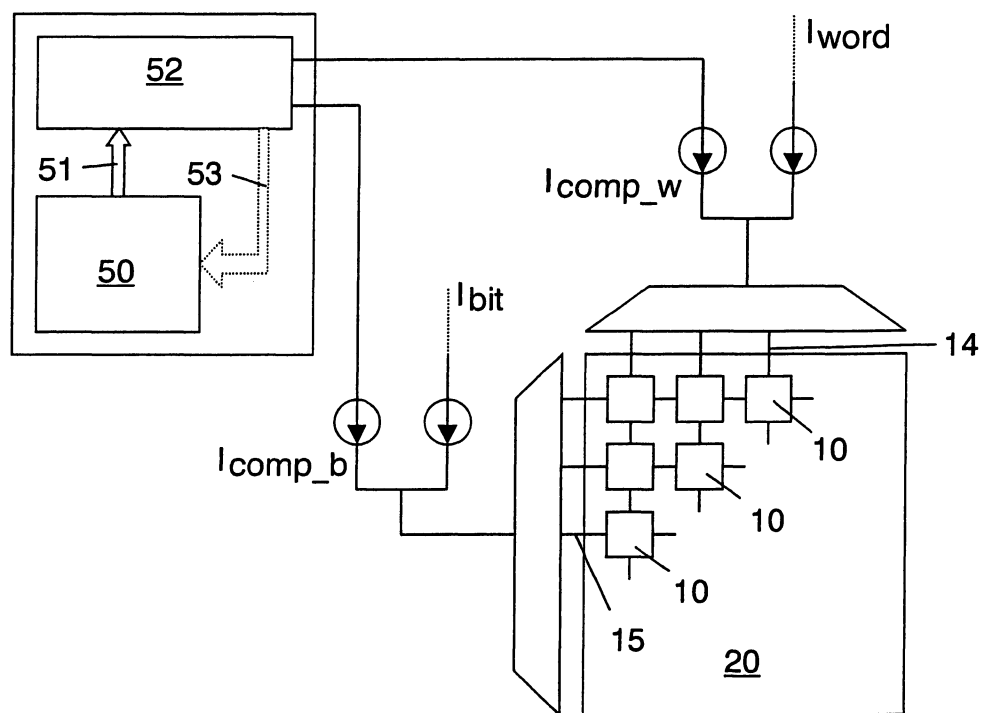


圖 5

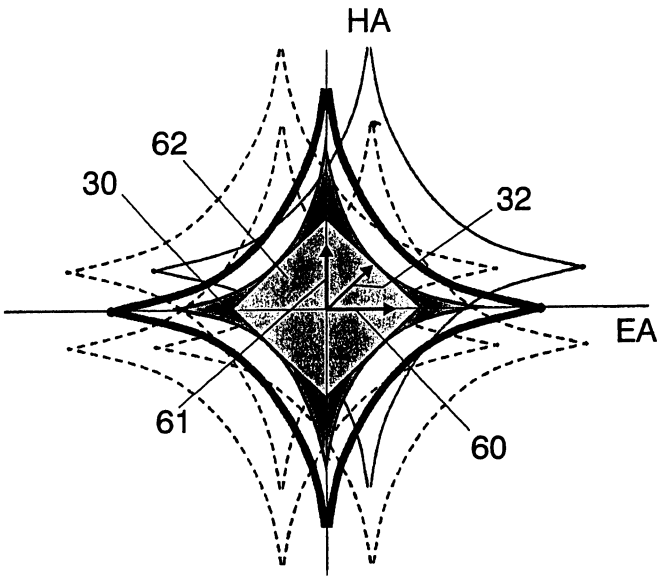


圖 6A

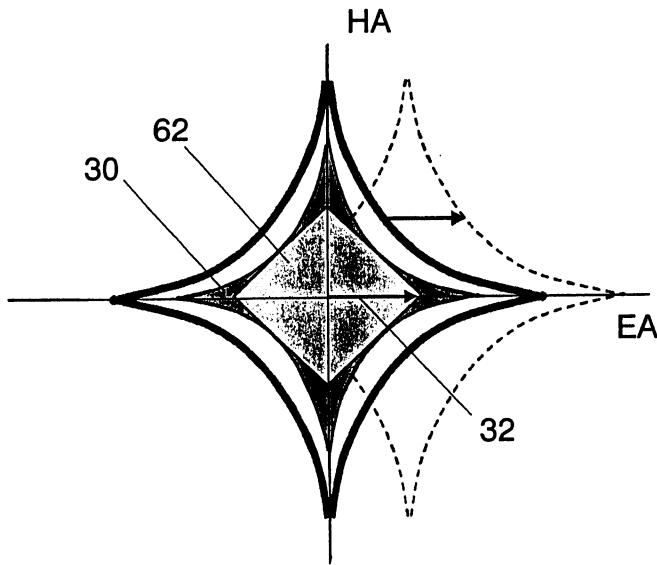


圖 6B

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

10	記憶體元件
14	字元線
15	位元線
20	MRAM陣列
50	磁場感測器
51	磁場感測器輸出
52	補償電路
53	回饋迴路
I_{bit}	電流
I_{comp_b}	補償電流
I_{word}	電流
I_{comp_w}	補償電流

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)