

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06K 19/07 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200480040574.6

[43] 公开日 2007年1月31日

[11] 公开号 CN 1906625A

[22] 申请日 2004.11.30

[21] 申请号 200480040574.6

[30] 优先权

[32] 2003.12.9 [33] US [31] 10/732,149

[86] 国际申请 PCT/US2004/040122 2004.11.30

[87] 国际公布 WO2005/062242 英 2005.7.7

[85] 进入国家阶段日期 2006.7.17

[71] 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 约西·平托 阿维阿德·泽尔

阿米尔·楚里 阿舍·德鲁克

[74] 专利代理机构 北京律盟知识产权代理有限责任
公司

代理人 刘国伟

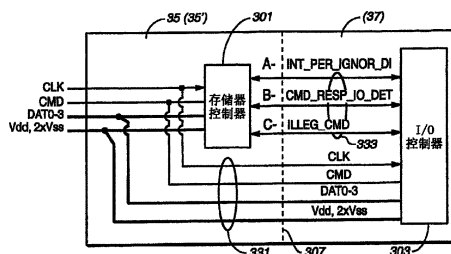
权利要求书4页 说明书13页 附图11页

[54] 发明名称

可移除电子电路卡的模块之间的有效连接

[57] 摘要

本发明揭示一种可移除的电子电路卡，其具有并联连接到所述卡的总线的多个模块，以使得每个模块可与主机独立交换命令和数据。根据本发明的第一方面，这将通过控制器至控制器接口来实现，所述模块可通过所述接口促进其与所述主机的交互。在第一组实施例中，所述模块在单个卡上，而在第二组实施例中，所述模块分布在多个卡上，其中第一卡附接到所述主机，而其他卡附接到所述第一卡，而不是直接附接到所述主机。在所有这些情况下，所述主机将所述多个模块看作具有单个模块的单个卡。在本发明的其他方面中，所述卡能够以多于一个协议与所述主机进行通信。



1. 一种可连接到一主机系统的电子电路卡，所述卡包含：
 - 第一模块，其包括一第一控制器；
 - 第二模块，其包括一第二控制器；
 - 总线结构，其并联连接到所述第一控制器和所述第二控制器，藉此当所述卡连接到所述主机时，可在所述主机与所述第一和第二模块之间交换数据和命令；和一个或一个以上控制线，其连接在所述第一控制器与所述第二控制器之间以交换信号，藉此所述两个模块可独立地与所述主机进行交互，同时对于所述主机来说好像是一单个单元。
2. 根据权利要求1所述的卡，其中所述模块中的一个模块是一存储器模块。
3. 根据权利要求1所述的卡，其中所述模块中的一个模块是一输入输出模块。
4. 根据权利要求1所述的卡，其中所述卡在功能上和机械上符合SD卡标准、SD IO卡标准，或所述SD卡和SD IO卡标准两者。
5. 根据权利要求4所述的卡，其中所述控制线的数目是三个。
6. 根据权利要求1所述的卡，其中所述模块可以复数个协议与所述主机进行交互。
7. 根据权利要求6所述的卡，其中所述复数个协议包括SD协议。
8. 根据权利要求6所述的卡，其中所述复数个协议包括SPI协议。
9. 根据权利要求6所述的卡，其中所述复数个协议包括MMC协议。
10. 根据权利要求1所述的卡，其中所述总线结构符合所述SD卡和SD IO卡标准。
11. 根据权利要求1所述的卡，其中所述命令包括一个或一个以上命令，所述命令可由所述模块中的一个模块接受而对其他模块是不可接受的。
12. 根据权利要求1所述的卡，其中当所述卡连接到所述主机时，所述模块两者都由相同的相对卡地址识别。
13. 根据权利要求1所述的卡，其中所述模块两者都响应于相同的芯片选择信号。
14. 根据权利要求1所述的卡，其中所述控制线允许所述控制器中的一个控制器可指示另一控制器忽视所述总线结构上的数据。
15. 根据权利要求1所述的卡，其中所述控制线允许所述控制器中的一个控制器可向另一控制器指示一用于发出一中断信号的可接受的周期。
16. 根据权利要求1所述的卡，其中所述控制线允许所述控制器中的一个控制器可向另一控制器指示一非法命令的接收。

17. 根据权利要求 16 所述的卡，其中所述控制线允许所述控制器中的一个控制器可指示另一控制器清除一非法命令标志。
18. 根据权利要求 1 所述的卡，其中所述控制线允许所述控制器中的一个控制器可指示另一控制器清除一错误标志。
19. 根据权利要求 1 所述的卡，其中所述控制线允许所述第二控制器向所述第一控制器指示其连接到所述第一控制器。
20. 根据权利要求 1 所述的卡，其中所述控制线的数目是三个。
21. 一种电子电路卡系统，其包含：
 - 一第一卡，其可连接到一主机，所述第一卡包括一第一控制器；
 - 一第二卡，其可连接到所述第一卡，所述第二卡包括一第二控制器；
 - 一总线结构，当所述第一和第二卡连接时，所述总线结构并联连接到所述第一控制器和所述第二控制器，藉此当所述卡连接且所述第一卡连接到所述主机时，可在所述主机与所述第一和第二控制器之间交换数据和命令；和
 - 一个或一个以上控制线，当所述第一和第二卡连接时，所述控制线连接在所述第一控制器与所述第二控制器之间以交换信号，藉此所述两个卡可独立地与所述主机进行交互，同时对于所述主机来说好像是一单个卡。
22. 根据权利要求 21 所述的卡，其中所述卡中的一个卡含有一存储器模块。
23. 根据权利要求 21 所述的卡，其中所述卡中的一个卡含有一输入输出模块。
24. 根据权利要求 21 所述的卡，其中所述第一卡在功能上和机械上符合 SD 卡标准、SD IO 卡标准或所述 SD 卡和 SD IO 卡标准两者。
25. 根据权利要求 24 所述的卡，其中所述控制线的数目是三个。
26. 根据权利要求 21 所述的卡，其中所述第二卡在功能上符合所述 SD 卡标准。
27. 根据权利要求 21 所述的卡，其中所述第二卡在功能上符合所述 SD IO 卡标准。
28. 根据权利要求 21 所述的卡，其中所述卡可以复数个协议与所述主机进行交互。
29. 根据权利要求 28 所述的卡，其中所述复数个协议包括 SD 协议。
30. 根据权利要求 28 所述的卡，其中所述复数个协议包括 SPI 协议。
31. 根据权利要求 28 所述的卡，其中所述复数个协议包括 MMC 协议。
32. 根据权利要求 21 所述的卡，其中所述总线结构符合所述 SD 卡和 SD IO 卡标准。
33. 根据权利要求 21 所述的卡，其中所述命令包括一个或一个以上命令，所述命令可由所述控制器中的一个控制器接受而对另一控制器是不可接受的。
34. 根据权利要求 21 所述的卡，其中当所述第一卡连接到所述主机且所述第二卡连接

- 到所述第一卡时，所述卡两者都由相同的相对卡地址识别。
35. 根据权利要求 21 所述的卡，其中所述卡两者都响应于相同的芯片选择信号。
 36. 根据权利要求 21 所述的卡，其中所述控制线允许所述控制器中的一个控制器可指示另一控制器忽视所述总线结构上的数据。
 37. 根据权利要求 21 所述的卡，其中所述控制线允许所述控制器中的一个控制器可向另一控制器指示一用于发出一中断信号的可接受周期。
 38. 根据权利要求 21 所述的卡，其中所述控制线允许所述控制器中的一个控制器可向另一控制器指示一非法命令的接收。
 39. 根据权利要求 38 所述的卡，其中所述控制线允许所述控制器中的一个控制器可指示另一控制器清除一非法命令标志。
 40. 根据权利要求 21 所述的卡，其中所述控制线允许所述控制器中的一个控制器可指示另一控制器清除一错误标志。
 41. 根据权利要求 21 所述的卡，其中所述控制线允许所述第二控制器向所述第一控制器指示其连接到所述第一控制器。
 42. 根据权利要求 21 所述的卡，其中所述控制线的数目是三个。
 43. 一种可连接到一主机系统的第一电子电路卡，所述卡包含：
 - 一第一模块，其包括一第一控制器；
 - 一连接器，其用于附接一第二电子电路卡，所述第二卡具有一包括一第二控制器的第二模块；
 - 一总线结构，其连接到所述第一控制器和所述连接器以并联连接所述第二控制器，藉此当所述第一卡连接到所述主机和所述第二卡时，可在所述主机与所述第一和第二模块之间交换数据和命令；和
 - 一个或一个以上控制线，其连接在所述第一控制器与所述连接器之间以连接所述第二控制器来交换信号，藉此所述两个模块可独立地与所述主机进行交互，同时对于所述主机来说好像是一单个单元。
 44. 根据权利要求 43 所述的卡，其中所述卡在功能上和机械上符合 SD 卡标准、SD IO 卡标准或所述 SD 卡和 SD IO 卡标准两者。
 45. 根据权利要求 43 所述的卡，其中所述控制线的数目是三个。
 46. 根据权利要求 43 所述的卡，其中所述卡可以复数个协议与所述主机进行交互。
 47. 根据权利要求 43 所述的卡，其中所述总线结构符合所述 SD 卡和 SD IO 卡标准。
 48. 一种可连接到一第二电子电路卡的第一电子电路卡，所述卡包含：

- 第一模块，其包括—第一控制器；
 - 连接器，其用于附接所述第二电子电路卡，所述第二卡可连接到一主机系统且具有一包括—第二控制器的第二模块；
 - 总线结构，其连接到所述第一控制器和所述连接器以并联连接所述第二控制器，藉此当所述第一卡连接到所述第二卡且所述第二卡连接到所述主机时，可在所述主机与所述第一和第二模块之间交换数据和命令；和
 - 一个或一个以上控制线，其连接在所述第一控制器和所述连接器之间以连接所述第二控制器来交换信号，藉此所述两个模块可独立地与所述主机进行交互，同时对于所述主机来说好像是一单个单元。
49. 根据权利要求 48 所述的卡，其中所述卡在功能上符合 SD 卡标准、SD IO 卡标准或所述 SD 卡和 SD IO 卡标准两者。
50. 根据权利要求 49 所述的卡，其中所述卡在机械上不符合一 SD 卡标准。
51. 根据权利要求 48 所述的卡，其中所述控制线的数目是三个。
52. 根据权利要求 48 所述的卡，其中所述卡可以复数个协议与所述主机进行交互。
53. 根据权利要求 48 所述的卡，其中所述总线结构符合所述 SD 卡和 SD IO 卡标准。
54. 一种系统，其包含：
- 主机：
 - 第一电子电路卡，其可连接到所述主机系统，所述卡包含—包括—第一控制器的第一模块；
 - 第二模块，其包括—第二控制器；
 - 总线结构，当所述第一和第二模块连接到所述主机时，所述总线结构并联连接到所述第一控制器和所述第二控制器，藉此可在所述主机与所述第一和第二控制器之间交换数据和命令；和
 - 一个或一个以上控制线，当所述第一和第二模块连接到所述主机时，所述控制线连接在所述第一控制器与所述第二控制器之间以交换信号，藉此所述两个模块可独立地与所述主机进行交互，同时对于所述主机来说好像是一单个卡。
55. 根据权利要求 54 所述的系统，其中第一电子电路卡进一步包含所述第二模块。
56. 根据权利要求 55 所述的卡，其中所述第二卡在功能上符合 SD 卡标准、SD IO 卡标准或所述 SD 卡和 SD IO 卡标准两者。
57. 根据权利要求 E.4 所述的卡，其中所述第二卡在机械上不符合一 SD 卡标准。
58. 根据权利要求 54 所述的系统，其进一步包含—包含所述第二模块的第二电子电路卡，其中所述第二卡通过所述第一卡连接到所述主机，其中所述第二卡通过一连接器连接到所述第一卡。

可移除电子电路卡的模块之间的有效连接

技术领域

本发明一般涉及可移除电子电路卡的使用和结构，且更特定地涉及单个卡上或个别卡上的卡模块之间的连接。

背景技术

越来越盛行的各种可市购的非易失性存储卡极其小巧且具有不同的机械和/或电接口。实例包括相关多媒体卡（“MMC”）和安全数字（“SD”）存储卡，其可从本发明的转让人，California, Sunnyvale 的 SanDisk 公司购买到。还有其他符合国际标准化组织（“ISO”）和国际电工委员会（“IEC”）的标准（已广泛采用的一个实例称为 ISO/IEC 7816 标准）的卡。

在“多媒体卡系统技术规范（The MultiMediaCard System Specification）”中规定了针对 MMC 的物理和电气技术规范，其中所述规范由 California, Cupertino 的多媒体卡协会（“MMCA”）随时更新并出版。日期分别为 1999 年 6 月、2000 年 1 月和 2001 年 6 月的所述技术规范 2.11 版、2.2 版和 3.1 版以引用的方式明确并入本文中。当前可从 SanDisk 公司购得具有不同单卡存储容量的 MMC 产品，最高可达 128 兆字节。在 SanDisk 公司出版的日期为 2000 年 4 月的修订版 2“多媒体卡产品指南（MultiMediaCard Product Manual）”中描述了这些产品，所述指南以引用的方式明确并入本文中。在 1998 年 11 月 4 日申请的并转让给 SanDisk 公司的 Thomas N. Toombs 和 Micky Holtzman 的第 09/185,649 和 09/186,064 号共同待决的专利申请案中还描述了 MMC 产品的电气操作的某些方面。在转让给 SanDisk 公司的美国专利第 6,040,622 号中描述了物理卡结构和其制造方法。这些申请案和专利以引用的方式明确并入本文中。

新的 SD 卡类似于 MMC 卡，其尺寸相同，只不过厚度得到增加以容纳附加的存储芯片。这两者之间的主要差异在于 SD 卡包括附加的数据触点，以便能够在卡与主机之间进行更快的数据传输。SD 卡的其他触点和 MMC 卡的触点相同，从而使得设计成接受 SD 卡的插口也能接受 MMC 卡。以使得设计成接受 SD 卡的插口也能制造成接受 MMC 卡的方式来进一步制造 SD 卡的电气和功能接口，如 2002 年 2 月 21 日公开的 Yoram Cedar、Micky Holtzman 和 Yosi Pinto 的第 02/15020 号 PCT 公开申请案中所描述的，且所述申请案以引用的方式并入本文中。2000 年 8 月 17 日申请的美国专利申请案第

09/641,023 号中描述了 SD 卡的某些方面，所述申请案以引用的方式并入本文中。（SD 协会（SDA）的成员公司可使用 SD 卡的所述技术规范。）

根据 ISO/ICE 7816 标准制造的卡具有不同的形状，在不同的位置具有表面触点，且具有不同于 MMC 和 SD 卡的电气接口。ISO/IEC 7816 标准具有一个通用标题“带触点的标识卡-集成电路卡（Identification cards – Integrated Circuit(s) Cards with Contacts）”，且由日期分别为 1994 到 2000 年的 1 到 10 个部分组成。这一标准（可从 Switzerland, Geneva 的 ISO/IEC 得到其副本）以引用的方式明确并入本文中。ISO/IEC 7816 卡在某些应用中特别有用，在这些应用中，必须以安全的方式来存储数据，所以很难或者无法以未经授权的方式读取数据。除了别的应用之外，小型 ISO/IEC 7816 卡普遍用于手机中。

近来描述了允许具有不同功能性的多个模块附接到主机的卡。这些卡中包括具有多个模块的单个卡和这样的卡：其中模块分布在若干卡之间，但第一卡直接附接到主机，其他卡附接到第一卡而不是直接附接到主机，如 2000 年 9 月 1 日申请的共同待决的美国专利申请案第 09/653,062 号中描述的，所述申请案以引用的方式并入本文中。举例来说，所述模块可包括存储器模块和输入输出模块，其中两种模块在单个的组合卡中，或其中存储器卡设计成一端附接到主机且另一端附接到输入输出卡。这些多模块卡需经设计以使得其可与主机一起以快速、有效和便利的方式运作。

发明内容

因此，简要且概括地说，本发明利用一种可移除电子电路卡，其具有并联连接到卡总线的多个模块，使得每个模块可与主机独立交换命令和数据。根据本发明的第一方面，这通过控制器对控制器接口来实现，所述模块可通过所述接口促进其与主机的交互。在第一组实施例中，所述模块在单个卡上，而在第二组实施例中，所述模块横跨多个卡而分布，其中第一卡附接到所述主机，且其他卡附接到所述第一卡，而不是直接附接到主机。在所有这些情况下，主机将多个模块看作具有单个模块的单个卡。在本发明的其他方面中，所述卡能够以多于一个的协议与主机进行通信。

根据 SD 型可移除电子电路卡来描述示范性实施例，其中所述 SD 型可移除电子电路卡具有带非易失性大容量存储存储器的存储器模块和独立的输入输出模块。每个模块具有其自身的控制器，每个控制器并联连接到主卡总线（SD 总线），所述控制器可通过所述总线与主机交换命令和数据。通常，每个模块将具有不同组的合法命令：尽管其可能共用某些共同命令，例如重设命令，但每个模块具有其自身的特定组的命令。为促进控制器对总线的这种并联连接，本发明引入一组控制器对控制器线。在示范性实施例中，

基于可利用 SD 或 MMC 协议以及 SPI 协议的卡，使用三根这样的线。这些线允许一个控制器指示另一控制器忽视总线上的数据，现在是发布中断命令的合适时间，或管理与非法命令相关的标志的设定和清除。其还允许一个控制器向另一控制器指示其经附接和激活，因为本发明还可在能附其他模块或不能附其他模块的多卡实施例中实施。

在单卡实施例中，所有模块被包含在符合可附接到主机的特定标准的单个卡中。在多卡实施例中，第一卡（例如存储卡）可附接到主机，但还包括用于附接一个或一个以上附加卡（例如输入输出卡）的连接器。在多卡情况下，主卡总线和控制器对控制器接口都会延伸横跨连接器接口，使得当第二卡附接时，其可以与单卡实施例相同的方式运作。

示范性实施例是针对能以多个协议（特定为 SD 或 MMC 和 SPI 协议，尽管可使用其他协议）与主机进行通信的模块而描述的。控制器对控制器线可具有不同的功能，这些功能取决于使用哪种协议。因为控制器对控制器线允许并联连接的模块可如同主机所认为的单个实体一样操作，所以在 SD 和 MMC 协议中，所有模块共享共同的相对卡地址（RCA），且在 SPI 协议中，所有模块都响应相同的芯片选择（CS）信号。

根据结合附图进行的以下描述，本发明的其他细节、特征和优势将变得显而易见。

附图说明

图 1a 和图 1b 说明多个系统，其中组合卡实施例和两卡实施例中分别利用非易失性存储器模块和输入输出模块。

图 2 展示实例卡和其中插入所述卡的系统插口的针脚分配。

图 3 是示范性组合存储器/输入输出卡配置的方框图。

图 4a 是在 SPI 模式下使用线[A]使 I/O 控制器指示存储器控制器忽视主机数据的示意图。

图 4b 是在 SPI 模式下使用线[A]使存储器控制器指示 I/O 控制器忽视主机数据的示意图。

图 5 是针对 SPI 模式下的线[A]的总线时序图。

图 6 是时序图符号的表。

图 7 是在 SD 模式下使用线[A]使存储器控制器向 I/O 控制器指示有效的中断周期的示意图。

图 8 是针对 SD 宽总线模式下的线[A]的总线时序图。

图 9 是在非命令响应周期中使用线[B]向第一卡控制器指示第二卡被附接的示意图。

图 10a 是使用线[B]使 I/O 控制器向存储器控制器指示其正在作出响应的示意图。

图 10b 是使用线[B]使存储器控制器向 I/O 控制器指示其正在作出响应的示意图。

图 11 是针对线[B]上的感应和驱动周期的总线时序图。

图 12 是一个控制器如何使用线[C]来向另一控制器指示设定非法命令标志的方框图。

图 13 是针对线[C]上的到存储器控制器的非法命令紧接合法命令的总线时序图。

图 14 是线[C]和线[B]一起使用以控制卡检测逻辑的总线时序图。

图 15 是示范性总线时序图的表。

图 16 是 SD 模式下的控制线[A]的时序图。

图 17 是 SD 模式和 SPI 模式下的控制线[B,C], SPI 模式下的线[A]的时序图。

图 18 是针对 SD 模式下的线[A]的参数表。

图 19 是 SD 和 SPI 模式下的线[B,C], SPI 模式下的线[A]的参数表。

图 20 是针对控制器对控制器接口的针脚描述。

具体实施方式

参考图 1a, 所说明的主机电子系统 31 包括一插口 33, 用户可插入和移除一种或多种类型的市购可移除电子电路卡, 例如上文现有技术中所概括的存储卡。插口 33 可建构在主机 31 中或物理上独立并通过电缆或无线构件连接。主机 31 可以是台式机或笔记本形式的个人电脑, 其包括可接收这样的卡的插口 33。含有这样的卡插口的主机系统的其他实例包括各种便携式电子设备, 例如手提电脑、个人信息管理工具、其他个人数字助理(“PDA”)、手机、音乐播放器及其类似物。另外, 自动收音机和全球定位系统(“GPS”)接收器也可具有这样的存储卡插口。本发明的改进可应用到包括存储卡插口的各种主机系统。

在本文所述的实施例中, 描述了 SD 卡, 但应了解, 本发明并不限于具有任何特定类型可移除电子电路卡的实施。在图 2 中, 展示 SD 卡 35 和相配插口 33 的物理配置。SD 卡呈矩形形状, 尺寸为 24 毫米×32 毫米, 厚度为 2.1 毫米和 1.4 毫米厚的沿着卡的较长边的窄轨道(图 2 中未图示)。可利用各种大小的卡来实施本发明, 但极为有用的卡长度应小于 51 毫米、宽度应小于 40 毫米且厚度应小于 3 毫米。

SD 卡 35 含有 9 个表面电触点 10-18。触点 13、14 和 16 当插入到主机系统插口 33 中时连接到电源 (V_{SS} 、 V_{DD} 和 V_{SS2})。卡触点 15 从主机接收时钟信号 (CLK)。触点 12 从主机接收命令 (CMD) 并将响应和状态信号发送回主机。其余触点 10、11、17 和 18

(分别为 DAT 2、DAT 3、DAT 0 和 DAT 1) 并联接收数据以用于存储在其非易失性存储器中并从存储器并联发送数据到主机。较少数的数据触点可选择使用, 例如单个数据触点 17。主机与卡之间的数据传输的最大速率受到所使用的并联数据路径的数目(和最大时钟速率)的限制。上文现有技术中描述的 MMC 卡具有类似的触点布局 and 接口, 但省略了数据针脚 10 和 18 且不使用触点 11, 所述触点 11 供备用。MMC 卡具有相同的尺寸且其操作类似于 SD 卡, 只不过所述卡仅为 1.4 毫米厚且具有单个数据触点 17。卡 35 的触点通过插口 33 的各自的针脚 20-28 连接到其主机系统。2001 年 8 月 2 日申请的美国专利申请案第 09/924,185 号中描述了与本发明相兼容的存储卡的其他扩展, 在此其以引用的方式并入本文中。

本发明是基于可移除电子电路卡, 例如图 1a 的实施例的卡 35, 图 1a 除了例如 36 所指示的存储器模块之外还包括输入输出模块 37。输入输出模块 37 可在通信路径 41 上直接与某种其他系统 39 进行通信。通信路径 41 可以是无线的(例如通过使用红外线或射频信号), 或可包括有线连接。如果通过导线, 那么卡 35 包括一外插口以可移除地接收附接到导线的插头。如果是无线的, 那么卡 35 内可包括一天线, 如果利用射频通信, 或红外线发射器和检测器, 如果使用红外线通信。射频数据通信的新兴标准已被公开为蓝牙技术规范, 由 Wilson 和 Kronz 在两篇题为“蓝牙内第 I 部分(Inside Bluetooth Part I)”和“蓝牙内第 II 部分(Inside Bluetooth Part II)”的文章中讨论的, 出现在 2000 年 3 月(从第 62 页开始)和 2000 年 4 月(从第 58 页开始)的 *Dr. Dobb's Journal* 的期刊中, 所述文章以引用的方式并入本文中。其他无线方案包括基于 802.11 协议的方案, 例如 WiFi 和超宽带(UWB)技术。通信路径 41 上的数据的传输常常在两个方向上, 但当然可限制在一个方向或针对特定应用的其他方向。

在某些应用中, 入射信号 41 可以不是明确由外部系统 39 发起。举例来说, 输入输出模块 37 可含有集成在卡上的感光器或透镜以充当相机模块。在这种情况下, 信号 41 可以是入射辐射, 且卡可形成独立单元, 且将不需要通过电缆或天线与除了主机之外的任何实体交互。

在图 1a 的示范性实施例中, 包括输入输出模块 37 的组合卡 35 是基于“现有技术”中所述的 SD 存储卡且与其兼容。所述兼容包括机械、电气、电源、信号发送和软件。组合卡 35 的目的是为移动电子设备提供低功耗的高速数据 I/O。基本的目标是插入不识别组合卡的主机中的组合卡将不引起所述设备或其软件的物理损坏或中断。在这种情况下, 应完全忽视 I/O 模块功能性。一旦所述卡被插入识别组合卡的主机, 将通过 MMC 技术规范 2.11 版或美国专利申请案第 09/641,023 号(都以引用的方式并入本文)中所述

的一般构件以及某些延展部分来检测所述卡。在这种状态下，组合卡将变得空闲，且汲取少量的功率（平均每秒 15 mA）。在随后主机对卡的正常初始化和询问期间，卡将会将其自身识别为组合卡设备。主机软件接着将以元组（tuple）（链接列表）格式获得卡信息，并确定卡的 I/O 功能是否可接受以激活。这个决定将取决于诸如功率要求或适当软件驱动器的可用性等参数。如果所述卡可接受，那么将允许完全供电并起始 I/O 和其中构建的功能。在 2002 年 11 月 21 日申请的共同待决的美国专利申请案 10/302,009 中提供了关于图 1a 的示范性实施例的操作的更多详情，所述申请案以引用的方式并入本文中。

图 1b 中显示本发明的替代性示范性实施例，其中存储器模块和输入输出模块位于单独的卡上。替代性示范性实施例包括通过添加连接器（例如图 2 中 36 处所指示）来修改存储卡（例如存储卡 35），经过修改的卡由图 1b 中的 35' 指示。连接器 36 附接到输入输出卡 37 的相配连接器以将两个卡以机械和电方式耦合在一起。在这种配置下，尽管第二卡 37 将在功能性上符合适当的标准，例如实例中的 SD 或 SD IO 卡标准，但其不必在机械上符合，从而允许第一卡 35' 同时用作物理适配器。输入输出卡 37 经由通信路径 41 直接与某些其他系统 39 通信。在 2000 年 9 月 1 日申请的共同待决的美国专利申请案 09/653,062 中提供关于图 1b 的示范性实施例的操作（包括卡对卡附接的机械方面）的更多详细内容，所述申请案以引用的方式并入上文中。

尽管图 1a 和图 1b 的示范性实施例以及以下讨论的大多数内容是基于两个模块，确切地说是一存储器模块和一输入输出模块，但更一般来说，可在单卡（如图 1a 中）或多卡（如图 1b 中）之间分配更多的模块。然而，在每种情况下，仅有一个卡将附接到主机。举例来说，图 1a 的 35 可含有多个 I/O 模块，或在图 1b 中，卡 37 可含有多个输入输出模块或可具有 35'，可附接有多个输入输出卡。一般来说，将针对连接到主机的单卡来描述本发明的各个方面。所述卡自身内部可含有多个模块（“组合卡”），或具有一个或一个以上的卡，这些卡本身含有通过所述卡连接到主机的模块。

示范性实施例还可针对以下情况来描述，即卡能通过例如上文并入的美国专利申请案第 09/186,064 号中描述的复数个协议与主机通信。详细来说，这些可以是 MMC 或 SD（MMC 技术规范 2.11 版或美国专利申请案第 09/641,023 号中所述的，其两者以应用的方式并入上文中）协议和示范性实施例中的 SPI 协议。

图 3 是针对符合适当的 SD 卡标准并具有存储器模块和输入输出模块的组合卡 35 的示范性实施例的方框图。在存储器模块中，仅明确显示了控制器 301，且类似地，仅在 I/O 模块中显示控制器 303。I/O 模块（其可含有多个 I/O 功能）在这里被设计成与选

定类型的特定卡一起工作，且遵照如上文并入内容的适当技术规范。同样，如上所述，所接纳的实施例支持 SD 总线和 SPI 总线模式，如并入的参考内容中所描述的。331 处显示总线结构，通过这个总线结构，模块和主机交换数据和命令。确切地说，总线符合 SD 标准并包括时钟线 CLK、命令线 CMD、数据线 DAT0-3，和 Vdd 和 Vss 处的电源供应线。对于两卡实施方案，虚线 307 指示直接连接到主机的存储卡（35'）与连接到存储卡的输入输出卡（37）之间的边界部分。总线 331 再次延伸穿过两个卡并连接到两个控制器。

以下讨论的范畴将主要定义带 I/O 扩展槽的 SD 卡的功能特征以及相关电气和时序问题。在图 3 的实施例中，存储器控制器 301 和 I/O 控制器 303 都连接在相同的总线上以用于与主机通信。因此，每个模块将能够分别与主机通信，但主机仍只能看到单个卡。对于示范性协议，这导致在 SD 或 MMC 模式下仅为卡定义单个相对的卡地址（RCA），且在 SPI 模式下仅单个芯片选择（CS）信号用于卡，即使卡将含有不止一个单个模块。为了促进并联连接到主机的多个模块的操作同时仍允许主机将其看作单个卡，在两个控制器之间实施连接 333。

示范性连接具有三个控制线 A、B 和 C，控制器可通过这些控制线交换信号以允许模块挑选出来自主机的哪些命令和数据是针对哪个模块。因为主机通过相同的相对卡地址（RCA）或芯片选择（CS）信号来识别两个模块，但许多命令仅特定针对一个模块，所以控制线允许模块促进这些主机交互。举例来说，如果主机发送特定针对 I/O 模块的命令并紧接着发送某些数据，那么存储器模块会认为所述命令是非合法的。作为替代，控制线 333 允许 I/O 控制器 303 通知存储器控制器 301 所述命令并非非法，而是针对 I/O 模块的，且存储器模块应忽视随后的数据。在示范性实施例中，假设大多数命令是针对一个模块或其他模块，且少数命令是共同共用的。所述共同命令的实例是卡重设命令，关于为卡整体建立 RCA 的命令，关于 CS 信号的命令，和允许很大程度上独立的模块充当从主机的角度来看是单个卡的其他命令。其他命令对两种模块来说也可以是共同的，例如关于模块之间的 DMA 类型传输的命令，其在专利申请案 10/302,009 中有进一步描述。

将更详细地描述接口控制线，从线[A]开始。线[A]在图 3 上也被标记为 INT_PER_IGNORE_DI 且具有双重功能性，这取决于通信是为 SD 模式（其中其充当 VALID MEMORY INTERRUPT PERIOD 线）或是为 SPI 模式（其中其充当 IGNORE DI INPUTS 线）。在 SPI 模式中，串行发送数据和命令/响应，在 CMD（现在是数据入，或 DI）线上入，且在 DAT0（现在是数据出，或 DO）线上出。因为两种模块是并联连接的，所以

两种模块都在 SD 总线 331 上监听，且发送到一个模块的数据/命令可能会被错误的模块解译。一个控制器使用 SPI 模式中的线[A]来指示另一控制器忽视 DI 输入。默认情况被实施为上拉模式（pull-up mode）。由控制器（IO 或存储器）中一者设定的“0”指示另一控制器忽视 DI 输入。控制线[A]的理由在于发送到一个控制器的数据会被另一控制器认为是命令。由于两种控制器不会同时接收数据，所以从 I/O 到存储器和从存储器到 I/O 将使用相同的控制线[A]。

图 4a 是从 I/O 控制器指示存储器控制器忽视 DI 的实例。I/O 控制器接收后面将跟着 DATA 接收的命令，这样 I/O 控制器在命令响应的最后一位后开始确立线[A]为零 T_{ARI} 时钟。I/O 控制器会在最后的忙位之后释放线[A] T_{ABS} 时钟（图 5 中界定的）。存储器控制器感测到线[A]上的“低”，且从现在开始，存储器控制器将忽视 DI 输入，直到 I/O 控制器释放线[A]为止。

图 4b 是存储器控制器指示 I/O 控制器忽视 DI 的实例。存储器控制器接收后面将跟着 DATA 接收的命令，这样存储器控制器在命令响应的最后一位后开始确立线[A]为零 T_{ARI} 时钟。存储器控制器会在最后的忙位之后释放线[A] T_{ABS} 时钟。I/O 控制器感测到线[A]上的“低”，且从现在开始，I/O 控制器将忽视 DI 输入，直到存储器控制器释放线[A]。图 5 中显示 SPI 模式中的线[A]总线时序的实例，且在图 6 的表 1 中定义图的符号。

在 SD 模式中，线 [A]用于将 VALID MEMORY INTERRUPT PERIOD 信号从存储器模块发送到 I/O 模块，如图 7 中所示。这个信号指示允许 I/O 控制器 303 根据 SD 总线协议将中断发送到主机，因为如果 I/O 模块在不允许的时间在总线 331 上将中断发送到主机，那么这可能会破坏存储器模块与主机之间交换的数据。I/O 控制器 303 必须在将中断发送到主机之前检查这根线。“1”指示有效的中断周期，且“0”指示无效的中断周期。如在上文并入的各种参考内容中所述的，在 SPI 和 1 位（或窄）SD 模式中，第 8 个针脚（DAT1）用作中断信号。在 4 位（或宽）SD 模式中，第 8 个针脚（DAT1）用于数据传输并用于中断信号。线[A]用于在 4 位 SD 模式中工作时防止在第 8 个针脚上的总线连接。从存储器到 I/O 的线[A]指示具有如下特殊时序：

1) 在 1 位（窄）SD 模式中，线[A]一直为“高”。

2) 在 4 位（宽）SD 模式中，在线[A]变为“高”后，中断周期将起始 T_{AIP} 时钟。在线[A]变为“低”后，中断周期将为终止的 T_{ASE} 时钟。在前 2 个时钟中，I/O 控制器将驱动“低”，在第 3 个时钟时，I/O 控制器将驱动“高”，在第 4 个时钟时，I/O 控制器将停止驱动中断信号。

图 8 中显示宽总线 SD 模式中用于读取命令的线[A]总线时序。存储器控制器在 4 位数据传输模式中不支持数据区块之间的中断周期。

线[B]在图 3 上也被标记为 `CMD_RESP_IO_DET`，且也具有多于一个的功能性，这取决于设备是在命令响应周期中（其中其充当命令响应指示线）或不在命令响应周期中（其中其充当 I/O 卡检测线）。如图 9 中所示意性说明，在非命令响应周期期间，存储器控制器在线[B]上处于输入模式中，由 I/O 控制器使用线[B]来指示存在 I/O 卡。当然，在单个卡的实施例中，I/O 模块当其在相同的卡上时会一直存在；但当模块在单独的卡上时（例如图 1b 中的 37），这允许直接连接到主机（即 35'）的卡知道附接了第二卡（即 37）。否则，如果在总线 331 上对命令没有响应，那么控制器 301 将不清楚是否缺少卡 37，或是否控制器 303 只是未作响应。I/O 卡的控制器 303 总是驱动线[B]“低”，除了命令的结束位后的一个时钟之外，直到命令结束之后的数个时钟为止。这个周期在下文被称作“响应周期”。在 I/O 卡没有连接的情况下，线被上拉。为了消除临界时序问题，存储器控制器会在响应周期结束后的几个时钟将线 [B]视为 I/O 卡检测指示。

在命令响应周期期间，一个控制器用线 [B]来向另一控制器指示其正在作出响应且另一控制器不需要作出响应。这有助于管理系统总线上的通信，且防止两个控制器同时作出响应。在命令响应周期期间，线 [B]指示在 SD 模式和 SPI 模式中都对命令作出响应。在默认情况下，存储器和 I/O 控制器将处于输入模式。通过由控制器之一（I/O 或存储器）驱动线 [B]为“低”指示另一控制器驱动控制器正发送命令响应。在图 10a 和图 10b 中分别针对 I/O 控制器 303 作出响应和存储器控制器 301 作出响应示意性显示这个过程。图 11 显示线 [B]上的感测和驱动周期的示范性时序图。

作为响应过程的一部分，将响应发送到主机的控制器还清除任何先前设定的错误和非法命令标志。线 [B]指示另一控制器清除其错误和非法命令标志，使得这个知识可由两个控制器共用。在示范性实施例中，线 [B]指示持续 4 个时钟的周期，在命令响应的开始位之前开始半个位（见图 14）。接着在命令的结束位后的 2 个时钟周期中，可起始 I/O 控制器的响应，直到命令结束位后的 32 个位为止，且在命令结束位后的 2 个时钟周期中可起始存储器控制器的响应，直到命令结束位后的 16 个位为止。

在下文描述的其他功能性中，线 [B]可和线 [C]一起使用以控制卡检测逻辑。

线 [C]在图 3 上还标记为 `ILLEG_CMD`，用于 SD 模式中，且具有双重功能性。根据 SD 技术规范，如果向控制器发送非法命令，那么在下一命令时，其将指示命令是先前命令，为非法。非法命令标志也设定一标志，使得可在下一（合法）命令时发送此信息。然而，这个下一命令可能不被引导到相同的模块，所以这个非法命令信息需要在

控制器之间共用。举例来说，非法命令可以到存储器模块，而下一合法命令是到可能不知道前面非法命令的 I/O 模块。在图 12 中示意性显示这个过程。（在上文中已针对线 [B] 描述了此非法命令标志的清除。）

更详细来说，在默认情况下，存储器和 I/O 控制器处于输入模式中。当控制器之一检测到非法命令接收时，控制器将设定非法命令标志。在非法命令的结束位后，线 [C] 将被驱动为“低” TC_{EI} 时钟，以发送信号到另一控制器来设定其非法命令标志。当控制器之一检测到非法命令接收时，控制器将检查线 [C]；如果线 [C] 为“高”，那么控制器将驱动线 [C] 为“低”，而如果线 [C] 为“低”（即，另一控制器已驱动线 [C]），那么控制器将不驱动线。

驱动线 [C] 为“低”的控制器在两种情形下将停止驱动线 [C]：

1) 在发送对合法命令的响应的处理期间，控制器清除非法命令标志。在接收非法命令后，线 [C] 被释放直到响应的开始位后的 TC_{RS} 时钟，以发送非法命令标志被清除的信号。图 13 是接收非法命令并开始驱动线 [C] 为“低”的存储器控制器的实例。（图 15 的表格 2 中显示图 13 和图 14 的示范性总线时序值。）在接收合法命令后，存储器控制器停止驱动线 [C]。接着由接收非法命令后接收合法命令的 I/O 控制器进行相同的处理。

2) 在接收非法命令后，控制器设定非法命令标志并驱动线 [C] 为“低”。如果由另一控制器接受下一合法命令，那么另一控制器将驱动线 [B] 为“低”，以向第一控制器发送信号来清除非法命令和错误标志。第一控制器在线 [B] 的下降沿后的 TC_{BS} 时钟将释放线 [C] 并清除标志。图 14 是接收非法命令并开始驱动线 [C] 为“低”的存储器控制器的实例。在由 I/O 控制器接收合法命令后，I/O 控制器开始驱动线 [B]，且因此存储器控制器清除错误标志并停止驱动线 [C]。接着由接收被发送到 I/O 控制器的非法命令后的合法命令的存储器控制器进行相同处理。

在图 16-20 中更详细地描述控制器到控制器连接的电特征。图 16 是 SD 模式下控制线 [A] 的时序图，且图 18 的表格 3 提供图 16 中的各种参数。图 17 是 SD 模式和 SPI 模式下控制线 [B、C]、SPI 模式下线 [A] 的时序图，且图 19 的表格 4 提供图 17 中的各种参数。图 20 提供概括控制器对控制器接口的引脚描述。

尽管针对两个模块（具体来说是存储器模块和输入输出模块）的情况描述了本发明的各个方面，但本发明还可扩充其他数目和类型的模块，所述模块的控制器独立地并连接到系统总线，同时对于主机仍似乎是单一的、单个模块卡。同样，如上所述，这些模块可位于单个卡（如图 1a 中）中或横跨多个卡而分布（如图 1b）。在多卡实施例中，系统总线（331，图 3）和控制器对控制器接口（333，图 3）将延伸横跨卡对卡连接。

另外，本发明还可延伸到在如图 1b 的多卡实施例中附接到的卡缺少控制器的情况。例如，如果图 3 的卡 35' 缺少控制器 301，那么在卡 35 中线[A-C]便被设定为 V_{ss}。这允许卡 35' 充当卡 37 附接到主机的适配器。

在本发明的另一组方面中，卡系统可以多协议运作。示范性实施例是针对两个这样的协议描述的，尽管更一般来说，可使用更多协议或仅单个协议。示范性协议是 SD 或 MMC 协议和 SPI 协议，在并入本文中的 MMC 技术规范 2.11 版或美国专利申请案第 09/641,023 号中有更详细的描述。在这个示范性实施例中，提供各种情况下存储器控制器的要求和 A、B 和 C 控制线的使用的更详细的描述。还描述了 I/O 控制器的要求以阐明操作原理。

在 SPI 模式中，在物理规格中限定卡将响应所有命令，甚至是非法命令。在组合存储器/输入输出卡中，存储器控制器将忽视 I/O 特定的命令。类似地，I/O 控制器将忽视存储器特定的命令。在多卡实施例中，其中没有连接 IO 控制器（利用线[B]来检测），存储器控制器将不会忽视与 I/O 相关的命令，相反，如果非法命令将发送到存储器控制器的话，其将作出响应。在 SPI 模式下，在 SD 物理规格中限定在确立 CS 的情况下卡应在 DO 针脚 (DAT0) 上驱动“高”。在多模块情形中，每个控制器将仅当其需要时（即，响应于命令或发送数据）启动其自身的 DO 的输出，否则其将处于输入模式。主机将线保持为高，如规范中所述。从主机的观点来看，卡/总线继续象规范中针对单个模块卡而限定的那样运作。

因为两种控制器都并联连接到 SD 总线，所以发送到一个控制器的数据可能会被另一控制器理解为命令。如果不使用循环冗余检查 (CRC)（其在 SPI 模式下是合法的），这种误解的可能性会变得更高。（如所述，例如在参考的 MMC 技术规范中，在优选实施例中，每个在 SD 总线上传输的 SD 或 MMC 记号都受 CRC 位保护，而对于 SPI 模式，可利用未受保护模式，其启用和可靠数据链接一起建构的系统，以便排除需用来实施 CRC 产生和验证功能的硬件或固件。）这是在存储器与 IO 控制器之间具有控制线[A]的原因。在示范性实施例中，两种控制器不会在同时接收数据，且从 I/O 控制器到存储器和从存储器控制器到 I/O 控制器将使用相同的控制线[A]。每一方将在数据接收情况下驱动确立（“低”）线，且上拉电阻器在其他状态中将线保持为高。

为了进入 SPI 模式，即使 RESET 命令对于存储器和 I/O 控制器可能是不同的（例如 I/O 模块具有不同于 CMD0 的重设命令），主机仍会针对 I/O 和存储器模块发送 CMD0+(CS=0)。I/O 控制器将进入 SPI 模式，但不会响应 CMD0 命令。开启并关闭循环冗余检查 (CRC) 的命令 CRC_ON_OFF 将由存储器控制器响应而不是由 I/O 控制器响

应，因为这对于存储器来说是合法命令。I/O 控制器应识别这个命令并根据命令参数启动或停用 CRC 检查功能。在检测到命令 CRC 错误（且 CRC 检测被启用）的情况下，接着将在两种控制器中设定错误标志。如果初始化两种卡，那么两种卡都会作出响应。仅当来自存储器控制器的响应未在指定数目的（假如 16 个）时钟内出现时，I/O 控制器才将会作出响应，在这期间 I/O 控制器将“监听”线[B]。如果 I/O 模块在给定周期期间检测到来自存储器控制器的响应，那么其将仅重设其 CRC 错误标志且其自身不会作出响应。类似地，在控制器中有一个控制器检测到非法命令的情况下，其会以非法命令响应作出响应。

在 SD 模式下，组合存储器/输入输出卡、存储器控制器将忽视 I/O 专用命令。相反，I/O 控制器将忽视非 I/O 命令类的所有命令，除非它们是除了共同命令（例如重设（CMD0）和与相对卡地址（RCA）和芯片选择（CS）相关的命令）之外的所有控制器共同的命令（第 9 类）。在没有连接 I/O 控制器（利用线[B]来检测）的情况下，存储器控制器将不会忽视与 I/O 相关的命令，换句话说，其将好像非法命令发送过来一样作出响应。

存储器控制器将会响应与建立相对卡地址（RCA）相关的命令（当命令是合法的时）。在这种情况下，I/O 控制器将“监听”CMD 线上合适的命令响应。如果在固定数目的时钟内检测到有效的响应（具有正确的 CRC）（且命令对于 I/O 控制器来说是合法的），则 I/O 控制器将采纳 RCA。线[B]会向 I/O 控制器发送存储器控制器正作出响应的信号。

存储器控制器会响应 RCA 建立命令（当其是合法时）。在这种情况下，I/O 控制器会“监听”CMD 线上的命令响应。如果在预定数目的时钟内检测到有效的响应（具有正确的 CRC）（且命令对于 I/O 控制器来说是非法的），则 I/O 控制器不会采纳 RCA，且不会设定非法命令标志。线[B]会向 I/O 控制器发送存储器控制器正作出响应的信号。

如果存储器控制器从 RCA 建立命令的结束位后的允许响应时间内没有作出响应，且命令对于 I/O 控制器来说是合法的，那么 I/O 控制器将作出响应。存储器控制器将“监听”CMD 线上的响应。如果有效的 RCA 产生，那么 I/O 控制器会在需要时采纳 RCA。线[B]会向存储器控制器发送 I/O 控制器正作出响应的信号。如果与此相反，存储器控制器在允许的响应时间内没有作出响应，且命令对于 I/O 控制器来说是非法的，那么 I/O 控制器不会响应。I/O 控制器会设定非法命令标志，且将使用线[C]来向存储器控制器发送检测到非法命令的信号。

针对与芯片选择（CMD7）相关的命令的处理（所述命令对于所有模块也是共同的，使得从主机的观点来看所有模块充当单个卡）将类似于先前段落中针对用于建立相对卡地址（CMD3）的命令描述的那样进行处理。

当主机将数据传输到存储器模块或从存储器模块中传输数据时，会从 I/O 模块中发出中断。为了仅允许在有效的周期期间中断传输，存储器控制器通过线[A]向 I/O 发送有效的存储器中断周期的信号。中断周期指示将先于“实际”的中断周期，从而使得所述周期可以非常精确。这样做的目的是向存储器控制器到 I/O 控制器之间的路径延迟（通过衬垫延迟、连接器延迟等）提供容差。

当命令具有 CRC 错误时，将在两个控制器中设定对应的错误标志，且两者都不会作出响应。根据 SD 技术规范，对以下命令的响应指示 CRC 错误位和 CRC 错误标志以卡的以下命令响应来响应。CRC 标志将在任一以下情况下在给定的控制器中被清除：1) 控制器利用 CRC 错误作出响应；或 2) 在响应周期期间，控制器在线[B]上检测到来自卡中的另一控制器的命令响应指示。

如果由控制器中的一个控制器检测到非法命令，那么其设定其自身的非法命令标志，且不作响应。根据 SD 技术规范，对以下命令的响应应指示非法命令错误。因此，另一控制器将通过使用线[C]也设定其非法标志。非法标志被设定的控制器将利用“0”驱动线[C]。另一控制器将在在线[C]上检测到改变为“0”的情况下设定其非法标志。随后，两种控制器如上段中针对 CRC 错误的情况所述的那样运作。利用卡的以下命令响应来响应非法命令标志。在任一以下情况下清除非法命令标志：1) 控制器利用非法命令标志作出响应；或 2) 在响应周期期间，控制器在线[B]上检测到来自卡中的另一控制器的命令响应指示。每当两种卡清除其非法命令标志，两种卡都将其线[C]驱动器设为输入模式。可如下概括针对每个控制器关于线[C]的一组“规则”：

- a) 在设定其自身的非法标志的情况下确立线[C]为“低”（在接收到非法命令后）。
- b) 当清除其自身的非法标志时，解除（变为输入模式）线[C]。
- c) 如果在线[C]中检测到非法命令或从“1”改变为“0”，那么设定非法标志。
- d) 如果利用非法命令标志（SD 模式下的 R1、R5 或 R6 或 SPI 模式下的 R1、R2、R3 或 R5）作出响应或在响应周期期间在线[B]上检测到 CMD RESPOND，那么清除非法标志。

尽管已针对特定实施例描述了本发明的各个方面，但应了解，本发明在附加权利要求书的整个范畴内受到保护。

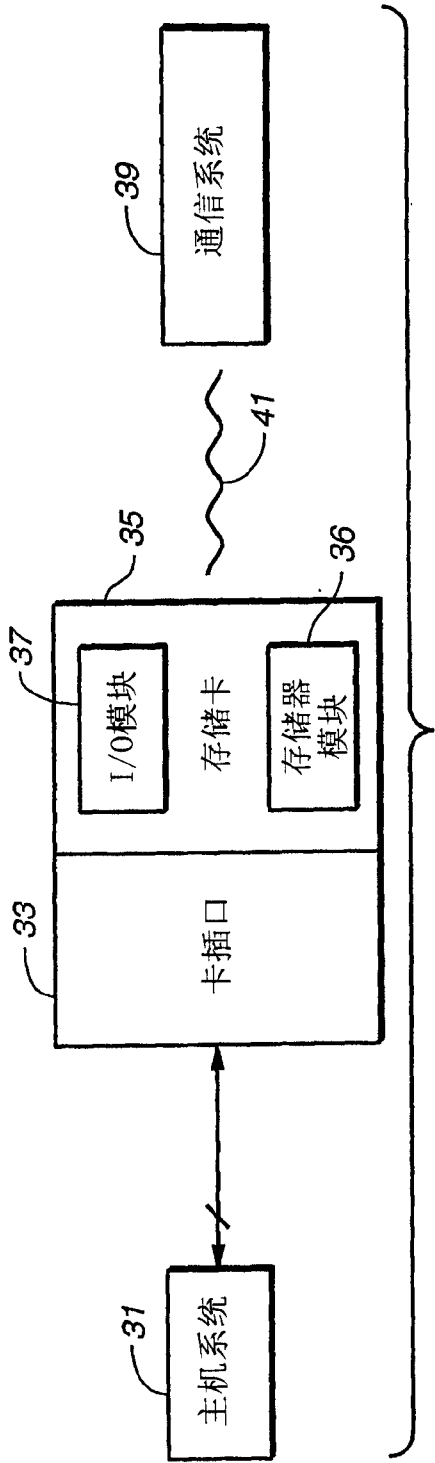


图1a

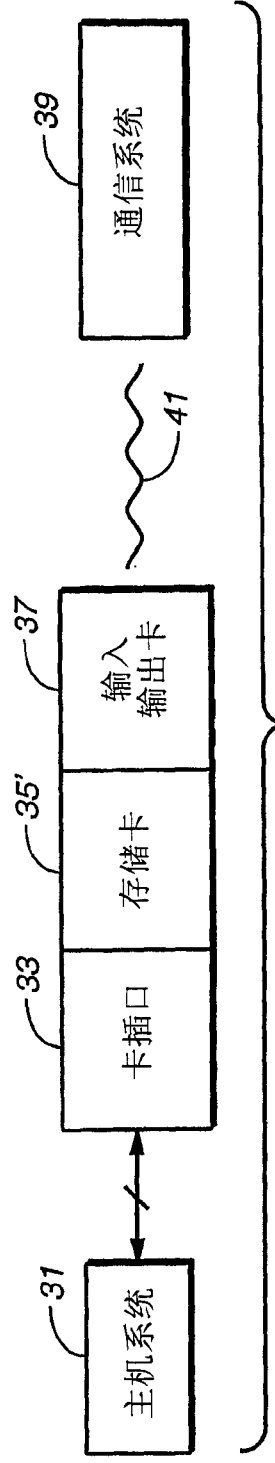


图1b

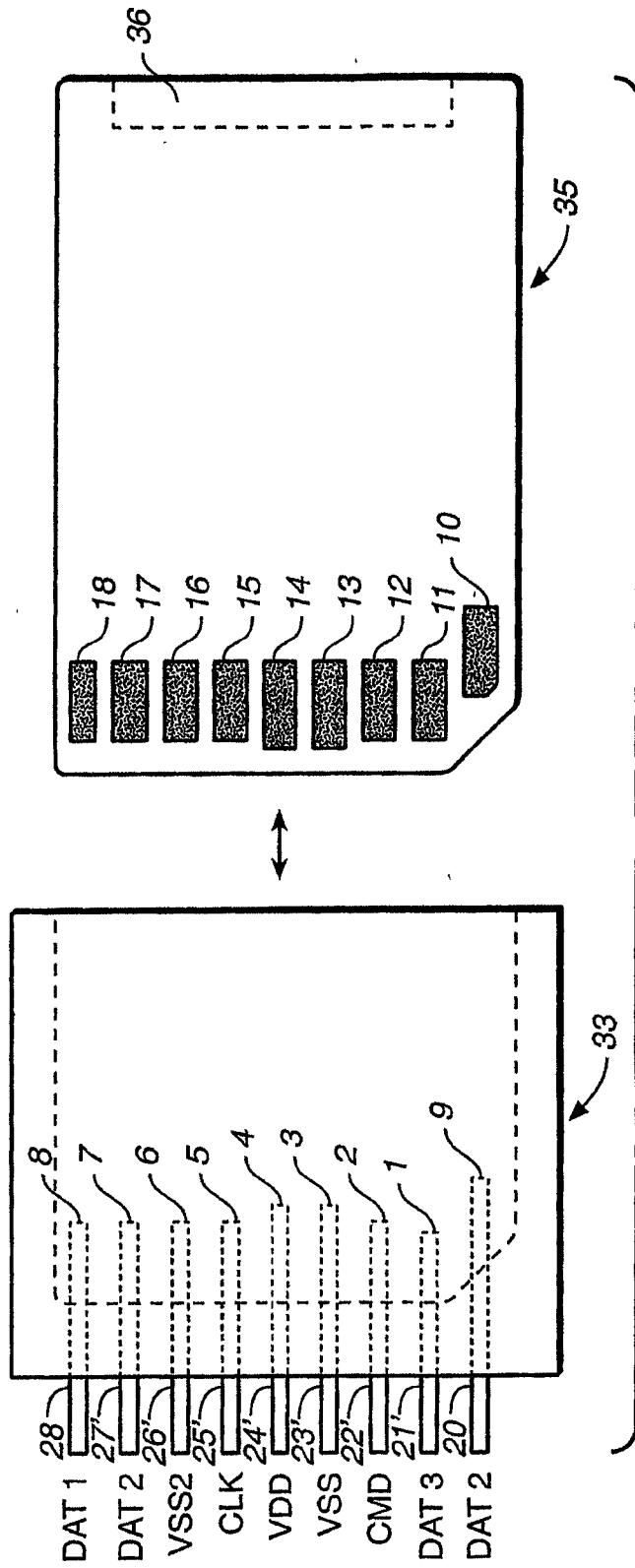


图2

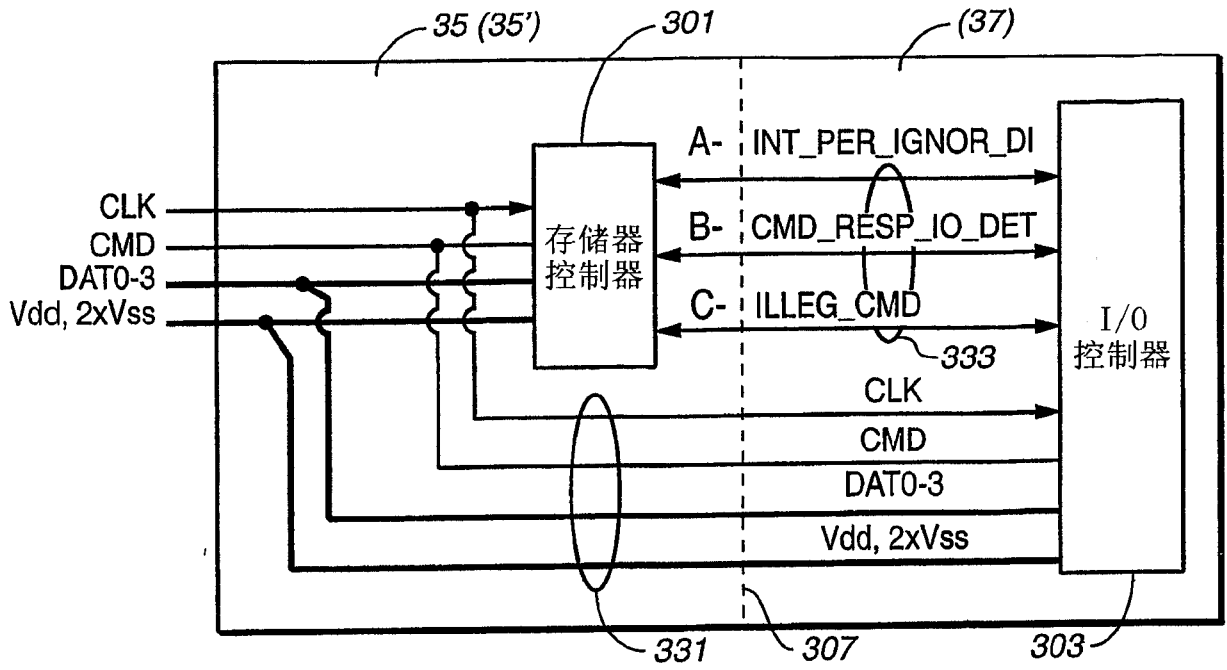


图3

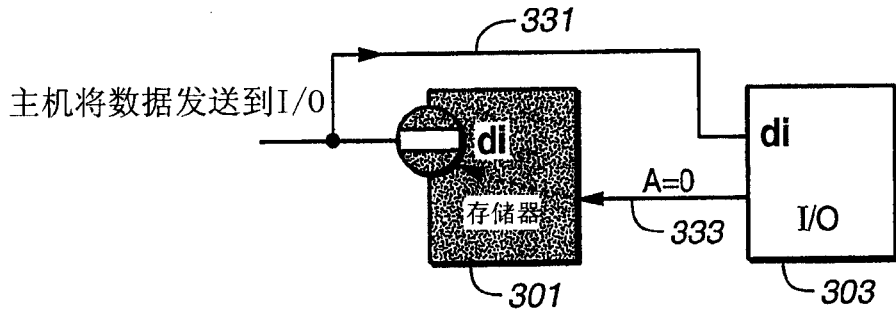


图4a

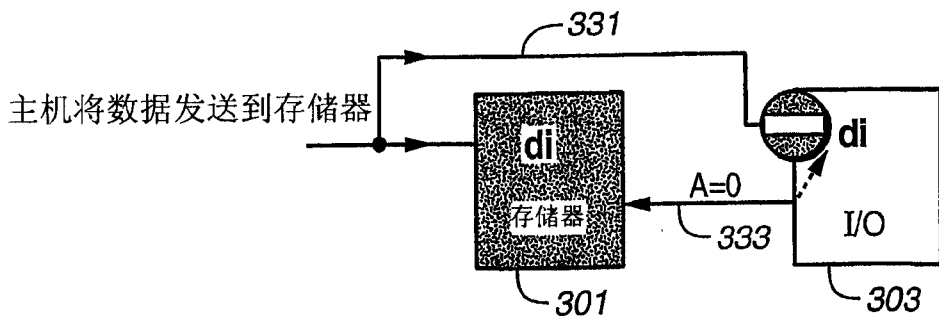


图4b

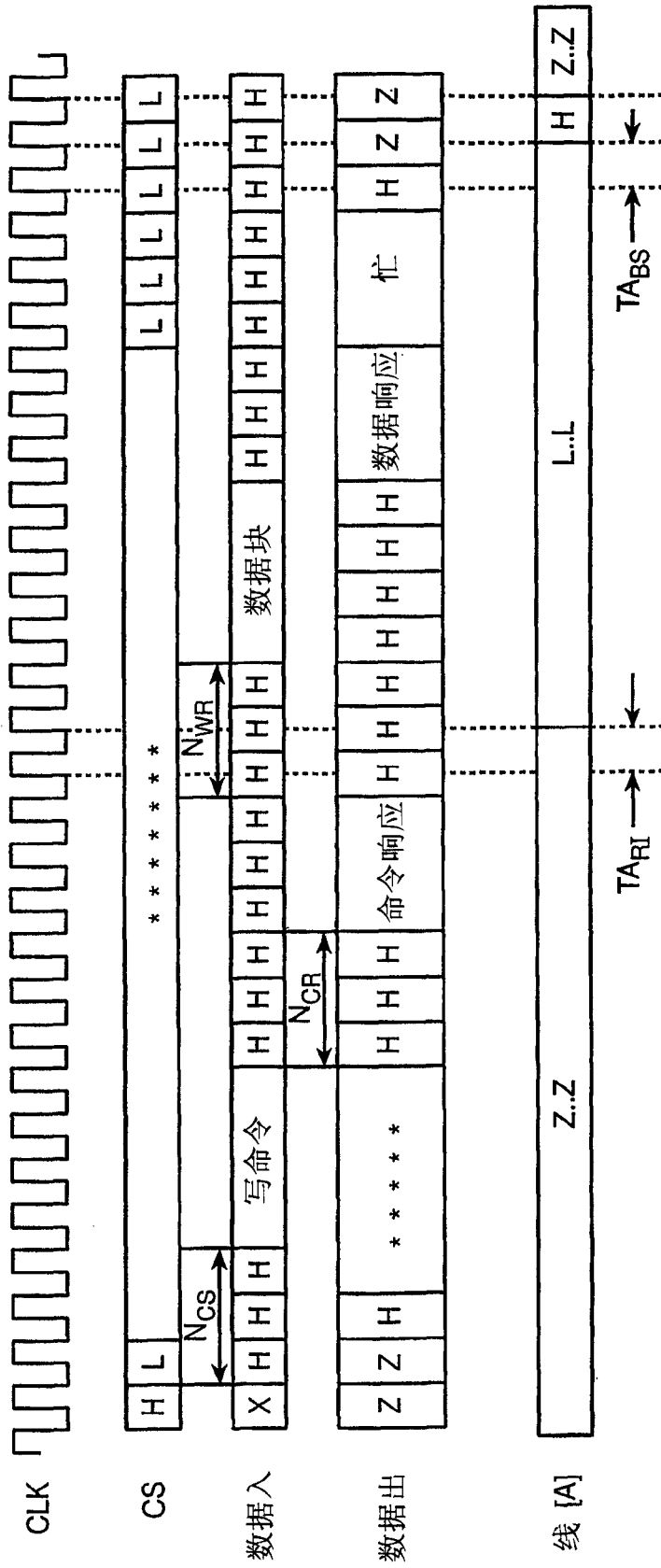


图5

S	开始位 (= '0')
H	卡将信号驱动为“高”
Z	高阻抗状态, 上拉电阻器将线驱动为“高”
L	卡将信号驱动为“低”
X	不关心数据位 (来自卡)

表格1: 时序图符号

图6

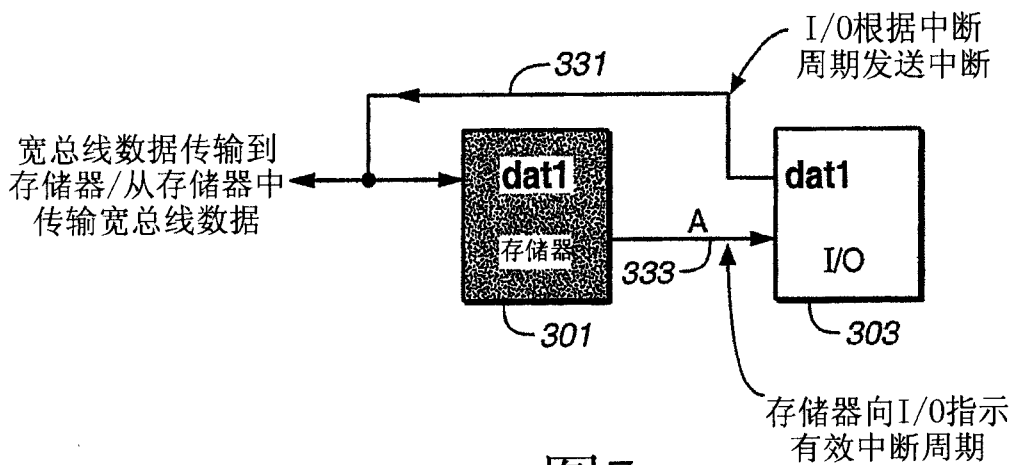


图7

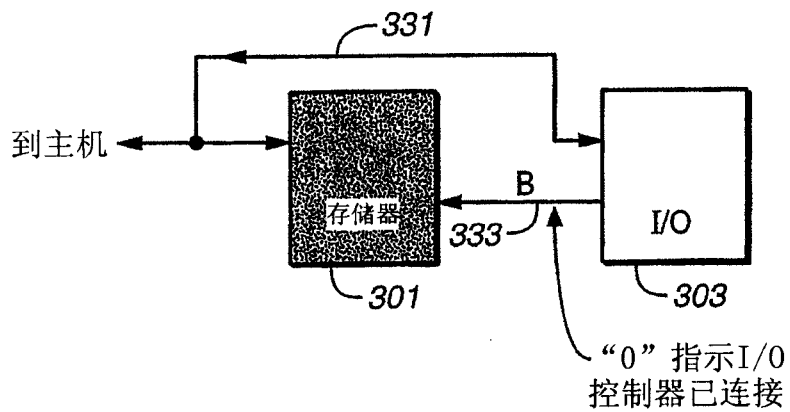


图9

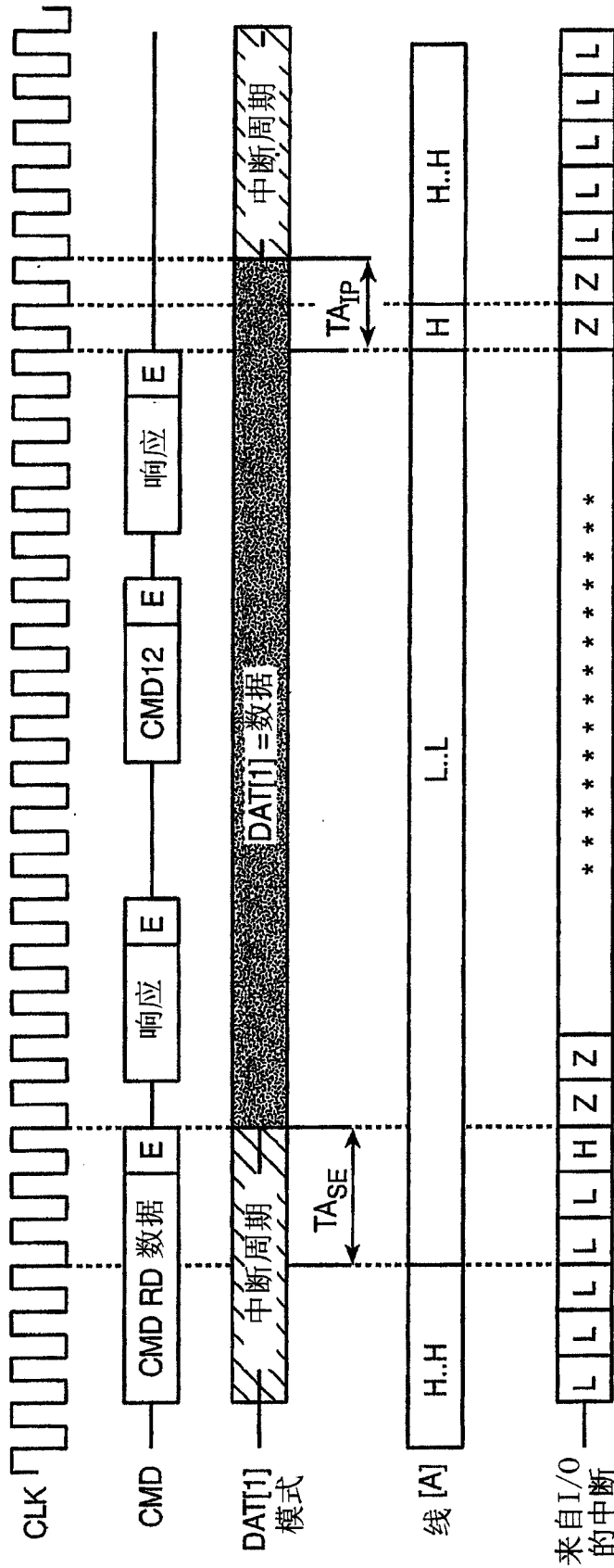


图 8

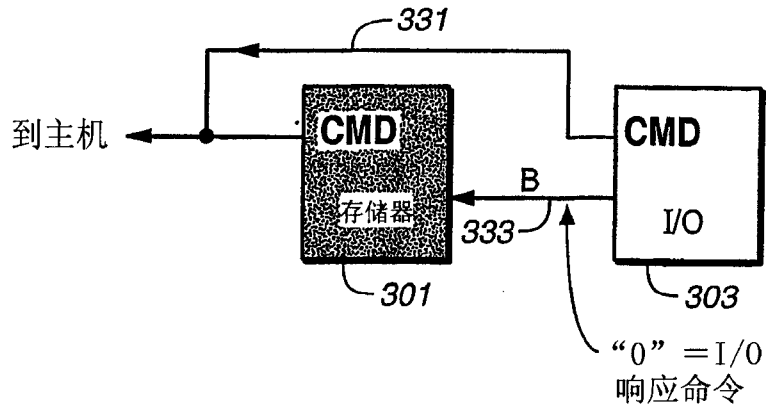


图10a

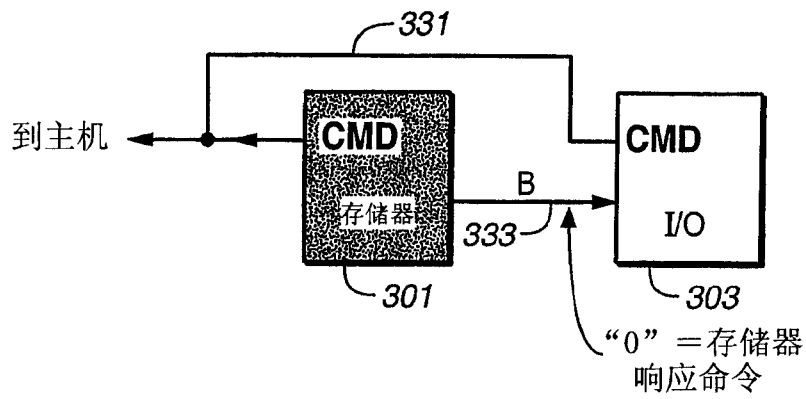


图10b

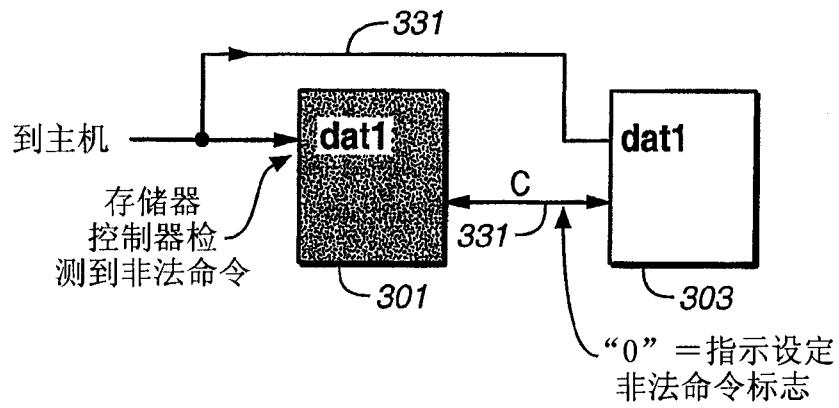


图12

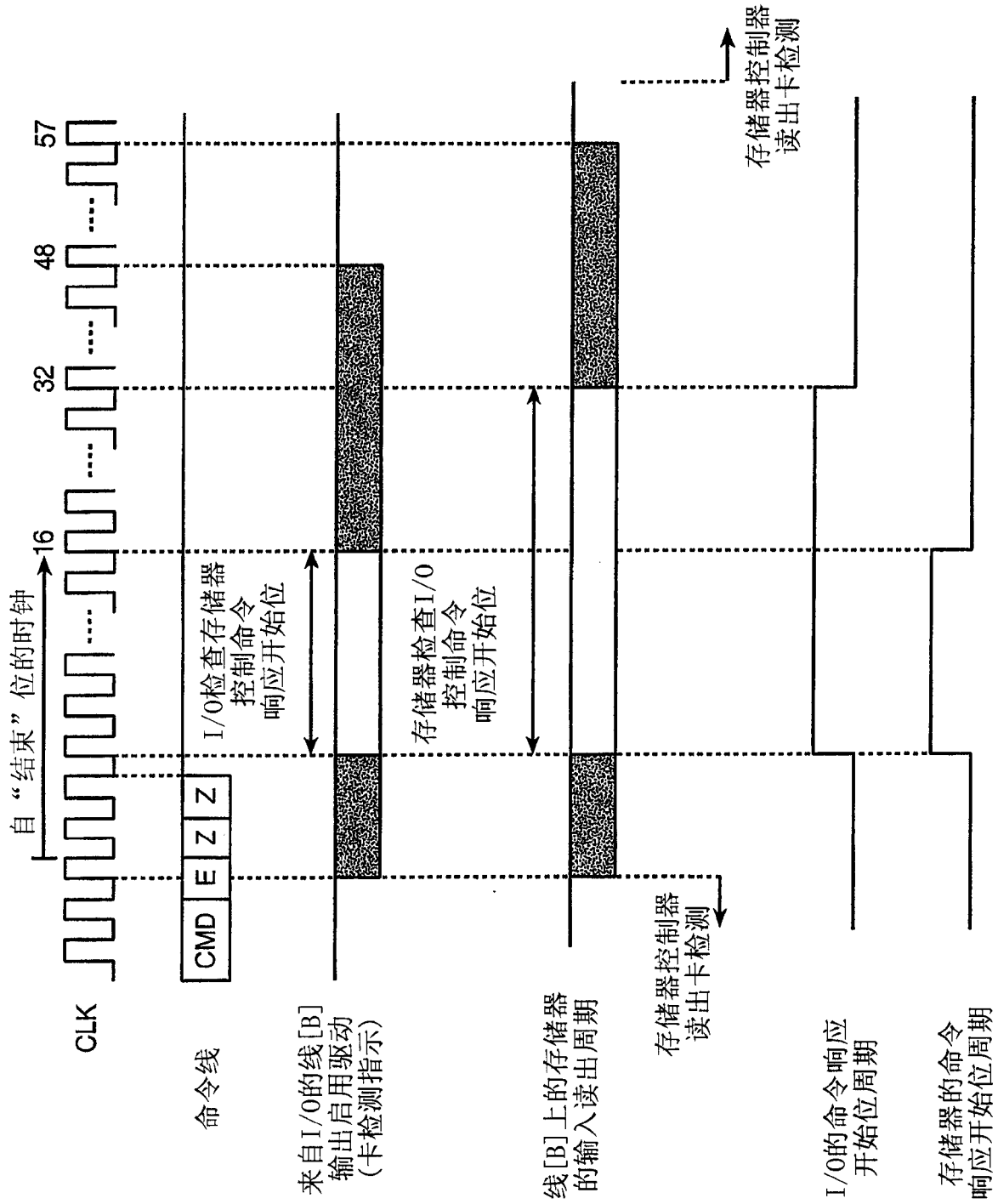


图11

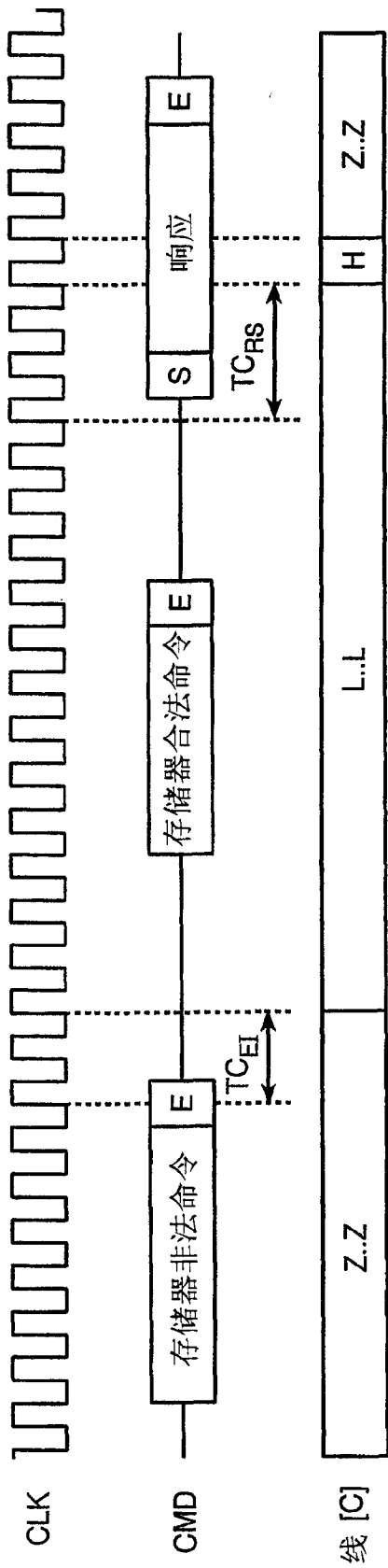


图13

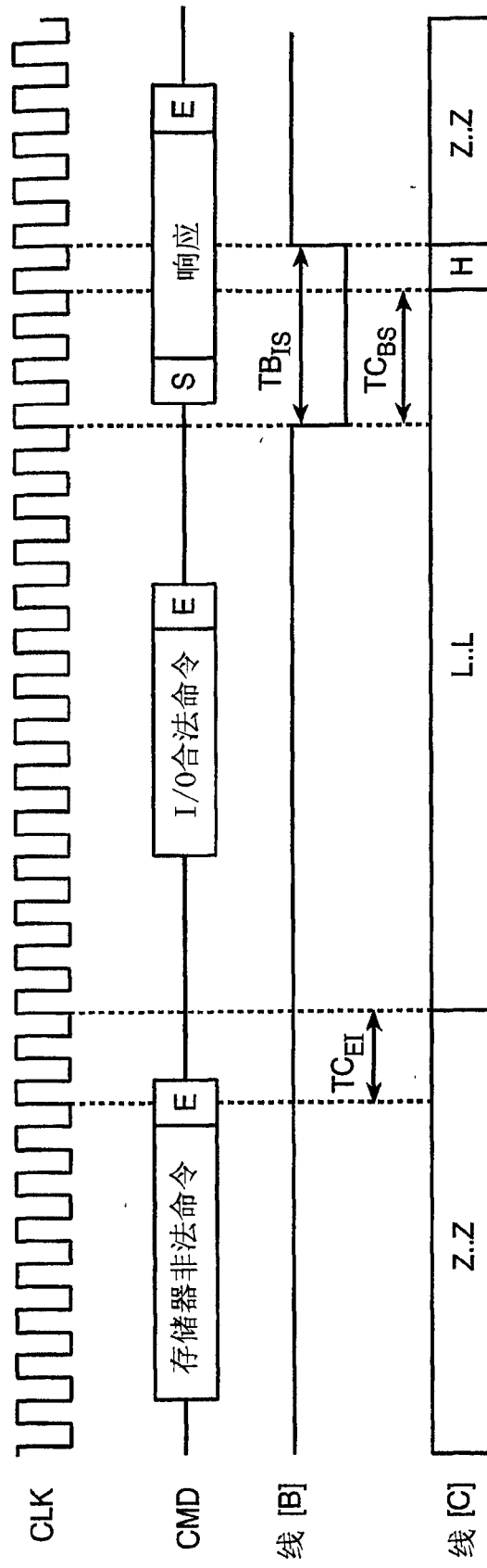


图14

标记	最小值	最大值	单位
N_{CS}	0	-	8 时钟周期
N_{CR}	1	8	8 时钟周期
N_{WR}	1	-	8 时钟周期
T_{ARI}	1	1	1 时钟周期
T_{BS}	1	1	1 时钟周期
T_{SE}	3	3	1 时钟周期
T_{IP}	2	2	1 时钟周期
T_{IS}	4	4	1 时钟周期
T_{CBS}	1	5	1 时钟周期
T_{CRS}	-	3	1 时钟周期
T_{CEI}	0	3	1 时钟周期

表格2: 总线时序值

图15

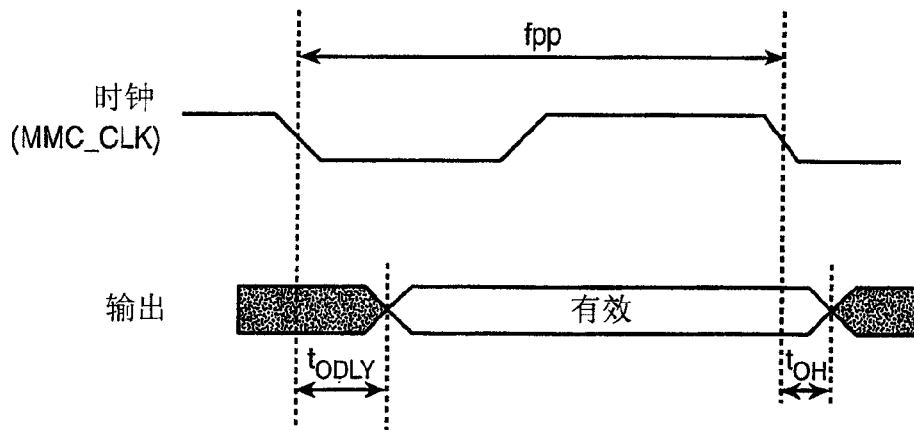


图16

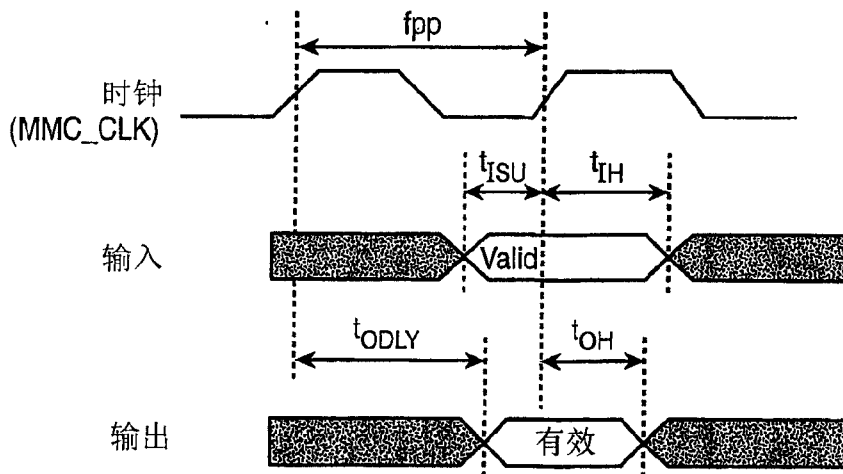


图17

参数	符号
输出延迟时间	t_{ODLY}
输出保持时间	t_{OH}

SD模式下的线[A]——参数值

图18

参数	符号
输入设置时间	T_{ISU}
输入保持时间	T_{IH}
输出延迟时间	t_{ODLY}
输出保持时间	t_{OH}

表格4: SD和SPI模式下的线[B, C]、
SPI模式下的线[A]——参数值

图19

针脚	描述	
	类型	
P_CONT_A - INT_PER_IGNORE_DI	I/O, PU_PP 16mA	SD模式 - "H" = 中断周期 ; SPI模式 - "L" = DI忽视
P_CONT_B - CMD_RESP_IO_DET	I/O, PU_PP 16mA	L - 非CMD响应周期—— 指示I/O卡检测; 在CMD响应周期期间——指示清除 非法CMD和COM CRC ERROR标志
P_CONT_C - ILLEG_CMD	I/O, PU_PP 16mA	L - 指示已接收非法CMD

注意: (1) 输出类型——I/O=输入输出, PP=推拉, PU=上拉

表格5: SDIO接口的针脚描述

图20