

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141684

(P2010-141684A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int. Cl.		F I			テーマコード (参考)	
H03K	5/08	(2006.01)	H03K	5/08	E	5 J 0 0 1
H03K	5/04	(2006.01)	H03K	5/04		5 J 0 3 9
H03K	5/125	(2006.01)	H03K	5/01	D	

審査請求 未請求 請求項の数 27 O L (全 25 頁)

(21) 出願番号	特願2008-316955 (P2008-316955)	(71) 出願人	302062931
(22) 出願日	平成20年12月12日(2008.12.12)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100080816
			弁理士 加藤 朝道
		(72) 発明者	渡会 誠一
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		Fターム(参考)	5J001 AA04 CC01 DD01
			5J039 DA09 DC02 KK16 KK18 KK22
			MM06

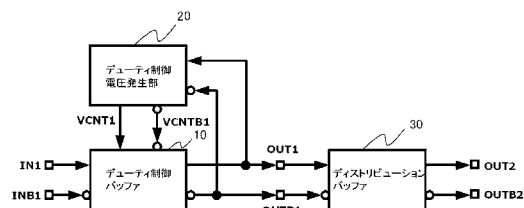
(54) 【発明の名称】 波形合成回路と該回路を備えたデューティ補正回路及びデューティ補正方法

(57) 【要約】

【課題】デューティ制御バッファの出力信号のパルスが消滅してしまうという問題を回避する回路を提供する。

【解決手段】入力信号IN1、INB1を受けるデューティ制御バッファ10と、デューティ制御バッファの出力OUT1、OUTB1を受け、デューティの誤差を検出して制御信号VCNT1、VCNTB1を生成するデューティ制御電圧発生部20を備える。デューティ制御バッファ10は、入力信号を差動で受ける第1の差動対と第2の差動対を備えた差動段と、第1の差動対の出力対と第2の差動対の出力対がそれぞれ接続され、前記第1、第2の差動対の出力対と電源との間に接続された負荷素子対と、第1、第2の差動対にそれぞれ駆動電流を供給する電流源段とを備え、第1の差動対のトランジスタ対の電流駆動能力が異なり、第2の差動対のトランジスタ対の電流駆動能力が異なる不平衡差動対よりなる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

入力信号を受け、前記入力信号の遷移に応じた出力の立ち下がりと立ち上がりの少なくとも一方の遷移に関して、正転出力信号の前記遷移の時間と反転出力信号の前記遷移の時間の間に所定の大小関係を有する第 1 の差動出力信号を生成する第 1 の差動回路と、

前記入力信号を第 1 の差動回路と共通に受け、前記入力信号の遷移に応じた出力の立ち下がりと立ち上がり遷移のうち前記一方の遷移に関して、正転出力信号の前記遷移の時間と反転出力信号の前記遷移の時間の間に、前記第 1 の差動出力信号における大小関係とは逆の大小関係を有する第 2 の差動出力信号を生成する第 2 の差動回路と、

を備え、前記第 1 の差動出力信号と前記第 2 の差動出力信号の正転出力信号同士と反転出力信号同士を合成した信号波形を出力する、ことを特徴とする波形制御回路。

10

【請求項 2】

前記第 1 の差動回路が、前記入力信号を差動で受ける第 1 の差動対を備え

前記第 2 の差動回路が、前記入力信号を差動で受ける第 2 の差動対を備え、

前記第 1、第 2 の差動対の出力対の第 1 の出力同士、第 2 の出力同士がそれぞれ共通に接続され、

前記第 1、第 2 の差動対の共通接続された出力対と電源との間に接続された負荷素子対と、

前記第 1、第 2 の差動対に対して、制御信号に応じた電流をそれぞれ供給する電流源段と、

20

を備え、

前記第 1、第 2 の差動対の共通接続された出力対と前記負荷素子対の接続点から前記正転出力信号と前記反転出力信号が出力され、

前記第 1 の差動対は、電流駆動能力の比が予め定められた所定の値とされるトランジスタ対を備え、

前記第 2 の差動対は、電流駆動能力の比が予め定められた所定の値とされるトランジスタ対を備えている、ことを特徴とする請求項 1 記載の波形制御回路。

【請求項 3】

前記第 1 の差動対が、立ち下がりと立ち上がりの前記一方の遷移に関して、出力対の正転出力信号の遷移時間を反転出力信号の遷移時間に対して遅らせる場合、

30

前記第 2 の差動対は、立ち下がりと立ち上がりの他方の遷移に関して、出力対の正転出力信号の遷移時間を反転出力信号の遷移時間に対して遅らせる、ことを特徴とする請求項 2 記載の波形制御回路。

【請求項 4】

前記第 1 の差動回路が、第 1 の電流源で駆動され、電流駆動能力の比が所定の値とされる第 1、第 2 のトランジスタを含む第 1 の差動対を備え、

前記第 2 の差動回路が、第 2 の電流源で駆動され、電流駆動能力の比が所定の値とされる第 3、第 4 のトランジスタを含む第 2 の差動対を備え、

前記第 1、第 2 の差動対において、

前記第 2、第 4 のトランジスタの制御端子同士が共通接続されて第 1 の入力端子に接続され、

40

前記第 1、第 3 のトランジスタの制御端子同士が共通接続されて第 2 の入力端子に接続され、

前記第 2、第 4 のトランジスタの出力同士が共通接続されて第 1 の出力端子に接続され、

前記第 1、第 3 のトランジスタの出力同士が共通接続されて第 2 の出力端子に接続されている、ことを特徴とする請求項 1 記載の波形制御回路。

【請求項 5】

前記第 1、第 2 のトランジスタの出力をそれぞれ入力し、出力が前記第 2、第 1 のトランジスタの出力に交差接続された第 1、第 2 のラッチ回路と、

50

前記第 3、第 4 のトランジスタの出力をそれぞれ入力し、出力が前記第 4、第 3 のトランジスタの出力に交差接続された第 3、第 4 のラッチ回路と、
を備えている、ことを特徴とする請求項 4 記載の波形制御回路。

【請求項 6】

前記第 1 のラッチ回路が、
前記第 1 の電流源と前記第 1 の出力端子間に、前記第 2 のトランジスタと並列に接続され、制御端子が前記第 2 の出力端子に接続された第 5 のトランジスタを備え、
前記第 2 のラッチ回路が、
前記第 1 の電流源と前記第 2 の出力端子間に、前記第 1 のトランジスタと並列に接続され、制御端子が前記第 1 の出力端子に接続された第 6 のトランジスタを備え
前記第 3 のラッチ回路が、
前記第 1 の電流源と前記第 1 の出力端子間に、前記第 4 のトランジスタと並列に接続され、制御端子が前記第 2 の出力端子に接続された第 7 のトランジスタを備え、
前記第 4 のラッチ回路が、
前記第 1 の電流源と前記第 2 の出力端子間に、前記第 3 のトランジスタと並列に接続され、制御端子が前記第 1 の出力端子に接続された第 8 のトランジスタを備えている、ことを特徴とする請求項 5 記載の波形制御回路。

10

【請求項 7】

前記第 1 のラッチ回路が、
第 3 の電流源と前記第 1 の出力端子間に接続され、制御端子が前記第 2 の出力端子に接続された第 5 のトランジスタを備え、
前記第 2 のラッチ回路が、
前記第 3 の電流源と前記第 2 の出力端子間に接続され、制御端子が前記第 1 の出力端子に接続された第 6 のトランジスタを備え、
前記第 3 のラッチ回路が、
第 4 の電流源と前記第 1 の出力端子間に接続され、制御端子が前記第 2 の出力端子に接続された第 7 のトランジスタを備え、
前記第 4 のラッチ回路が、
前記第 4 の電流源と前記第 2 の出力端子間に接続され、制御端子が前記第 1 の出力端子に接続された第 8 のトランジスタを備えている、ことを特徴とする請求項 5 記載の波形制御回路。

20

30

【請求項 8】

第 1 の定電流源に共通に接続され、第 1、第 2 の制御信号を差動で受ける差動対をなす第 9、第 10 のトランジスタを備え、
前記第 9、第 10 のトランジスタが、前記第 1、第 2 の電流源をなす、ことを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の波形制御回路。

【請求項 9】

第 1、第 2 の定電流源にそれぞれ接続され、第 1、第 2 の制御信号を差動で受ける差動対をなす第 9、第 10 のトランジスタを備え、
前記第 1 の定電流源と前記第 9 のトランジスタの接続点と、前記第 2 の定電流源と前記第 10 のトランジスタの接続点とは抵抗で接続され、
前記第 9、第 10 のトランジスタが、前記第 1、第 2 の電流源をなすことを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の波形制御回路。

40

【請求項 10】

前記第 1、第 2 の定電流源にそれぞれ接続され、第 1、第 2 の制御信号を差動で受ける差動対をなす第 9、第 10 のトランジスタを備え、
前記第 1 の定電流源と前記第 9 のトランジスタとの接続点と、前記第 2 の定電流源と前記第 10 のトランジスタとの接続点は、第 1 の抵抗で接続され、
前記第 9、第 10 のトランジスタが、それぞれ前記第 1、第 3 の電流源をなし
前記第 3、第 4 の定電流源にそれぞれ接続され、前記第 1、第 2 の制御信号を差動で受

50

ける差動対をなす第 1 1、第 1 2 のトランジスタを備え、

前記第 3 の定電流源と前記第 1 1 のトランジスタの接続点と、前記第 4 の定電流源と前記第 1 2 のトランジスタの接続点は第 2 の抵抗で接続され、

前記第 1 1、第 1 2 のトランジスタが、前記第 2、第 4 の電流源をなす、ことを特徴とする請求項 7 記載の波形制御回路。

【請求項 1 1】

前記第 1 の電流源の電流値と前記第 2 の電流源の電流値が予め定められた所定の値とされる、ことを特徴とする請求項 4 乃至 6、8、9 のいずれか 1 項に記載の波形制御回路。

【請求項 1 2】

前記第 1 の電流源と前記第 2 の電流源の電流値が予め定められた所定の値とされ、

10

前記第 3 の電流源と前記第 4 の電流源の電流値が予め定められた所定の値とされる、ことを特徴とする請求項 7 又は 1 0 に記載の波形制御回路。

【請求項 1 3】

請求項 1 乃至 1 2 のいずれか 1 項に記載の波形制御回路を備えたデューティ補正回路。

【請求項 1 4】

請求項 8 乃至 1 0 のいずれか 1 項に記載の波形制御回路と、

前記波形制御回路の出力を受け、デューティの誤差を検出し前記第 1、第 2 の制御信号を生成するデューティ補正電圧発生部と、

を備えたデューティ補正回路。

【請求項 1 5】

20

前記波形制御回路の出力を差動で受けるバッファ回路を備えた請求項 1 4 記載のデューティ補正回路。

【請求項 1 6】

入力信号を受けるデューティ制御バッファと、

前記デューティ制御バッファの出力を受け、デューティの誤差を検出して制御信号を差動で生成するデューティ補正電圧発生部を備え、

前記デューティ制御バッファが、

前記入力信号を差動で共通に受け、出力対の電流駆動能力が不平衡の第 1、第 2 の差動対を備え

前記第 1、第 2 の差動対の出力対の第 1 の出力同士、第 2 の出力同士がそれぞれ接続され、

30

前記第 1、第 2 の差動対の共通接続された出力対と電源との間に接続された負荷素子対と、

前記第 1、第 2 の差動対に対して制御信号に応じた駆動電流をそれぞれ供給する電流源段と、

を備えている、ことを特徴とするデューティ補正回路。

【請求項 1 7】

前記第 1 の差動対が、第 1 の電流源で駆動される第 1、第 2 のトランジスタを含み、

前記第 2 の差動対が、第 2 の電流源で駆動される第 3、第 4 のトランジスタを含み、

前記第 1、第 2 の差動対において、

40

前記第 1、第 3 のトランジスタの制御端子同士が共通接続されて第 1 の入力端子に接続され、

前記第 2、第 4 のトランジスタの制御端子同士が共通接続されて第 2 の入力端子に接続され、

前記第 1、第 2 の入力端子には、前記入力信号が差動で入力され、

前記第 1、第 3 のトランジスタの出力同士が共通接続されて前期出力対の第 1 の出力端子に接続され、

前記第 2、第 4 のトランジスタの出力同士が共通接続されて前期出力対の第 2 の出力端子に接続され、

前記第 1 のトランジスタの電流駆動能力は、前記第 2 のトランジスタの電流駆動能力よ

50

りも大とされる場合、前記第４のトランジスタの電流駆動能力は、前記第３のトランジスタの電流駆動能力よりも大とされる、ことを特徴とする請求項１６記載のデューティ補正回路。

【請求項１８】

前記第１、第２のトランジスタの出力を入力し、前記第２、第１の出力端子に出力が接続された第１、第２のラッチ回路と、

前記第３、第４のトランジスタの出力を入力し、前記第２、第１の出力端子に出力が接続された第３、第４のラッチ回路と、

を備えている、ことを特徴とする請求項１７記載のデューティ補正回路。

【請求項１９】

前記第１のラッチ回路が、

前記第２のトランジスタと並列に、前記第１の電流源と前記第１の出力端子間に接続され、制御端子が前記第２の出力端子に接続された第５のトランジスタを備え、

前記第２のラッチ回路が、

前記第１のトランジスタと並列に、前記第１の電流源と前記第２の出力端子間に接続され、制御端子が前記第１の出力端子に接続された第６のトランジスタを備え

前記第３のラッチ回路が、

前記第４のトランジスタと並列に、前記第１の電流源と前記第１の出力端子間に接続され、制御端子が前記第２の出力端子に接続された第７のトランジスタを備え、

前記第４のラッチ回路が、

前記第３のトランジスタと並列に、前記第１の電流源と前記第２の出力端子間に接続され、制御端子が前記第１の出力端子に接続された第８のトランジスタを備えている、ことを特徴とする請求項１８記載のデューティ補正回路。

【請求項２０】

前記第１のラッチ回路が、

前記第２のトランジスタと並列に、第３の電流源と前記第１の出力端子間に接続され、制御端子が前記第２の出力端子に接続された第５のトランジスタを備え、

前記第２のラッチ回路が、

前記第１のトランジスタと並列に、前記第３の電流源と前記第２の出力端子間に接続され、制御端子が前記第１の出力端子に接続された第６のトランジスタを備え、

前記第３のラッチ回路が、

前記第４のトランジスタと並列に、第４の電流源と前記第１の出力端子間に接続され、制御端子が前記第２の出力端子に接続された第７のトランジスタを備え、

前記第４のラッチ回路が、

前記第３のトランジスタと並列に、前記第４の電流源と前記第２の出力端子間に接続され、制御端子が前記第１の出力端子に接続された第８のトランジスタを備えている、ことを特徴とする請求項１８記載のデューティ補正回路。

【請求項２１】

第１の定電流源に接続され、第１、第２の制御信号を差動で受ける差動対をなす第９、第１０のトランジスタを備え、

前記第９、第１０のトランジスタが、それぞれ前記第１、第２の電流源をなす、ことを特徴とする請求項１６乃至１９のいずれか１項に記載のデューティ補正回路。

【請求項２２】

第１、第２の定電流源でそれぞれ接続され、第１、第２の制御信号を差動で受ける差動対をなす第９、第１０のトランジスタを備え、

前記第１の定電流源と前記第９のトランジスタの接続点と前記第２の定電流源と前記第１０のトランジスタの接続点は抵抗で接続され、

前記第９、第１０のトランジスタが、前記第１、第２の電流源をなすことを特徴とする請求項１６乃至１９のいずれか１項に記載のデューティ補正回路。

【請求項２３】

第 1、第 2 の定電流源でそれぞれ接続され、第 1、第 2 の制御信号を差動で受ける差動対をなす第 9、第 10 のトランジスタを備え、

前記第 1 の定電流源と前記第 9 のトランジスタの接続点と前記第 2 の定電流源と前記第 10 のトランジスタの接続点は第 1 の抵抗で接続され、

前記第 9、第 10 のトランジスタが、前記第 1、第 3 の電流源をなし

第 3、第 4 の定電流源でそれぞれ接続され、前記第 1、第 2 の制御信号を差動で受ける差動対をなす第 11、第 12 のトランジスタを備え、

前記第 3 の定電流源と前記第 11 のトランジスタの接続点と前記第 4 の定電流源と前記第 12 のトランジスタの接続点は第 2 の抵抗で接続され、

前記第 11、第 12 のトランジスタが、前記第 2、第 4 の電流源をなし、ことを特徴とする請求項 20 記載のデューティ補正回路。

10

【請求項 24】

前記デューティ補正電圧発生部が、電流源で駆動され、前記デューティ制御バッファの出力を差動で受ける差動対と、

前記差動対の出力対に流れる電流をそれぞれ受けて折り返す第 1、第 2 のカレントミラーと、

前記第 1、第 2 のカレントミラーの出力にそれぞれ接続された第 1、第 2 の容量とを備え、前記第 1、第 2 の容量の端子電圧を第 1、第 2 の制御信号とする、請求項 16 乃至 23 のいずれか 1 項に記載のデューティ補正回路。

20

【請求項 25】

入力信号の遷移に応じた出力の立ち下がり立ち上がりの少なくとも 1 方の遷移に関して、正転出力信号の前記遷移の時間と反転出力信号の前記遷移の時間の間に所定の大小関係を有する第 1 の差動出力信号を生成し、

前記入力信号の遷移に応じた出力の立ち下がり立ち上がり遷移のうち少なくとも前記一方の遷移に関して、正転出力信号の前記遷移の時間と反転出力信号の前記遷移の時間の間に、前記第 1 の差動出力信号の大小関係とは逆の大小関係を有する第 2 の差動出力信号を生成し、

前記第 1 の差動出力信号と前記第 2 の差動出力信号の正転出力信号同士と反転出力信号同士を合成した信号波形を出力する、ことを特徴とするデューティ補正方法。

30

【請求項 26】

前記入力信号を第 1、第 2 の差動対で差動で受け

前記第 1、第 2 の差動対の出力対の第 1 の出力同士、第 2 の出力同士がそれぞれ共通に接続され、前記第 1、第 2 の差動対に対して電流源段から制御信号に応じた電流をそれぞれ供給し、

前記第 1 の差動対のトランジスタ対の電流駆動能力の比は予め定められた所定の値とされ、

前記第 2 の差動対のトランジスタ対の電流駆動能力の比は予め定められた所定の値とされ、

前記制御信号に応じて、前記第 1 の差動対の出力対の第 1 の出力の遷移を速め、第 2 の出力の遷移を遅らせる場合、前記第 2 の差動対の出力対の第 1 の出力の遷移を遅らせ、第 2 の出力の遷移を速める、ことを特徴とする、ことを特徴とする請求項 25 記載のデューティ補正方法。

40

【請求項 27】

入力信号を受け、前記入力信号の遷移に応じた立ち上がり遷移を遅らせるか速めた第 1 の信号を生成する第 1 の回路と、

前記入力信号を受け、前記入力信号の遷移に応じた立ち下がり遷移を遅らせるか速めた第 2 の信号を生成する第 2 の回路と、

を備え、前記第 1 の信号と前記第 2 の信号を合成した信号波形を出力する、ことを特徴とする波形制御回路。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、波形合成回路及び方法と、該波形合成回路を備えたデューティ補正回路及びデューティ補正方法に関する。

【背景技術】

【0002】

遅延同期ループ(Delay Lock Loop)等に用いられるデューティ補正回路として、例えば図1に示すような構成が知られている。図1は、特許文献1の図2に基づくものである。図1において、回路ブロック、信号名、参照符号等は特許文献1の図2と相違している(rst信号、reset端子は省略されている)。

10

【0003】

図1を参照すると、相補の入力信号IN1、INB1を差動入力するデューティ制御バッファ(Duty control buffer)10と、デューティ制御バッファ10から差動で出力される信号OUT1、OUTB1を入力し、OUT1、OUTB1のデューティ誤差を感知し、デューティ誤差に対応する第1、第2のデューティ制御電圧信号VCNT1、VCNTB1を差動で出力するデューティ制御電圧発生部(Duty control voltage generator)20とを備えている。デューティ制御電圧発生部20において、OUT1、OUTB1の電位を積分し、デューティが崩れた分(Highレベル期間とLowレベル期間の時間差)を第1、第2のデューティ制御電圧信号VCNT1、VCNTB1の電位差に変換し、デューティ制御バッファ10では、第1、第2のデューティ制御電圧信号VCNT1、VCNTB1の電位差をOUT1とOUTB1それぞれの中心電圧(オフセット)の差電圧に変換することでデューティの補正が行われる。

20

【0004】

【特許文献1】特開2005-136949号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

以下に本発明による分析を与える。なお、以下の問題点は、比較例として詳細に説明される。

30

【0006】

図1に示した構成において、デューティ制御バッファの出力信号OUT1、OUTB1の波形鈍り(立ち上がり、立ち下りの遷移時間)等が小さい場合、デューティの誤差を補正するために、OUT1、OUTB1の中心電圧の電位差を大きくしても、デューティを十分に補正できず、OUT1、OUTB1のパルス自体が消滅してしまう場合がある。

【0007】

また、OUT1、OUTB1を差動で受ける差動回路(図1では不図示)において、製造バラツキ等で発生する差動対のオフセットによってデューティの劣化が生じる。

【0008】

本発明は、上記した1つ又は複数の問題を解決するものである。

40

【課題を解決するための手段】

【0009】

本願で開示される発明は、概略以下の構成とされる。

【0010】

本発明によれば、入力信号を受け、前記入力信号の遷移に応じた立ち上がり遷移を遅らせるか速めた第1の信号を生成する第1の回路と、前記入力信号を受け、前記入力信号の遷移に応じた立ち下り遷移を遅らせるか速めた第2の信号を生成する第2の回路と、

を備え、前記第1の信号と前記第2の信号を合成した信号波形を出力する。本発明においては、入力信号を受け、前記入力信号の遷移に応じた出力の立ち下りと立ち上がりの少なくとも1方の遷移に関して、正転出力信号の前記遷移の時間と反転出力信号の前記遷

50

移の時間の間に所定の大小関係を有する第 1 の差動出力信号を生成する第 1 の差動回路と、前記入力信号を第 1 の差動回路と共通に受け、前記入力信号の遷移に応じた出力の立ち下がり立ち上がり遷移のうち前記一方の遷移に関して、正転出力信号の前記遷移の時間と反転出力信号の前記遷移の時間の間に、前記第 1 の差動出力信号における大小関係とは逆の大小関係を有する第 2 の差動出力信号を生成する第 2 の差動回路と、を備え、前記第 1 の差動出力信号と前記第 2 の差動出力信号の正転出力信号同士と反転出力信号同士を合成した信号波形を出力する回路が提供される。

【発明の効果】

【0011】

本発明によれば、デューティ補正において、出力信号のパルス自体が消滅してしまうという問題を回避することができる。

10

【0012】

また本発明によれば、デューティが補正された出力信号を差動で受ける差動回路のオフセットによってデューティの劣化が生じるという問題を回避することができる。

【発明を実施するための最良の形態】

【0013】

本発明の実施の形態について説明する。本発明においては、入力信号 (IN1、INB1) を受けるデューティ制御バッファは、前記入力信号の遷移に応じた出力の立ち下がり立ち上がりの少なくとも一方の遷移に関して、正転出力信号 (OUT1) の前記遷移の時間と反転出力信号 (OUTB1) の前記遷移の時間の間に所定の大小関係を有する第 1 の差動出力信号を生成する第 1 の差動対 (NA1、NA2) と、前記入力信号を第 1 の差動対と共通に受け、前記入力信号の遷移に応じた出力の立ち下がり立ち上がり遷移のうち少なくとも前記一方の遷移に関して、正転出力信号 (OUT1) の前記遷移の時間と反転出力信号 (OUTB1) の前記遷移の時間の間に、前記第 1 の差動出力信号における大小関係とは逆の大小関係を有する第 2 の差動出力信号を生成する第 2 の差動対 (NB1、NB2) と、を備え、前記第 1 の差動出力信号と前記第 2 の差動出力信号の正転出力信号同士と反転出力信号同士を合成した信号波形を出力する。第 1、第 2 の差動対の共通接続された出力対と電源との間に接続された負荷素子対 (RL11、RL12) と、前記第 1、第 2 の差動対に対して制御信号 (VCNT1、VCNTB1) に応じたそれぞれ駆動電流を供給する電流源段とを備えている。制御信号は、OUT1 / OUTB1 を受け、デューティを補正するための電圧を生成するデューティ補正電圧生成部から出力され、デューティ誤差に対応した電圧が供給される。

20

30

【0014】

第 1、第 2 の差動対は、不平衡差動対とされ、例えばトランジスタ対の電流駆動能力が異なるとされる。第 1 の差動対 (NA1、NA2) が、出力の立ち下がり遷移に関して、正転出力信号 (OUT1) の遷移時間を反転出力信号 (OUTB1) の遷移時間に対して遅らせる場合、第 2 の差動対 (NB1、NB2) は、出力の立ち上がり遷移に関して、正転出力信号の遷移時間を反転出力信号の遷移時間に対して遅らせる。

【0015】

まず、本発明の比較例を説明しておく。図 2 は、図 1 のデューティ制御バッファ 10 の出力に信号分配用のデストリビューションバッファ (Distribution buffer) 30 を接続した図である。なお、デストリビューションバッファ 30 は特許文献 1 には図示されない。デストリビューションバッファ 30 は、デューティ制御バッファ 10 の出力 OUT1、OUTB1 を差動で受け OUT2、OUTB2 を差動で出力する。

40

【0016】

図 3 に、図 2 のデューティ制御バッファの構成例 (比較例) を示す。なお、図 3 は、本発明者によって、本発明との比較のために、作成されたものである。図 3 を参照すると、比較例のデューティ制御バッファは、一端が GND (グランド) に接続された定電流源 IC1 と、共通に接続されたソースが定電流源 IC1 の他端に接続されゲートが入力端子 IN1、INB1 にそれぞれ接続された NMOS トランジスタ N1、N2 と、NMOS

50

トランジスタN1、N2のドレインと電源VDD間にそれぞれ接続された抵抗(負荷抵抗)RL1、RL2(抵抗値は等しい)と、ソースがGNDに共通に接続され、ドレインがNMOSTランジスタN1、N2のドレインにそれぞれ接続され、ゲートが端子VCNTB1、VCNT1に接続されたNMOSTランジスタN7、N8とを備え、抵抗RL1と、NMOSTランジスタN1、N7のドレインの接続点と、抵抗RL2と、NMOSTランジスタN2、N8のドレインの接続点は、出力端子OUTB1、OUTBにそれぞれ接続されている。

【0017】

NMOSTランジスタN1、N2は差動対を構成し、出力OUT1は入力IN1と同相、出力OUTB1は入力INB1と同相となる。すなわち、IN1がHigh、INB1がLowのとき、OUT1=High、OUTB1=Lowとなる。IN1がLow、INB1がHighのとき、OUT1=Low、OUTB1=Highとなる。

10

【0018】

NMOSTランジスタN7、N8はそれぞれ負荷抵抗RL1、RL2に接続された電流源を構成し、ゲートにVCNTB1、VCNT1の値に応じて、OUTB1、OUT1のオフセット(振幅の中心電圧)を可変させる。IN1がHighのとき、NMOSTランジスタN1はオンし、抵抗RL1には、NMOSTランジスタN1のドレイン電流ID1と、VCNTB1をゲートに受けるNMOSTランジスタN7のドレイン電流ID7を合わせた電流が流れ、OUTB1には、電源電圧VDDから抵抗RL1による電圧降下分差し引いた電圧VDD-RL1×(ID1+ID7)がLowレベル出力電圧(VOL)として現れる。

20

【0019】

IN1がLowのとき、NMOSTランジスタN1はオフし、抵抗RL1には、VCNTB1をゲートに受けるNMOSTランジスタN7のドレイン電流ID7が流れ、OUTB1には、電源電圧VDDから抵抗RL1による電圧降下分差し引いた電圧VDD-RL1×ID7がHighレベル出力電圧(VOH)として現れる。

【0020】

INB1がHighのとき、NMOSTランジスタN2はオンし、抵抗RL2には、NMOSTランジスタN2のドレイン電流ID2と、VCNT1をゲートに受けるNMOSTランジスタN8のドレイン電流ID8を合わせた電流が流れ、OUT1には、電源電圧VDDから抵抗RL2による電圧降下分差し引いた電圧VDD-RL2×(ID2+ID8)がLowレベル出力電圧(VOL)として現れる。

30

【0021】

INB1がLowのとき、NMOSTランジスタN2はオフし、抵抗RL2には、VCNT1をゲートに受けるNMOSTランジスタN8のドレイン電流ID8が流れ、OUT1には、電源電圧VDDから抵抗RL2による電圧降下分差し引いた電圧VDD-RL2×ID8がHighレベル出力電圧(VOH)として現れる。

【0022】

OUT1について、

$$VOH = VDD - RL2 \times (ID8)$$

40

$$VOL = VDD - RL2 \times (ID2 + ID8)、$$

OUTB1について、

$$VOH = VDD - RL1 \times (ID7)$$

$$VOL = VDD - RL1 \times (ID1 + ID7)$$

【0023】

なお、MOSTランジスタのドレイン電流(ドレイン・ソース間電流)IDは例えば、

$$ID = \frac{\beta}{2} (V_{GS} - V_{TH})^2$$

で与えられる。ただし、βは利得計数、VGSはゲート・ソース間電圧、VTHは閾値

50

である。

【 0 0 2 4 】

V_{OH} と V_{OL} の差電圧 $\Delta V = V_{OH} - V_{OL}$ 、

中心電圧 $V_C = (V_{OH} + V_{OL}) / 2$

を用いると、出力のHighレベル出力電圧 V_{OH} とLowレベル出力電圧 V_{OL} は以下のように表される。

【 0 0 2 5 】

$V_{OH} = V_C + \Delta V / 2$ 、

$V_{OL} = V_C - \Delta V / 2$

【 0 0 2 6 】

デューティ制御バッファ10は、デューティ制御電圧信号 V_{CNT1} 、 V_{CNTB1} 間の差電圧を $OUT1$ と $OUTB1$ それぞれの中心電圧 $V_C(OUT1)$ 、 $V_C(OUTB1)$ の差電圧に変換する。すなわち、 V_{CNT1} 、 V_{CNTB1} の値に対応して、 $OUT1$ と $OUTB1$ にオフセットを与える。

【 0 0 2 7 】

$OUT1$ と $OUTB1$ のそれぞれの中心電圧 V_C に差電圧が発生すると、 $OUT1$ 、 $OUTB1$ のそれぞれが持つ波形鈍り（立ち上がり時間、立ち下がり時間）によって、 $OUT1$ 、 $OUTB1$ が時間軸上で互いにクロスする点（タイミング）が変動する。デューティ制御バッファ10とデューティ制御電圧発生部20において、 $OUT1$ と $OUTB1$ のデューティが揃うまで、すなわち、 V_{CNT1} と V_{CNTB1} の電位差がなくなるまで、

【 0 0 2 8 】

(a) $V_{CNTB1} > V_{CNT1}$ の場合、NMOSトランジスタN7のドレイン電流 I_{D7} は、NMOSトランジスタN8のドレイン電流 I_{D8} よりも大きい。したがって、ドレイン電流 I_{D7} による抵抗 R_{L1} の電圧降下のほうが、ドレイン電流 I_{D8} による抵抗 R_{L2} の電圧降下よりも大きくなり、 $OUTB1$ のHighレベル出力電圧 V_{OH} は、 $OUT1$ のHighレベル出力電圧 V_{OH} よりも低くなり、また、 $OUTB1$ のLowレベル出力電圧 V_{OL} は、 $OUT1$ のLowレベル出力電圧 V_{OL} よりも低くなる。すなわち、 $OUTB1$ の中心電圧 $V_C(OUT1)$ は、 $OUT1$ の中心電圧 $V_C(OUTB1)$ よりも低くなる。

【 0 0 2 9 】

(b) $V_{CNTB1} < V_{CNT1}$ の場合、NMOSトランジスタN8のドレイン電流 I_{D8} は、NMOSトランジスタN7のドレイン電流 I_{D7} よりも大きい。ドレイン電流 I_{D8} による抵抗 R_{L2} の電圧降下のほうが、ドレイン電流 I_{D7} による抵抗 R_{L1} の電圧降下よりも大きくなり、 $OUTB1$ のHighレベル出力電圧 V_{OH} は、 $OUT1$ のHighレベル出力電圧 V_{OH} よりも高くなり、 $OUTB1$ のLowレベル出力電圧 V_{OL} は、 $OUT1$ のLowレベル出力電圧 V_{OL} よりも高くなる。すなわち、 $OUTB1$ の中心電圧 $V_C(OUTB1)$ は、 $OUT1$ の中心電圧 $V_C(OUT1)$ よりも高くなる。

【 0 0 3 0 】

図4は、図2のデューティ制御電圧発生部20の構成例を示す図である。デューティ制御電圧発生部20は、 $OUT1$ 、 $OUTB1$ の電位をそれぞれ積分し、デューティが崩れた分（HighレベルとLowレベルの時間期間（時間幅）の差）を V_{CNT1} 、 V_{CNTB1} の電位差に変換する。デューティ制御電圧発生部20は、一端がGNDに接続された定電流源 I_{CS2} と、共通接続されたソースが定電流源 I_{CS2} の他端に接続され、ゲートが端子 $OUT1$ 、 $OUTB1$ にそれぞれ接続されたNMOSトランジスタN3、N4と、電源VDDにソースが接続されドレインとゲートが接続され、その接続点がNMOSトランジスタN3のドレインに接続されたPMOSトランジスタP1と、電源VDDにソースが接続されドレインとゲートが接続され、その接続点がNMOSトランジスタN4のドレインに接続されたPMOSトランジスタP2と、電源VDDにソースが接続され、ゲートがPMOSトランジスタP1のゲートに接続されたPMOSトランジスタP3と、電

10

20

30

40

50

源 V_{DD} にソースが接続され、ゲートが $PMOS$ トランジスタ $P2$ のゲートに接続された $PMOS$ トランジスタ $P4$ と、 $PMOS$ トランジスタ $P3$ のドレインと GND 間に並列に接続された容量 $C1$ と抵抗 $RL3$ と、 $PMOS$ トランジスタ $P4$ のドレインと GND 間に並列に接続された容量 $C2$ と抵抗 $RL4$ と、を備えている。容量 $C1$ と $C2$ は容量値が等しく、抵抗 $RL3$ 、 $RL4$ の抵抗値は等しい。 $PMOS$ トランジスタ $P1$ 、 $P3$ は第1のカレントミラーを構成し、 $NMOS$ トランジスタ $N3$ のドレイン電流のミラー電流が $PMOS$ トランジスタ $P3$ のドレインから抵抗 $RL3$ に流れる。 $PMOS$ トランジスタ $P2$ 、 $P4$ は第2のカレントミラーを構成し、 $NMOS$ トランジスタ $N4$ のドレイン電流のミラー電流が $PMOS$ トランジスタ $P4$ のドレインから抵抗 $RL4$ に流れる。抵抗 $RL3$ 、 $RL4$ の端子間電圧を蓄積する容量 $C1$ 、 $C2$ の端子電圧が V_{CNT1} 、 V_{CNTB1} としてデューティ制御バッファ10への第1、第2のデューティ制御電圧として供給される。

【0031】

$OUT1$ の $High$ レベル期間が $OUTB1$ の $High$ レベル期間 ($OUT1$ の Low レベル期間) よりも長い場合 (デューティ $> 50\%$)、 $OUT1$ と $OUTB1$ の $High$ レベル期間の差に対応する積分結果が、 V_{CNT1} 、 V_{CNTB1} 間に生成され、 $V_{CNTB1} < V_{CNT1}$ となる。前述したように、 $V_{CNTB1} < V_{CNT1}$ のとき、デューティ制御バッファ10 (図2参照) の出力 $OUTB1$ の中心電圧は、 $OUT1$ の中心電圧よりも高くなる。すなわち、抵抗 $RL2$ の電圧降下の増大により、 $OUT1$ の $High$ レベル出力電圧、 Low レベル出力電圧はともに低くなり、抵抗 $RL1$ の電圧降下の減少により、 $OUTB1$ の $High$ レベル出力電圧、 Low レベル出力電圧はともに高くなる。このため、 $OUTB1$ の $High$ レベルと $OUT1$ の Low レベルの電位差は拡大し、 $OUT1$ の $High$ レベルと $OUTB1$ の Low レベルの電位差は縮小する。時間軸上で、 $OUT1$ の立ち下がり と $OUTB1$ の立ち上がりの交点から $OUT1$ の立ち上がり と $OUTB1$ の立ち下がりの交点までの期間は広がり、 $OUT1$ の立ち上がり と $OUTB1$ の立ち下がりの交点から $OUT1$ の立ち下がり と $OUTB1$ の立ち上がりの交点までの期間は狭まる。

【0032】

一方、 $OUT1$ の $High$ レベル期間の方が $OUTB1$ の $High$ レベル期間 ($OUT1$ の Low レベル期間) よりも短い場合 (デューティ $< 50\%$)、 $OUT1$ 、 $OUTB1$ の $High$ レベル期間の差の期間に対応する積分結果が、 V_{CNTB1} 、 V_{CNT1} 間に生成され、 $V_{CNTB1} > V_{CNT1}$ となる。前述したように、 $V_{CNTB1} > V_{CNT1}$ のとき、 $OUTB1$ の中心電圧は、 $OUT1$ の中心電圧よりも低くなる。すなわち、 $OUTB1$ の $High$ レベル出力電圧、 Low レベル出力電圧はともに低くなり、 $OUT1$ の $High$ レベル出力電圧、 Low レベル出力電圧はともに高くなる。このため、 $OUTB1$ の $High$ レベルと $OUT1$ の Low レベルの電位差は縮小し、 $OUT1$ の $High$ レベルと $OUTB1$ の Low レベルの電位差は拡大する。時間軸上で、 $OUT1$ の立ち下がり と $OUTB1$ の立ち上がりの交点から $OUT1$ の立ち上がり と $OUTB1$ の立ち下がりの交点までの期間は狭まり、 $OUT1$ の立ち上がり と $OUTB1$ の立ち下がりの交点から $OUT1$ の立ち下がり と $OUTB1$ の立ち上がりの交点までの期間は広がる。

【0033】

図5は、図2のディストリビューションバッファ30の構成例を示す図である。図5を参照すると、一端が GND に接続された定電流源 $ICS3$ と、共通ソースが定電流源 $ICS3$ の他端に接続され、ゲートに $OUT1$ 、 $OUTB1$ を入力し差動対を構成する $NMOS$ トランジスタ $N5$ 、 $N6$ と、 $NMOS$ トランジスタ $N5$ 、 $N6$ のドレインと電源 V_{DD} 間に接続された抵抗 $RL5$ 、 $RL6$ (差動対の負荷抵抗) とを備えている。 $OUT1$ の電圧が $NMOS$ トランジスタ $N5$ の閾値電圧を超え、 $OUTB1$ の電圧が $NMOS$ トランジスタ $N5$ の閾値電圧以下のとき、 $NMOS$ トランジスタ $N5$ がオン、 $NMOS$ トランジスタ $N6$ はオフし、 $OUT2$ は $High$ 、 $OUTB2$ は Low となる。 $OUT1$ の電圧が $NMOS$ トランジスタ $N5$ の閾値電圧以下、 $OUTB1$ の電圧が $NMOS$ トランジスタ $N5$ の閾値電圧を越えるとき、 $NMOS$ トランジスタ $N5$ がオフ、 $NMOS$ トランジスタ $N6$

がオンし、OUT 2はLow、OUT B 2はHighとなる。

【0034】

図6、図7は、図2乃至図5を参照して説明した比較例のデューティ補正回路において、入力波形のデューティが劣化していない場合と、劣化した場合の各ノードの波形を示したものである。

【0035】

図6の波形図において、(a)、(b)、(c)、(d)は、図2の構成において入力信号IN 1 / IN B 1のデューティが50%のときの、入力信号IN 1 / IN B 1、デューティ制御バッファ10の出力OUT 1、OUT B 1、ディストリビューションバッファ30の出力OUT 2、OUT B 2、デューティ制御電圧VCNT 1、VCNT B 1の電圧波形を示している。IN 1、IN B 1のデューティが50%のとき、デューティ制御電圧VCNT 1とVCNT B 1は同一電圧V_oとされ、デューティ制御バッファ10の出力OUT 1、OUT B 1の中心電圧は等しく、OUT 1の立ち下がりとOUT B 1の立ち上がりの時間軸上の交点から、OUT 1の立ち上がりとOUT B 1の立ち下がるの時間軸上の交点までの時間と、OUT 1の立ち上がりとOUT B 1の立ち下がるの時間軸上の交点からOUT 1の立ち下がりとOUT B 1の立ち上がるの時間軸上の交点までの時間は等しくなり、デューティは50%となる。

【0036】

図7の波形図は、IN 1のHighレベル期間(W₂)がLowレベル期間(W₁)よりも長い(OUT B 1のLowレベル期間はHighレベル期間よりも短い)場合の図である(IN 1のデューティ>50%)。図3のデューティ制御バッファ10のOUT 1、OUT B 1はIN 1、IN B 1と同相であることから、OUT 1のデューティ>50%となる。OUT 1のHighレベル期間とLowレベル期間の時間差(W₂ - W₁)を、VCNT 1、VCNT B 1の電位差に変換する。VCNT 1 = V₁ > V_o、VCNT B 1 = V₂ < V_oとなる。

【0037】

VCNT 1、VCNT B 1を受けるデューティ制御バッファ10(図2参照)において、OUT 1のHighレベル電圧、Lowレベル電圧、及び中心電圧は下がり、OUT B 1のHighレベル電圧、Lowレベル電圧、中心電圧は上がる。

【0038】

OUT 1の立ち下がりとOUT B 1の立ち上がるのクロスポイントからOUT 1の立ち上がりとOUT B 1の立ち下がるのクロスポイントまでの幅は、W₁からW₀に広がる。OUT 1の立ち上がりとOUT B 1の立ち下がるのクロスポイントから、OUT 1の立ち下がりとOUT B 1の立ち上がるのクロスポイントまでの幅は、W₂からW₀に狭まる。

【0039】

OUT 1、OUT 1 Bを受けるディストリビューションバッファ30の差動(相補)出力OUT 2、OUT B 2のHighレベル期間とLowレベル期間はともに、W₀となり、デューティは50%となる。なお、図7では、簡単のため、デューティ>50%のIN 1の波形の各サイクルの真下(同一サイクル内)に、それぞれデューティ補正後の波形OUT 1 / OUT B 1、OUT 2 / OUT B 2(デューティ=50%)が図示されているが、デューティ制御電圧発生部20からの積分結果であるデューティ制御電圧VCNT 1、VCNT B 1による帰還制御は、一般に複数サイクルにわたって行われる。また、図7では、デューティ制御電圧VCNT 1 > VCNT B 1とされ、OUT 1のデューティが50%となるように制御が行われる。OUT 1 / OUT B 1、OUT 2 / OUT B 2がデューティ=50%に近づくにしたがって、デューティ制御電圧VCNT 1、VCNT B 1の電圧値は等しくなるように変化し、デューティ=50%でVCNT 1 = VCNT B 1となる。

【0040】

図2乃至図5を参照して説明した比較例においては、図8に示すように、OUT 1、OUT B 1の立ち上がり時間、立ち下がり時間が小さい場合には、デューティ制御電圧VCNT 1、VCNT B 1によりOUT 1とOUT B 1の中心電圧の差を大きくしても、デュー

10

20

30

40

50

デューティを補正しきれず、OUT1、OUTB1の中心電圧の電位差は、それぞれのエッジがクロスすることができない状態まで変動する場合がある。図8において、図7と同様、IN1のHighレベル期間(W2)がLowレベル期間(W1)よりも長い(デューティ>50%)。デューティ制御電圧発生部20において、OUT1、OUTB1のHighレベル期間とLowレベル期間の時間差(W2-W1)を、VCNT1、VCNTB1の電位差に変換する。その結果、VCNT1>VCNTB1となる。VCNT1、VCNTB1を受けるデューティ制御バッファ10(図2参照)において、OUT1の中心電圧は下がり、OUTB1の中心電圧は上がる。OUTB1のLowレベル出力電圧VOLは、OUT1のHighレベル出力電圧VOHよりも高い。このため、時間軸上で、OUT1の立ち下がりとOUTB1の立ち上がりがクロスすることはない。また、時間軸上で、OUT1の立ち上がりとOUTB1の立ち下がりもクロスすることはない。この結果、デストリビューションバッファ30の出力OUTB2は、High固定、OUT2は、Low固定となり、信号(クロックパルス)は消滅する。

【 0 0 4 1 】

またOUT1、OUTB1は、図7(b)に示すように、デューティ補正のために、Highレベル、Lowレベルの振幅がアンバランスとなる。このOUT1、OUTB1は、デストリビューションバッファ30に供給される。一般に、図5に示した差動型のバッファ回路は、プロセスのバラツキ等により、例えばNMOSトランジスタN5とN6において、互いのトランジスタの閾値が変動する場合がある。閾値の変動によって、差動型のバッファ回路の信号検知能力が変化し、例えば、LowレベルからHighレベルを検知する能力が、HighレベルからLowレベルを検知する能力に対して劣化する場合がある。同相のバッファ(例えばOUT1、OUTB1のHigh、Lowに対してOUT2、OUT2Bから同相のHigh、Lowを出力する)において、Highレベルを出力する速度がLowレベルを出力する速度よりも遅くなり、これによってデューティの劣化が発生する。

【 0 0 4 2 】

図 9 は、この場合のタイミング波形を表した図である。図 9 においても、図 7 と同様、IN1 の High レベル期間 (W2) が Low レベル期間 (W1) よりも長い (デューティ > 50%)。デューティ制御電圧発生部 20 において、OUT1、OUTB1 の High レベル期間と Low レベル期間の時間差 (W2 - W1) を、VCNT1、VCNTB1 の電位差に変換する。なお、OUT1 は IN1 と同相、OUTB1 は INB1 と同相である。OUT1、OUTB1 は、デューティ補正によって High レベル、Low レベルの振幅がアンバランスになっている。OUT1、OUTB1 を差動で受けるデストリビューションバッファ 30 は、例えば上述したように、製造プロセスのバラツキ等により、High レベルを検知する能力が Low レベルを検知する能力に対して劣化しているものと仮定する。すると、High レベルを出力する速度が Low レベルを出力する速度に対して遅くなるため、デストリビューションバッファ 30 の出力 OUT2、OUTB2 から、デューティのずれた信号が出力されることになる (図 9 の (c) 参照)。デューティ制御バッファ 10 の出力 OUT1 が High、OUTB1 が Low の期間の振幅は小さくなり、次段のデストリビューションバッファ 30 の差動対のオフセットにより、デューティ制御バッファ 10 でデューティ 50% に補正した OUT1、OUTB1 のデューティが再度変動してしまっている。すなわち、OUT2 の High レベル期間は W0 から W4 に短縮し、Low レベル期間は W0 から W3 に伸長し、OUT2 はデューティ = $W4 / (W3 + W4)$ となる。これは、デューティ制御バッファ 10 で OUT1 の High レベル、OUTB1 の Low レベルの差電圧を小さくしているために生じている。

【 0 0 4 3 】

このように、比較例において、OUT1 / OUTB1 の波形鈍が小さい場合、OUT1 / OUTB1 の中心電圧の差を大きくしても、デューティが完全に補正できず、またクロックパルスが消滅してしまう。さらに、次段のバッファのオフセットが原因して、デューティ 50 % に補正した OUT1 / OUTB1 のデューティが再度変動してしまう場合が生

じる。以上、比較例の問題点を詳細に説明した。以下に、本発明の実施例を説明する。

【実施例】

【0044】

本発明によれば、デューティ補正回路において信号の波形鈍りの変化で発生するデューティ補正能力の低下と誤動作を防止する。また製造バラツキ等で発生する差動回路のオフセットによって発生するデューティ劣化を大幅に低減する。以下、本発明の一実施例の構成を説明する。なお、本発明におけるデューティ補正回路の全体は、図2の構成と同様である。デューティ制御電圧発生部20、デストリビューションバッファ30は、図4、図5にそれぞれ示した構成とされる。

【0045】

10

図10は、本発明の一実施例のデューティ制御バッファ(図2の10)の構成を示す図である。図2を参照すると、このデューティ制御バッファは、IN1、INB2に入力対が接続され、出力対が電源VDDに負荷抵抗RL1、RL2を介して接続される差動段(Differential stage)1と、差動段1とGND間に接続され、デューティ制御電圧VCNTB1、VCNT1を受け、差動段1に対して、電流端子SA1、SA2、SB1、SB2から電流を供給する電流源段(Current source stage)2とを備えている。差動段1の出力対と抵抗RL1、RL2との接続点はそれぞれ出力端子OUTB1、OUT1と接続されている。

【0046】

20

図11は、図10の差動段1の構成の一例を示す図である。図11を参照すると、この差動段は、共通接続されたソースが電流端子SA1に接続され、ゲートがIN1、INB1にそれぞれ接続され、ドレインがOUTB1、OUT1にそれぞれ接続されたNMOSトランジスタNA1、NA2と、共通接続されたソースが電流端子SA2に接続され、ゲートがOUTB1、OUT1にそれぞれ接続され、ドレインがOUT1、OUTB1にそれぞれ接続されたNMOSトランジスタNA3、NA4と、共通接続されたソースが電流端子SB1に接続され、ゲートがIN1、INB1にそれぞれ接続され、ドレインがOUTB1、OUT1にそれぞれ接続されたNMOSトランジスタNB1、NB2と、共通接続されたソースが電流端子SB2に接続され、ゲートがOUTB1、OUT1にそれぞれ接続され、ドレインがOUT1、OUTB1にそれぞれ接続されたNMOSトランジスタNB3、NB4と、を備えている。

30

【0047】

NMOSトランジスタNA3、NA4は、それぞれラッチ回路として作用する。OUTB1がHighのとき、NMOSトランジスタNA3がオンし、OUT1をLowとし、OUT1がHighのとき、NMOSトランジスタNA4がオンし、OUTB1をLowとする。NMOSトランジスタNB3、NB4もそれぞれラッチ回路として作用し、OUTB1がHighのとき、NMOSトランジスタNB3がオンし、OUT1をLowとし、OUT1がHighのとき、NMOSトランジスタNB4がオンし、OUTB1をLowとする。

【0048】

40

NMOSトランジスタNA2とNA3のW/L(ゲート幅/ゲート長)を1(単位)とした場合、NMOSトランジスタNA1とNA4の(W/L)はn倍とする(但し、 $n > 1$)。NMOSトランジスタNA2がOUT1をHighからLowへ駆動する電流駆動能力は、NMOSトランジスタNA1がOUTB1をHighからLowへ駆動する電流駆動能力の(1/n)倍とされる。NMOSトランジスタNA1~NA4の回路において、OUT1の立ち下がり時間(HighからLowへの遷移時間)は、OUTB1の立ち下がり時間(HighからLowへの遷移時間)よりも遅れる。

【0049】

50

NMOSトランジスタNB1とNB4の(W/L)を1(単位)とした場合、NMOSトランジスタNB2とNB3の(W/L)はm倍とする(但し、 $m > 1$)。NMOSトランジスタNB1がOUTB1をHighからLowへ駆動する電流駆動能力は、NMOS

トランジスタNB2がOUT1をHighからLowへ駆動する電流駆動能力の(1/m)倍とされる。トランジスタNB1~NB4の回路において、OUTB1のHighからLowへの立ち下がり時間(HighからLowへの遷移時間)は、OUT1のHighからLowへの立ち下がり時間(HighからLowへの遷移時間)よりも遅れる。

【0050】

図12は、図10の電流源段(Current source stage)の構成を示す図である。図12を参照すると、一端がGNDに接続された定電流源ICSA1、ICSA2、ICSA3、ICSA4と、NMOSトランジスタNC1、NC2、ND1、ND2とを備えている。NMOSトランジスタNC1、NC2のゲートはVCNTB1、VCNT1にそれぞれ接続され、ドレインはSA1、SB1に接続され、ソースは定電流源ICSA1、ICSB1の他端にそれぞれ接続されている。NMOSトランジスタNC1、NC2のソース間には抵抗RSC1が接続されている。NMOSトランジスタND1、ND2のゲートはVCNTB1、VCNT1にそれぞれ接続され、ドレインはSA2、SB2に接続され、ソースは定電流源ICSA2、ICSB2の他端にそれぞれ接続されている。NMOSトランジスタND1、ND2のソース間には抵抗RSD1が接続されている。電圧VCNTB1が下がり、電圧VCNT1が上がると、トランジスタNC1に流れる電流(ドレイン電流)は減少し、トランジスタNC2に流れる電流は増大し、トランジスタND1に流れる電流(ドレイン電流)は減少し、トランジスタND2に流れる電流は増大する。逆に電圧VCNTB1が上がり、電圧VCNT1が下がると、トランジスタNC1に流れる電流(ドレイン電流)は増大し、トランジスタNC2に流れる電流は減少し、トランジスタND1に流れる電流(ドレイン電流)は増大し、トランジスタND2に流れる電流は減少する。

【0051】

定電流源ICSA2の電流値を1とした場合、定電流源ICSA1の電流値をr倍とする(但し、 $r > 1$)。

【0052】

定電流源ICSB2の電流を1とした場合、定電流源ICSB1の電流値をs倍とする(但し、 $s > 1$)。n、m、r、sの絶対値は、デューティ補正能力の限界を設定するために、任意に設定できる。

【0053】

また、nとmの相対比(例えばn/m)と、rとsの相対値(例えばr/s)は、デューティ補正を行うべき入力信号のHigh、Lowレベルのうちいずれか一方のデューティ補正能力を、他方に対して上げるために、任意に設定できる。

【0054】

例えば(n/m) > 1または(r/s) > 1の場合、Lowレベル期間がHighレベル期間に対して大きい場合に、有効である。

【0055】

また、(n/m) < 1または(r/s) < 1の場合、上記とは逆に、デューティ劣化が発生した場合に、有効である。

【0056】

すなわち、予め、High/Lowに対するデューティ劣化の方向が判明している場合に有効である。

【0057】

また、nとrの相対比(例えばn/r)と、mとsの相対値(例えばm/s)は、出力OUT1、OUTB1の波形鈍りを調整し、デューティ補正能力の強度を調整するために任意に設定できる。

【0058】

例えば、

(A) (n/r) > 1または(m/s) > 1の場合、波形鈍り(立ち上がり、立ち下がり)を小さくすることができる。

【 0 0 5 9 】

(B) (n / r) < 1 または (m / s) < 1 の場合、出力信号 O U T 1、O U T B 1 の波形鈍りを大きくすることができる。

【 0 0 6 0 】

これは、入力端子 I N 1、I N B 1 に差動で入力されるクロック信号の周波数の変化に対してより有効に作用する。例えば (A) の場合、高周波クロックの場合に有効である。また (B) の場合、低周波クロックに有効である。

【 0 0 6 1 】

通常、 $n = m = r = s$ とする。また、変数の絶対値としては、動作周波数を 5 0 0 M H z ~ 3 G H z の差動信号を想定した場合、2 ~ 6 の範囲が適切な例として挙げられる。

10

【 0 0 6 2 】

以下では、 $n = m = r = s = 4$ とした場合について説明する。上述した、図 1 0 と図 1 1 のトランジスタと電流の比を与えた結果として、トランジスタ N A 1、N A 2、N A 3、N A 4 で構成された回路は、入力端子 I N 1、I N B 1 から入力される信号に対して、O U T 1 の H i g h から L o w への遷移時間 (立ち下がり時間) を遅らせる作用がある。なお、N M O S トランジスタ N A 1 ~ N A 4 の回路の出力において、O U T B 1 の立ち下がり時間は O U T 1 の立ち下がりよりも速く、O U T 1 の立ち上がりは O U T B 1 の立ち上がりよりも速い。

【 0 0 6 3 】

また、N M O S トランジスタ N B 1、N B 2、N B 3、N B 4 で構成された回路は、I N 1、I N B 1 から入力される信号に対して、O U T B 1 の H i g h から L o w への遷移時間 (立ち下がり時間) を遅らせる作用がある。なお、N M O S トランジスタ N B 1 ~ N B 4 の回路の出力において、O U T 1 の立ち下がり時間は O U T B 1 の立ち下がりよりも速く、O U T B 1 の立ち上がりは O U T 1 の立ち上がりよりも速い。

20

【 0 0 6 4 】

図 1 8 は、本実施例の動作を説明するためのタイミング波形図である。図 1 8 には、入力 I N 1、I N B 1 にデューティ変動がない場合 (デューティ = 5 0 %) の動作が示されている。この場合、デューティ制御電圧発生部 2 0 の出力 V C N T 1、V C N T B 1 は等しい。

【 0 0 6 5 】

図 1 8 において、(a)、(b) は入力波形 I N、I N B 1 と、N M O S トランジスタ N A 1 ~ N A 4 の回路で生成される O U T 1、O U T B 1 を表している。O U T 1 の H i g h から L o w への立ち下がり遷移は遅れる。また、O U T B 1 の L o w から H i g h への立ち上がり変化は遅れる。O U T 1 の立ち下がりと O U T B 1 の立ち上がりの交点から O U T 1 の立ち上がりと O U T B 1 の立ち下がりの交点までの期間が W 0 から W 1 に短縮し、O U T 1 の立ち上がりと O U T B 1 の立ち下がりの交点から O U T 1 の立ち下がりと O U T B 1 の立ち上がりの交点までの期間は W 0 から W 2 に伸長している。

30

【 0 0 6 6 】

図 1 8 (c)、(d) は入力波形 I N、I N B 1 と、N M O S トランジスタ N B 1 ~ N B 4 の回路で生成される波形 O U T 1、O U T B 1 を表している。O U T 1 の L o w から H i g h への立ち上がり遷移は遅れる。O U T B 1 の H i g h から L o w への立ち下がり遷移は遅れる。O U T 1 の立ち下がりと O U T B 1 の立ち上がりの交点から O U T 1 の立ち上がりと O U T B 1 の立ち下がりの交点までの期間が W 0 から W 3 に伸長し、O U T 1 の立ち上がりと O U T B 1 の立ち下がりの交点から O U T 1 の立ち下がりと O U T B 1 の立ち上がりの交点までの期間は W 0 から W 4 に短縮している。

40

【 0 0 6 7 】

図 1 8 (e)、(f)、(g) は、N M O S トランジスタ N A 1 ~ N A 4 の回路で生成される波形と、N M O S トランジスタ N B 1 ~ N B 4 の回路で生成される波形の合成を説明するための図である。(e) は、N M O S トランジスタ N A 1 ~ N A 4 の回路で生成される波形 O U T 1、O U T B 1 ((b) と同じ)、(f) は、N M O S トランジスタ N B

50

1 ~ NB 4 の回路で生成される波形 OUT 1、OUT B 1 ((d) と同じ)、(g) は帰還による合成された OUT 1 / OUT B 1 の波形をそれぞれ表している。

【 0 0 6 8 】

図 1 8 (h) は、デューティ制御電圧 VCNT 1、VCNT B 1 である。(e) と (f) の OUT 1 同士、OUT B 1 同士を合成 (実際には抵抗 RL 1、RL 2 に流れる電流の電流加算) することで、(g) の波形が得られる。

【 0 0 6 9 】

NMOS トランジスタ NA 1 ~ NA 4 の回路からの立ち下がり遅れた OUT 1 と、NMOS トランジスタ NB 1 ~ NB 4 の回路からの立ち上がり遅れた OUT 1 とを合成し、結果として、デューティ劣化のない出力波形となる。なお、NMOS トランジスタ NA 1 ~ NA 4 の回路からの OUT 1 と、NMOS トランジスタ NB 1 ~ NB 4 の回路からの OUT 1 の合成は、負荷抵抗 RL 2 で行われ、合成結果が抵抗 RL 2 の端子電圧として出力される。NMOS トランジスタ NA 1 ~ NA 4 の回路からの OUT B 1 と、NMOS トランジスタ NB 1 ~ NB 4 の回路からの OUT B 1 の合成は、負荷抵抗 RL 1 で行われ、合成結果が抵抗 RL 1 の端子電圧として出力される。

【 0 0 7 0 】

図 1 9 は、前述した比較例の問題点を想定した動作を説明するためのタイミング波形図である。図 1 9 において、(a)、(b) は入力信号 IN、INB 1 と、NMOS トランジスタ NA 1 ~ NA 4 の回路で生成される OUT 1、OUT B 1 を表している。NMOS トランジスタ NA 1 から NA 4 の回路は OUT 1 の High から Low への変化を遅らせる。すなわち、図 1 9 (b) に示すように、OUT 1 の立ち下がり遅れと OUT B 1 の立ち上りの交点から OUT 1 の立ち上がり遅れと OUT B 1 の立ち下りの交点までの期間が W 1 から W 5 に短縮し (W 5 < W 1)、OUT 1 の立ち上がり遅れと OUT B 1 の立ち下りの交点から OUT 1 の立ち下り遅れと OUT B 1 の立ち上りの交点までの期間は W 2 から W 6 (W 6 > W 2) に伸長している。

【 0 0 7 1 】

図 1 9 (c)、(d) は入力信号 IN、INB 1 と、NMOS トランジスタ NB 1 ~ NB 4 の回路で生成される波形 OUT 1、OUT B 1 を表している。また NMOS トランジスタ NB 1 から NB 4 の回路は OUT 1 の Low から High への変化を遅らせる。図 1 9 (d) に示すように、OUT 1 の立ち下がり遅れと OUT B 1 の立ち上りの交点から OUT 1 の立ち上がり遅れと OUT B 1 の立ち下りの交点までの期間が W 1 から W 7 (W 7 > W 1) に伸長し、OUT 1 の立ち上がり遅れと OUT B 1 の立ち下りの交点から OUT 1 の立ち下り遅れと OUT B 1 の立ち上りの交点までの期間は W 2 から W 8 (W 2 > W 8) に短縮している。なお、図 1 9 (a) と (c) は同一波形である。

【 0 0 7 2 】

NMOS トランジスタ NA 1 から NA 4 の回路の出力 (図 1 9 (e)) と NB 1 から NB 4 の回路の出力 (図 1 9 (f)) を合成することで、出力 OUT 1、OUT B 1 からはデューティ劣化のない波形が出力される (図 1 9 (g))。なお、図 1 9 (h) の VCNT 1、VCNT B 1 は、図 4 のデューティ制御電圧発生部 20 から出力される。IN 1 (したがって OUT 1) のデューティが 50 % よりも大であるため、前述したように、デューティ制御電圧発生部 20 から出力されるデューティ制御電圧は VCNT 1 > VCNT B 1 となる。この場合、図 1 2 の電流源段において、電流端子 SA 1、SA 2 の電流値が減少し、電流端子 SB 1、SB 2 の電流値は増大する。この結果、NMOS トランジスタ NA 1、NA 2 からなる差動対の駆動電流が減少し、NMOS トランジスタ NB 1、NB 2 からなる差動対の駆動電流は増大する。よって、NA 1 ~ NA 4 の回路は、OUT 1 の立ち下がり時間の遅れを小さくし、OUT B 1 の立ち下がり時間の遅れを増やす。また、NMOS トランジスタ NB 1 ~ NB 4 の回路は、OUT 1 の立ち下がり時間を短縮し、OUT B 1 の立ち下がり時間の遅れを小さくするように帰還制御が行われる。

【 0 0 7 3 】

前述した比較例では、デューティ補正の効果を得るために、信号振幅の中心電圧に差分

を与える構成とされている。すなわち、OUT1、OUTB1にオフセットを設け、Highレベル出力電圧と、Lowレベル電圧を可変させ、振幅を可変させている。

【0074】

これに対し、本発明においては、OUT1のHighからLowに変化する信号を遅れさせる回路と、LowからHighに変化する信号を遅れさせる回路を設け、それを合成させる。デューティ補正能力は、入力波形鈍りに関係なく、上述した変数(n、m、r、s)の組み合わせで決定することができるため、比較例のように、出力信号が消滅するという不具合は発生しない。

【0075】

また、前述した比較例では、Highレベル出力電圧と、Lowレベル電圧の振幅を可変させているが、本実施例では、OUT1、OUTB1のHigh/Lowレベルの振幅は一定であるため、比較例のように、後段のバッファの入力オフセットの影響で、デューティ劣化を起こす不具合も発生しない。また、変数(n、m、r、s)の組み合わせによって、低周波から高周波への適用や、予めHigh/Lowのデューティ変動の方向が決まっている場合への有効的な適用も可能である。

【0076】

図13は、図2のデューティ制御バッファ10の別の実施例の構成を示す図である。図13を参照すると、デューティ制御バッファは、共通接続されたソースが電流端子SA1に接続され、ゲートが入力端子IN1、INB1にそれぞれ接続され、ドレインがOUTB1、OUT1にそれぞれ接続されたNMOSトランジスタNA1、NA2と、共通接続されたソースが電流端子SB1に接続され、ゲートが入力端子IN1、INB1にそれぞれ接続され、ドレインがOUTB1、OUT1にそれぞれ接続されたNMOSトランジスタNB1、NB2と、を備えている。なお、本実施例において、NMOSトランジスタNA1、NA2、NB1、NB2のディメンジョン(W/L)は、図11に示した前記実施例で説明したものと同様とされる。

【0077】

図14は、図2のデューティ制御バッファ10の別の実施例の構成を示す図である。図14を参照すると、ソースが電流端子SA1に共通接続されたNMOSトランジスタNA1、NA2、NA3、NA4を備え、NMOSトランジスタNA1、NA2のゲートはIN1、INB1にそれぞれ接続され、ドレインがOUTB1、OUT1にそれぞれ接続され、NMOSトランジスタNA3、NA4のゲートはOUTB1、OUT1にそれぞれ接続され、ドレインがOUT1、OUTB1にそれぞれ接続されている。ソースが電流端子SB1に共通接続されたNMOSトランジスタNB1、NB2、NB3、NB4を備え、NMOSトランジスタNB1、NB2のゲートはIN1、INB1にそれぞれ接続され、ドレインがOUTB1、OUT1にそれぞれ接続され、NMOSトランジスタNB3、NB4のゲートはOUTB1、OUT1にそれぞれ接続され、ドレインがOUT1、OUTB1にそれぞれ接続されている。なお、本実施例において、NMOSトランジスタNA1、NA2、NB1、NB2のディメンジョン(W/L)は、図11に示した前記実施例で説明したものと同様とされる。

【0078】

図15は、図14、図15の電流端子SA1、SB1に電流を供給する電流源の構成を示す図である。一端がGNDに接続された定電流源ICSA1、ICSA1と、ソースが定電流源ICSA1、ICSA1の他端にそれぞれ接続され、抵抗RSC1を介して接続され、ゲートがVCNTB1、VCNT1にそれぞれ接続され、ドレインがSA1、SB1に接続されたNMOSトランジスタNC1、NC2を備えている。OUT1、OUTB1の負荷抵抗RL1、RL2に流れる電流の総和は定電流源ICSA1、ICSB1の電流値の和となる。

【0079】

図16は、図14、図15の電流端子SA1、SB1に電流を供給する電流源の構成を示す図である。一端がGNDに接続された定電流源ICSA1と、共通接続されたソース

10

20

30

40

50

が定電流源 I_{CSA1} の他端に接続され、ゲートが $VCNTB1$ 、 $VCNT1$ にそれぞれ接続され、ドレインが $SA1$ 、 $SB1$ に接続された $NMOS$ トランジスタ $NC1$ 、 $NC2$ を備えている。 $OUT1$ 、 $OUTB1$ の負荷抵抗 $RL1$ 、 $RL2$ に流れる電流の総和は定電流源 I_{CSA1} の電流値となる。

【0080】

図17は、図10の電流源段の別の構成例を示す図である。図14の差動段の構成から、 $NMOS$ トランジスタ $NA3$ 、 $NA4$ 、 $NB3$ 、 $NB4$ を削除したものである。図17を参照すると、一端が GND に接続された定電流源 I_{CSA1} 、 I_{CSA2} と、共通接続されたソースが定電流源 I_{CSA1} の他端に接続され、ゲートが $VCNTB1$ 、 $VCNT1$ にそれぞれ接続され、ドレインが $SA1$ 、 $SB1$ にそれぞれ接続された $NMOS$ トランジスタ $NC1$ 、 $NC2$ と、共通接続されたソースが定電流源 I_{CSA2} の他端に接続され、ゲートが $VCNTB1$ 、 $VCNT1$ にそれぞれ接続され、ドレインが $SA2$ 、 $SB2$ にそれぞれ接続された $NMOS$ トランジスタ $ND1$ 、 $ND2$ と、を備えている。端子 $SA1$ 、 $SB1$ の端子に供給される電流の和は定電流源 I_{CS1} の電流値、端子 $SA2$ 、 $SB2$ の端子に供給される電流の和は定電流源 I_{CS2} の電流値である。

10

【0081】

なお、上記実施例では、デューティ制御バッファ10の差動段、電流源段等を $NMOS$ トランジスタで構成した例に即して説明したが、本発明においてトランジスタの導電型は $NMOS$ に制限されるものでなく、 $PMOS$ トランジスタで構成してもよいことは勿論である。この場合、図10、図11等において、電流源段は電源 VDD 側に接続され、抵抗 $RL11$ 、 $RL12$ は GND 側に接続される。

20

【0082】

なお、上記の特許文献1の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【0083】

30

【図1】関連技術のデューティ補正回路の構成を説明する図である。

【図2】本発明が適用されるデューティ補正回路の構成を示す図である。

【図3】比較例のデューティ制御バッファの構成を示す図である。

【図4】図2のデューティ制御電圧発生部の構成を示す図である。

【図5】図2のデストリビューションバッファの構成を示す図である。

【図6】比較例の動作例を説明するためのタイミング波形図である。

【図7】比較例の動作例を説明するためのタイミング波形図である。

【図8】比較例の動作例を説明するためのタイミング波形図である。

【図9】比較例の動作例を説明するためのタイミング波形図である。

40

【図10】本発明の一実施例のデューティ制御バッファの構成を示す図である。

【図11】図10の差動段（*Differential stage*）の構成の一例を示す図である。

【図12】図10の電流源段（*Current Source stage*）の構成の一例を示す図である。

【図13】図10の差動段（*Differential stage*）の構成の別の例を示す図である。

【図14】図10の差動段（*Differential stage*）の構成のさらに別の例を示す図である。

【図15】図10の電流源段（*Current Source stage*）の構成の一例を示す図である。

50

【図１６】図１０の電流源段（Current Source stage）の構成の一例を示す図である。

【図１７】図１０の電流源段（Current Source stage）の構成の一例を示す図である。

【図１８】本発明の一実施例の動作を説明するためのタイミング波形図である。

【図１９】本発明の一実施例の動作を説明するためのタイミング波形図である。

【符号の説明】

【００８４】

１０ デューティ制御バッファ

２０ デューティ制御電圧発生部

３０ デストリビューションバッファ

ＩＣＳＡ１、ＩＣＳＡ２、ＩＣＳＢ１、ＩＣＳＢ２ 定電流源

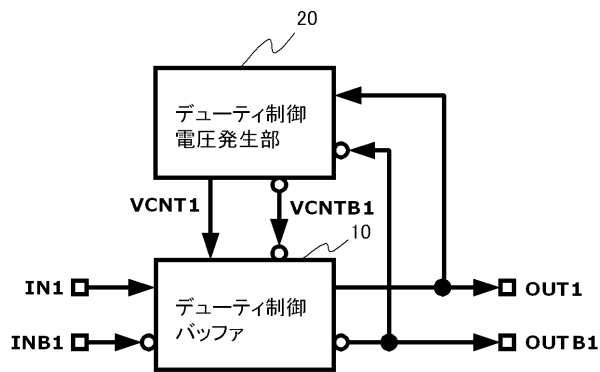
Ｎ１、Ｎ２、Ｎ５、Ｎ６、Ｎ７、Ｎ８、ＮＡ１、ＮＡ２、ＭＮＡ３、ＮＡ４、ＮＢ１、
 ＮＢ２、ＮＢ３、ＮＢ４、ＮＣ１、ＮＣ２、ＮＤ１、ＮＤ２、 ＮＭＯＳトランジスタ

Ｐ１、Ｐ２、Ｐ３、Ｐ４ ＰＭＯＳトランジスタ

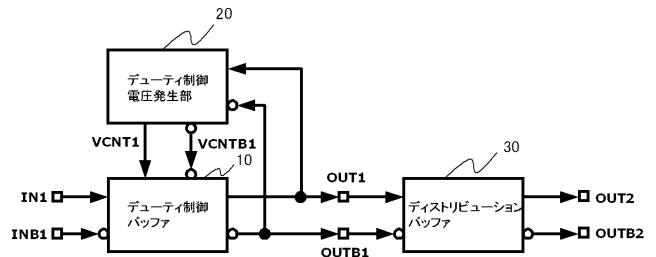
ＲＬ１、ＲＬ２、ＲＬ３、ＲＬ４、ＲＬ５、ＲＬ６、ＲＳＣ１、ＲＳＤ１ 抵抗

10

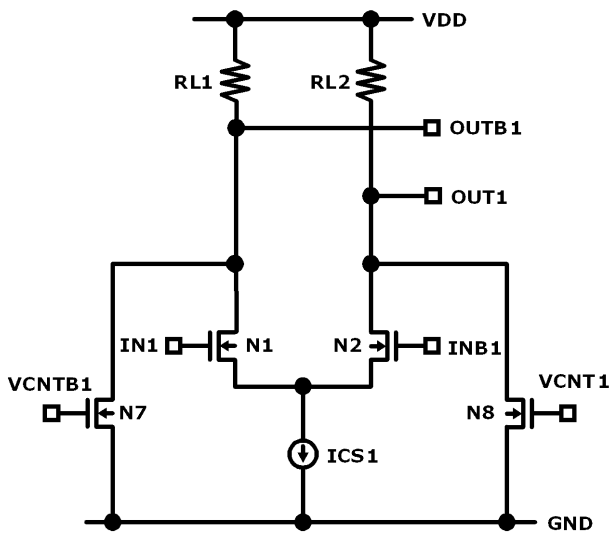
【図１】



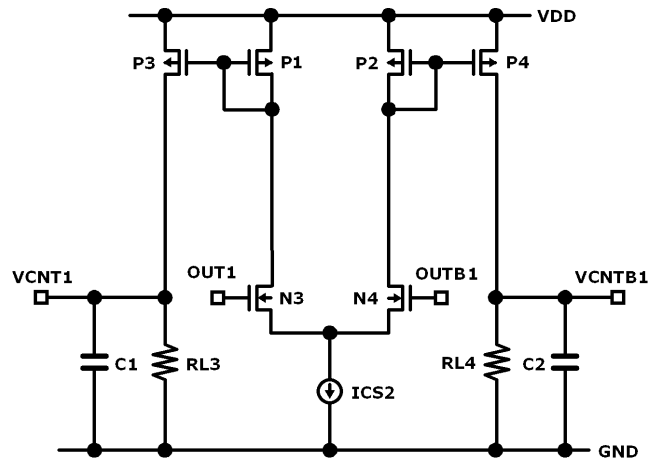
【図２】



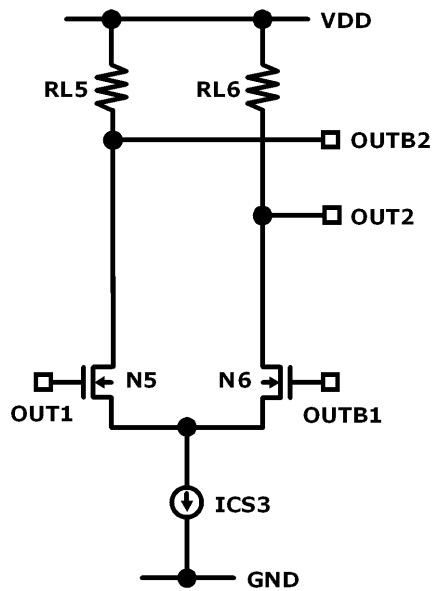
【図 3】



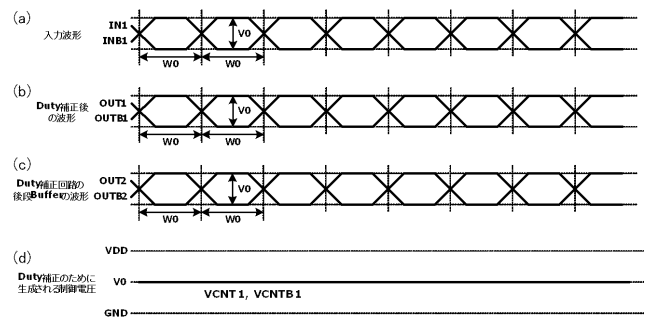
【図 4】



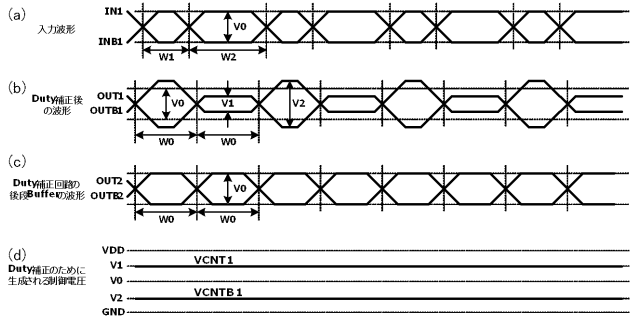
【図 5】



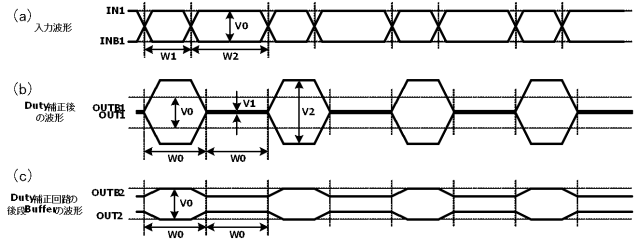
【図 6】



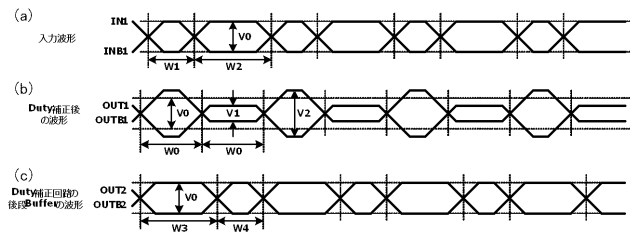
【図 7】



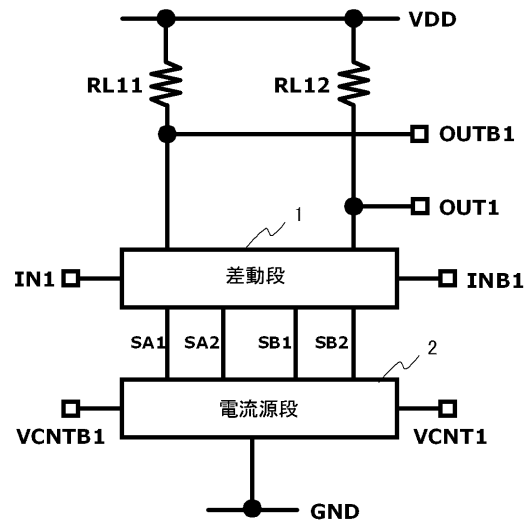
【図 8】



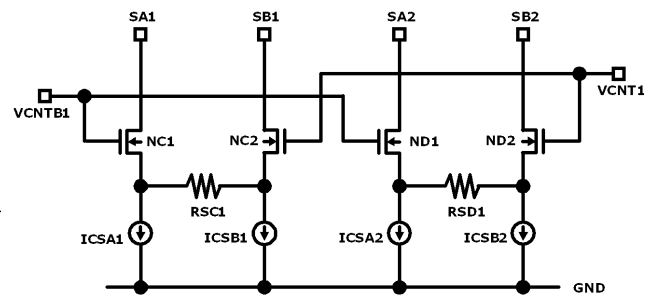
【図 9】



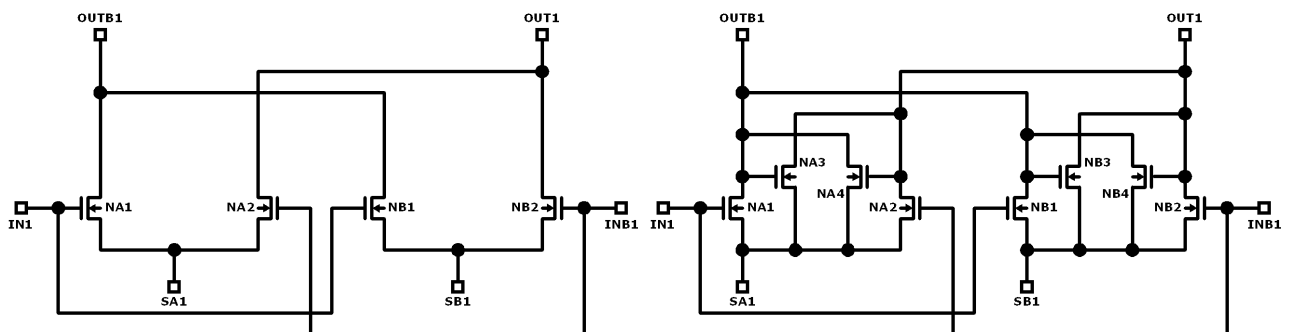
【図 10】



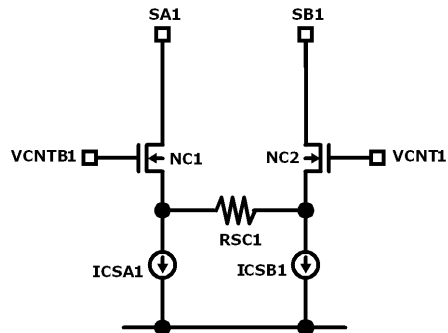
【 図 1 2 】



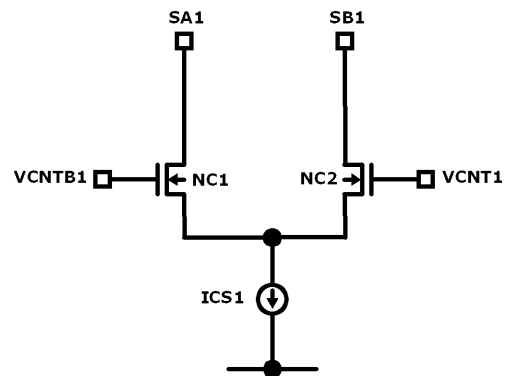
【 図 1 4 】



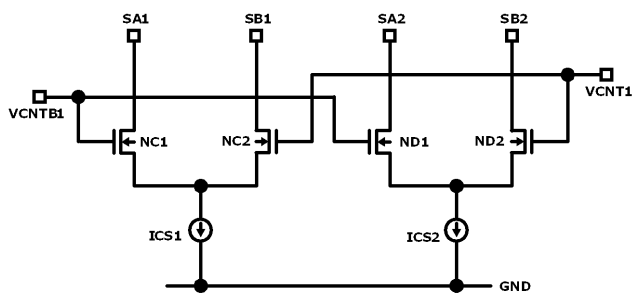
【図 15】



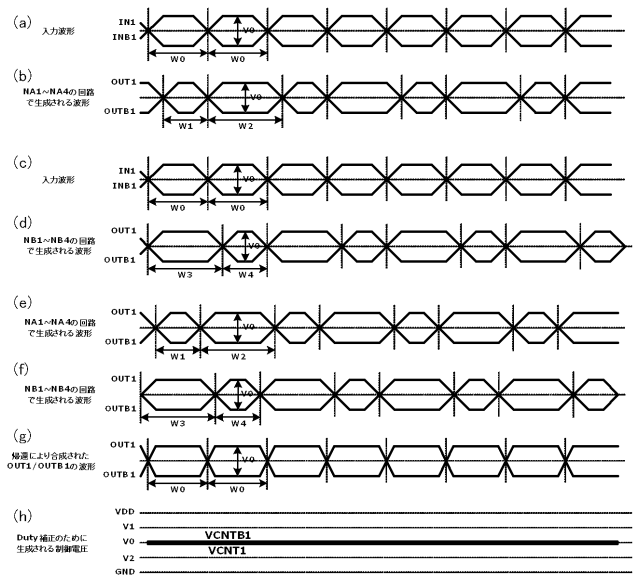
【図 16】



【図 17】



【図 18】



【図 19】

