



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년12월26일  
 (11) 등록번호 10-1344577  
 (24) 등록일자 2013년12월17일

(51) 국제특허분류(Int. Cl.)  
**G01R 31/28** (2006.01)  
 (21) 출원번호 10-2011-0132930  
 (22) 출원일자 2011년12월12일  
 심사청구일자 2013년10월28일  
 (65) 공개번호 10-2012-0108910  
 (43) 공개일자 2012년10월05일  
 (30) 우선권주장  
 13/216,336 2011년08월24일 미국(US)  
 61/467,411 2011년03월25일 미국(US)  
 (56) 선행기술조사문헌  
 KR100181550 B1  
 US20090106613 A1  
 KR1020010029976 A  
 US20080250283 A1

(73) 특허권자  
**엘에스아이 코퍼레이션**  
 미국 캘리포니아주 95131, 새너제이, 라이더 파크 드라이브 1320  
 (72) 발명자  
**테쿠말라 라메쉬 씨**  
 미국 펜실베이니아주 18031 브레이니그스빌 튜더 드라이브 1120  
**쿠마르 프리예쉬**  
 인도 폰 411036 먼드와 니어 테칸 페이퍼 밀 페이즈-1 벵카테쉬 플로라 아파트먼트스 디-304  
 (뒷면에 계속)  
 (74) 대리인  
**제일특허법인**

전체 청구항 수 : 총 10 항

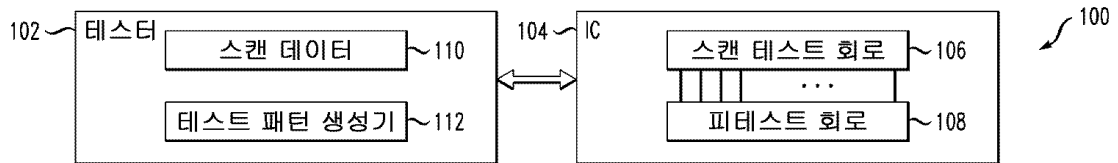
심사관 : 박근용

(54) 발명의 명칭 **집적 회로 테스트를 위한 저전력 및 영역 효율적인 스캔 셀**

**(57) 요약**

집적 회로는 스캔 테스트 회로 및 스캔 테스트 회로를 이용하여 테스트하기 위한 추가 회로를 포함한다. 스캔 테스트 회로는 복수의 스캔 셀을 가지는 적어도 하나의 스캔 체인을 포함하며, 이 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 작동하고 기능 동작 모드에서 추가 회로의 적어도 하나의 부분으로부터 기능적 데이터를 캡처하도록 구성되어있다. 스캔 체인의 스캔 셀 중 주어진 적어도 하나는 출력 제어 회로를 포함하며, 이는 스캔 시프트 동작 모드에서 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 기능 동작 모드에서 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성된다.

**대표도**



(72) 발명자

**크리쉬나무어시 프라카쉬**

미국 펜실베니아주 18015 베들레헴 사우콘 뷰 드라  
이브 807

**마다니 파라그**

미국 펜실베니아주 18104 알렌타운 펜스 크로싱  
1619

---

## 특허청구의 범위

### 청구항 1

집적 회로에 있어서,

스캔 테스트 회로와,

상기 스캔 테스트 회로를 이용하여 테스트되는 추가 회로를 포함하되,

상기 스캔 테스트 회로는 복수의 스캔 셀들을 갖는 적어도 하나의 스캔 체인을 포함하고, 상기 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 동작하고 기능 동작 모드에서 상기 추가 회로의 적어도 일 부분으로부터 기능적 데이터를 캡처하도록 구성되며,

상기 스캔 체인의 상기 스캔 셀들 중 적어도 하나의 주어진 스캔 셀은 출력 제어 회로를 포함하고, 상기 출력 제어 회로는 스캔 시프트 동작 모드에서 상기 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 기능 동작 모드에서 상기 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성되며,

상기 출력 제어 회로는,

제 1 트랜지스터 및 제 2 트랜지스터를 포함하는 제 1 디바이스 쌍과,

제 3 트랜지스터 및 제 4 트랜지스터를 포함하는 제 2 디바이스 쌍을 포함하되,

상기 제 1 디바이스 쌍은 제 1 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 제 2 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 기능적 데이터 출력을 사용 가능하게 하도록 구성되며,

상기 제 2 디바이스 쌍은 제 2 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 스캔 출력을 사용 불가능하게 하고, 제 1 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 스캔 출력을 사용 가능하게 하도록 구성되는

집적 회로.

### 청구항 2

제 1 항에 있어서,

상기 주어진 스캔 셀은,

기능적 데이터 입력과,

스캔 입력과,

스캔 가능 입력과,

상기 기능적 데이터 입력에 연결된 제 1 입력, 상기 스캔 입력에 연결된 제 2 입력, 및 상기 스캔 가능 입력에 연결된 선택 라인을 포함하는 멀티플렉서와,

상기 멀티플렉서의 출력에 연결된 입력을 갖는 플립플롭을 더 포함하며,

상기 출력 제어 회로는 상기 플립플롭의 출력과 상기 스캔 셀의 기능적 데이터 및 스캔 출력 사이에 연결되는

집적 회로.

### 청구항 3

제 1 항에 있어서,

상기 출력 제어 회로는,

제 1 이진 논리 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 상기 스캔 셀의 스캔 출력을 사용가능하게 하며, 제 2 이진 논리 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 스캔 셀의 스캔 출력을 사용 불가능하게 하고 상기 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하도록 동작되는

집적 회로.

**청구항 4**

집적 회로에 있어서,

스캔 테스트 회로와,

상기 스캔 테스트 회로를 이용하여 테스트되는 추가 회로를 포함하되,

상기 스캔 테스트 회로는 복수의 스캔 셀들을 갖는 적어도 하나의 스캔 체인을 포함하고, 상기 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 동작하고 기능 동작 모드에서 상기 추가 회로의 적어도 일 부분으로부터 기능적 데이터를 캡처하도록 구성되며,

상기 스캔 체인의 상기 스캔 셀들 중 적어도 하나의 주어진 스캔 셀은 출력 제어 회로를 포함하고, 상기 출력 제어 회로는 스캔 시프트 동작 모드에서 상기 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 기능 동작 모드에서 상기 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성되며,

상기 주어진 스캔 셀은,

기능적 데이터 입력과,

스캔 입력과,

스캔 가능 입력과,

상기 기능적 데이터 입력에 연결된 제 1 입력, 상기 스캔 입력에 연결된 제 2 입력, 및 상기 스캔 가능 입력에 연결된 선택 라인을 포함하는 멀티플렉서와,

상기 멀티플렉서의 출력에 연결된 입력을 갖는 플립플롭을 더 포함하며,

상기 출력 제어 회로는 상기 플립플롭의 출력과 상기 스캔 셀의 기능적 데이터 출력 및 스캔 출력 사이에 연결되며,

상기 출력 제어 회로는,

상기 플립플롭의 출력과 상기 스캔 셀의 기능적 데이터 출력 사이에서 연결되는 제1의 3상태 버퍼와,

상기 플립플롭의 출력과 상기 스캔 셀의 스캔 출력 사이에서 연결되는 제2의 3상태 버퍼를 포함하되,

상기 제1의 3상태 버퍼와 상기 제2의 3상태 버퍼 중 하나의 제어 입력에 스캔 가능 신호가 인가되고, 상기 제1의 3상태 버퍼와 상기 제2의 3상태 버퍼 중 나머지 하나의 제어 입력에 상기 스캔 가능 신호의 상보형 버전이 인가되는

집적 회로.

**청구항 5**

집적 회로에 있어서,

스캔 테스트 회로와,

상기 스캔 테스트 회로를 이용하여 테스트되는 추가 회로를 포함하되,

상기 스캔 테스트 회로는 복수의 스캔 셀들을 갖는 적어도 하나의 스캔 체인을 포함하고, 상기 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 동작하고 기능 동작 모드에서 상기 추가 회로의 적어도 일

부분으로부터 기능적 데이터를 캡처하도록 구성되며,

상기 스캔 체인의 상기 스캔 셀들 중 적어도 하나의 주어진 스캔 셀은 출력 제어 회로를 포함하고, 상기 출력 제어 회로는 스캔 시프트 동작 모드에서 상기 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 기능 동작 모드에서 상기 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성되며,

상기 주어진 스캔 셀은,

기능적 데이터 입력과,

스캔 입력과,

스캔 가능 입력과,

상기 기능적 데이터 입력에 연결된 제 1 입력, 상기 스캔 입력에 연결된 제 2 입력, 및 상기 스캔 가능 입력에 연결된 선택 라인을 포함하는 멀티플렉서와,

상기 멀티플렉서의 출력에 연결된 입력을 갖는 플립플롭을 더 포함하며,

상기 출력 제어 회로는 상기 플립플롭의 출력과 상기 스캔 셀의 기능적 데이터 출력 및 스캔 출력 사이에 연결되며,

상기 출력 제어 회로는,

상기 스캔 가능 입력에 연결된 게이트, 상기 플립플롭의 출력에 연결된 소스, 및 상기 스캔 셀의 기능적 데이터 출력에 연결된 드레인을 갖는 제 1 PMOS 트랜지스터와,

상기 스캔 가능 입력에 연결된 게이트, 상위 공급 포텐셜에 연결된 드레인, 및 상기 스캔 셀의 기능적 데이터 출력에 연결된 소스를 갖는 제 1 NMOS 트랜지스터와,

상기 스캔 가능 입력에 연결된 게이트, 상기 스캔 셀의 스캔 출력에 연결되는 소스, 및 하위 공급 포텐셜에 연결된 드레인을 갖는 제 2 PMOS 트랜지스터와,

상기 스캔 가능 입력에 연결된 게이트, 상기 스캔 셀의 스캔 출력에 연결된 소스, 및 상기 플립플롭의 출력에 연결된 드레인을 갖는 제 2 NMOS 트랜지스터를 포함하는

집적 회로.

## 청구항 6

제 5 항에 있어서,

상기 스캔 셀의 스캔 가능 입력에 인가되는 논리 하이 레벨에서의 스캔 가능 신호에 응답하여, 상기 제 1 PMOS 트랜지스터 및 상기 제 2 PMOS 트랜지스터가 턴오프(turned off)되고 상기 제 1 NMOS 트랜지스터 및 상기 제 2 NMOS 트랜지스터가 턴온(turned on)되어, 상기 스캔 셀의 기능적 데이터 출력은 상기 제 1 PMOS 트랜지스터를 통해 상기 플립플롭 출력으로부터 접속 분리됨으로써 사용 불가능하게 되고 상기 스캔 셀의 스캔 출력은 상기 제 2 NMOS 트랜지스터를 통해 상기 플립플롭 출력에 접속됨으로써 사용가능하게 되는

집적 회로.

## 청구항 7

제 5 항에 있어서,

상기 스캔 셀의 스캔 가능 입력에 인가되는 논리 로우 레벨에서의 스캔 가능 신호에 응답하여, 상기 제 1 PMOS 트랜지스터 및 상기 제 2 PMOS 트랜지스터가 턴온되고 상기 제 1 NMOS 트랜지스터 및 상기 제 2 NMOS 트랜지스터가 턴오프되어, 상기 스캔 셀의 기능적 데이터 출력은 상기 제 1 PMOS 트랜지스터를 통해 상기 플립플롭 출력에 접속됨으로써 사용가능하게 되고 상기 스캔 셀의 스캔 출력은 상기 제 2 NMOS 트랜지스터를 통해 상기 플립플롭 출력으로부터 접속분리됨으로써 사용 불가능하게 되는

집적 회로.

**청구항 8**

집적 회로에 있어서,

스캔 테스트 회로와,

상기 스캔 테스트 회로를 이용하여 테스트되는 추가 회로를 포함하되,

상기 스캔 테스트 회로는 복수의 스캔 셀들을 갖는 적어도 하나의 스캔 체인을 포함하고, 상기 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 동작하고 기능 동작 모드에서 상기 추가 회로의 적어도 일 부분으로부터 기능적 데이터를 캡처하도록 구성되며,

상기 스캔 체인의 상기 스캔 셀들 중 적어도 하나의 주어진 스캔 셀은 출력 제어 회로를 포함하고, 상기 출력 제어 회로는 스캔 시프트 동작 모드에서 상기 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 기능 동작 모드에서 상기 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성되며,

상기 주어진 스캔 셀은,

기능적 데이터 입력과,

스캔 입력과,

스캔 가능 입력과,

상기 기능적 데이터 입력에 연결된 제 1 입력, 상기 스캔 입력에 연결된 제 2 입력, 및 상기 스캔 가능 입력에 연결된 선택 라인을 포함하는 멀티플렉서와,

상기 멀티플렉서의 출력에 연결된 입력을 갖는 플립플롭을 더 포함하며,

상기 출력 제어 회로는 상기 플립플롭의 출력과 상기 스캔 셀의 기능적 데이터 출력 및 스캔 출력 사이에 연결되며,

상기 출력 제어 회로는 논리 게이트를 포함하되,

상기 논리 게이트는, 상기 플립플롭의 출력에 연결된 제 1 입력과, 상기 스캔 셀의 스캔 가능 입력에 연결된 제 2 입력과, 상기 스캔 셀의 기능적 데이터 출력에 연결된 제 1 출력과, 상기 스캔 셀의 스캔 출력에 연결된 제 2 출력을 포함하는

집적 회로.

**청구항 9**

집적 회로를 스캔 테스트하는 방법에 있어서,

복수의 스캔 셀들을 갖는 적어도 하나의 스캔 체인을 포함하는 스캔 테스트 회로를 제공하는 단계—상기 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 동작하고 기능 동작 모드에서 상기 집적 회로의 추가 회로의 적어도 일부분으로부터 기능적 데이터를 캡처하도록 구성됨—와,

상기 스캔 시프트 동작 모드에서 상기 스캔 셀들 중 적어도 하나의 주어진 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하는 단계와,

상기 기능 동작 모드에서 상기 주어진 스캔 셀의 스캔 출력을 사용 불가능하게 하는 단계를 포함하되,

상기 사용 불가능하게 하는 단계들은 출력 제어 회로에 의해 수행되고,

상기 출력 제어 회로는,

제 1 트랜지스터 및 제 2 트랜지스터를 포함하는 제 1 디바이스 쌍과,

제 3 트랜지스터 및 제 4 트랜지스터를 포함하는 제 2 디바이스 쌍을 포함하며,  
 상기 주어진 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하는 단계는 상기 제 1 디바이스 쌍이 제 1 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하도록 구성하는 단계를 포함하고,  
 상기 주어진 스캔 셀의 스캔 출력을 사용 불가능하게 하는 단계는 상기 제 2 디바이스 쌍이 제 2 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성하는 단계를 포함하는  
 집적 회로 스캔 테스트 방법.

**청구항 10**

프로세싱 시스템에 있어서,  
 프로세서와,  
 상기 프로세서에 연결되고 집적 회로 설계를 나타내는 정보를 저장하도록 구성된 메모리를 포함하되,  
 상기 프로세싱 시스템은 상기 집적 회로 설계 내에 복수의 스캔 셀들을 갖는 적어도 하나의 스캔 체인을 포함하는 스캔 테스트 회로를 제공하도록 구성되며, 상기 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 동작하고 기능 동작 모드에서 상기 집적 회로의 추가 회로의 적어도 일부분으로부터 기능적 데이터를 캡처하도록 구성되며,  
 상기 스캔 체인의 상기 스캔 셀들 중 적어도 하나의 주어진 스캔 셀은 출력 제어 회로를 포함하되, 상기 출력 제어 회로는 상기 스캔 시프트 동작 모드에서 상기 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 상기 기능 동작 모드에서 상기 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성되고,  
 상기 출력 제어 회로는,  
     제 1 트랜지스터 및 제 2 트랜지스터를 포함하는 제 1 디바이스 쌍과,  
     제 3 트랜지스터 및 제 4 트랜지스터를 포함하는 제 2 디바이스 쌍을 포함하되,  
     상기 제 1 디바이스 쌍은 제 1 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 제 2 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 기능적 데이터 출력을 사용 가능하게 하도록 구성되며,  
     상기 제 2 디바이스 쌍은 제 2 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 스캔 출력을 사용 불가능하게 하고, 제 1 이진 로직 레벨에 존재하는 스캔 가능 신호에 응답하여 상기 주어진 스캔 셀의 스캔 출력을 사용 가능하게 하도록 구성되는  
 프로세싱 시스템.

**명세서**

**기술분야**

- [0001] 우선권 주장
- [0002] 본 명세서는 본원에 참조로써 통합되는 개시인 "저전력 플립플롭 설계(Low Power Flip-Flop Design)"의 명칭으로 2011년 3월 25일 출원된 출원번호 61/467,411의 미국 가특허 출원서에 대한 우선권을 주장한다.
- [0003] 본 발명은 일반적으로 집적 회로 테스트, 보다 구체적으로는, 스캔 테스트 회로를 사용하는 집적 회로 테스트에 관한 것이다.

**배경기술**

- [0004] 집적 회로는 종종 다양한 내부 결합 조건에 대한 테스트를 용이하게 하는 스캔 테스트 회로를 포함하도록 설계된다. 이러한 스캔 테스트는 통상적으로 스캔 체인을 포함하는데, 이는 집적 회로의 조합 논리에 대한 입력에 테스트 패턴을 인가하고 대응 결과를 판독하기 위한 직렬 시프트 레지스터를 형성하는데 사용되는 플립플롭의 체인들이다. 스캔 체인의 플립플롭들 중 주어진 하나는 이하 "스캔 셀(scan cell)"로서 보다 일반적으로 지칭되는 예시로 보여질 수 있다.
- [0005] 일 예시적인 구성에서, 스캔 테스트 회로를 구비한 집적 회로는 스캔 시프트 동작 모드 및 기능 동작 모드를 가질 수 있다. 집적 회로가 스캔 시프트 모드 또는 기능 모드에 있는지를 나타내는데 플래그가 사용될 수 있다. 스캔 시프트 모드에서, 스캔 체인의 플립플롭들은 직렬 시프트 레지스터로서 구성된다. 그 후 테스트 패턴은 스캔 체인의 플립플롭에 의해 형성된 직렬 시프트 레지스터로 시프트된다. 원하는 테스트 패턴이 시프트 인(shift in)되어지면, 스캔 시프트 모드는 사용 불가능해지고(disabled) 집적 회로는 이의 기능 모드에 놓이게 된다. 그 후 이 기능 동작 모드 동안 발생하는 내부 조합 논리 결과들은 스캔 플립플롭의 체인에 의해 캡처된다. 새로운 테스트 패턴이 스캔되어짐에 따라, 캡처된 조합 논리 결과가 스캔 플립플롭에 의해 형성된 직렬 시프트 레지스터로부터 시프트 아웃(shift out)되도록 하기 위해 그 후 집적 회로는 이 스캔 시프트 동작 모드에 재차 놓이게 된다. 이 프로세스는 모든 원하는 테스트 패턴들이 집적 회로에 인가되어질 때까지 반복된다.
- [0006] 집적 회로들은 점점 복잡해지고, 주어진 집적 회로를 테스트할 때 인가될 필요가 있는 테스트 패턴의 수를 감소시키는 스캔 압축 기술들이 발달되고 있으며, 따라서 필요한 테스트 시간을 또한 감소시킨다. "압축된 스캔 서브세트들에 의한 회로 테스트(Testing a Circuit with Compressed Scan Subsets)"라는 명칭의 미국 특허 번호 7,831,876에서 압축 스캔 테스트에 관한 추가 구체적인 설명이 개시되며, 이는 일반적으로 본원과 함께 지정되고 본원에 참조로서 통합된다.
- [0007] 그렇지만, 스캔 테스트 회로에서의 추가적인 개선을 위한 요구가 남아있다. 예를 들어, 스캔 체인의 구현과 관련된 전력 및 영역 필요조건에서의 상당한 감소는 매우 바람직할 것이다.

**발명의 내용**

**해결하려는 과제**

- [0008] 본 발명의 예시적인 실시예들은 집적 회로의 스캔 테스트를 위한 향상된 회로 및 기술을 제공한다. 예를 들어, 하나 이상의 그러한 실시예에서, 집적 회로의 스캔 테스트 회로가 저전력 및 영역 효율적인 스캔 셀을 포함하는 적어도 하나의 스캔 체인을 포함하도록 구성된다. 불필요한 논리 이행을 제거함으로써, 이 스캔 셀들은 스캔 시프트 동작 모드 및 기능 모드 양쪽 모두에서의 집적 회로에 대한 감소된 전력 소비를 제공하기 유리하게 구성되며, 그렇지 않으면 이 논리 이행은 스캔 셀의 대응 스캔 출력 및 기능적 데이터 출력에 의해 구동되는 집적 회로의 부분에서 이들 모드로 발생한다. 이는 스캔 셀 자체의 전력 소비 또는 영역 필요조건의 실질적인 증가없이 하나 이상의 예시적인 실시예에서 달성될 수 있으며, 이는 집적 회로의 전력 소비 및 영역 필요조건에서의 전반적인 감소를 제공하기 위한 것이다.

**과제의 해결 수단**

- [0009] 일 실시예에서, 집적 회로는 스캔 테스트 회로 및 스캔 테스트 회로를 이용하여 테스트하기 위한 추가 회로를 포함한다. 스캔 테스트 회로는 복수의 스캔 셀을 가지는 적어도 하나의 스캔 체인을 포함하며, 이 스캔 체인은 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로서 작동하고 기능 동작 모드에서 추가 회로의 적어도 하나의 부분으로부터 기능적 데이터를 캡처하도록 구성된다. 스캔 체인의 스캔 셀 중 주어진 적어도 하나는 출력 제어 회로를 포함하며, 이는 스캔 시프트 동작 모드에서 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 기능 동작 모드에서 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성된다.
- [0010] 다른 실시예에서, 스캔 셀은 복수의 다른 스캔 셀과 함께 스캔 시프트 동작 모드 및 기능 동작 모드를 가진 스캔 체인으로 구성가능하다. 스캔 셀은 출력 제어 회로를 포함하며, 이는 스캔 시프트 동작 모드에서 스캔 셀의 기능적 데이터 출력을 사용 불가능하게 하고 기능 동작 모드에서 스캔 셀의 스캔 출력을 사용 불가능하게 하도록 구성된다.
- [0011] 하나 이상의 예시적인 실시예에서 주어진 스캔 셀은 이것의 기능적 데이터 출력 및 스캔 출력 이외에, 기능적

데이터 입력, 스캔 입력, 스캔 가능 입력, 멀티플렉서, 및 플립플롭을 포함할 수 있다. 멀티플렉서는 기능적 데이터 입력에 연결된 제 1 입력과, 스캔 입력에 연결된 제 2 입력과, 스캔 가능 입력에 연결된 선택 라인을 가지고 플립플롭은 멀티플렉서의 출력에 연결된 입력을 가진다. 출력 제어 회로는 플립플롭의 출력과 스캔 셀의 기능적 데이터 및 스캔 출력 사이에서 연결된다.

**발명의 효과**

[0012] 이러한 스캔 셀 구성은 불필요한 논리 이행을 제거하여, 그렇지 않으면 이 논리 이행은 기능 동작 모드에서 스캔 셀의 스캔 출력 또는 스캔 시프트 동작 모드에서 스캔 셀의 기능적 데이터 출력에 의해 구동되는 집적 회로의 이러한 부분들에서 발생할 것이다. 상술된 바와 같이, 이러한 이점은 스캔 셀 자체의 전력 또는 영역 필요조건을 상당한 증가없이 달성된다. 예를 들어, 스캔 셀은 추가 플립플롭 또는 신호 포트들을 필요로 하지 않거나 상당한 추가 타이밍 의존성을 나타내지 않는다.

**도면의 간단한 설명**

[0013] 도 1은 예시적인 실시예에서의 테스트 및 피테스트 집적 회로를 포함하는 집적 회로 테스트 시스템을 도시하는 블록도이다.  
 도 2는 스캔 체인이 도 1의 집적 회로에서 조합 논리 사이에 구성될 수 있는 방식의 일례를 도시한다.  
 도 3은 도 2의 스캔 셀 중 주어진 하나의 일 가능한 구현을 도시하는 개략도이다.  
 도 4는 도 2의 스캔 셀 중 주어진 하나의 다른 가능한 구현을 도시하는 개략도이다.  
 도 5는 NAND 게이트를 사용하는 도 4의 스캔 셀의 실질적 등가 회로를 도시한다.  
 도 6은 도 1의 테스트 시스템의 일 가능한 실시예를 도시한다.  
 도 7은 도 3 내지 도 5에서 도시된 유형의 하나 이상의 스캔 셀을 각각 가진 하나 이상의 스캔 체인을 포함하는 집적 회로 설계를 생성하기 위한 프로세싱 시스템의 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 본 발명은 예시적인 테스트 시스템 및 집적 회로의 다른 내부 회로의 스캔 테스트를 지원하는 스캔 테스트 회로를 포함하는 대응 집적 회로와 관련하여 본원에서 예시될 것이다. 그러나, 본 발명은 더 일반적으로 임의의 테스트 시스템 또는 관련된 집적 회로에 적용가능하고, 여기서 스캔 테스트를 위해 감소된 전력 소비 및 영역 필요조건에 관하여 향상된 성능을 제공하는 것이 바람직하다는 것이 이해되어야한다.

[0015] 도 1은 테스트(102) 및 피테스트 집적 회로(104)를 포함하는 테스트 시스템(100)을 도시한다. 집적 회로(104)는 스캔 테스트 회로(106)를 이용하여 테스트하기 위한 추가 내부 회로(108)에 연결된 스캔 테스트 회로(106)를 포함한다. 테스트(102)는 집적 회로의 스캔 테스트와 관련된 스캔 데이터(110)를 저장한다. 이러한 스캔 데이터는 테스트 패턴 생성기(112)에 의해 제공되는 테스트 패턴에 대응할 수 있다. 다른 실시예에서, 테스트 패턴 생성기(112)와 같은, 테스트(102)의 적어도 일부분은, 집적 회로(104)로 통합될 수 있다.

[0016] 도 1에서 도시된 바와 같은 테스트 시스템(100)의 특정 구성은 단지 예시적이며, 다른 실시예에서의 테스트 시스템(100)은 그러한 시스템의 종래의 실시예에서 일반적으로 발견되는 유형들 중 하나 이상의 요소를 포함하여, 특별하게 도시된 이들에 추가하여 또는 대신하여 다른 요소를 포함할 수 있다. 예를 들어, 예시를 통해 제한 없이, 마이크로프로세서, 중앙 프로세스 장치(CPU), 디지털 신호 프로세서(DSP), 특수 용도의 집적 회로(ASIC), 필드 프로그램가능 게이트 어레이(FPGA), 또는 데이터 처리 디바이스의 다른 유형뿐만 아니라 이들 및 다른 디바이스의 부분 또는 조합을 이용하여, 시스템(100)의 다양한 요소들이 구현될 수 있다.

[0017] 본 발명의 실시예들은 압축 또는 비압축 스캔 테스트를 이용하도록 구성될 수 있고, 본 발명은 이 점과 관련하여 제한되지 않는다. 하지만, 도 2에 도시된 바와 같은 특정 실시예들은 압축 스캔 테스트의 문맥에서 주요하게 설명될 것이다.

[0018] 이제 도 2를 참조하면, 집적 회로(104)의 하나의 잠재적 구성의 부분들이 보다 더 자세하게 도시된다. 이 압축

스캔 테스트 구성에서, 스캔 테스트 전기 회로(106)는 압축해제기(200), 압축기(202), 및 복수의 스캔 체인(204-k), 여기서  $k=1,2,\dots,K$ ,을 포함한다. 스캔 체인(204)의 각각은 복수의 스캔 셀(206)을 포함하고, 집적 회로(104)의 스캔 시프트 동작 모드에서 직렬 시프트 레지스터로 작동하고 직접 회로(104)의 기능 동작 모드에서 피테스트 회로(207)로부터 기능적 데이터를 캡처하도록 구성가능하다. 제 1 스캔 체인(204-1)의 길이는  $m_1$ 이고 따라서 206-1 내지 206- $m_1$ 로 나타난  $m_1$  개의 스캔 셀을 포함한다. 보다 일반적으로, 스캔 체인 204-k의 길이는  $m_k$ 이고 따라서  $m_k$  개의 스캔 셀을 포함한다. 이 실시예에서 피테스트 회로(207)는 복수의 조합 논리 블록들을 포함하고, 이들의 예시적인 블록(208,210 및 212)이 도시된다. 조합 논리 블록들이 제 1 입력(214)과 제 1 출력(216) 사이에서 예시적으로 배치되고 스캔 체인(204)에 의해 서로 분리된다.

[0019] 본 발명의 실시예에서 스캔 테스트 회로를 이용하는 테스트의 대상이 되는 "추가 회로"로 본원에서 더 일반적으로 지칭되는 것의 예시로서 (208), (210) 및 (212)와 같은 조합 논리 블록들이 보여질 수 있다. 예시를 통하여, 그러한 블록들이, 하드 디스크 드라이브(HDD) 제어기 어플리케이션에서 시스템 온 칩(SOC) 집적 회로의 각각의 관독 채널 및 추가적인 코어들의 부분들과 같은, 상이한 집적 회로 코어들의 부분들을 나타낼 수 있다.

[0020] 압축해제기(200)는 테스트(102)로부터 압축 스캔 데이터를 수신하고 이 스캔 데이터를 압축 해제하여 스캔 체인(204)으로 시프트되는 스캔 테스트 입력 데이터를 생성하고 이때 그러한 체인들이 스캔 시프트 동작 모드에서 각각의 직렬 시프트 레지스터들로서 구성된다. 압축기(202)는 스캔 체인(204)으로부터 시프트 아웃되는 스캔 테스트 출력 데이터를 수신하고, 또한 이때 그러한 체인들은 스캔 시프트 동작 모드에서 각각의 직렬 시프트 레지스터들로서 구성되고 테스트(102)로 다시 전달하기 위해 스캔 테스트 출력 데이터를 압축한다. 압축해제기(200) 및 압축기(202)와 같은 스캔 압축 요소들의 동작과 관련한 추가 구체적인 설명은 상기된 미국 특허 번호 7,831,876에서 찾아볼 수 있다. 재차, 압축해제기(200) 및 압축기(202)와 같은 스캔 압축 요소들은 다른 실시예에서 제거될 수 있다.

[0021] 도 2의 예시적인 실시예에서의 스캔 셀들(206)은 저전력 및 영역 효율적 스캔 셀들로서 유리하게 구성되며 이 스캔 셀들은 스캔 시프트 동작 모드에서 이들의 기능적 데이터 출력을 제어가능하게 사용 불가능하도록 할 수 있고 기능 동작 모드에서 이들의 스캔 출력을 제어가능하게 사용 불가능하도록 할 수 있다. 이러한 스캔 셀 구성은 불필요한 논리 이행을 제거하여, 그러한 구성은 스캔 시프트 동작 모드 및 기능 모드 모두에서 집적 회로(104)에 대해 감소된 전력 소비를 제공하고, 그렇지 않으면 이 논리 이행은 스캔 셀들의 대응하는 스캔 출력 및 기능적 데이터 출력에 의해 구동되는 집적 회로(104)의 부분들 내에서의 이들 모드에서 발생할 것이다. 명백해지는 바와 같이, 이 원하는 기능은 스캔 셀 자체의 전력 또는 영역 필요조건들을 상당히 증가시키는 것 없이 달성된다. 예를 들어, 스캔 셀들(206)은 기능을 불능화한 제어가능한 출력을 구현하기 위해 추가 플립플롭 또는 신호 포트들을 필요로 하지 않거나 이들은 그러한 기능의 결과로서 상당한 추가 타이밍 의존성을 나타내지 않을 것이다.

[0022] 도 3은 예시적인 실시예에서의 스캔 셀(206-i) 중 주어진 하나를 도시한다. 이 실시예에서의 스캔 셀은 멀티플렉서(300), 플립플롭(302), 제 1의 3상태 버퍼 및 제2의 3상태 버퍼(304-1 및 304-2), 및 인버터(305)를 포함한다. 스캔 셀(206-i)은 기능적 데이터 입력(D), 스캔 입력(SI), 스캔 가능 입력(SE), 기능적 데이터 출력(Q), 스캔 출력(SO), 리셋 입력(RST) 및 클럭 입력(CLK)을 갖는다. 스캔 셀의 리셋 및 클럭 입력들은 플립플롭(302)의 대응하는 입력에 연결된다. 플립플롭(302)은 또한 D로 나타난 데이터 입력 및 Q로 나타난 데이터 출력을 갖지만, 이들은 스캔 셀 자체의 대응하는 기능적 데이터 입력(D) 및 기능적 데이터 출력(Q)으로부터 구별되어야한다.

[0023] 멀티플렉서(300)는 스캔 셀의 기능적 데이터 입력(D)에 연결된 제 1 입력(310), 스캔 셀의 스캔 입력(SI)에 연결된 제 2 입력(312), 및 스캔 셀의 스캔 가능 입력(SE)에 연결된 선택 라인(314)을 가진다. 플립플롭(302)은 예시적으로 본 발명의 실시예에서 리셋가능한 D 유형의 플립플롭이지만, 다른 유형의 플립플롭들은 다른 실시예에서 사용될 수 있다. 플립플롭(302)의 데이터 입력(D)은 각각의 3상태 버퍼(304-1 및 304-2)의 입력에 연결된다. 플립플롭(302)의 데이터 출력(Q)은 각각의 3상태 버퍼(304-1 내지 304-2)의 입력에 연결된다.

[0024] 제 1의 3상태 버퍼 및 제2의 3상태 버퍼(304-1 및 304-2) 및 인버터(305)는 스캔 셀의 "출력 제어 회로"로 본원에서 일반적으로 지칭되는 것의 예시로서 집합적으로 보여질 수 있다. 이러한 출력 제어 회로는 스캔 시프트 동작 모드에서 스캔셀(206-i)의 기능적 데이터 출력(Q)을 사용 불가능하게 하고 기능 동작 모드에서 스캔셀(206-i)의 스캔 출력(SO)을 사용 불가능하게 하도록 일반적으로 구성된다. 이 문맥에서의 용어 "사용 불가능(disable)"은 광범위하게 해석되도록 의도되고, 그렇지 않으면 논리 레벨 천이가 대응 출력에서 발생하는 구성

들을 일반적으로 포괄할 것이며, 이 논리 레벨 이행은 대신에 특정 조건 하에서 방지된다.

- [0025] 이 실시예에서 스캔 셀의 스캔 가능 입력(SE)에 인가되는 스캔 가능 신호는 집적 회로(104)가 스캔 시프트 동작 모드일 때 논리 "1" 레벨이고, 집적 회로(104)가 기능 동작 모드일 때 논리 "0" 레벨인 것이 가정될 것이다. 동작 모드 및 스캔 가능 신호의 다른 형태 및 조합이 다른 실시예들에서 사용될 수 있다.
- [0026] 이 실시예에서 출력 제어 회로가 플립플롭(302)의 데이터 출력(Q)과 스캔 셀의 기능적 데이터 및 스캔 출력(Q 및 S0) 사이에서 연결되고 스캔 셀의 스캔 가능 입력(SE)에 인가되는 스캔 가능 신호에 응답하여 각각 작동된다. 더 구체적으로, 출력 제어 회로는 스캔 셀의 기능적 데이터 출력(Q)을 사용 불가능하게 하고 이 실시예에서 논리 "1" 레벨인 제 1 이진 논리 레벨의 스캔 가능 신호에 응답하여 스캔 셀의 스캔 출력(S0)을 사용 가능하게 하며, 스캔 셀의 스캔 출력(S0)을 사용 불가능하게 하고 이 실시예에서 논리 "0" 레벨인 제 2 이진 논리 레벨의 스캔 가능 신호에 응답하여 스캔 셀의 스캔 출력(S0)을 사용 불가능하게 하고 스캔 셀의 기능적 데이터 출력(Q)을 사용 가능하게 하도록 작동된다.
- [0027] 이 기능을 달성하기 위해, 스캔 가능 신호가 제2의 3상태 버퍼(304-2)의 제어 입력에 인가되고, 인버터(305)에 의해 스캔 가능 신호로부터 생성되는, 스캔 가능 신호의 상보된 버전이 제1의 3상태 버퍼(304-1)의 제어 입력에 인가된다. 결과로, 기능 모드에서 스캔 셀의 스캔 출력(S0)은 3상태이고, 그렇게 함으로써 스캔 출력(S0)에 의해 구동되는 집적 회로의 부분들로 기능적 천이가 전파하는 것을 방지한다. 유사하게, 스캔 시프트 동작 모드에서, 스캔 셀의 기능적 데이터 출력(Q)은 3상태이고, 그렇게 함으로써 기능적 데이터 출력에 의해 구동되는 집적 회로의 부분들로 스캔 천이가 전파하는 것을 방지한다.
- [0028] 오직 단일 스캔 셀(206-*i*)만이 도 3에 도시되지만, 도 2의 스캔 테스트 회로에서 스캔 체인(204)의 다른 스캔 셀들(206)이 각각 실질적으로 동일한 방식으로 구성된다는 것이 가정될 수 있다. 대안적으로, 상이한 유형의 스캔 셀들은 스캔 체인들 중 상이한 하나 또는 동일한 스캔 체인 내에서 사용될 수 있다.
- [0029] 상술한 바와 같이, 도 3에 도시된 바와 같이 구성된 스캔 셀(206-*i*)의 이점은 불필요한 논리 천이를 제거한다는 것이고 그렇지 않으면 스캔 셀의 대응 스캔 출력 및 기능 데이터 출력에 의해 구동되는 피드백 회로(207)의 부분들에서의 스캔 시프트 동작 모드 및 기능 모드 모두에서 발생될 것이다. 이러한 천이는 스캔 시프트 동작 모드에서 스캔 셀의 Q 출력에 의해 구동되는 집적 회로의 부분들과 기능 동작 모드에서 스캔 셀의 S0 출력에 의해 구동되는 집적 회로의 부분들에서 발생할 수 있다. 따라서, 이 스캔 셀 구성은, 스캔 셀을 구현하는데 필요한 회로 영역 또는 스캔 테스트 회로의 타이밍 복잡성을 지나치게 증가시키는 것 없이, 스캔 시프트 동작 모드 및 기능 모드 모두에서 집적 회로(104)에서의 전력 소비를 감소시킨다.
- [0030] 도 3에 도시된 스캔 셀의 유형은 출력 제어 회로를 표준 셀 주변 외측의 형태로 통합하기 위해 집적 회로 설계 라이브러리로부터의 표준 스캔 셀을 변형함으로써 생성될 수 있다. 이는 표준 셀의 임의의 내부 신호 또는 타이밍 기능들의 조정에 대한 필요 및 표준 셀에 포트들, 가외의 플립플롭 또는 다른 내부 회로의 추가없이 달성될 수 있다. 출력 제어 회로를 수용하기 위해 필요한 추가 회로 영역은 최소이다.
- [0031] 스캔 셀 및 출력 제어 회로의 다른 유형들이 다른 실시예에서 사용될 수 있다는 것에 유의하여야 한다. 도 4는 본 발명의 다른 예시적인 실시예에 따라 구성되는 스캔 셀(206-*i*)의 일례를 도시한다. 이 실시예에서, 스캔 셀은 멀티플렉서(300)와 플립플롭(302)을 포함하고, 도 3의 실시예에서와 같은 동일한 입력 및 출력을 가진다. 그러나, 이 실시예에서 출력 제어 회로는 MOS 게이트의 제 1 쌍(400)과 MOS 게이트의 제 2 쌍(402)을 포함한다.
- [0032] MOS 게이트(400)의 제 1 쌍은 보다 구체적으로 스캔 셀의 스캔 가능 입력(SE)에 연결된 게이트와, 플립플롭(302)의 데이터 출력(Q)에 연결된 소스와, 스캔 셀의 기능 데이터 출력(Q)에 연결된 드레인을 가지는 제 1 PMOS 트랜지스터(P1)와, 스캔 셀의 스캔 가능 입력(SE)에 연결된 게이트, 상위 공급 포텐셜( $V_{DD}$ )에 연결되는 드레인과, 스캔 셀의 기능 데이터 출력(Q)에 연결되는 소스를 가지는 제 1 NMOS 트랜지스터(N1)를 포함한다.
- [0033] MOS 게이트의 제 2 쌍(402)은 보다 구체적으로 스캔 셀의 스캔 가능 입력(SE)에 연결되는 게이트와, 스캔 셀의 스캔 출력(S0)에 연결되는 소스와, 이 실시예에서는 예시적으로 접지 포텐셜인 하위 공급 포텐셜에 연결되는 드레인을 포함하는 제 2 PMOS 트랜지스터(P2)와, 스캔 셀의 스캔 가능 입력(SE)에 연결되는 게이트, 스캔 셀의 스캔 출력(S0)에 연결되는 소스와, 플립플롭의 데이터 출력(Q)에 연결되는 드레인을 가지는 제 2 NMOS 트랜지스터(N2)를 포함한다.
- [0034] 이 실시예에서, 스캔 셀(206-*i*)의 스캔 가능 입력(SE)에 인가되는 스캔 가능 신호가 논리 "1" 레벨에 있을 때, 제 1 PMOS 트랜지스터 및 제 2 PMOS 트랜지스터(P1 및 P2)가 턴오프(turn off)되고 제 1 NMOS 트랜지스터 및

제 2 NMOS 트랜지스터(N1 및 N2)가 턴온(turn on)되어, 제 1 PMOS 트랜지스터(P1)를 통해 플립플롭 출력(Q)으로부터 접속 분리됨으로써 스캔 셀의 기능적 데이터 출력(Q)이 사용 불가능하게 되고 제 2 NMOS 트랜지스터(N2)를 통해 플립플롭 출력(Q)에 접속됨으로써 스캔 셀의 스캔 출력(SO)이 사용 불가능하게 된다. 스캔 셀의 스캔 가능 입력(SE)에 인가되는 스캔 가능 신호가 논리 "0" 레벨에 있을 때, 제 1 PMOS 트랜지스터 및 제 2 PMOS 트랜지스터(P1 및 P2)가 턴온되고 제 1 NMOS 트랜지스터 및 제 2 NMOS 트랜지스터(N1 및 N2)가 턴오프되어, 제 1 PMOS 트랜지스터(P1)를 통해 플립플롭 출력(Q)에 접속됨으로써 스캔 셀의 기능적 데이터 출력(Q)이 사용가능하게 되고 제 2 NMOS 트랜지스터(N2)를 통해 플립플롭 출력(Q)으로부터 접속 분리됨으로써 스캔 셀의 스캔 출력(SO)이 사용 불가능하게 된다.

[0035] 도 4의 실시예에서 사용된 MOS 게이트의 특정 구성이 예시를 통해서만 제시되고, 다른 실시예는 원하는 기능을 달성하기 위해 상이한 회로 구성을 사용할 수 있다는 것에 또한 유의하여야 한다. 예를 들어, 신호 극성의 적절한 조정으로, 아날로그의 구성은 NMOS 게이트가 PMOS 게이트로 대체되고 그 반대로 구성될 수 있다.

[0036] 도 5는 도 4의 실시예와 실질적으로 동일한 구현예를 도시한다. 이 구현에서, 출력 제어 회로는 논리 게이트(500)를 포함하는데, 이 논리 게이트(500)는 플립플롭(302)의 Q 출력에 연결된 제 1 입력과, 스캔 셀의 스캔 가능 입력(SE)에 연결된 제 2 입력과, 스캔 셀의 기능적 데이터 출력(Q)에 연결된 제 1 출력과, 스캔 셀의 스캔 출력(SO)에 연결된 제 2 출력을 가진 논리 게이트(500)를 포함한다. 논리 게이트(500)는 본 실시예에서 예시적으로 NAND 게이트이지만, 다른 실시예에서 논리 게이트의 다른 유형 및 구성이 사용될 수 있다.

[0037] 상기된 바와 같이, 도 3 내지 도 5에서 도시된 것들과 같은 저전력 및 영역 효율적 스캔 셀들은, 스캔 테스트 회로의 신호 및 타이밍에 악영향이 없이, 스캔 시프트 동작 모드 및 기능 모드 모두에서 집적 회로의 전력 소비를 상당히 감소시킬 수 있다. 기존 스캔 플립플롭 또는 스캔 셀의 다른 유형들은 스캔 테스트 기능에서 어떠한 변경도 없이 저전력 및 영역 효율적 스캔 셀로 쉽게 대체될 수 있다.

[0038] 도 1의 테스트 시스템(100)에서의 테스터(102)는 어떠한 특정 형태도 취할 필요가 없다. 도 6에 도시된 하나의 가능한 예시에서, 테스터(602)는 로드 보드(604)를 포함하고, 본원에 개시된 기술들을 사용하는 스캔 테스트의 대상이 되는 집적 회로(605)가 로드 보드(604)의 중앙 부분(606)에 설치된다. 테스터(602)는 또한 저장된 컴퓨터 코드를 실행시키기 위한 프로세서와 메모리 요소를 포함할 수 있지만 이러한 요소들은 도면에서 명백하게 도시되지 않았다. 다수의 대안적인 테스터들은 본원에 개시된 바와 같은 집적 회로의 스캔 테스트를 수행하는데 사용될 수 있다.

[0039] 집적 회로 설계의 스캔 테스트 회로에서 스캔 체인들을 형성하기 위한 스캔 셀의 삽입은 도 7에 도시된 유형의 프로세싱 시스템(700)에서 수행될 수 있다. 스캔 테스트 회로(106)를 포함하도록 집적 회로(104)와 같은 집적 회로를 설계하는데 사용하기 위해 이러한 프로세싱 시스템이 구성된다. 프로세싱 시스템(700)은 메모리(704)에 연결된 프로세서(702)를 포함한다. 또한 하나 이상의 네트워크를 통해 프로세싱 시스템이 다른 시스템 및 디바이스들과 통신하도록 허용하기 위한 네트워크 인터페이스(706)가 프로세서(702)에 연결된다. 따라서 네트워크 인터페이스(706)는 하나 이상의 송수신기를 포함할 수 있다. 프로세서(702)는, 집적 회로 설계 소프트웨어(716)의 이용과 함께, 본원에 개시된 방법으로 코어 설계(710)를 스캔 셀(714)로 보충하기 위한 스캔 모듈(710)을 구현한다.

[0040] (710), (712), (714) 및 (716)과 같은 요소들이 메모리(704)에 저장된 소프트웨어의 형태로 적어도 부분적으로 구현되고 프로세서(702)에 의해 프로세스된다. 예를 들어, 메모리(704)는 전체 집적 회로 설계 프로세스 내에서 모듈(710)의 특정 스캔 셀 삽입 기능을 구현하기 위해 프로세서(702)에 의해 실행되는 프로그램 코드를 저장할 수 있다. 메모리(704)는, 본원에서 컴퓨터 판독가능 매체로서 더 일반적으로 지칭되는 것 또는 내부에 구현된 컴퓨터 프로그램 코드를 가지는 컴퓨터 프로그램 제품의 다른 유형의 예시, 및 예를 들어, RAM 또는 ROM과 같은 전자 메모리, 자기 메모리, 광학 메모리, 또는 임의의 조합으로 된 저장 디바이스들의 다른 유형들을 포함한다. 프로세서(702)는 마이크로 프로세서, CPU, ASIC, FPGA 또는 프로세싱 디바이스의 다른 유형뿐만 아니라 그러한 디바이스의 부분들 또는 조합들을 포함할 수 있다.

[0041] 상기된 바와 같이, 본 발명의 실시예는 집적 회로의 형태로 구현될 수 있다. 주어진 이러한 집적 회로 실시예에서, 동일한 다이가 반도체 웨이퍼의 표면 상에 반복된 패턴으로 통상적으로 형성된다. 본원에서 설명된 바와 같이 각각의 다이(die)는 스캔 테스트 회로를 포함하고, 다른 구조 또는 회로를 포함할 수 있다. 개별 다이는 웨이퍼로부터 절단되고 다이싱(dice) 되고, 그후 집적 회로로서 패키징된다. 당업자는 집적 회로를 생산하기 위해 웨이퍼를 다이싱하고 다이를 패키징하기 위한 방법을 공지할 것이다. 따라서 제조된 집적 회로들은 본 발명에서의 고려된 부분들이다.

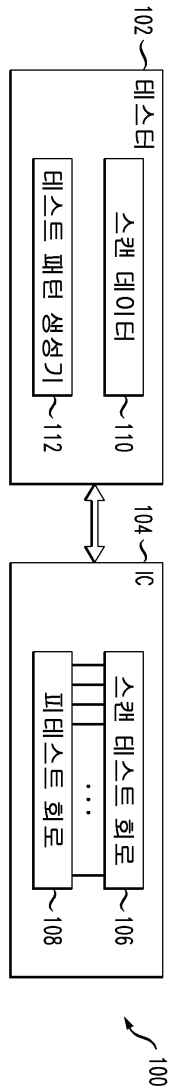
[0042] 재차, 본원에서 설명된 바와 같은 본 발명의 실시예들이 오직 예시적으로만 되도록 의도된다는 것이 강조되어야 할 것이다. 예를 들어, 본 발명은, 예시적인 실시예와 함께 이전에 설명된 것들 이외에, 스캔 셀, 게이트 및 다른 회로 요소들의 상이한 유형 및 구성과 함께, 스캔 테스트 회로의 다양한 다른 유형들을 사용하여 구현될 수 있다. 하기의 청구항들의 범위 내에서 이들 및 다수의 다른 대안적인 실시예들이 당업자들에게 용이하게 명백해질 것이다.

**부호의 설명**

- |        |                     |                          |
|--------|---------------------|--------------------------|
| [0043] | 102 : 테스트           | 104 : 집적 회로              |
|        | 106 : 스캔 테스트 회로     | 112 : 테스트 패턴 생성기         |
|        | 200 : 압축해제기         | 202 : 압축기                |
|        | 204 : 스캔 체인         | 206 : 스캔 셀               |
|        | 207 : 피테스트 회로       | 208, 210, 212 : 조합 논리 블록 |
|        | 214, 310 : 제 1 입력   | 300 : 멀티플렉서              |
|        | 302 : 플립플롭          | 304 : 3상태 버퍼             |
|        | 305 : 인버터           | 400 : MOS 게이트            |
|        | 500 : 논리 게이트        | 604 : 로드 보드              |
|        | 704 : 메모리           | 706 : 네트워크 인터페이스         |
|        | 716 : 집적회로 설계 소프트웨어 |                          |

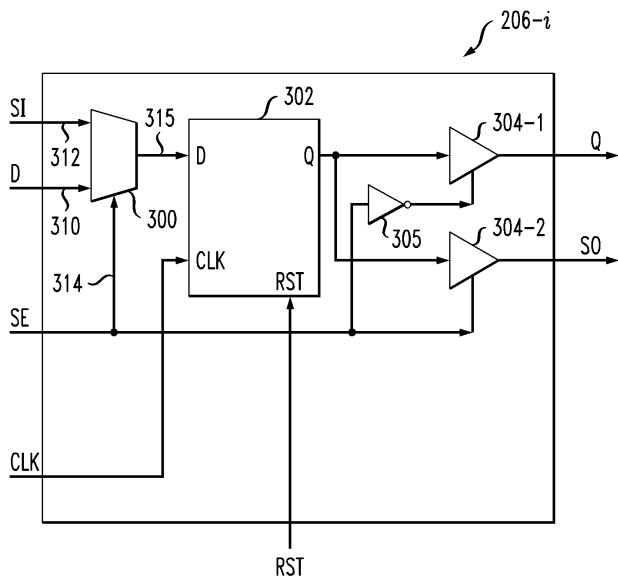
도면

도면1

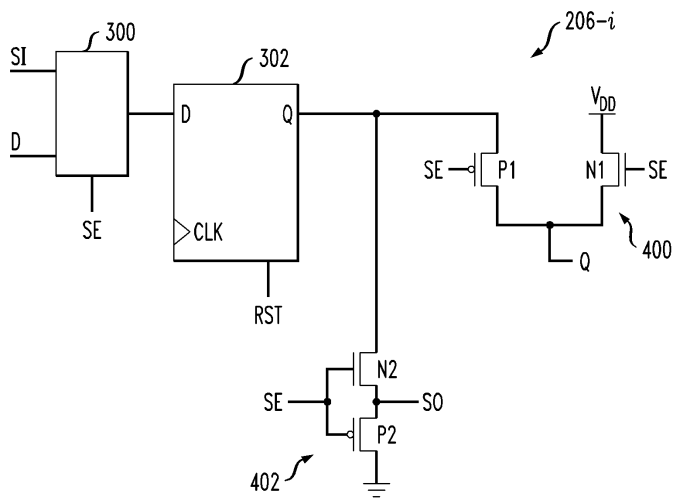




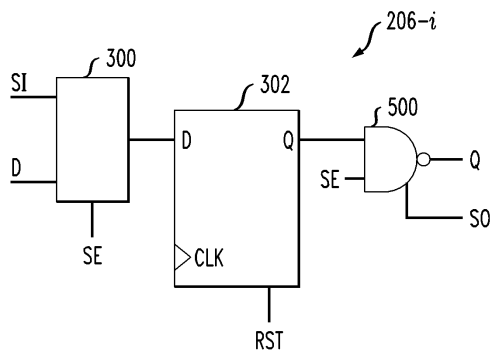
도면3



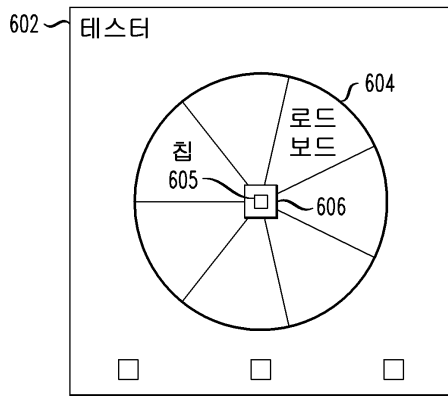
도면4



도면5



도면6



도면7

