

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3655834号  
(P3655834)

(45) 発行日 平成17年6月2日(2005.6.2)

(24) 登録日 平成17年3月11日(2005.3.11)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 29/47	HO 1 L 29/48	F
HO 1 L 29/861	HO 1 L 29/48	D
HO 1 L 29/872	HO 1 L 29/91	Z

請求項の数 8 (全 16 頁)

(21) 出願番号	特願2001-96123 (P2001-96123)	(73) 特許権者	000003078
(22) 出願日	平成13年3月29日 (2001.3.29)		株式会社東芝
(65) 公開番号	特開2002-299643 (P2002-299643A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年10月11日 (2002.10.11)	(74) 代理人	100083806
審査請求日	平成15年2月14日 (2003.2.14)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の第1半導体層と、  
当該第1半導体層の第1導電型不純物濃度に比して高い第2導電型不純物濃度を有し、当該第1半導体層に対してpn接合を形成する第2半導体層と、  
当該第2半導体層に対して実質的にショットキー接合を形成するショットキー層と、  
前記第2半導体層の少なくとも一部の領域であって、熱平衡状態において前記第1半導体層と前記第2半導体層とのpn接合界面から前記第2半導体層と前記ショットキー層とのショットキー接合界面まで連続して空乏化している空乏領域と  
を有することを特徴とする半導体装置。

【請求項2】

前記空乏領域は、  
前記pn接合界面から広がる第1空乏層と、  
前記ショットキー接合界面から広がり、熱平衡状態において前記第1空乏層に接触した第2空乏層と  
を有することを特徴とする請求項1記載の半導体装置。

【請求項3】

前記第2半導体層の全領域が前記空乏領域であることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】

前記第2半導体層の一部の領域が前記空乏領域であることを特徴とする請求項1又は2記載の半導体装置。

【請求項5】

前記第2半導体層の残りの領域は、前記空乏領域の第2導電型不純物濃度に比して高い第2導電型不純物濃度を有することを特徴とする請求項4記載の半導体装置。

【請求項6】

前記ショットキー層は、前記第2半導体層に対してショットキー接合を形成するショットキー金属電極であることを特徴とする請求項1又は2記載の半導体装置。

【請求項7】

前記ショットキー層は、前記第2半導体層に対して擬似的なショットキー接合を形成する第1導電型の第3半導体層であることを特徴とする請求項1又は2記載の半導体装置。 10

【請求項8】

前記第3半導体層の第1導電型不純物濃度が、第2半導体層の第2導電型不純物濃度に比して高いことを特徴とする請求項7記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、整流性を有する半導体装置に関し、特に、低い順電圧降下を有し且つ高い逆耐圧及び低い逆リーク電流を有する半導体ダイオードに関する。

【0002】 20

【従来の技術】

従来の半導体ダイオードとして、pn接合によるダイオード(pnダイオード)とショットキー接合によるダイオードが広く知られている。pnダイオードは逆方向の耐圧が高くまた逆リーク電流が小さいという特徴を有する。しかし、順方向電圧降下についてはpn接合のビルトインポテンシャルを下限とする。従って、たとえばワイドギャップ半導体の一つである炭化シリコン(シリコンカーバイド:SiC)の場合では、pn接合のビルトインポテンシャルが2.5V以上という高い値になるという問題があった。

【0003】

一方、ショットキーダイオードにおいては順方向電圧降下をショットキーバリア高さの小さいショットキー電極を用いることにより小さくすることが可能だが、逆方向の耐圧が低く、逆リーク電流が大きいという問題があった。 30

【0004】

そこで、特公昭61-42877号公報において、pnダイオードのp型半導体層にショットキー電極を接続して、順方向電圧降下の低減を図ったダイオードが提案されている。

【0005】

【発明が解決しようとする課題】

しかしながら、上記公報に開示されたダイオードにおいても、依然としてpn接合におけるビルトインポテンシャル分の順方向電圧降下があるため、順方向電圧降下の低減の効果は小さかった。

【0006】 40

本発明は、上記実情に鑑みてなされたものであり、順方向の電圧降下が小さく且つ高い逆方向耐圧及び低い逆リーク電流を有する半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の特徴は、第1導電型の第1半導体層と、第1半導体層の第1導電型不純物濃度に比して高い第2導電型不純物濃度を有し、第1半導体層に対してpn接合を形成する第2半導体層と、第2半導体層に対して実質的にショットキー接合を形成するショットキー層と、第2半導体層の少なくとも一部の領域であって、熱平衡状態において第1半導体層と第2半導体層とのpn接合界面から第2半導体層とショットキー層とのショットキー接合界面まで連続して空乏化している空乏領域とを有する半 50

導体装置であることである。

【0008】

ここで、「第2半導体層に対して実質的にショットキー接合を形成するショットキー層」には、第2半導体層に対してショットキー接合を形成するショットキー金属電極、或いは第2半導体層に対して擬似的なショットキー接合(p-n接合)を形成する第1導電型の第3半導体層が含まれる。第3半導体層の第1導電型不純物濃度を、第2半導体層の第2導電型不純物濃度よりも十分高く設定することにより、第3半導体層へ伸びる空乏層を、第2半導体層へ広がる空乏層に対して無視することができる程に小さく抑えることができる。従って、第2半導体層と第3半導体層とのp-n接合を、第2半導体層にのみポテンシャル勾配が形成される擬似的なショットキー接合として近似することができる。また、第1導電型/第2導電型は互いに反対導電型である。例えば、第1導電型をn型とすれば、第2導電型はp型であり、第1導電型をp型とすれば、第2導電型はn型である。

10

【0009】

本発明の特徴に係る半導体装置によれば、第2半導体層の空乏化した領域(空乏領域)が、第1半導体層の多数キャリアに対してポテンシャルバリアを形成する。空乏領域が形成するポテンシャルバリアの高さ(バリアハイト)は、第1半導体層-第2半導体層間のp-n接合の内蔵電位(ビルトイン・ポテンシャル)よりも低くすることができる。従って、このp-n接合の順方向電圧を第1半導体層-ショットキー層間に印加したとき、第1半導体層内の多数キャリアが乗り越えるバリアハイトがp-n接合のビルトイン・ポテンシャルよりも低くなり、順電圧降下(オン抵抗)を低減することができる。

20

【0010】

一方、p-n接合の逆方向電圧を第1半導体層-ショットキー層間に印加した場合、第1半導体層の第1導電型不純物濃度を第2半導体層の第2導電型不純物濃度に比して十分低くすることにより、逆方向電圧は第1半導体層-第2半導体層間のp-n接合に主に印可され、空乏領域のバリアハイトの減少を小さく抑えることができる。従って、ダイオードの逆方向耐圧を向上させることができる。また、多数キャリアが感じるポテンシャルバリアは、ショットキーダイオードにおけるポテンシャルバリアに比べてなだらかになるため、キャリアがトンネル効果によりポテンシャルバリアを透過する確率が低くなり、逆リーク電流を低減することができる。

【0011】

本発明の特徴において、空乏領域は、p-n接合界面から伸びた第1空乏層と、ショットキー接合界面から広がり、熱平衡状態において第1空乏層に接触した第2空乏層とを少なくとも有することが望ましい。即ち、熱平衡状態においてp-n接合界面から伸びた第1空乏層と、前記ショットキー接合界面から伸びた第2空乏層とが接触していることが望ましい。

30

【0012】

また、第2半導体層の全領域が空乏領域であっても構わない。即ち、第2半導体層の全領域が空乏化していても構わない。或いは、第2半導体層の一部の領域のみが空乏領域であっても構わない。即ち、第2半導体層の不純物濃度を局所的に高濃度化させることにより、第2半導体層の一部の領域のみが空乏化しており、第2半導体の残りの高濃度領域にはキャリアが存在していても構わない。この場合、空乏化していない第2半導体層の残りの領域が形成するポテンシャルバリアの高さ(バリアハイト)は、p-n接合のビルトイン・ポテンシャルと同等である。従って、順方向電圧を更に上昇させてp-n接合のビルトイン・ポテンシャル以上の順方向電圧を印加した場合、空乏化していない第2半導体層内の多数キャリアが第1半導体層に注入され、双方向の少数キャリアの注入による導電度変調によりオン抵抗が更に低減され、順電圧降下を更に低減することができる。即ち、本発明の特徴に係る半導体装置をオン抵抗のより低いバイポーラ形ダイオードとして動作させることができる。

40

【0013】

【発明の実施の形態】

50

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似部分には同一あるいは類似な符号を付している。ただし、図面は模式的なものであり、層の厚みと幅との関係、各層の厚みの比率などは現実のものとは異なることに留意すべきである。また、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。なお、本発明の実施の形態において、第1導電型はn型であり、第2導電型はp型である。

#### 【0014】

(第1の実施の形態)

図1(a)は、本発明の第1の実施の形態に係わる半導体装置の構成を示す断面図である。図1(a)に示すように、第1の実施の形態に係わる半導体装置は、n型の第1半導体層(以後、「n<sup>-</sup>型半導体層」という)1と、n<sup>-</sup>型半導体層1に対してpn接合を形成するp型の第2半導体層(以後、「p型半導体層」という)2と、p型半導体層2に対してショットキー接合を形成するショットキー金属電極3とを少なくとも有するダイオードである。

10

#### 【0015】

熱平衡状態において、n<sup>-</sup>型半導体層1とp型半導体層2とのpn接合界面6からp型半導体層2へ広がる第1空乏層30と、p型半導体層2とショットキー金属電極3とのショットキー接合界面7からp型半導体層2へ広がる第2空乏層29とが接触している。即ち、n<sup>-</sup>型半導体層1、p型半導体層2及びショットキー金属電極3に電圧を印加しない状態において、p型半導体層2の全領域が、キャリアが空乏化している空乏領域を形成している。また、p型半導体層2のp型不純物濃度は、n<sup>-</sup>型半導体層1のn型不純物濃度に比して十分高く、n<sup>-</sup>型半導体層1とp型半導体層2とのpn接合は片側階段接合を形成している。さらに、n<sup>-</sup>型半導体層1の厚さは、p型半導体層2の厚さに比して十分厚い。

20

#### 【0016】

第1の実施の形態に係わるダイオードは、n<sup>-</sup>型半導体層1に結晶学的に接続されたn<sup>+</sup>型半導体層4と、n<sup>+</sup>型半導体層4に対してオーミック接触8がなされたオーミック電極5とを更に有する。n<sup>+</sup>型半導体層4は、n<sup>-</sup>型半導体層1と金属電極(オーミック電極)5の間で良好なオーミック接続を取るために配置された、高濃度のn型不純物が添加された半導体層である。本発明の第1の実施の形態に係るダイオードは、n<sup>-</sup>型半導体層1とp型半導体層2との間のpn接合からなるダイオードであり、オーミック電極5に対して正の電圧をショットキー金属電極3に印加することにより、ダイオードに順方向電圧が印加される。

30

#### 【0017】

なお、p型半導体層2の全領域を空乏化するには、p型半導体層2及びn<sup>-</sup>型半導体層1などの各半導体層の不純物濃度及び層の厚さ、及びショットキー金属電極3の金属材料を、所望の値に設定することが必要である。例えば、炭化シリコン(SiC: Silicon Carbide)を材料としたダイオードの場合、n<sup>-</sup>型半導体層1の厚さを10 $\mu$ m、n型不純物濃度を5 $\times$ 10<sup>15</sup>cm<sup>-3</sup>とし、n<sup>+</sup>型半導体層4の厚さを1 $\mu$ m、n型不純物濃度を1 $\times$ 10<sup>19</sup>cm<sup>-3</sup>とした時、p型半導体層2の厚さを8nm以下、p型不純物濃度を1 $\times$ 10<sup>19</sup>cm<sup>-3</sup>とすることにより、熱平衡状態においてp型半導体層2の全領域を空乏化することができる。

40

#### 【0018】

図1(b)は、図1(a)に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイヤグラムである。図1(b)のバンドダイヤグラムを用いて、図1(a)に示したダイオードの動作原理を述べる。熱平衡状態、即ち、ある温度において外部からの刺激がない状態で定常状態であるとき、フェルミレベルは一定である。従って、n<sup>-</sup>型半導体層1とp型半導体層2とのpn接合界面6付近にはポテンシャルの勾配がある領域(遷移領域)が形成され、この遷移領域において各半導体層には、キャリアが存在しない空乏層が形成されている。このpn接合界面6付近に形成される空乏層の内、pn接

50

合界面 6 から p 型半導体層へ広がる空乏層が第 1 空乏層 30 に相当している。前述したように、n<sup>-</sup>型半導体層 1 と p 型半導体層 2 との p n 接合は片側階段接合を形成しているため、第 1 空乏層 30 に比して十分大きな空乏層が n<sup>-</sup>型半導体層 1 へ広がっている。

【0019】

一方、p 型半導体層 2 とショットキー金属電極 3 とのショットキー接合界面 7 においては、熱平衡状態におけるフェルミレベル一定の条件から、ショットキーバリア  $V_{Bn}$  が形成される。ショットキーバリア  $V_{Bn}$  はショットキー金属電極 3 の仕事関数と p 型半導体層 2 の電子親和力との差である。そして、ショットキー接合界面 7 付近の p 型半導体層 2 に遷移領域が形成され、この遷移領域において p 型半導体層 2 にはキャリアの存在しない第 2 空乏層 29 が形成されている。

10

【0020】

p n 接合界面 6 から p 型半導体層 2 へ広がる第 1 空乏層 30 と、ショットキー接合界面 7 から p 型半導体層 2 へ広がる第 2 空乏層 29 とは接している。つまり、p 型半導体層 2 の内部には、キャリアが空乏化した空乏領域のみが存在し、ポテンシャルの勾配がなく、キャリア（ホール）が存在する中性領域が存在していない。

【0021】

p n 接合界面 6 付近のポテンシャルの勾配と、ショットキー接合界面 7 付近のポテンシャルの勾配により、p 型半導体層 2 を中心とした領域に、n<sup>-</sup>型半導体層 1 の多数キャリア（電子）から見たポテンシャルの障壁（ポテンシャルバリア）が形成される。多数キャリアから見たポテンシャルバリアの高さ（ $V_{BH}$ ）13 は、n<sup>-</sup>型半導体層 1 と p 型半導体層 2 間のビルトイン・ポテンシャルよりも低く抑えることができる。なお、n<sup>-</sup>型半導体層 1 と p 型半導体層 2 間のビルトイン・ポテンシャルとは、n<sup>-</sup>型半導体層 1 と p 型半導体層 2 との p n 接合を形成し、p 型半導体層 2 とショットキー金属電極 3 とのショットキー接合を形成しない場合における n<sup>-</sup>型半導体層 1 と p 型半導体層 2 間のポテンシャルの差を示す。これは、ショットキー接合 7 による p 型半導体層 2 のポテンシャル勾配により、ポテンシャル障壁の高さ（ $V_{BH}$ ）13 が、n<sup>-</sup>型半導体層 1 と p 型半導体層 2 間のビルトイン・ポテンシャルよりも低く押さえ込まれた為である。また、p 型半導体層 2 の p 型不純物濃度と厚さを制御することにより、ポテンシャル障壁の高さ（ $V_{BH}$ ）13 を、ショットキー接合界面 7 のバリアハイト（ $V_{Bn}$ ）から p - n 接合のビルトインポテンシャルの間で自由に設定できる。

20

30

【0022】

オーミック電極 5 とショットキー金属電極 3 間に順方向電圧を印加した場合、順方向電圧は主に p 型半導体層 2 と n<sup>-</sup>型半導体層 1 の接合に印加され、ポテンシャル障壁の高さ（ $V_{BH}$ ）13 が緩和される。これにより、n<sup>-</sup>型半導体層 1 内の多数キャリア（電子）は、p 型半導体層 2 のポテンシャル障壁を乗り越えてショットキー金属電極 3 に流れ込むことができる。従って、n<sup>-</sup>型半導体層 1 から p 型半導体層 2 への電子の拡散により、ダイオードに順方向の電流が流れる。この時、ポテンシャル障壁の高さ（ $V_{BH}$ ）13 が n<sup>-</sup>型半導体層 1 と p 型半導体層 2 間のビルトイン・ポテンシャルよりも低く抑えることができる分だけ、ダイオードによる電圧降下量、即ちオン抵抗を低減することができる。

【0023】

一方、オーミック電極 5 とショットキー金属電極 3 間に逆方向電圧を印加した場合、逆方向電圧も主に p 型半導体層 2 と n<sup>-</sup>型半導体層 1 の接合に印加される。n<sup>-</sup>型半導体層 1 と p 型半導体層 2 とは片側階段接合を形成しているため、n<sup>-</sup>型半導体層 1 へ十分大きな空乏層が広がり、逆方向電圧に対する耐圧を向上させることができる。なお、p 型半導体層 2 と n<sup>-</sup>型半導体層 1 との不純物濃度差が十分大きい為、逆方向電圧はそのほとんどが n<sup>-</sup>型半導体層 1 に広がる空乏層に印加され、全領域が既に空乏化している p 型半導体層 2 へ印加されにくい。よって、p 型半導体層 2 に形成されるポテンシャル障壁の高さの低下はごくわずかに抑えることができるため、逆方向耐圧の低減を小さく抑えることができると同時に、リーク電流の増加を抑制することができる。また、p 型半導体層 2 とショットキー金属電極 3 とからなるショットキーダイオード単体に逆方向電圧を印加する場合

40

50

に比して、多数キャリア（電子）が感じるポテンシャルバリアの形状がなだらかであるため、多数キャリア（電子）がポテンシャルバリアをトンネリングする時の透過距離が長くなる。従って、多数キャリア（電子）はポテンシャルバリアをトンネリングしにくくなり、トンネリングによるリーク電流（トンネル電流成分）を抑制できる。

**【0024】**

図8は、発明者らが行った本発明の第1の実施の形態に係るダイオードの電気的特性をシミュレーションした結果を示すグラフである。横軸がダイオードに印加する順方向電圧（V）を示し、縦軸がダイオードを流れる電流密度（ $A/cm^2$ ）を示す。また、シミュレーションは、p型半導体層2の厚みを、2nmから10nmの範囲で変化させて、全部で5通りの計算を行った。総てのI-V特性は、2V前後をしきい値とする立ち上がりが形成され、4V以上の電圧において $10^3 \sim 10^5 A/cm^2$ の安定した順方向電流が流れる。また、立ち上がりのしきい値が小さい方から、p型半導体層2の厚みが、2nm、4nm、6nm、8nm、10nmである場合を示している。

10

**【0025】**

デバイスの条件は、上述したp型半導体層の全領域が空乏化する為の条件と同じである。即ち、SiCを材料としたダイオードであり、n<sup>-</sup>型半導体層1の厚さを $10\mu m$ 、n型不純物濃度を $5 \times 10^{15} cm^{-3}$ とし、n<sup>+</sup>型半導体層4の厚さを $1\mu m$ 、n型不純物濃度を $1 \times 10^{19} cm^{-3}$ とし、p型半導体層2のp型不純物濃度を $1 \times 10^{19} cm^{-3}$ とする。

**【0026】**

図8に示すように、p型半導体層2の厚さが薄いほど（特に、p型半導体層2の厚みが、2nm、4nm、6nmである場合）、ポテンシャル障壁の高さ（ $V_{BH}$ ）13が低くなるため順方向電流の立ち上がりが早く、オン抵抗が小さくなる。しかし、空乏化したp型半導体層2にホールが存在せずホールが電流に寄与することが無いため、4V以上の電圧において流れる安定した電流はそれほど大きにならない。即ち、p型半導体層2の厚さが薄いほど、ユニポーラ型のダイオードとしての動作が顕著となる。

20

**【0027】**

一方、p型半導体層2の厚さが厚いほど（特に、p型半導体層2の厚みが、8nm、10nmである場合）、ポテンシャル障壁の高さ（ $V_{BH}$ ）13が高くなるため順方向電流の立ち上がりが遅く、オン抵抗が大きくなる。しかし、空乏化していないp型半導体層2にホールが存在しホールが電流に寄与するため、4V以上の電圧において流れる安定した電流は比較的大きくなる。即ち、p型半導体層2の厚さが厚いほど、バイポーラ型のダイオードとしての動作が顕著となる。

30

**【0028】**

以上説明したように、本発明の第1の実施の形態によれば、熱平衡状態においてp型半導体層2が空乏化しているため、p型半導体層2を中心とした領域にポテンシャルバリアを形成することができる。このポテンシャルバリアの高さ（ $V_{BH}$ ）をpn接合のビルトインポテンシャルよりも小さく抑えることができる。従って、順方向電圧を印加したときのpn接合における電圧降下を、pn接合のビルトインポテンシャルよりも小さくすることができ、ダイオードのオン抵抗を低減することができる。また、n<sup>-</sup>型半導体層1及びp型半導体層2の各不純物濃度及び厚さを所望の値に設定することにより、逆方向電圧に対する耐圧を向上させることができ、同時にトンネリングによるリーク電流を小さく抑えることができる。

40

**【0029】**

また、本発明の第1の実施の形態によれば、p型半導体層2の全領域が空乏化しているため、p型半導体層2の全領域において均一なキャリア（電子）の流れを形成することができる。

**【0030】**

更に、本発明の第1の実施の形態によれば、完全に空乏化したp型半導体層2には多数キャリア（ホール）は存在していないため、ホールの移動は電流に寄与しない。即ち、第1

50

の実施の形態に係る半導体装置を、オン抵抗の低いユニポーラ型ダイオードとして動作させることができる。

【0031】

(第2の実施の形態)

本発明の第1の実施の形態においては、p型半導体層2に対してショットキー接合を形成するショットキー金属電極3を有するダイオードについて説明したが、本発明はこれに限定されるものではない。本発明の第2の実施の形態においては、ショットキー金属電極3の代わりに、p型半導体層2に対して擬似的なショットキー接合(p-n接合)を形成する高濃度のn型不純物が添加された第3半導体層(以後、「n<sup>+</sup>型半導体層」という)を有するダイオードについて説明する。

10

【0032】

図2(a)は、本発明の第2の実施の形態に係る半導体装置(ダイオード)の構成を示す断面図である。図2(a)に示すように、第2の実施の形態に係る半導体装置は、n<sup>-</sup>型半導体層1と、p型半導体層2と、p型半導体層2に対して擬似的なショットキー接合(p-n接合)を形成する、高濃度のn型不純物が添加されたn<sup>+</sup>型半導体層9とを少なくとも有するダイオードである。n<sup>-</sup>型半導体層1、p型半導体層2については、第1の実施の形態に係るダイオードの場合と同様であるため、説明を省略する。

【0033】

熱平衡状態において、n<sup>-</sup>型半導体層1とp型半導体層2とのp-n接合界面6からp型半導体層2へ広がる空乏層と、p型半導体層2とn<sup>+</sup>型半導体層9との擬似ショットキー接合界面10からp型半導体層2へ広がる空乏層とが接触している。即ち、p型半導体層2の全領域がキャリアが空乏化している空乏領域を形成している。また、n<sup>+</sup>型半導体層9のp型不純物濃度を、p型半導体層2のp型不純物濃度よりも十分高く設定することにより、n<sup>+</sup>型半導体層9へ伸びる空乏層を、p型半導体層2へ広がる空乏層に対して無視することができる程に小さく抑えることができる。従って、p型半導体層2とn<sup>+</sup>型半導体層9とのp-n接合を、p型半導体層2にのみポテンシャル勾配が形成される擬似的なショットキー接合として近似することができる。

20

【0034】

第2の実施の形態に係るダイオードは、n<sup>+</sup>型半導体層9に対してオーミック接触12がなされたオーミック電極11と、n<sup>+</sup>型半導体層4に対してオーミック接触8がなされたオーミック電極5とを更に有する。

30

【0035】

図2(b)は、図2(a)に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイヤグラムである。図2(b)のバンドダイヤグラムを用いて、図2(a)に示したダイオードの動作原理を述べる。熱平衡状態、におけるフェルミレベル一定の条件から、n<sup>-</sup>型半導体層1とp型半導体層2とのp-n接合界面6付近には遷移領域が形成され、この遷移領域において各半導体層には空乏層が形成されている。前述したように、n<sup>-</sup>型半導体層1とp型半導体層2とのp-n接合は片側階段接合を形成しているため、p型半導体層2に比して十分大きな空乏層がn<sup>-</sup>型半導体層1へ広がっている。

【0036】

一方、p型半導体層2とn<sup>+</sup>型半導体層9との擬似ショットキー接合界面10においては、擬似ショットキーバリア $\phi_{Bn}$ 16が形成される。そして、擬似ショットキー接合界面10付近のp型半導体層2に遷移領域が形成され、この遷移領域においてp型半導体層2にはキャリアの存在しない空乏層が形成されている。

40

【0037】

p-n接合界面6からp型半導体層2へ広がる空乏層と、擬似ショットキー接合界面10からp型半導体層2へ広がる空乏層とは接している。つまり、p型半導体層2の内部には、キャリアが空乏化した空乏領域のみが存在し、ポテンシャルの勾配がなく、キャリア(ホール)が存在する中性領域が存在していない。

【0038】

50

p n 接合界面 6 付近のポテンシャルの勾配と、擬似ショットキー接合界面 10 付近のポテンシャルの勾配により、p 型半導体層 2 を中心とした領域に、n<sup>-</sup> 型半導体層 1 の多数キャリア（電子）から見たポテンシャルバリアが形成される。多数キャリアから見たポテンシャルバリアの高さ（ $V_{BH}$ ）15 は、n<sup>-</sup> 型半導体層 1 と p 型半導体層 2 間のビルトイン・ポテンシャルよりも低く抑えることができる。これは、擬似ショットキー接合による p 型半導体層 2 のポテンシャル勾配により、ポテンシャル障壁の高さ（ $V_{BH}$ ）15 が、n<sup>-</sup> 型半導体層 1 と p 型半導体層 2 間のビルトイン・ポテンシャルよりも低く押さえ込まれた為である。また、p 型半導体層 2 の p 型不純物濃度と厚さを制御することにより、ポテンシャル障壁の高さ（ $V_{BH}$ ）15 を、p n 接合のビルトインポテンシャルを上限として自由に設定できる。

10

## 【0039】

オーミック電極 5 とオーミック電極 11 間に順方向電圧を印加した場合、第 1 の実施の形態と同様に、順方向電圧は主に p 型半導体層 2 と n<sup>-</sup> 型半導体層 1 の接合に印加され、n<sup>-</sup> 型半導体層 1 内の多数キャリア（電子）は、p 型半導体層 2 のポテンシャル障壁を乗り越えてオーミック電極 11 に流れ込むことができる。従って、n<sup>-</sup> 型半導体層 1 から p 型半導体層 2 への電子の拡散により、ダイオードに順方向の電流が流れる。この時、ポテンシャル障壁の高さ（ $V_{BH}$ ）15 が n<sup>-</sup> 型半導体層 1 と p 型半導体層 2 間のビルトイン・ポテンシャルよりも低く抑えることができる分だけ、ダイオードによる電圧降下量、即ちオン抵抗は低減することができる。

## 【0040】

一方、オーミック電極 5 とショットキー金属電極 3 間に逆方向電圧を印加した場合、第 1 の実施の形態と同様に、逆方向電圧も主に p 型半導体層 2 と n<sup>-</sup> 型半導体層 1 の接合に印加される。そして、n<sup>-</sup> 型半導体層 1 へ十分大きな空乏層が広がり、逆方向電圧に対する耐圧を向上させることができる。なお、p 型半導体層 2 と n<sup>-</sup> 型半導体層 1 との不純物濃度差が十分大きい為、p 型半導体層 2 に形成されるポテンシャル障壁の高さの低下はごくわずかに抑えることができる。従って、逆方向耐圧の低減を小さく抑えることができると同時に、リーク電流の増加を抑制することができる。

20

## 【0041】

以上説明したように、第 2 の実施の形態に係るダイオードによれば、第 1 の実施の形態に係るダイオードと同様な作用効果を奏するのみならず、ショットキー金属電極 3 との間

にショットキー接合を形成した場合に比して、多数キャリア（電子）が感じるポテンシャルバリアの形状がなだらかであるため、逆方向電圧を印加した場合、多数キャリア（電子）がポテンシャルバリアをトンネリングする時の透過距離が更に長くなる。従って、多数キャリア（電子）はポテンシャルバリアをトンネリングしにくくなり、トンネリングによるリーク電流（トンネル電流成分）を更に抑制できる。

30

## 【0042】

（第 3 の実施の形態）

本発明の第 1 および第 2 の実施の形態においては、共に、p 型半導体層 2 の全領域が空乏化している場合について説明したが、本発明はこれに限定されるものではない。本発明の実施の形態に係る半導体装置は、p 型半導体層 2 の一部の領域のみが空乏化していても構

われない。即ち、p 型半導体層 2 の不純物濃度を局所的に高濃度化させ、局所的にキャリアを空乏化させても差し支えない。本発明の第 3 の実施の形態においては、p 型半導体層 2 の一部の領域にのみ、n<sup>-</sup> 型半導体層 1 との p n 接合界面 6 からショットキー層 3 とのショットキー接合界面 7 まで連続して空乏化している空乏領域が形成された場合について説明する。

40

## 【0043】

図 3 (a) は、本発明の第 3 の実施の形態に係る半導体装置（ダイオード）の構成を示す断面図である。図 3 (a) に示すように、第 3 の実施の形態に係るダイオードは、n<sup>-</sup> 型半導体層 1 と、n<sup>-</sup> 型半導体層 1 に対して p n 接合を形成する p 型半導体層 28 と、p 型半導体層 28 に隣接して配置され、n<sup>-</sup> 型半導体層 1 に対して p n 接合を形成する p<sup>+</sup>

50

型半導体層 19 と、p 型半導体層 28 及び p<sup>+</sup> 型半導体層 19 に対してショットキー接合を形成するショットキー金属電極 3 とを少なくとも有する。即ち、第 3 の実施の形態に係るダイオードにおいて、p 型半導体層 2 は、p 型半導体層 28 及び p<sup>+</sup> 型半導体層 19 とから少なくとも構成されている。p 型半導体層 28 及び p<sup>+</sup> 型半導体層 19 は互いに金属学的に接合され、n<sup>-</sup> 型半導体層 1 とショットキー金属電極 3 との間に交互に並列に配置されている。

【0044】

熱平衡状態において、p 型半導体層 2 の一部の領域 (p 型半導体層 28) は、n<sup>-</sup> 型半導体層 1 との pn 接合界面 6 から広がる空乏層と、ショットキー金属電極 3 とのショットキー接合界面 7 から広がる空乏層と、p<sup>+</sup> 型半導体層 19 との接合界面から広がる空乏層によって満たされている。即ち、p 型半導体層 28 の全領域が空乏領域を形成している。一方、p<sup>+</sup> 型半導体層 19 には p 型半導体層 28 に比して高濃度の p 型不純物が添加されているため、熱平衡状態において p<sup>+</sup> 型半導体層 19 にはキャリアが空乏化していない中性領域が存在する。

10

【0045】

第 3 の実施の形態に係るダイオードは、n<sup>-</sup> 型半導体層 1 に結晶学的に接続された n<sup>+</sup> 型半導体層 4 と、n<sup>+</sup> 型半導体層 4 に対してオーミック接触 8 がなされたオーミック電極 5 とを更に有する。n<sup>-</sup> 型半導体層 1 及び n<sup>+</sup> 型半導体層 4 については、第 1 の実施の形態と同様であるため説明を省略する。

【0046】

なお、p 型半導体層 28 を空乏化するには、p 型半導体層 28、p<sup>+</sup> 型半導体層 19 及び n<sup>-</sup> 型半導体層 1 などの各半導体層の不純物濃度及び層の厚さ、及びショットキー金属電極 3 の金属材料を、所望の値に設定することが必要である。

20

【0047】

図 3 (b) 及び図 3 (c) は、図 3 (a) に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイヤグラムである。図 3 (b) 中の実線は、図 3 (a) の A - A' 切断面におけるエネルギーバンド構造を示し、一点鎖線は、図 3 (a) の B - B' 切断面におけるエネルギーバンド構造を示す。また、図 3 (c) は、図 3 (a) の C - C' 切断面におけるエネルギーバンド構造を示す。図 3 (b) 及び図 3 (c) のバンドダイヤグラムを用いて、図 3 (a) に示したダイオードの動作原理を述べる。

30

【0048】

図 3 (b) に示すように、熱平衡状態におけるフェルミレベル一定の条件から、pn 接合界面 6 付近に遷移領域が形成され、この遷移領域において空乏層が形成される。n<sup>-</sup> 型半導体層 1 と p 型半導体層 (19、28) との pn 接合は片側階段接合を形成しているため、p 型半導体層 (19、28) に比して十分大きな空乏層が n<sup>-</sup> 型半導体層 1 へ広がっている。また、p 型半導体層 28 と p<sup>+</sup> 型半導体層 19 とのフェルミレベルの相違から、p 型半導体層 28 に比して p<sup>+</sup> 型半導体層 19 の方が、より広い領域にポテンシャルの傾斜が形成され、より広い領域に空乏層が形成される。

【0049】

一方、p 型半導体層 (19、28) とショットキー金属電極 3 とのショットキー接合界面 7 においては、熱平衡状態におけるフェルミレベル一定の条件から、ショットキーバリア  $\phi_{Bn}$  14 が形成される。ショットキーバリア  $\phi_{Bn}$  は、p 型半導体層 28 及び p<sup>+</sup> 型半導体層 19 について同じ高さである。そして、ショットキー接合界面 7 付近の p 型半導体層 (19、28) に遷移領域が形成され、この遷移領域において p 型半導体層 2 にはキャリアの存在しない空乏層が形成されている。ポテンシャルの傾斜角度は、p 型半導体層 28 よりも p<sup>+</sup> 型半導体層 19 の方が大きい。

40

【0050】

pn 接合界面 6 から p 型半導体層 28 へ広がる空乏層と、ショットキー接合界面 7 から p 型半導体層 28 へ広がる空乏層とは接している。つまり、p 型半導体層 28 の内部には、キャリアが空乏化した空乏領域のみが存在し、ポテンシャルの勾配がなく、キャリア (ホ

50

ール)が存在する中性領域が存在していない。一方、 $p-n$ 接合界面6から $p^+$ 型半導体層19へ広がる空乏層と、ショットキー接合界面7から $p^+$ 型半導体層19へ広がる空乏層とは接していない。つまり、 $p^+$ 型半導体層19の内部には、空乏領域の他に、ポテンシャルの勾配がなく、キャリア(ホール)21が空乏化していない中性領域も存在する。

【0051】

$p$ 型半導体層28及び $p^+$ 型半導体層19を中心とした領域に、 $n^-$ 型半導体層1の多数キャリア(電子)から見たポテンシャルの障壁(ポテンシャルバリア)がそれぞれ形成される。図3(c)は、 $p$ 型半導体層28及び $p^+$ 型半導体層19のポテンシャルバリアの高さの関係を示している。図3(c)に示すように、多数キャリアから見たポテンシャルバリアの高さ( $V_{BH}$ )は、 $p$ 型半導体層28よりも $p^+$ 型半導体層19の方が高い。 $p$ 型半導体層28のポテンシャルバリアの高さ( $V_{BH1}$ )18は、 $n^-$ 型半導体層1と $p$ 型半導体層28間のビルトイン・ポテンシャルよりも低く抑えることができる。また、 $p$ 型半導体層2の $p$ 型不純物濃度と厚さを制御することにより、ポテンシャル障壁の高さ( $V_{BH}$ )13を、ショットキー接合界面7のバリアハイト( $V_{Bn}$ )から $p-n$ 接合のビルトインポテンシャルの間で自由に設定できる。一方、 $p^+$ 型半導体層19のポテンシャルバリアの高さ( $V_{BH2}$ )17は、 $n^-$ 型半導体層1と $p^+$ 型半導体層19間のビルトイン・ポテンシャルと同等である。

10

【0052】

オーミック電極5とショットキー金属電極3間に順方向電圧を印加した場合、順方向電圧は主に $p$ 型半導体層28と $n^-$ 型半導体層1の $p-n$ 接合に印加され、ポテンシャル障壁の高さ( $V_{BH1}$ )18が緩和される。これにより、 $n^-$ 型半導体層1内の多数キャリア(電子)は、 $p$ 型半導体層28のポテンシャル障壁( $V_{BH1}$ )18を乗り越えてショットキー金属電極3に流れ込むことができる。従って、 $n^-$ 型半導体層1から $p$ 型半導体層28への電子の拡散により、ダイオードに順方向の電流が流れる。この時、 $p$ 型半導体層28のポテンシャル障壁の高さ( $V_{BH1}$ )18が $n^-$ 型半導体層1と $p$ 型半導体層28間のビルトイン・ポテンシャルよりも低く抑えることができる分だけ、ダイオードによる電圧降下量、即ちオン抵抗を低減することができる。

20

【0053】

次に、順方向電圧を更に上昇させ、 $p^+$ 型半導体層19のポテンシャルバリアの高さ( $V_{BH2}$ )17と同等の順方向電圧が、 $p$ 型半導体層(19、28)と $n^-$ 型半導体層1の $p-n$ 接合に印加された場合について述べる。 $n^-$ 型半導体層1内の多数キャリア(電子)は、 $p^+$ 型半導体層19のポテンシャル障壁( $V_{BH2}$ )17をも乗り越えてショットキー金属電極3に流れ込むことができる。また同時に、 $p^+$ 型半導体層19のホール21が $n^-$ 型半導体層1へ注入され、 $n^-$ 型半導体層1にキャリアが蓄積して電動度に変調されて実質的にオン抵抗が低減される。

30

【0054】

一方、オーミック電極5とショットキー金属電極3間に逆方向電圧を印加した場合、第1の実施の形態の場合と同様な動作を行うため、説明を省略する。

【0055】

第3の実施の形態に係るダイオードによれば、第1の実施の形態と同様な作用効果を奏することのみならず、ユニポーラ型ダイオードの特性と、バイポーラ型ダイオードの特性を兼ね備えることができる。即ち、図6(b)に示すように、順方向の電圧が比較的小さい状態では、 $n^-$ 型半導体層1から $p$ 型半導体層28へのホール21のみの移動が主に電流に寄与するユニポーラダイオード26の特性を有する。一方、順方向の電圧が比較的大きい状態では、 $p^+$ 型半導体層19のホール21の移動も電流に寄与するバイポーラダイオード25の特性を有する。

40

【0056】

(第4の実施の形態)

図4(a)は、本発明の第4の実施の形態に係る半導体装置(ダイオード)の構成を示す断面図である。図4(a)に示すように、第4の実施の形態に係るダイオードは、図3

50

(a) に示したダイオードと比して、 $p^+$  型半導体層 22 の一部が  $n^-$  型半導体層 1 の中へ張り出している。 $p^+$  型半導体層 22 と  $n^-$  型半導体層 1 との  $pn$  接合界面は、 $p$  型半導体層 28 と  $n^-$  型半導体層 1 との  $pn$  接合界面 6 よりも、 $n^-$  型半導体層 1 側へ配置されている。その他の構成については、図 3 (a) に示したダイオードと同じであるため、説明を省略する。

【0057】

熱平衡状態において、 $p$  型半導体層 2 の一部の領域 ( $p$  型半導体層 28) には空乏領域のみが形成されているが、 $p^+$  型半導体層 22 には  $p$  型半導体層 28 に比して高濃度の  $p$  型不純物が添加されているため、キャリアが空乏化していない中性領域が存在する。

【0058】

図 4 (b) は、図 3 (a) に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイヤグラムである。図 4 (b) 中の実線は、図 4 (a) の  $D-D'$  切断面におけるエネルギーバンド構造を示し、一点鎖線は、図 4 (a) の  $E-E'$  切断面におけるエネルギーバンド構造を示す。図 4 (b) に示すように、熱平衡状態におけるフェルミレベル一定の条件から、前述したように、 $p$  型半導体層 28 及び  $p^+$  型半導体層 22 を中心とした領域に、ポテンシャルの障壁 (ポテンシャルバリア) がそれぞれ形成される。多数キャリア (電子) から見たポテンシャルバリアの高さ ( $V_{BH}$ ) は、 $p$  型半導体層 28 よりも  $p^+$  型半導体層 19 の方が高い。また、 $p^+$  型半導体層 22 の一部が  $n^-$  型半導体層 1 へ張り出して形成されているため、図 3 (b) のポテンシャルバリアに比して、ポテンシャルバリアが厚く形成される。

【0059】

オーミック電極 5 とショットキー金属電極 3 間に順方向電圧を印加した場合、第 3 の実施の形態の場合と同様な動作を行うため、説明を省略する。一方、オーミック電極 5 とショットキー金属電極 3 間に逆方向電圧を印加した場合、逆方向電圧は主に  $p^+$  型半導体層 22 と  $n^-$  型半導体層 1 の  $pn$  接合に印加される。これは、ポテンシャルバリアが、図 3 (b) のそれに比して厚く形成されているためである。従って、第 3 の実施の形態の場合に比して、 $p$  型半導体層 28 と  $n^-$  型半導体層 1 の  $pn$  接合にかかる逆方向電界を緩和することができ、第 1 の実施の形態に係るダイオードよりも更に、逆方向電圧に対する耐圧を向上させ、リーク電流を減少させることができる。

【0060】

(第 5 の実施の形態)

図 5 は、本発明の第 5 の実施の形態に係わる半導体装置 (ダイオード) の構成を示す断面図である。図 5 に示すように、第 5 の実施の形態に係るダイオードは、図 4 (a) に示したダイオードにおけるショットキー金属電極 3 の代わりに、 $p$  型半導体層 28 に対して擬似的なショットキー接合 ( $pn$  接合) を形成する、高濃度の  $n$  型不純物が添加された  $n^+$  型半導体層 9 と、 $n^+$  型半導体層 9 に対してオーミック接触をなすオーミック電極 11 を有する。前述したように、熱平衡状態において、 $p$  型半導体層 28 は空乏化されているが、 $p^+$  型半導体層 22 にはキャリアが空乏化していない中性領域が存在する。

【0061】

第 5 の実施の形態においても、 $p$  型半導体層 28 のポテンシャルバリアの高さは、 $n^-$  型半導体層 1 と  $p$  型半導体層 28 間のビルトイン・ポテンシャルよりも低く抑えることができる。また、 $p$  型半導体層 2 の  $p$  型不純物濃度と厚さを制御することにより、ポテンシャル障壁の高さ ( $V_{BH}$ ) 13 を、 $pn$  接合のビルトインポテンシャルを上限として自由に設定することができる。

【0062】

オーミック電極 5 とオーミック電極 11 間に順方向電圧を印加した場合、順方向電圧は主に  $p$  型半導体層 28 と  $n^-$  型半導体層 1 の  $pn$  接合に印加され、 $n^-$  型半導体層 1 内の多数キャリア (電子) は、 $p$  型半導体層 28 のポテンシャル障壁 ( $V_{BH1}$ ) 18 を乗り越えてショットキー金属電極 3 に流れ込むことができる。この時、 $p$  型半導体層 28 のポテンシャル障壁の高さが  $n^-$  型半導体層 1 と  $p$  型半導体層 28 間のビルトイン・ポテンシ

10

20

30

40

50

ルよりも低く抑えることができる分だけ、ダイオードによる電圧降下量、即ちオン抵抗を低減することができる。

【0063】

次に、順方向電圧を更に上昇させると、 $p^+$ 型半導体層22の正孔21が $n^-$ 型半導体層1へ注入され、 $n^-$ 型半導体層1にキャリアが蓄積して電動度が変調されて実質的にオン抵抗が低減される。なお、 $p^+$ 型半導体層22及び $n^+$ 型半導体層9の各不純物濃度を十分高くすることにより、両者の接合においてトンネルダイオードが形成され、キャリアがバンド間をトンネルすることにより流れるトンネル電流が加わり、更にオン抵抗を低減することができる。即ち、 $p^+$ 型半導体層22及び $n^+$ 型半導体層9の順方向の電圧降下を小さくすることができる。

10

【0064】

一方、オーミック電極5とオーミック電極11間に逆方向電圧を印加した場合、逆方向電圧は主に $p^+$ 型半導体層22と $n^-$ 型半導体層1のpn接合に印加され、前述したように、第1の実施の形態に係るダイオードよりも更に、逆方向電圧に対する耐圧を向上させ、リーク電流を減少させることができる。

【0065】

(その他の実施の形態)

上記のように、本発明は、第1乃至第5の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

20

【0066】

第1乃至第5の実施の形態では、空乏化された領域がp型半導体層2であった場合について述べた。しかし、本発明はp型に限定されるものではなく、空乏化されている半導体層であれば、n型であっても構わない。例えば、図6に示すように、図4(a)に示したダイオードにおけるp型半導体層28の代わりに、 $n^-$ 型半導体層1と同濃度のn型不純物が添加された半導体層を配置しても構わない。 $p^+$ 型半導体層24の間に挟まれた $n^-$ 型半導体層1が熱平衡状態において空乏化するように、 $p^+$ 型半導体層24の不純物濃度及び形状、 $n^-$ 型半導体層1の不純物濃度などを所定の値に設定することにより、本発明の実施の形態と同様な作用効果を奏することができる。

【0067】

また、第3乃至第5の実施の形態においては、図3乃至図6を用いてp型半導体層と $p^+$ 型半導体層とが交互に並列に配置されたデバイス断面形状について示し、電流方向に垂直な平面におけるp型半導体層と $p^+$ 型半導体層のパターン形状を特に示していなかった。しかし本発明の実施の形態に係る半導体装置においては、例えば、図7(a)及び(b)に示した平面パターンなどを適用することができる。即ち、図7(a)に示すように、半導体装置は、1つのp型半導体層の周りを $p^+$ 型半導体層で囲むように、 $p^+$ 型半導体層とp型半導体層が交互に配置された亀の甲羅状の平面パターンを有していてもよく、逆に1つの $p^+$ 型半導体層の周りをp型半導体層で囲んだ平面パターンを有していても構わない。また、図7(b)に示すように、半導体装置は、 $p^+$ 型半導体層の中にp型半導体層が散点状に配置された平面パターンを有していてもよく、逆にp型半導体層の中に $p^+$ 型半導体層が散点状に配置された平面パターンを有していても構わない。

30

40

【0068】

このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から受当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0069】

【発明の効果】

以上、詳述した様に本発明においては、順方向の電圧降下が小さく且つ高い逆方向耐圧及び低いリーク電流を有する半導体装置を提供することができる。

【図面の簡単な説明】

50

【図1】図1(a)は本発明の第1の実施形態に係わる、p型半導体層にショットキー金属電極が接続され、p型半導体層の全領域が空乏化したダイオードの構成を示す断面図である。図1(b)は、図1(a)に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイアグラムである。

【図2】図2(a)は本発明の第2の実施形態に係わる、p型半導体層に対して擬似的なショットキー接合を形成する $n^+$ 型半導体層を有し、p型半導体層の全領域が空乏化したダイオードの構成を示す断面図である。図2(b)は、図2(a)に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイアグラムである。

【図3】図3(a)は本発明の第3の実施形態に係わる、p型半導体層と $p^+$ 型半導体層が交互に配置され、p型半導体層が空乏化したダイオードの構成を示す断面図である。図3(b)は、図3(a)に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイアグラムである。実線がA-A'切断面におけるエネルギーバンド構造を示し、一点鎖線がB-B'切断面におけるエネルギーバンド構造を示す。図3(c)は、図3(a)に示したダイオードのC-C'切断面におけるエネルギーバンド構造を示すバンドダイアグラムである。

10

【図4】図4(a)は本発明の第4の実施形態に係わる、 $p^+$ 型半導体層の一部が $n^-$ 型半導体層に張り出して形成されたダイオードの構成を示す断面図である。図4(b)は、図4(a)に示したダイオードの熱平衡状態におけるエネルギーバンド構造を示すバンドダイアグラムである。

【図5】本発明の第5の実施形態に係わるダイオードの構成を示す断面図である。

20

【図6】図6(a)は本発明の他の実施形態に係わるダイオードの構成を示す断面図である。図6(b)は、図3(a)、図4(a)及び図5に示したダイオードの電流電圧特性を示すグラフである。

【図7】図7(a)は、本発明の他の実施形態に係る、 $p^+$ 型半導体層とp型半導体層が交互に配置された亀の甲羅状の平面パターンを有するダイオードの構成を示す断面図である。図7(b)は、本発明の他の実施形態に係る、 $p^+$ 型半導体層の中にp型半導体層が散点状に配置された平面パターンを有するダイオードの構成を示す断面図である。

【図8】本発明の第1の実施形態に係るダイオードについて行われた、順方向の電流電圧特性のシミュレーション結果を示すグラフである。シミュレーション結果は、p型半導体層の厚さを変化させて実施したものである。

30

#### 【符号の説明】

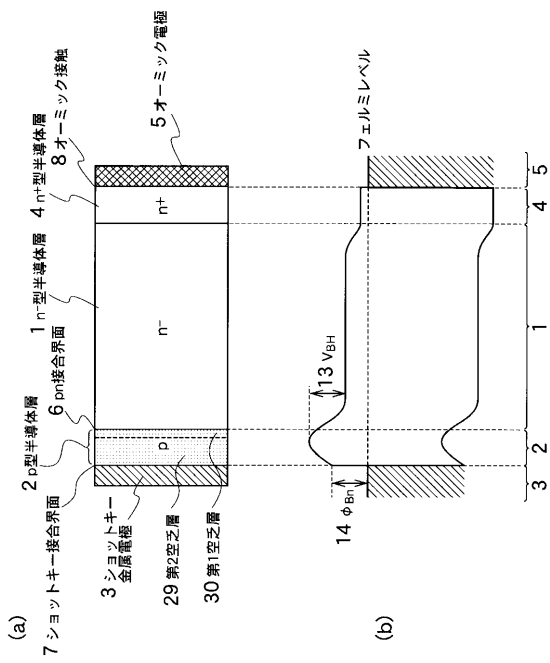
- 1  $n^-$ 型半導体層(第1半導体層)
- 2 p型半導体層(第2半導体層)
- 3 ショットキー金属電極
- 4  $n^+$ 型半導体層
- 5 オーミック電極
- 6 pn接合界面
- 7 ショットキー接合界面
- 8、12 オーミック接触
- 9  $n^+$ 型半導体層
- 10 擬似ショットキー接合界面
- 11 オーミック電極
- 13、15、17、18 ポテンシャルバリアの高さ( $V_{BH}$ )
- 14、16 ショットキーバリア( $\phi_{Bn}$ )
- 19、22、24  $p^+$ 型半導体層
- 20 伝導帯の底
- 21 ホール
- 25 ユニポーラダイオード
- 26 バイポーラダイオード
- 28 p型半導体層

40

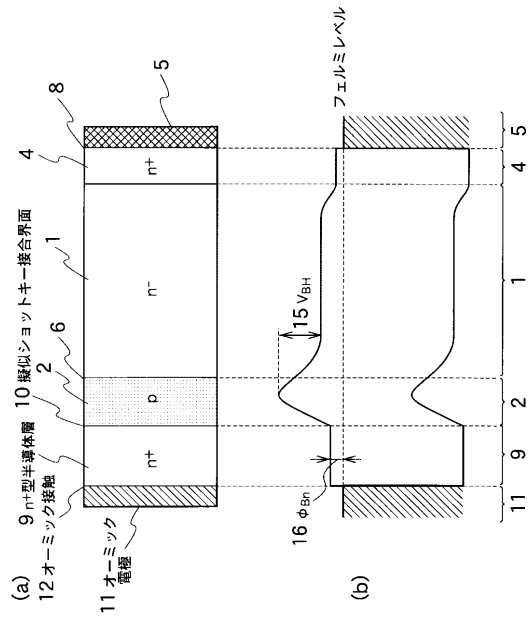
50

29 第2空乏層  
30 第1空乏層

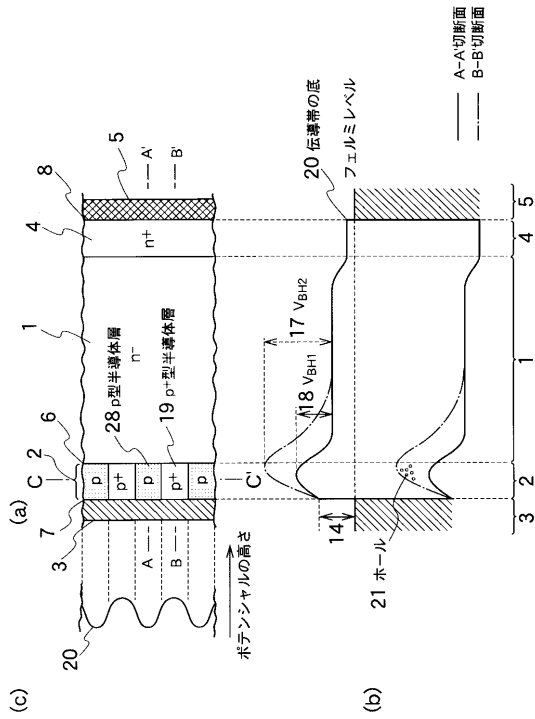
【図1】



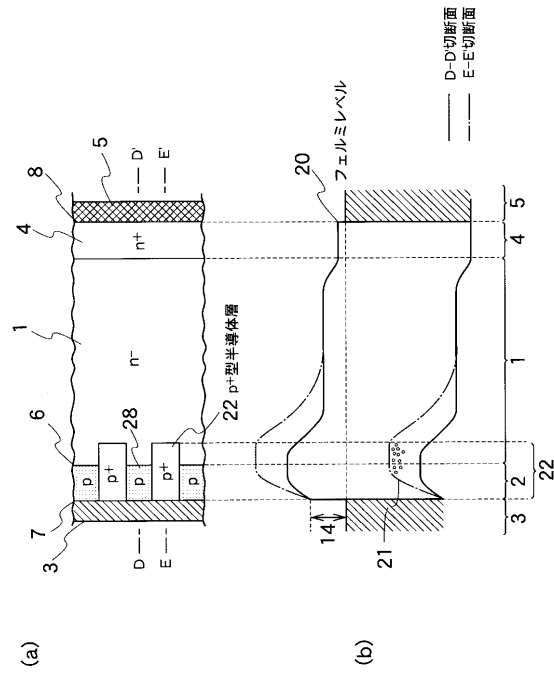
【図2】



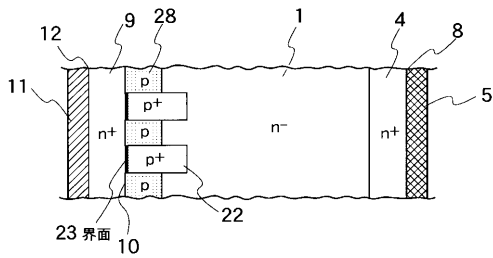
【 図 3 】



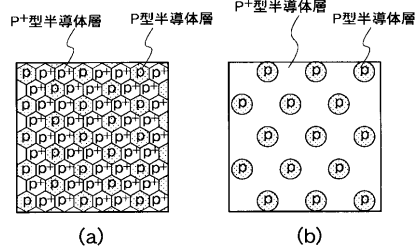
【 図 4 】



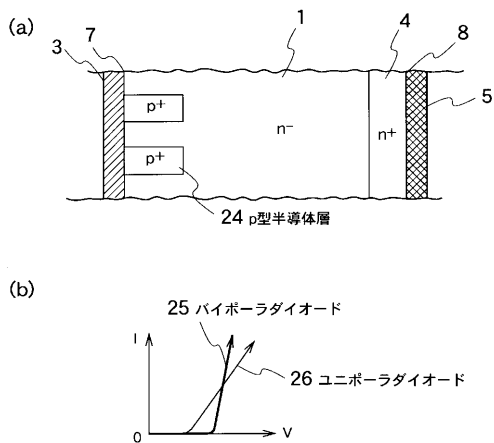
【 図 5 】



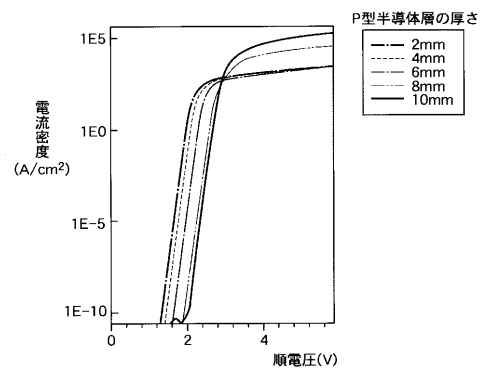
【 図 7 】



【 図 6 】



【 図 8 】



---

フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 畠山 哲夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

(72)発明者 四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 小野田 誠

(58)調査した分野(Int.Cl.<sup>7</sup>, D B名)

H01L 29/47

H01L 29/861

H01L 29/872