



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201014169 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098124688

(22)申請日：中華民國 98 (2009) 年 07 月 22 日

(51)Int. Cl. : *H03H7/38 (2006.01)* *H01F38/00 (2006.01)*

(30)優先權：2008/07/22 美國 61/135,696
2009/04/02 美國 12/417,099
2009/04/02 美國 12/417,132

(71)申請人：恆星無線電頻公司 (美國) STAR RF, INC. (US)
美國

(72)發明人：麥莫絡 羅伯特 J MCMORROW, ROBERT J. (US)；伯瑞奇克 帕夫 BRETCHKO, PAVEL (US)；富 漢青 FUH, HANCHING (US)；舒莫夫基 雷蒙 J SHUMOVICH, RAYMOND J. (US)

(74)代理人：洪澄文

申請實體審查：無 申請專利範圍項數：55 項 圖式數：24 共 63 頁

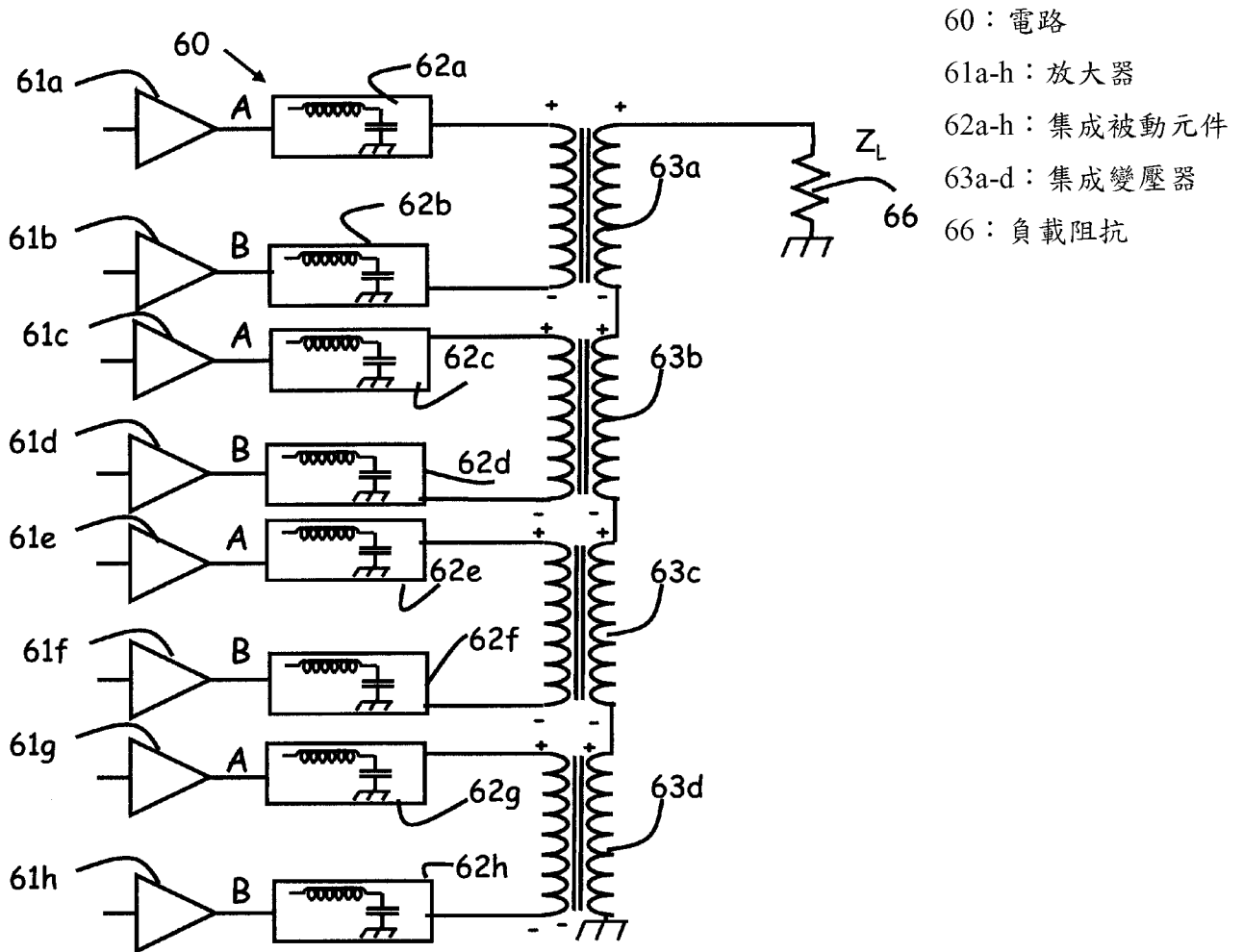
(54)名稱

阻抗匹配

IMPEDANCE MATCHING

(57)摘要

阻抗匹配技術可以使用在信號傳輸時，匹配一放大器與一天線。一些阻抗匹配技術使用一集成被動元件與一集成變壓器。一些阻抗匹配技術使用了一 $n:m$ 集成變壓器，其中 $n \neq m$ 。本說明書揭露了複數個 $n:m$ 集成變壓器的實施方式。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201014169 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098124688

(22)申請日：中華民國 98 (2009) 年 07 月 22 日

(51)Int. Cl. : *H03H7/38 (2006.01)* *H01F38/00 (2006.01)*

(30)優先權：2008/07/22 美國 61/135,696
2009/04/02 美國 12/417,099
2009/04/02 美國 12/417,132

(71)申請人：恆星無線電頻公司 (美國) STAR RF, INC. (US)
美國

(72)發明人：麥莫絡 羅伯特 J MCMORROW, ROBERT J. (US)；伯瑞奇克 帕夫 BRETCHKO, PAVEL (US)；富 漢青 FUH, HANCHING (US)；舒莫夫基 雷蒙 J SHUMOVICH, RAYMOND J. (US)

(74)代理人：洪澄文

申請實體審查：無 申請專利範圍項數：55 項 圖式數：24 共 63 頁

(54)名稱

阻抗匹配

IMPEDANCE MATCHING

(57)摘要

阻抗匹配技術可以使用在信號傳輸時，匹配一放大器與一天線。一些阻抗匹配技術使用一集成被動元件與一集成變壓器。一些阻抗匹配技術使用了一 $n:m$ 集成變壓器，其中 $n \neq m$ 。本說明書揭露了複數個 $n:m$ 集成變壓器的實施方式。

四、指定代表圖：

(一) 本案指定代表圖為：第 (6) 圖。

(二) 本代表圖之元件符號簡單說明：

60~電路；

61a-h~放大器；

62a-h~集成被動元件；

63a-d~集成變壓器；

66~負載阻抗。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明描述關於射頻的阻抗匹配的電子電路與技術。

【先前技術】

射頻信號被廣泛地使用在無線通信。一個發送器用來傳送無線電波，且一個接收器用來接收無線電波以解壓一個編碼信息。信息傳輸藉由放大射頻信號的方式來執行，用以驅動一天線。對於天線的阻抗匹配被用來更有效的傳送功率之天線，且降低反射進入放大器。複數個阻抗匹配技術已經為熟知，其例子請參考第 1 至 5 圖。

第 1 圖為耦接至一放大元件 11 且具有一阻抗匹配電路

14 的一習知電路 10 的示意圖。放大元件 11 放大一調整的輸入信號 V_{in} 以產生一放大信號 V_{dd} ，如正弦波形圖 12 所示。隨著放大元件 11，電路 10 也包括一諧波匹配電路 13，一阻抗匹配電路 14 以及一低通濾波器 15。諧波匹配電路 13 降低由放大元件 11 產生的不想要的諧波。阻抗匹配電路 14 匹配放大器輸出阻抗與一天線的阻抗，其表示為負載阻抗 16。低通濾波器 15 濾波放大的信號以產生輸出信號 V_{out} ，如正弦波形圖 17 所示。

第 2 圖為電路 10 中電路 13 至 15 以及電感與電容 21 被安排成一階梯網路的一實施例的示意圖。在本實施例中，電感與電容 21 被安排為一低通結構。電感 22 隔絕了電源供應 V_{sup} 與電路 10。電感 22 可能夠大而可運作為一射頻抑制(RF choke)，且為交流電路有最小的影響。電容 23 阻斷了直流部份與負載阻抗 16，且可能夠大而對交流電路有最小的影響。

第 3 圖為一習知的多重主要橋接放大器(multi-ptimary bridge)30 的示意圖，其結合由推拉放大器(push-pull)31 與 32 的信號電源。推拉放大器 31 與 32 分別傳送能量至變壓器 37 與 38 的主要線圈 33 與 34。變壓器 37 與 38 的次要(secondary)線圈 35 與 36 串聯耦接跨越主要線圈 33 與 34，使得電源被結合且傳送至負載阻抗 R_L 。因為變壓器 37 與 38 具有 1:1 的線圈數比，阻抗轉換是如推拉放大器 31 與 32 所件的一個降低的阻抗。負載阻抗被主要線圈的圈數所除(R_L/a ， a 為主要線圈的線圈數)。

第 3b 圖為推拉放大器 31 與 32 的輸出級電晶體示意圖。每一個電晶體看到跨越主要線圈的一個阻抗 $R_L/2a$ 。匹配電容(圖上未示出)可以被用來調整輸出變壓器的漏電感。變壓器可以被兩者擇一的設計為據有一中心閥(tap)用以注入一直流偏壓。

第 4 圖為另一習知的多重主要橋接放大器(multiprimary bridge)40 的示意圖，其包括 4 個 1:1 的變壓器與 4 個推拉放大器。因為橋接放大器 40 包括 4 個主要線圈且 4 個次要線圈為串聯連接，因此每個主要線圈看到的阻抗為 $R_L/4$ 。

第 5 圖為一個兩級式(two stage)多重主要橋接放大器 50 的示意圖。兩級式多重主要橋接放大器 50 包括第一級多重主要橋接放大器 40 與第二級多重主要橋接放大器 30。連接兩級的多重主要橋接放大器展開兩級的阻抗匹配。

【實施方式】

在此描述在射頻的阻抗匹配與轉換的技術，包括了範例的集成電路、變壓器以及阻抗匹配方法。這些技術可能可以用在一射頻(RF)信號的無線傳輸的一天線的一 RF 功率放大器。複數個信號傳輸方法也在此被描述，其可能被使用在多種無線應用，如手機。在一些情況下，一個 RF 功率放大器可能據有一相對小的阻抗且天線或其他負載具有相對大的阻抗。另外一種情況可能發生，當一 RF 功率放大器運作在 DE 類(class DE)運作模式，其可能造成放大器的

輸出阻抗相對的變低。這些技術在此描述可提供很多優點在一高階的阻抗轉換，用以在 RF 頻率的阻抗匹配。

具有集成被動元件(integrated passive component)與集成變壓器(integrated transformer)的匹配網路

在一些實施例中，一個集成被動元件與一個集成變壓器合作以執行阻抗匹配。舉例來說，一集成被動元件可能執行一第一級的阻抗匹配，而一集成變壓器執行一第二級的阻抗匹配。同時使用集成被動元件與集成變壓器可以提供一高階的阻抗轉換(high degree of impedance transformation)，且在一些實施例中，這樣的電路有元件減少技術的優點，下面說明一些例子。

第 6 圖為具有一阻抗匹配網路的電路 60 的示意圖，其包括集成被動元件 62a-h 與集成變壓器 63a-d。放大器 61a-h 可能為一功率放大器，其耦接至對應的集成被動元件 62a-h。集成被動元件 62 包括至少一個集成電感且/或至少一個集成電容，其可能耦接成一階梯狀架構(ladder configuration)或其他架構。集成變壓器 63a-d 的主要線圈(左邊)分別耦接至兩個集成被動元件 62a-h。如第 6 圖所示，集成變壓器 63 的次要(secondary)線圈為串聯，因此他們的合併輸出被傳送到一負載阻抗 66。負載阻抗 66 可能表示為一天線，用以傳送該次要線圈的合併輸出。

放大器 61a-h 可能產生差動信號，其信號的相位大約相差 180 度。舉例來說，放大器 61a、61c、61e 與 61g 可能產生大體上相同的波形，如波形 A，其被透過集成被動

元件 62a、62c、62e 與 62g 傳送到集成變壓器 63a-d 中的一個的一正端。放大器 61b、61d、61f 與 61h 可能產生大體上相同的波形，如波形 B，其被透過集成被動元件 62b、62d、62f 與 62h 傳送到集成變壓器 63a-d 中的一個的一負端。放大器 61a-h 並不需要分想任何如傳統推拉式放大器（如推拉式放大器 31 與 32）的端點連接，因為放大器 61a-h 可能其他實施例中被以分開的放大器來實現。如果每一個放大器 61a-h 都是被分開的放大器來實現，一放大器對（amplifier pair），如 62a 與 62b，可以運作成類似推拉式放大器，且其輸出功率可以藉由差動地驅動集成變壓器 63a-d 中的一主要線圈而被結合在一起。

放大器 61a-h 傳送信號至集成被動元件 62a-h，去執行第一級的阻抗轉換。舉例來說，集成被動元件 62a-h 可能接收來自於一第一埠的一放大器的信號，且在集成被動的一第二埠轉換放大器 61a-h 在第一埠看到的輸出阻抗為一較高或較低的阻抗。在一些實施例中，放大器 61a-h 可能運作在 DE 類（class DE）運作模式，且可能有相對較低的輸出阻抗。這樣一個低的輸出阻抗可能被藉由集成被動元件 62a-h 轉換成一較高的阻抗，用以最後達成與負載阻抗 66 的一阻抗匹配。然而，集成被動元件 62a-h 可能只有執行部份的阻抗轉換，且集成被動元件 62a-h 的信號輸出可能被傳送到集成變壓器 63a-d 中做進一步的阻抗轉換。

在一些實施例中，一第二級的阻抗轉換可能會藉由集成變壓器 63a-d 來實現。集成變壓器 63a-d 的主要線圈可

能接收集成被動元件 62a-h 的輸出。為了結合差動信號 A 與 B 的功率，波形 A 的轉換後的形式可能被傳送到主要線圈的正端，且波形 B 的轉換後的形式可能被傳送到主要線圈的負端。結果來說，集成被動元件 62a-h 的輸出差動地驅動集成變壓器 63a-d 的主要線圈。集成變壓器 63a-d 具有次要線圈，其為串聯耦接，藉此結合八個接收到的信號的信號功率。從每一個集成被動元件的輸出看到的阻抗是被結合，如負載阻抗 66 所看到的阻抗，其為一集成被動元件 62 所提供的阻抗的八倍或更多。從放大器 61a-h 的角度來看，負載阻抗 Z_L 是被變壓器 63a-d 所轉換為分別的阻抗 $Z_a = Z_L/8$ ，在分別的集成被動元件 62a-h。 Z_a 接著藉由梯狀網路被進一步在每一個變壓器 61 轉換成阻抗 Z_b ，其中 $Z_b = Z_a/K$ 。 K 值可以根據集成被動元件 62a-h 的設計而選擇。一般來說， K 可能大於、等於或小於 1，根據該集成被動元件 62a-h 是被設計成高通、低通或帶通濾波網路。除了變壓器外還使用集成被動元件可以在選擇每一個放大器看到的轉換的阻抗時允許較大的彈性，如同諧波匹配與運作的模式。此外，一個兩級的匹配網路可以具有較習知的匹配電路有較寬的頻寬。

如何實現適合的集成被動元件 62a-h 與集成變壓器 63a-d 為熟知此技術人士所能了解，在此會稍作討論。在一些實施例中，所有的集成被動元件 62a-h 可能完全相同，然而在這所提到的技術不限於此，不同的集成被動元件亦可以被使用。相同的，每一個集成變壓器 63a-d 可能

是完全相同，儘管如此，不同的集成變壓器仍可以被使用。在第 6 圖的例子中，每一個集成變壓器 63a-d 具有 1:1 的線圈比。然而，在下文所述的一些實施例中，一個或多個集成變壓器會具有不是 1:1 的線圈比，如 $n:m$ 的線圈比，其中 n 不等於 m 。

第 6 圖的實施例中包括 4 個 1:1 的變壓器與 8 個集成式被動元件。然而，較多數量或較少的變壓器與集成式被動元件可能會因為應用而被使用。舉例來說，較多數量或的變壓器與集成式被動元件可以用來傳送較高的功率到負載阻抗。如果單端信號被使用較差動信號多，那集成式被動元件的數量可以減半。在一些實施例中，集成式被動元件 62 的一個或多個元件可能會與調整式電感（未繪出）結合以調出變壓器的漏電感。在一些實施例中，轉換器主要線圈可能包括一個中心閥（tap）用以注入一直流偏壓。

第 7 圖為具有該第 6 圖的阻抗匹配網路的電路的示意圖，其更包括調整電路 74a-h，設置在放大器 61 與集成式被動元件 62 之間。調整電路 74d 可能調整一放大器 61 至一 DE 類運作模式或其他模式，且可能執行諧波銳化與濾波的動作。調整電路 74 可能為一電感電容諧振電路，或是任何適合的電路。在一些實施例中，元件們可被結合減少電路上使用的元件數量。舉例來說，因為電路 70 的架構，調整電路 74 的一個或多個元件以及集成式被動元件 62 的一個或多個元件可以被合併以減少晶片面積。

具有 $n:m$ 變壓器的阻抗匹配電路（ $n \neq m$ ）

在一些實施例中，一個集成式變壓器，具有 $n:m$ 圈數比，可以被用來做為阻抗匹配，其中 n 不等於 m 。如一例子所述，一集成式 1:2 變壓器被描述在一些實施例中，其可用來提供較習知的 1:1 變壓器增強的阻抗轉換容量。使用一集成式變壓器，在相同的阻抗轉換時，可能允許使用較少數目的放大器，因此可以節省功率與晶片面積。

第 8 圖為具有包括四個 1:1 變壓器 83-86 的阻抗轉換網路的電路 80 的示意圖，其中 4 個 1:1 變壓器的兩對主要線圈被並聯耦接，因此有效的形成兩個 1:2 變壓器。推拉放大器 81 驅動變壓器 83 與 84 的主要線圈，推拉放大器 82 驅動變壓器 85 與 86 的主要線圈。如第 8 圖所示，變壓器 83-86 的次要線圈串聯耦接，因此信號被傳送到主要線圈會被建設性地（在相位）合併以驅動負載阻抗 66。這個併聯的主要架構有效地加倍了被每一個推拉放大器驅動的次要線圈的圈數。不像第 3 圖的架構，其具有阻抗轉換是與主要線圈成線性比例的限制，而這些主要線圈又是被獨立的驅動（ $Z_a = Z_L/a$ ， a 為獨立驅動的主要線圈的數目），而第 8 圖的阻抗轉換網路並不限於此。

一個 $n:m$ 的變壓器是具有一些屬性上的優點，就是藉由變壓器執行的阻抗轉換是與圈數比的平方成等比。對第 8 圖中兩個有效的 1:2 變壓器來說，每一個推拉放大器可以驅動阻抗 $Z_a = Z_L/(2 \cdot n^2) = R_L/8$ 。舉例來說，如果負載阻抗 $Z_L = 50 \Omega$ ，那麼每一個放大器會看到一個轉換後的阻抗 $Z_a = 6.25 \Omega$ 。這些被推拉放大器看到的阻抗可以用方程式

$Z_a = Z_L / (a \cdot n^2)$ 所求得，而被用來驅動一主要線圈的一端的單端放大器看到的阻抗可以用方程式 $Z_a = Z_L / (a \cdot 2 \cdot n^2)$ 所求得。

在一些實施例中，一個 1:2 的集成式變壓器可以被許多方式所實現，下文以一些例子說明。在一些實施例中，一個有效的 1:2 變壓器可以以第 8 圖所示之以連接兩個 1:1 變壓器的方式實現，而變壓器的主要線圈是並聯耦接，次要線圈是串聯耦接。

在一些實施例中，一個 1:2 的集成式變壓器可以使用不具有 1:1 線圈比之變壓器來實現。例如，主要線圈可以電性耦接至兩次要線圈。此類型變壓器在實體上可以不同方式來實現，例如以下所述之例子。這些技術可使用 1:1 變壓器適當的耦接以及/或電磁耦接一非整數線圈比之變壓器而延伸至達到任何適合之 $n:m$ 線圈比，其中 $n \neq m$ 。

第 8 圖的阻抗匹配網路的整體的阻抗轉抗能力可能與第 6 圖所示的實施例的阻抗轉抗能力相同(在係數 8 的情形)。第 8 圖的實施例的一個優點就是在相同的阻抗轉抗能力之下，可以使用較少的放大器來實現，如此可以節省功率與晶片面積。這種 $n:m$ 變壓器的技術可以被延伸到包括比 2 個獨立驅動的主要線圈的數量較多或較少的情況下，一些例子會在下文中討論。從前文對第 6 圖的討論中可以知道一些適當的變化或修改是可以被實現的。舉例來說，獨立放大器可能適用在推拉放大器 81 與 82，且驅趕相位以便運作的像是推拉放大器。在一些實施方式中，電容可

能被耦接在主要線圈且 / 或該次要線圈以調校出轉換的漏電感。

在一些實施例中，不同圈數比的變壓器被使用。舉例來說，一第一變壓器具有 $n:m$ 的圈數比，而一第二變壓器具有 $p:q$ 的圈數比，其中 n 不等於 p 且 m 不等於 q 。這些次要的變壓次可能被串聯聯接以驅動相同的負載阻抗。許多不同的線圈比的變壓器的結合亦可能被使用。

第 9 圖為具有包括四個 1:1 變壓器 92-95 的阻抗轉換網路的電路 90 的示意圖，其中 4 個 1:1 變壓器的主要線圈被並聯耦接，其次要線圈串聯耦接，因此有效的形成 1:4 變壓器。推拉放大器 91 具有一正輸出端 96，用以驅動變壓器 92-95 的主要線圈的複數個正端，且具有一負輸出端 97，用以驅動變壓器 92-95 的主要線圈的複數個負端。相類似於第 8 圖，變壓器 92-95 的次要線圈串聯耦接，因此信號被傳送到主要線圈會被建設性地(在相位)合併以驅動負載阻抗 66。這樣的架構可以有效地將次要線圈相對主要線圈的線圈數量四倍化。

為了使第 8 圖的 1:4 變壓器更有效，推拉放大器 91 驅動阻抗 $Z_a = Z_L / (n^2) = R_L / 8$ 。第 9 圖的阻抗匹配網路的整體的阻抗轉抗能力可能與第 6 圖與第 8 圖所示的實施例的阻抗轉抗能力相同(在係數 8 的情形)。第 9 圖的實施例的一個優點就是在相同的阻抗轉抗能力之下，可以使用僅一個推拉放大器 91 來實現。這樣的一個實施方式，可以讓負載阻抗 66 被以較少於第 8 圖所需的功率來驅動。使用較少數量

的放大器可能較使用較多放大器來的有效率，如一單一放大器運做在其最大功率可能較使用兩個運作在 50% 功率準位的放大器來得有效率。對於第 9 圖的電路做不同的修改或變化是可以被實現的，如前文中對 8 圖的描述。

第 10 圖為具有一阻抗轉換網路的電路 100 的示意圖，其中集成式被動元件 102a-d 被串聯連接在放大器 101a-d 與變壓器 83-86 的主要線圈之間，形成具有四個集成式被動元件與兩個 1:2 變壓器的阻抗轉換網路。這電路可能會結合了第 6 圖的多級式阻抗轉換網路的電路 60 以及一有效的 $n:m$ 變壓器（第 8 圖）的優點。這些優點包括一更大的阻抗轉換能力以及減少元件數。要知道的是集成式被動元件與 $n:m$ 變壓器可能被以第 10 圖所示以外的不同的方式結合，而第 10 圖僅以一例說明。

第 11 圖為根據第 10 圖的電路 100 修改的電路 110 的示意圖，其增加調整電路 113a-d 且被串聯連接在放大器 101a-d 與集成式被動元件 102a-d 之間。如第 7 圖討論的，調整電路 113 可能提供諧波銳化與濾波的效果，且可能可在其他實施例中，調整放大器 101 為一 DE 類運作模式。

第 12 圖為第 11 圖的電路 110 的一修改的示意圖，其中四個 1:1 變壓器被換成兩個變壓器，每一個變壓器都有兩個主要線圈與兩個次要線圈。如第 12 圖所示的電路，其運作是與第 11 圖的電路 110 相同，但是是以不同的電路方式表現。一電壓被施加在主要線圈可能產生一大致上相同的電壓在每一個次要電壓上。因為次要線圈是串聯連接，

一轉換器的所有次要線圈的總電壓可能是兩倍於該變壓器上的主要線圈的電壓。因為能量守恆的關係，流經變壓器次要線圈的電流可能是流經主要線圈的電流的一半大小而已。

第 13 圖為第 12 圖的電路 110 的一修改的示意圖。假設每一個變壓器的寄生效應很小，因此流經每一個次要線圈的電流大致上相等，也允許了第 12 圖的電路可以被重繪。在第 13 圖中，每一變壓器的次要線圈在連接到其他變壓器前先被串聯連接。這個方法可以延伸到任何可實現 $n:m$ 線圈數比的適合的變壓器。

第 14 圖第 11-13 圖的一般電路示意圖，用以表示出第 11 圖的主要並聯(parallel-primary)結構，其可能可以表示為兩個具有 1:2 線圈數目比的變壓器。

複數個 $n:m$ 變壓器的實施例

第 15 圖為一 $n:m$ 變壓器網路 150 的一實施例的示意圖，其可能形成在一平面積體電路製程。變壓器網路 150 包括兩個 1:2 變壓器，其可能被以第 8 圖與第 10-14 圖所示的變壓器來實現。變壓器網路 150 包括四個主要線圈，僅管圖上未清楚描述，其中主要線圈 151 與 154 被並聯耦接，且主要線圈 152 與 153 被並聯耦接。主要線圈 151~154 可能在一些實施例中被形成如傳輸線的方式。主要線圈與次要線圈是大體上在一平面。次要線圈 155 一被安排與每一個主要線圈電磁性(electromagnetically)耦接。在第 15 圖的實施例中，次要線圈 155 環繞著所有主要線圈，但

在其他實施方式中，次要線圈 155 不需環繞著所有主要線圈或任何主要線圈。

主要線圈與次要線圈大致上形成在相同平面或是不同平面。舉例來說，主要線圈與次要線圈可以形成在任何適合的導體材料的一積體電路的相同的金屬化層。在一些實施例中，變壓器網路 150 的一部分可能形成在另外的金屬化層，且本發明並非限於此。舉例來說，在一些實施方式中，主要線圈可能形成在第一金屬化層，而次要線圈可能形成在第二金屬化層。

變壓器網路 150 可能以任何適合的製造方式形成，如互補式金屬-氧化層-半導體 (Complementary Metal-Oxide-Semiconductor, CMOS)。為了更有效的利用晶片區域，主動電路 156 可能會選擇性的形成在轉換器網路 150 的相鄰或/且之內。這樣的主動電路可能會被以製造變壓器網路 150 相同的製程所製造。放大器可能藉由串聯的傳輸線與變壓器網路 150 連街，其在一些實施例中，可能作為一集合式被動元件 102 且/或調整網路 113(第 11 圖所示)的一部分。

第 16 圖為另一 $n:m$ 變壓器網路 160 的示意圖。變壓器網路 160 包括兩個如第 8 圖與第 10-14 圖所示的 1:2 變壓器。變壓器網路 160 具有一次要線圈 165，其被纏繞的圈數是主要傳輸線 161 與 162 的兩倍。如第 16 圖所示，次要線圈 165 具有兩個轉換，其中一個形成在主要傳輸線 161 與 162 的區域內，另外一個形成在區域外。一個地下通過

(underpass)或越過(overpass)的金屬連接 166 提供在不同部份的次要線圈 165 交會處的連接。變壓器網路 160 的一個優點就是可以相對的緊湊，且相對的佔有較小的晶片表面區域。

第 17 圖為另一 $n:m$ 變壓器網路 170 的實施例的示意圖。與變壓器網路 160 相同， $n:m$ 變壓器網路 170 包括兩個 $1:2$ 變壓器以及一次要線圈 177，其被纏繞主要傳輸線的兩倍線圈數。在本實施例中，每一組的主要傳輸線都是並聯耦接，用以改善與次要線圈的耦合。主要傳輸線 171-173 被並聯連接，且主要傳輸線 174-176 也是並聯連接。這些並聯連接可能可以透過地下通過(underpass)或越過(overpass)的金屬連接 178，而在第 17 圖上只有部分被標示以保持圖面整潔。雖然根據線性電路模型，並聯連接多個理想變壓器線圈並不會提供太大效益，但這些線性電路模型並沒有考慮到發生在高頻的非線性的影響。在 RF 頻率，大部份的導體電流會因為肌膚效應(skin effect)，可能會流過導體邊緣的區域。具有多個並聯連接的導體可以創造出因為增加的表面積的額外的路徑，供電流流過。此外，因為主要線圈是耦接到次要線圈的兩端，因此整體的耦合係數會較高。這個佈局可以延伸到不同數目的主要線圈以控制耦合係數，而且藉由增加導體邊緣的面積來降低變壓器損失。

第 18 圖為另一 $n:m$ 變壓器網路 180 的實施例的示意圖。與變壓器網路 170 相似，變壓器網路 180 包括兩個 $1:2$

變壓器與一次要線圈 181，其被纏繞主要傳輸線的兩倍線圈數。在本實施例中，次要線圈 181 包括了複數個並聯的部分，如並聯部 182 與 183。如第 17 圖中所討論的，具有多個並聯連接的導體可以創造出因為增加的表面積的額外的路徑，會因此增加耦合係數與降低損失。理想的主要線圈數且/或次要線圈部份並聯連接可能由已經的半導體製程，透過個別的設計方式完成。然後，任何適合的主要線圈及/或次要線圈部份可能會並聯耦接，但非將本發明限制於此。

第 19 圖另一具有兩個 1:2 變壓器的 $n:m$ 變壓器網路 190 的實施例的示意圖。變壓器網路 190 具有大約是 2:1 的比例(aspect ratio)，相對地，第 17 與 18 圖的變壓器網路則是具有 1:1 的比例。這個比例可以根據晶片佈局考量或其他因素而改變。變壓器網路 190 包括主要線圈 191 與 192，其可能形在一積體電路的不同區域，而且可能大體上環繞且/或在對邊區域。變壓器網路 190 包括一次要線圈 193，其具有八指狀外形結構。在第 19 圖的實施例中，次要線圈 193 的一第一線圈環繞積體電路中被主要線圈 191 佔據的一第一區域。次要線圈 193 的一第二線圈環繞積體電路中被主要線圈 192 佔據的一第二區域。次要線圈 193 的一第三線圈環繞該主要線圈 192。透過地下通過(underpass)或越過(overpass)的連接 194 連接次要線圈 193 的多個部分，這些部分是位於次要線圈 193 跨越的地方。雖然第 19 圖的實施例包括兩個主要線圈，但是在其他

實施方式上使用較少或較多的線圈也是可以的，並非將本發明限於此。主要線圈可能環繞或是在兩個以上或以下的區段的對邊。在第 19 圖的實施例中，變壓器的兩區的電流是以相同的順時針方向流動，在變壓器相同的區域的相同方向產生電磁通量，因此產生疊合的磁通量。為了減少磁通量，次要線圈可以被安排成相對的方向，如第 20 圖所示。

第 20 圖另一 $n:m$ 變壓器網路 200 的實施例的示意圖，其中根據一個元件數量減少的技術的例子來看，次要線圈 203 的部份是交錯耦接，因此在次要線圈流過的電流是會以相對的方向流動（舉例來說，一部份是順時針且另一部分是逆時針）。如此一來，變壓器外邊的磁通量可能大致上被消除，因此與晶片上其他的電路造成較小的干擾。在變壓器 200 中，跨接耦合(cross-coupling)可以藉由使用在變壓器網路 200 中間的一地下通過(underpass)或越過(overpass)的金屬連接 201 達成，相對於變壓器網路 190，其會改變變壓器網路右邊的次要線圈的電流流動的方向，使為與原先方向相反。

元件減少

第 21 圖為根據一元件減少技術將第 14 圖的電路修改而成電路 210 的示意圖。在本實施例中，在第 14 圖的電感-電容調整網路 113 的串聯電容可以被移動到集成被動元件 102 的另一邊。每一個集成被動元件 211 的兩個電容被置換成一電容 213，其設置在變壓器的主要線圈的兩個部分之間。由於電容串聯的關係，電容 213 的電容值可能為

電感-電容調整網路 113 內的電容的電容值的一半。電容 213 可能被放置在變壓器 215 的主要線圈的中間。另一個優點是這個電容可以被放置在變壓器 215 的上方或下方以減少晶片面積。

切換式主要線圈(Switched Primary)

第 22 圖為具有與開關 221 串聯的變壓器的主要線圈的電路 220 的一實施例的示意圖。開關 221 可以在一些情況下，將放大器與變壓器的次要線圈隔離。這樣的開關可以使用在一種運作模式下，使得一個或多個放大器被關閉。一個例子為多頻段 RF 傳送器，其具有一個多工器用來在不同的頻段切換。使用本發明提出的架構，將輸出變壓器與主要線圈一切換式電容連接可以讓多工器的設計簡化，且當開關被關閉時，變壓器的主要線圈的阻抗負載也不再存在。

在一些實施例時，將第 20 圖中的電容 213 分成兩個電容 222 與 223 可以讓開關被放置在一虛擬接地點，假設變壓器的主要線圈是由控制開關的信號所驅動。另一個優點是較小的信號可以被週設越過開關，這可以減少開關的壓力。

第 23 圖為類似變壓器網路 200 的 $n:m$ 變壓器網路 230 的一實施例的示意圖，其較電路 220 增加了被設置在主要線圈的部分之間的電容 202 與 203。電容 202 且/或 203 可能被形成在主要線圈之上或之下，因此他們不會去延伸 $n:m$ 變壓器網路 230 的主要線圈的周邊，因此可以結省晶片面

積。電容的形成方法為此一技術領域中，熟知此技藝能事之能所可以易得知，在此不贅述。在一些實施例中，開關 201 可能被形成在主要線圈之下，或是在 $n:m$ 變壓器網路 230 之內。

第 24 圖為根據本發明之另一 $n:m$ 變壓器網路的示意圖，其中 $n:m$ 變壓器網路 230 的連接線係位於變壓器網路之單一側。在變壓器網路的一邊形成所有的連接方式可以節省基板的面積。如第 24 圖所示，變壓器網路 230 可能具有一方形 241 的外觀。連接點 242~245 可以通過方形的單一邊（如底邊）而連接到主要線圈。

在本說明書中，名詞「射頻」與「RF」指的是頻率 500K Hz 到 300G Hz 範圍內的頻率。在一些實施例中，可以使用在更高的頻率，非將本發明限於此。而「集成」這個名詞是指將電路元件形成在一積體電路，如晶片。一個電路元件可以被任何適合的製程所形成，如 CMOS。任何數量的晶片都可以被使用，不管是一個或一個以上的晶片。舉例來說，一個或多個集成元件可能被形成在一晶片上，且連接形成在其他晶片上的集成元件。在一些實施方式，一集成式變壓器可能不是形成在單一半導體晶片。舉例來說，集成式變壓器的主要線圈且/或次要線圈可能形成在不同的平面基板，如印刷電路板。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護

範圍當視後附之申請專利範圍所界定者為準。

此外，說明書申請專利範圍中的「第一」、「第二」、「第三」等等名詞僅是用來區分申請專利範圍或說明書中的元件，並非有任何次序或優先順序的意思。此外，在申請專利範圍的方法或裝置中，使用這些順序的名詞並沒有限定說該元件數量的最大值。在申請專利範圍中使用這些順序的名詞僅是為了區分具有相同的名稱的元件。而在申請專利範圍中使用「至少一個」或「至少一第一」這些字彙，並非將發明限於單一一個元件，而是可以有多個元件。而使用「包括」、「包含」等名詞是指申請專利範圍中所列出的元件外，亦可增加其他元件，並非限於此。

【圖式簡單說明】

第 1 圖係顯示具有耦接至一放大元件之輸出匹配網路之傳統電路架構。

第 2 圖係顯示第 1 圖之電路之實施，包括以階梯網路架構設計之電感與電容。

第 3a、3b 圖係顯示傳統多重主要橋接放大器，其結合兩個推拉放大器所提供之信號功率。

第 4 圖係顯示另一傳統多重主要橋接放大器，包括四個推拉放大器以及四個 1：1 變壓器。

第 5 圖係顯示根據另一傳統技術之兩級式多重主要橋接放大器。

第 6 圖係顯示具有集成被動元件以及集成變壓器之阻

抗匹配網路之一實施例。

第 7 圖係顯示將第 6 圖的阻抗匹配網路加上調整電路之一實施例。

第 8 圖係顯示阻抗匹配網路之一實施例，其中主要線圈係並聯以有效產生 1：2 變壓器。

第 9 圖係顯示阻抗匹配網路之一實施例，其中四個主要線圈係並聯以有效產生 1：4 變壓器。

第 10 圖係顯示具有集成被動元件以及 $n:m$ 變壓器之阻抗匹配網路之一實施例。

第 11 圖係顯示根據第 10 圖的阻抗匹配網路修改的電路之一實施例，其中已加入與放大器以及集成被動元件串聯的調整電路。

第 12 圖係顯示根據第 11 圖的阻抗匹配網路修改的電路之一實施例，其中主要線圈係並聯而次要線圈係串聯。

第 13 圖係顯示根據第 12 圖的阻抗匹配網路修改的電路之一實施例。

第 14 圖係顯示第 11-13 圖的阻抗匹配網路之一般電路示意圖，其中變壓器具有 1：2 之線圈比例。

第 15 圖係顯示可於一平面積體電路製程形成之 $n:m$ 變壓器網路之一實施例。

第 16 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其使用相對較小的面積。

第 17 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有並聯之多重主要傳輸線。

第 18 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有並聯之多重主要與次要傳輸線。

第 19 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有大約 2:1 之比例。

第 20 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有大約 2:1 之比例，並具有交錯耦接之次要線圈以消除磁通量。

第 21 圖係顯示阻抗匹配網路之一實施例，其中電容係耦接於部分主要線圈之間。

第 22 圖係顯示阻抗匹配網路之一實施例，其中開關係耦接於部分主要線圈之間。

第 23 圖係顯示另一變壓器網路的一實施例，其中主要線圈電容係形成於變壓器之區域中。

第 24 圖係顯示另一變壓器網路的一實施例，其中主要線圈與次要線圈之連接線係位於變壓器之單一側。

【主要元件符號說明】

10~電路；

11~放大元件；

12~正弦波形圖；

13~諧波匹配電路；

14~阻抗匹配電路；

15~低通濾波器；

16~負載阻抗；

- 17~正弦波形圖；
- 21~電感與電容；
- 22~電感；
- 23~電容；
- 31、32~推拉放大器；
- 33、34~主要線圈；
- 35、36~次要線圈；
- 37、38~變壓器；
- 30、40~多重主要橋接放大器；
- 50~兩級式多重主要橋接放大器；
- 60~電路；
- 61、61a-h~放大器；
- 62、62a-h~集成被動元件；
- 63a-d~集成變壓器；
- 66~負載阻抗；
- 74、74a-h~調整電路；
- 81、82~推拉放大器；
- 83-86~變壓器；
- 80~電路；
- 90~電路；
- 91~推拉放大器；
- 92-95~變壓器；
- 96~正輸出端；
- 97~負輸出端；

100~電路；
101a-d~放大器；
102a-d~集成被動元件；
110~電路；
113、113a-d~調整電路；
150~變壓器網路；
151、152、153、154~主要線圈；
155~次要線圈；
156~主動電路；
160~變壓器網路；
161、162~主要傳輸線；
170~變壓器網路；
171-176~主要傳輸線；
177~次要線圈；
178~金屬連接；
180~變壓器網路；
181~次要線圈；
182、183~並聯部；
190~變壓器網路；
191、192~主要線圈；
200~變壓器網路；
201~金屬連接；
203~次要線圈；
210~電路；

211~集成被動元件；

213~電容；

215~變壓器；

220~電路；

221~開關；

222、223~電容；

230~變壓器網路；

241~方形；

242-245~連接點。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98124688

※申請日：98.7.22

※IPC 分類：

H03H 7/38 (2006.01)
H01F 38/00 (2006.01)

一、發明名稱：(中文/英文)

阻抗匹配 / IMPEDANCE MATCHING

二、中文發明摘要：

阻抗匹配技術可以使用在信號傳輸時，匹配一放大器與一天線。一些阻抗匹配技術使用一集成被動元件與一集成變壓器。一些阻抗匹配技術使用了一 $n:m$ 集成變壓器，其中 $n \neq m$ 。本說明書揭露了複數個 $n:m$ 集成變壓器的實施方式。

三、英文發明摘要：

Impedance matching techniques can be used to match an amplifier to an antenna for signal transmission. Some impedance matching techniques use an integrated passive component and an integrated transformer. Some impedance matching techniques include the use of an integrated $n:m$ transformer, where $n \neq m$. Several $n:m$ transformer implementations are described.

七、申請專利範圍：

1. 一種阻抗轉換網路，用以轉換該阻抗轉換網路的一第一邊的一第一阻抗為該阻抗轉換網路的一第二邊的一第二阻抗，該第一阻抗不同於該第二阻抗，該阻抗轉換網路包括：

一第一集成被動元件，包括至少一第一集成電感且/或至少一第一集成電容；以及

一第一集成變壓器，耦接該第一集成被動元件。

2. 如申請專利範圍第 1 項所述之阻抗轉換網路，其中該阻抗轉換網路係運作用以於位在 500K 赫茲到 300G 赫茲的一射頻頻率，轉換該第一阻抗為該第二阻抗。

3. 如申請專利範圍第 1 項所述之阻抗轉換網路，更包括：

一第一電路，耦接該第一邊，與一第二電路，耦接該第二邊，該第一電路在該第一邊呈現該第一阻抗，且該第二電路在該第二邊呈現該第二阻抗；

其中該阻抗轉換網路用以建立起在該第一電路與該第二電路間的阻抗匹配；

其中該第一邊包括該阻抗轉換網路的一第一埠，且該第二邊包括該阻抗轉換網路的一第二埠。

4. 一種電子電路，包括：

如申請專利範圍第 3 項所述之阻抗轉換網路；以及

一第一放大器，耦接該阻抗轉換網路的該第一邊，該第一放大器用以在該第一邊呈現該第一阻抗。

5. 如申請專利範圍第 4 項所述之電子電路，其中該第二阻抗大於該第一阻抗。

6. 如申請專利範圍第 4 項所述之電子電路，更包括：

一第二集成被動元件，包括至少一第二集成電感且/或至少一第二集成電容，該第二集成被動元件耦接該第一集成變壓器。

7. 如申請專利範圍第 6 項所述之電子電路，其中該第一集成變壓器包括一第一主要線圈與一第一次要線圈，該第一主要線圈具有一第一端，耦接該第一集成被動元件，與一第二端，耦接該第二集成被動元件。

8. 如申請專利範圍第 7 項所述之電子電路，更包括：

一天線，其至少部分形成該第二阻抗，其中該第一次要線圈耦接該天線。

9. 如申請專利範圍第 7 項所述之電子電路，其中該第一放大器為一差動放大器，該差動放大器包括：

一第一差動輸出端，耦接該第一集成被動元件；以及
一第二差動輸出端，耦接該第二集成被動元件。

10. 如申請專利範圍第 9 項所述之電子電路，更包括：

一第一調整網路，耦接該第一差動輸出端與該第一集成被動元件，該第一調整網路耦接在該第一差動輸出端與該第一集成被動元件之間；以及

一第二調整網路，耦接該第二差動輸出端與該第二集成被動元件，該第二調整網路耦接在該第二差動輸出端與該第二集成被動元件之間。

11. 如申請專利範圍第 9 項所述之電子電路，其中該差動放大器大致上運作在一 DE 類運作模式。

12. 如申請專利範圍第 9 項所述之電子電路，其中該差動放大器產生一第一差動輸出信號於該第一差動輸出端，與一第二差動輸出信號於該第二差動輸出端，相較於該第二差動輸出信號，該第一差動輸出信號被平移了約 180 度的相位。

13. 如申請專利範圍第 9 項所述之電子電路，更包括：

一第二集成變壓器包括一第二主要線圈與一第二次要線圈，該第二主要線圈與該第二次要線圈串聯耦接；

一第三集成被動元件，包括至少一第三集成電感且 / 或至少一第三集成電容；

一第四集成被動元件，包括至少一第四集成電感且 / 或至少一第四集成電容；

其中該第二主要線圈的一第一端耦接該第三集成被動元件；

其中該第二主要線圈的一第二端耦接該第四集成被動元件。

14. 如申請專利範圍第 13 項所述之電子電路，其中該差動放大器為一第一差動放大器，且該電子電路更包括：

一第二差動放大器，包括：

一第三差動輸出端，耦接該第三集成被動元件；

一第四差動輸出端，耦接該第四集成被動元件。

15. 如申請專利範圍第 14 項所述之電子電路，其中該

第二差動放大器大體上放大與第一差動放大器所放大的相同的信號。

16. 如申請專利範圍第 13 項所述之電子電路，包括至少兩個集成變壓器，以及大於兩個的主要線圈。

17. 如申請專利範圍第 1 項所述之阻抗轉換網路，其中該第一集成變壓器包括一 $n:m$ 變壓器，其中 n 不等於 m 。

18. 如申請專利範圍第 17 項所述之阻抗轉換網路，其中該 $n:m$ 變壓器包括：

一主要線圈，包括至少一積體電路的至少一第一電感；以及

一次要線圈，包括該積體電路的至少一第二電感，該至少一第一電感與該至少一第二電感被建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。

19. 一種信號傳輸方法，包括：

(A) 使用產生一信號的一放大器來驅動一天線，該天線具有一第一阻抗；

(B) 使用至少一集成變壓器用以轉換該第一阻抗以產生一第二阻抗；以及

(C) 使用至少一集成被動元件用以轉換該第二阻抗以產生一第三阻抗，其中該放大器透過該第三阻抗驅動該天線。

20. 如申請專利範圍第 19 項信號傳輸方法，其中該第三阻抗小於該第二阻抗，且該第二阻抗小於該第一阻抗。

21. 如申請專利範圍第 19 項信號傳輸方法，其中該至少一個的集成被動元件包含至少一集成電感且/或至少一集成電容。

22. 如申請專利範圍第 19 項信號傳輸方法，其中該信號的頻率位於 500K 赫茲到 300G 赫茲之間。

23. 如申請專利範圍第 19 項信號傳輸方法，其中該至少一個的集成被動元件包括一第一集成被動元件與一第二集成被動元件，其中步驟(C)包括：使用該第一集成被動元件與該第二集成被動元件轉換該第二阻抗，其中該第一集成被動元件與該第二集成被動元件耦接用以執行步驟(B)的至少一個集成變壓器的一主要線圈的端點。

24. 一種 $n:m$ 集成變壓器，用於射頻阻抗匹配，其中 n 不等於 m ，且該 $n:m$ 集成變壓器包括：

一主要線圈，包括至少一第一導體於一基板上；以及
一次要線圈(secondary)，包括至少一第二導體於該基板上，該至少一個的第一導體與第二導體用以建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。

25. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該次要線圈的圈數大於該主要線圈的圈數。

26. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈包括一第一複數個導體，分別並聯耦接，且/或該次要線圈包括一第二複數個導體，分別並聯耦接，其中該第一複數個電感包括至少一個第一導體，該第二複

數個導體包括至少一個第二導體。

27. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈與該次要線圈大致上形成在相同的金屬化階段。

28. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈與該次要線圈形成在不同的金屬化階段。

29. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該次要線圈包括耦接到該主要線圈的一第一線圈與一第二線圈。

30. 如申請專利範圍第 28 項所述之 $n:m$ 集成變壓器，其中該第一線圈形成在該至少一個的第一電感的一第一邊，該第二線圈形成在該至少一個的第一電感的一第二邊，該第一邊不同於該第二邊。

31. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈形成在該積體電路的一第一區，且該 $n:m$ 集成變壓器更包括：

一第二主要線圈，形成在該積體電路的一第二區，其中該第一區與該第二區彼此互不重疊，且其中該次要線圈包括環繞地形成於該第一區的一第一線圈(turn)與環繞地形成於該第二區的一第二線圈。

32. 如申請專利範圍第 31 項所述之 $n:m$ 集成變壓器，其中該次要線圈包括一第三線圈環繞地形成於該第二區域以及一第四線圈，環繞地形成於該第一區域，

其中該第一主要線圈是環繞地形成於該次要線圈的該

第一線圈，且其中該第二主要線圈是環繞地形成於該次要線圈的該第二線圈，

其中該次要線圈的該第三線圈是環繞地形成於該第二主要線圈，且該次要線圈的該第四線圈是環繞地形成於該第一主要線圈，

其中於該次要線圈的該第一線圈環繞著該第一區域，且於該次要線圈的該第二線圈環繞著該第二區域。

33. 如申請專利範圍第 31 項所述之 $n:m$ 集成變壓器，其中該次要線圈的該第一線圈與該第二線圈被安排讓該次要線圈的該第一線圈的電流以不是順時針就是逆時針的第一方向流動，且該次要線圈的該第二線圈的電流以不是逆時針就是順時針的第二方向流動，其中該第一方向與該第二方向相對。

34. 如申請專利範圍第 31 項所述之 $n:m$ 集成變壓器，其中該 $n:m$ 集成變壓器具有大體上為一矩形外觀的一外部周圍，其中該第一與該第二主要線圈的連接是由只通過該矩形的單一邊的複數個導體所完成。

35. 一種電子電路，包括：

如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈包含一第一導體與一第二導體；以及

至少一個集成電容，耦接該主要線圈的該第一導體至該主要線圈的該第二導體。

36. 如申請專利範圍第 35 項的電子電路，其中該至少一個的集成電容是形成在該 $n:m$ 集成變壓器的矩形外觀的

外部周圍內的該主要線圈之下。

37. 如申請專利範圍第 35 項的電子電路，其中該至少一個的集成電容是形成在一虛擬接地端點。

38. 如申請專利範圍第 36 項的電子電路，更包括：

一第一阻抗匹配電路，耦接該第一導體，該第一阻抗電路包括一第一電感；以及

一第二阻抗匹配電路，耦接該第二導體，該第二阻抗電路包括一第二電感；

其中該第一與該第二阻抗匹配電路為電感電容阻抗匹配電路，耦接以分享該至少一個集成電容為一諧振電容式元件。

39. 一種電子電路，包括：

如申請專利範圍第 24 像所述之 $n:m$ 集成變壓器，其中該主要線圈包含一第一導體與一第二導體；以及

一開關，用以耦接該主要線圈的該第一導體至該主要線圈的該第二導體。

40. 如申請專利範圍第 39 項的電子電路，其中該開關形成在該主要線圈的一虛擬接地點。

41. 如申請專利範圍第 39 項的電子電路，更包括：

一放大器，耦接該主要線圈；

其中該開關是可控制地被關閉，藉此使該放大器不耦接該次要線圈。

42. 如申請專利範圍第 39 項的電子電路，更包括：

一第一電容，耦接在該開關與該主要線圈的該第一導

體之間；以及

一第二電容，耦接在該開關與該主要線圈的該第二導體之間。

43. 一種電子電路，包括：

如申請專利範圍第 24 像所述之 $n:m$ 集成變壓器，其中該主要線圈包含一第一導體與一第二導體；以及

一第一差動放大器，包括：

一第一差動輸出，耦接至該主要線圈的一第一端；以及

一第二差動輸出，耦接至該主要線圈的一第二端。

44. 如申請專利範圍第 43 項的電子電路，更包括：

一第一集成式被動元件，耦接在該第一差動輸出與該主要線圈的該第一端之間；以及

一第二集成式被動元件，耦接在該第二差動輸出與該主要線圈的該第二端之間。

45. 一種電子電路，包括：

如申請專利範圍第 43 像所述之 $n:m$ 集成變壓器，其中該 $n:m$ 集成變壓器為一第一 $n:m$ 集成變壓器，該主要線圈為一第一主要線圈，且該次要線圈為一第一次要線圈；

一第二 $n:m$ 集成變壓器，包括：

一第二主要線圈，包括該集成電路的至少一第三導體；以及

一第二次要線圈，包括該集成電路的至少一第四導體，該至少一第三導體與該至少一第四導體被建立與安排

使該第二主要線圈與該第二次要線圈形成一 $p:q$ 的比例，其中 p 不等於 q ；

其中該第一次要線圈與該第二次要線圈串聯。

46. 如申請專利範圍第 45 項的電子電路，包括大於兩個的主要線圈。

47. 如申請專利範圍第 45 項的電子電路，其中該第一差動放大器提供第一與第二差度信號至該第一主要線圈，且該電子電路更包括：

一第二差動放大器，用以提供第三與第四差動信號至該第二主要線圈；

其中該第一與該第三差動信號大體上相同；

其中該第二與該第四差動信號大體上相同；

其中該第一與該第三差動信號為該第二與該第四差動信號相位移 180 度所產失。

48. 如申請專利範圍第 45 項的電子電路，其中 n 、 m 、 p 與 q 為正整數。

49. 如申請專利範圍第 48 項的電子電路，其中 $n:m$ 的比例不同於 $p:q$ 的比例。

50. 如申請專利範圍第 48 項的電子電路，其中 $n:m$ 的比例相同於 $p:q$ 的比例。

51. 如申請專利範圍第 43 項的電子電路，其中一天線被耦接至該次要線圈以傳遞來自該第一差動放大器的一信號。

52. 一種信號傳輸方法，包括：

(A)驅動使用一放大器的一天線，該天線用以產生一射頻信號，該天線具有一第一阻抗；以及

(B)使用具有 $n:m$ 比例的一集成變壓器轉換該第一阻抗以產生一第二阻抗，其中 n 不等於 m ，

其中該放大器透過該第二阻抗驅動該天線。

53.如申請專利範圍第 52 項所述之信號傳輸方法，其中該第二阻抗小於該第一阻抗。

54.如申請專利範圍第 52 項所述之信號傳輸方法，其中該放大器為一第一放大器，該集成變壓器為一第一集成變壓器，該射頻信號為一第一射頻信號，且該方法更包括：

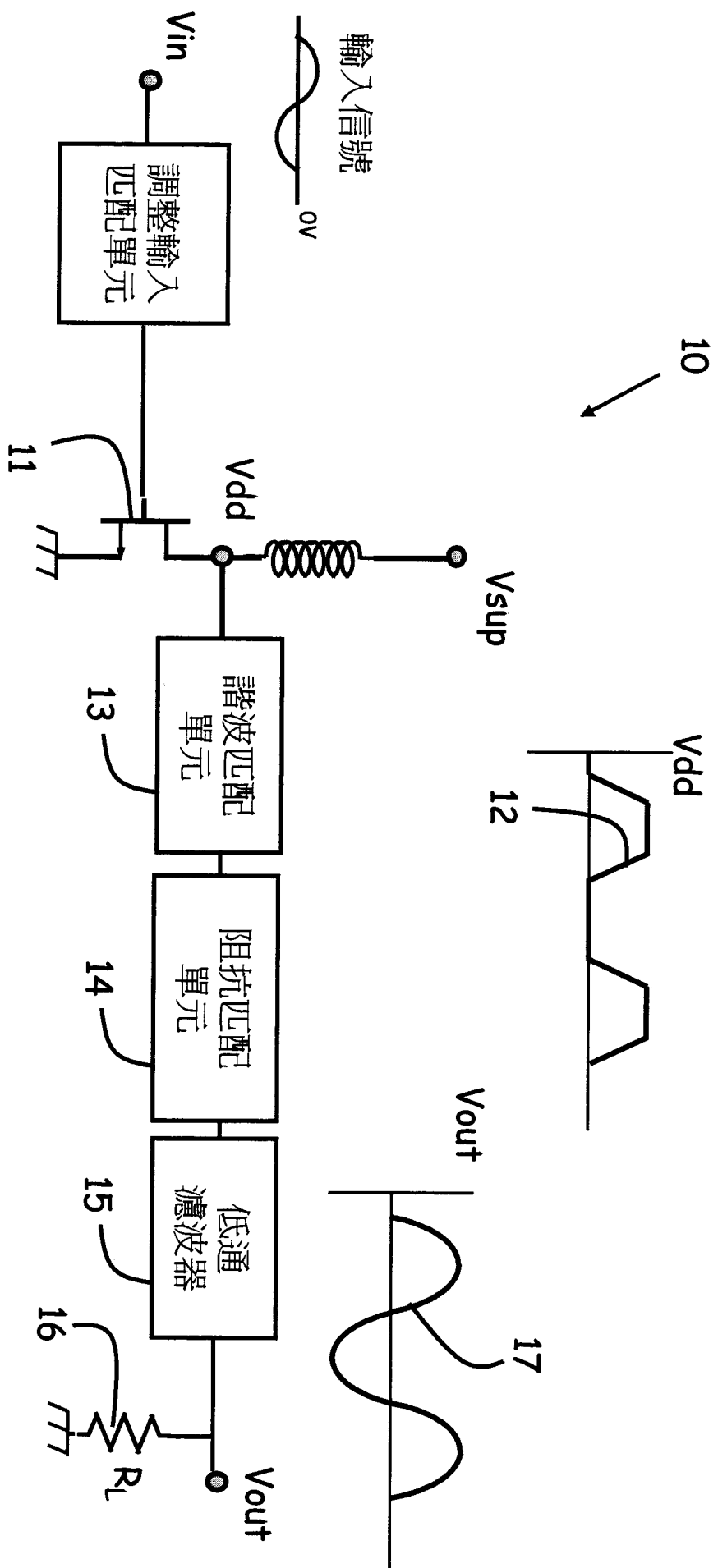
(C)驅使用產生一第二射頻信號的一第二放大器來驅動該天線；以及

(D)使用具有 $p:q$ 比例的一集成變壓器轉換該第一阻抗以產生一第三阻抗，其中 p 不等於 q ，

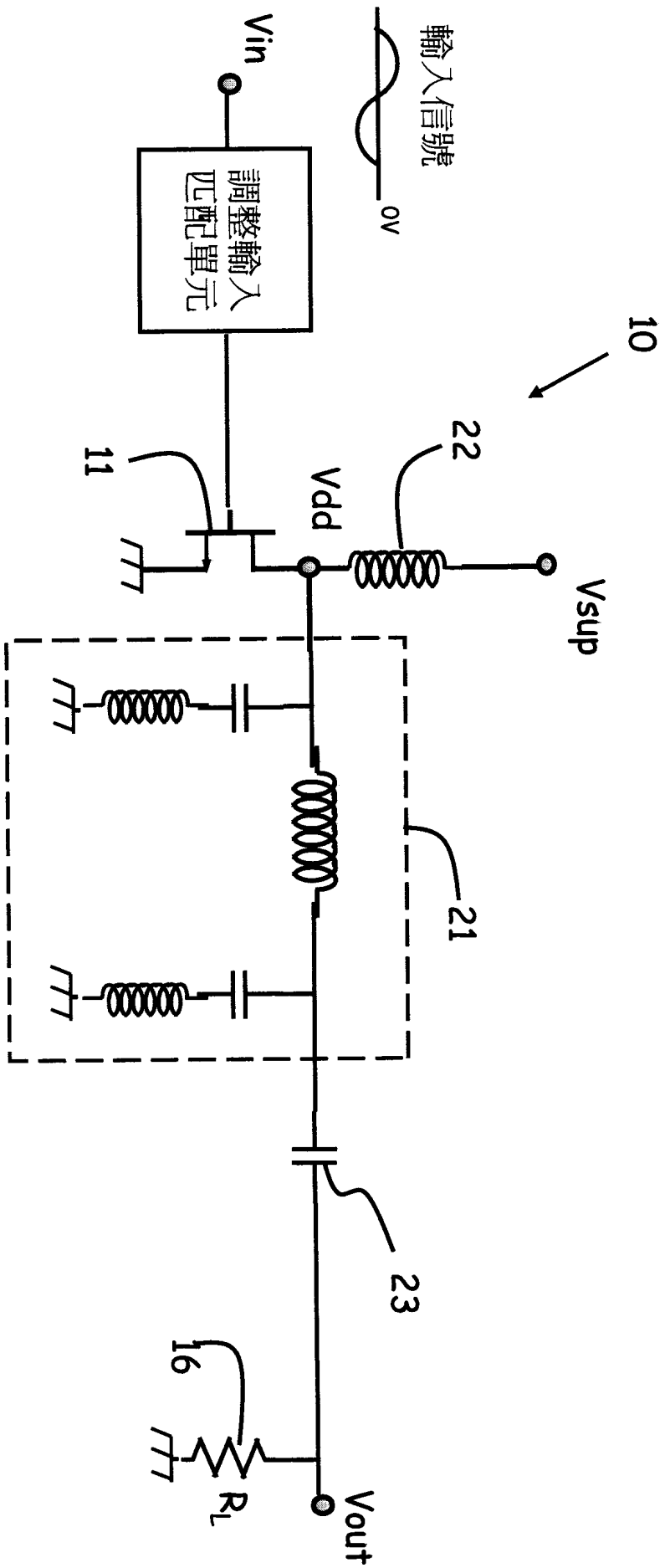
其中該放大器透過該第三阻抗驅動該天線。

55.如申請專利範圍第 54 項所述之信號傳輸方法，更包括：

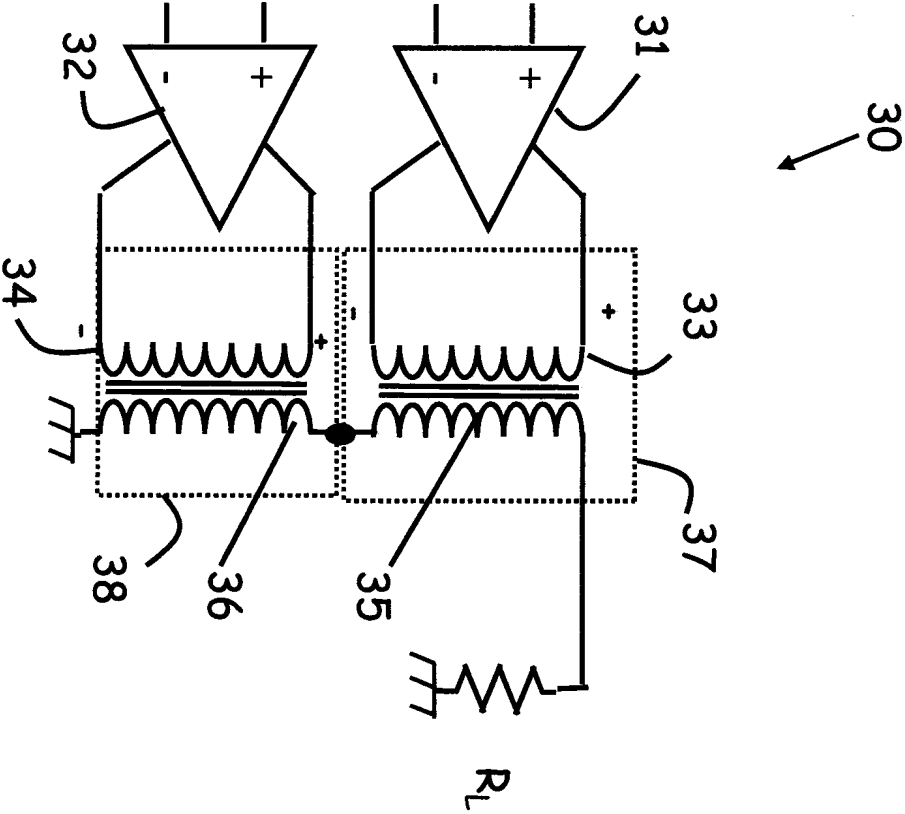
(E)藉由切換耦接至該第一集成變壓器且/或該第二集成變壓器的至少一個的主要線圈的至少一個開關控制一定量的功率傳送至該天線。



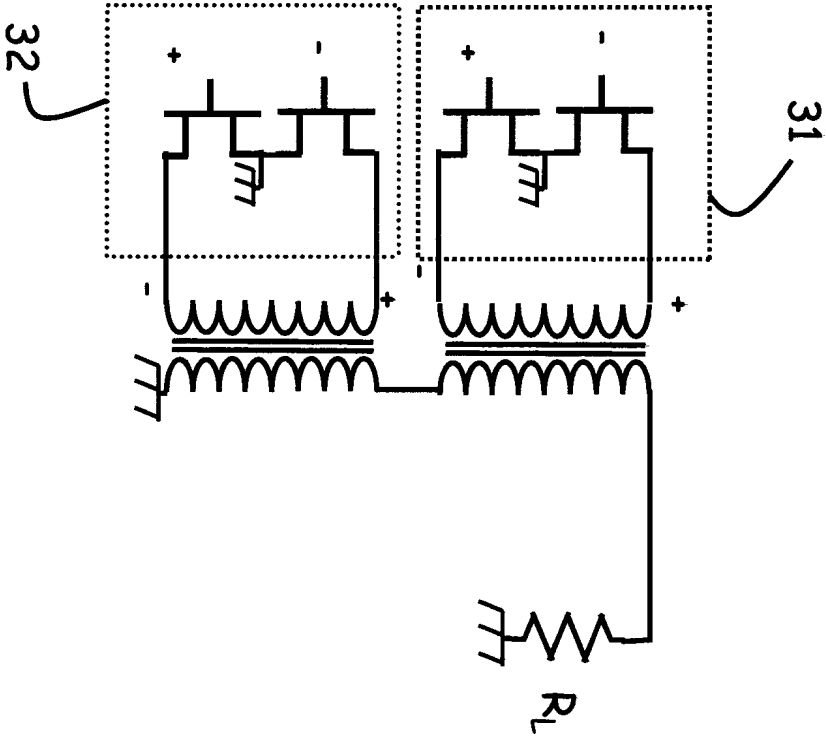
第1圖



第2圖

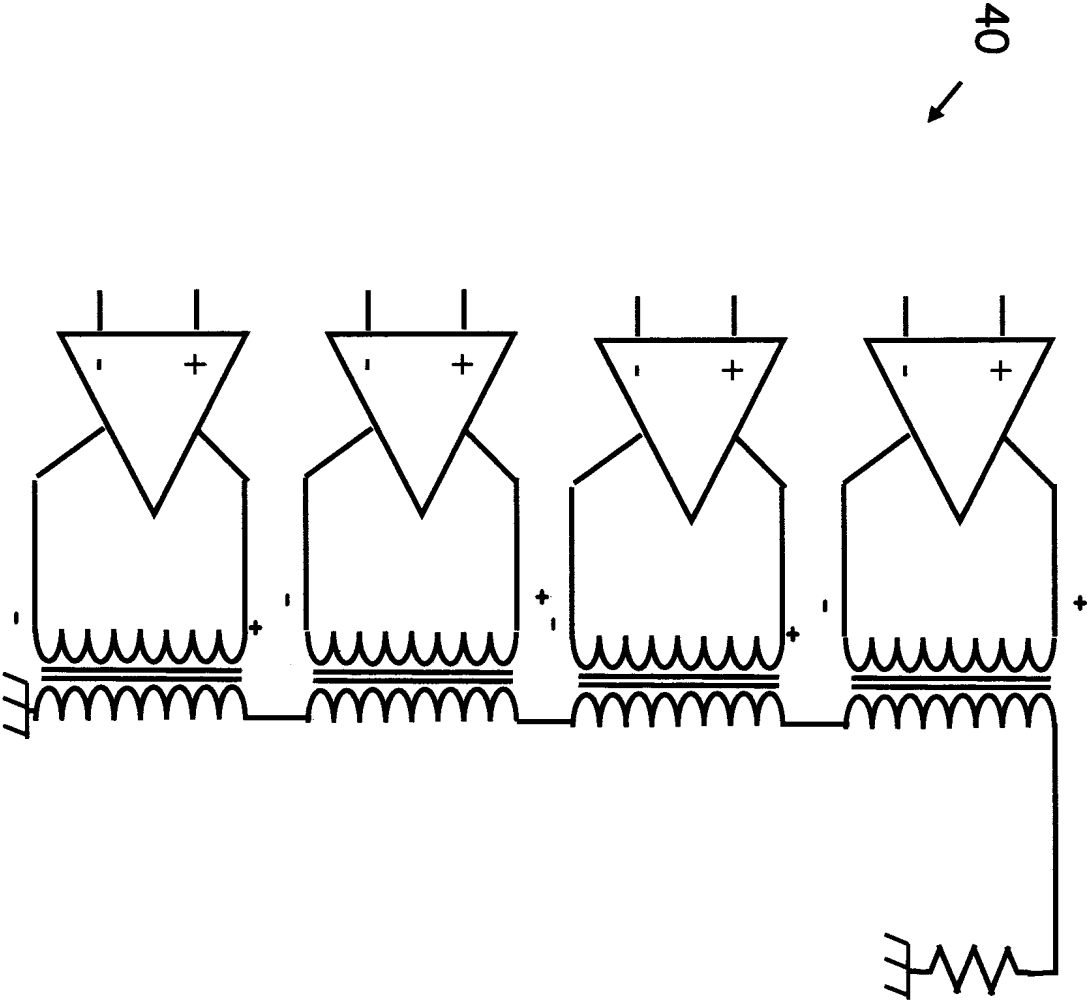


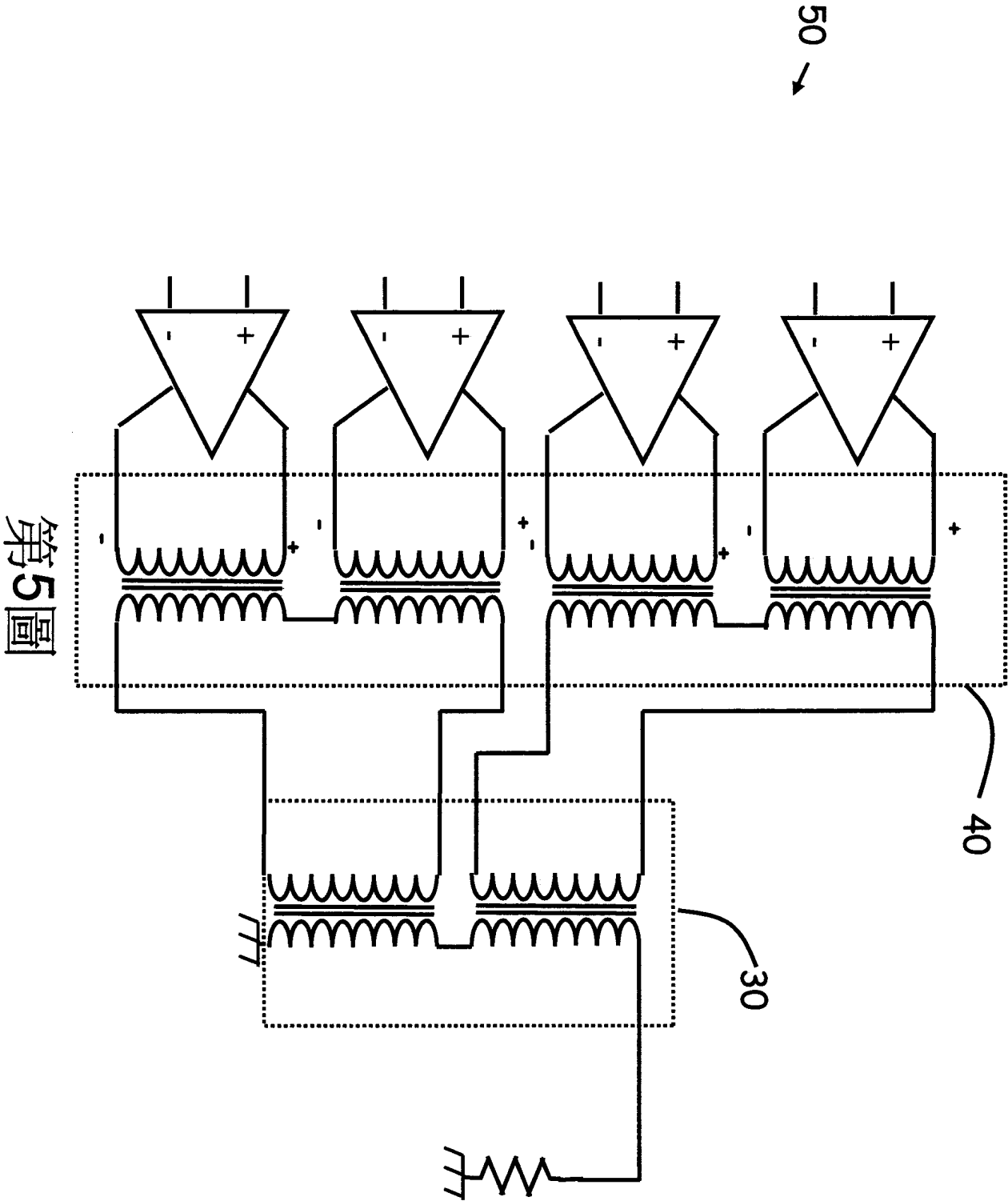
第3a圖

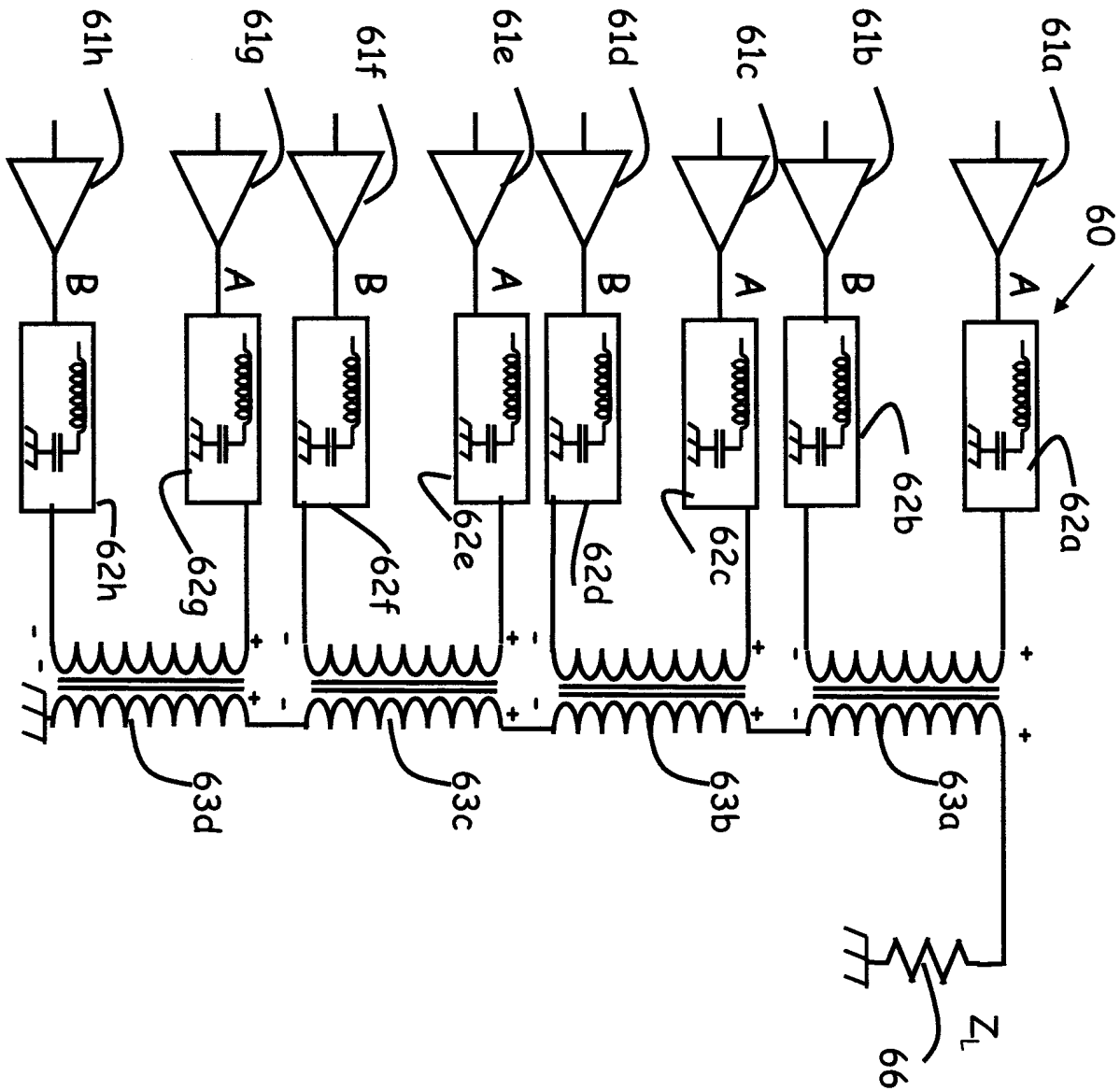


第3b圖

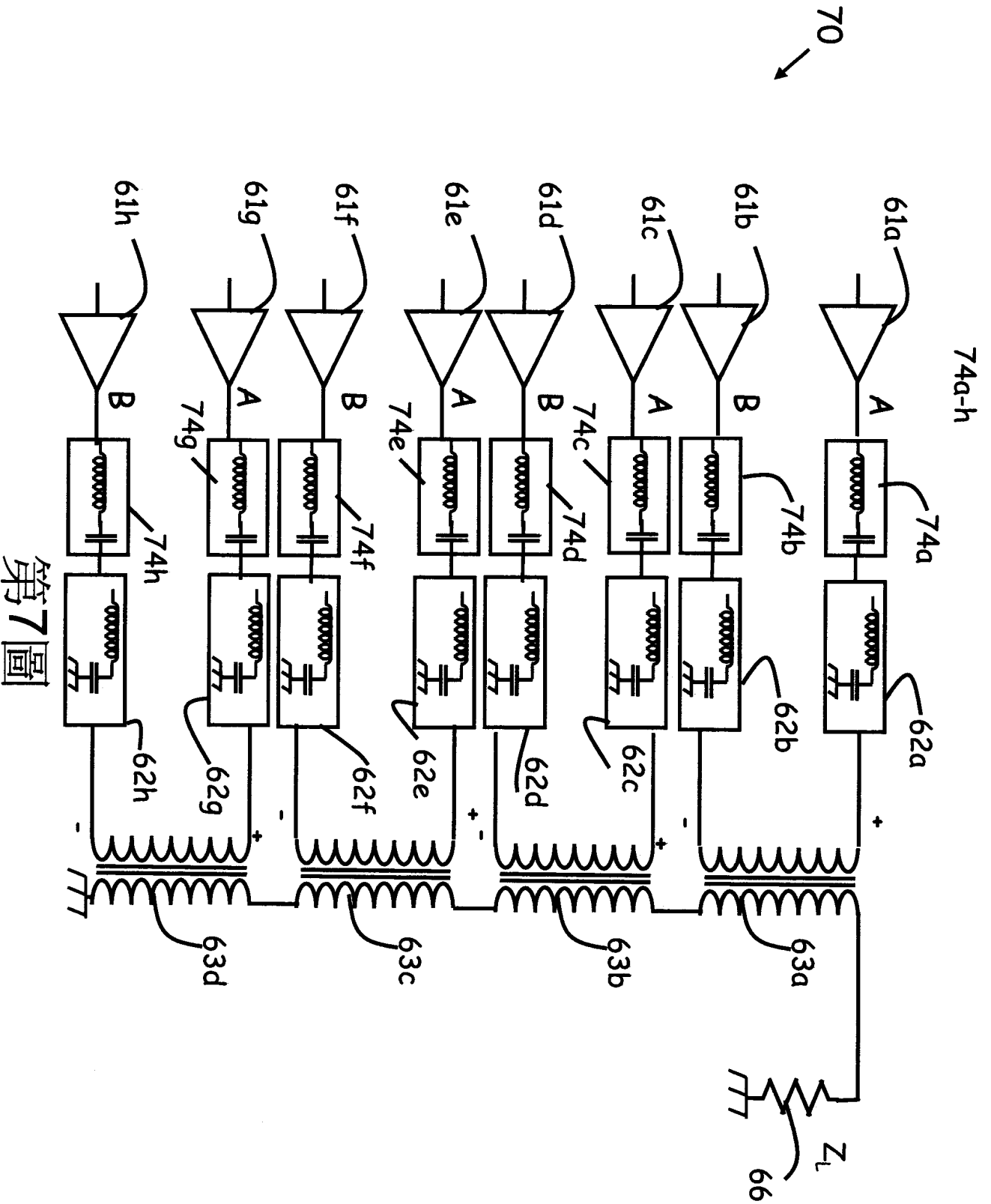
第4圖



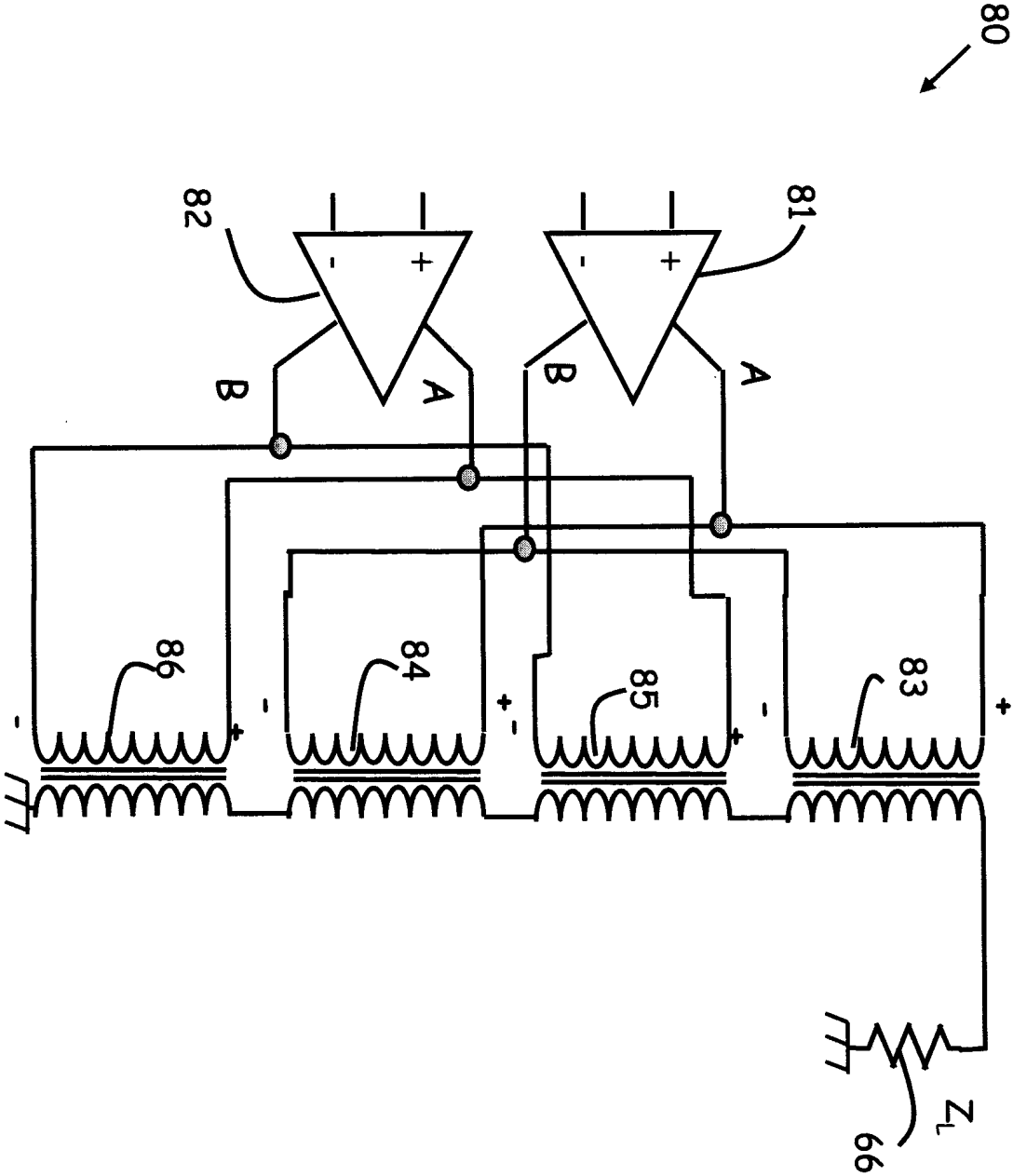


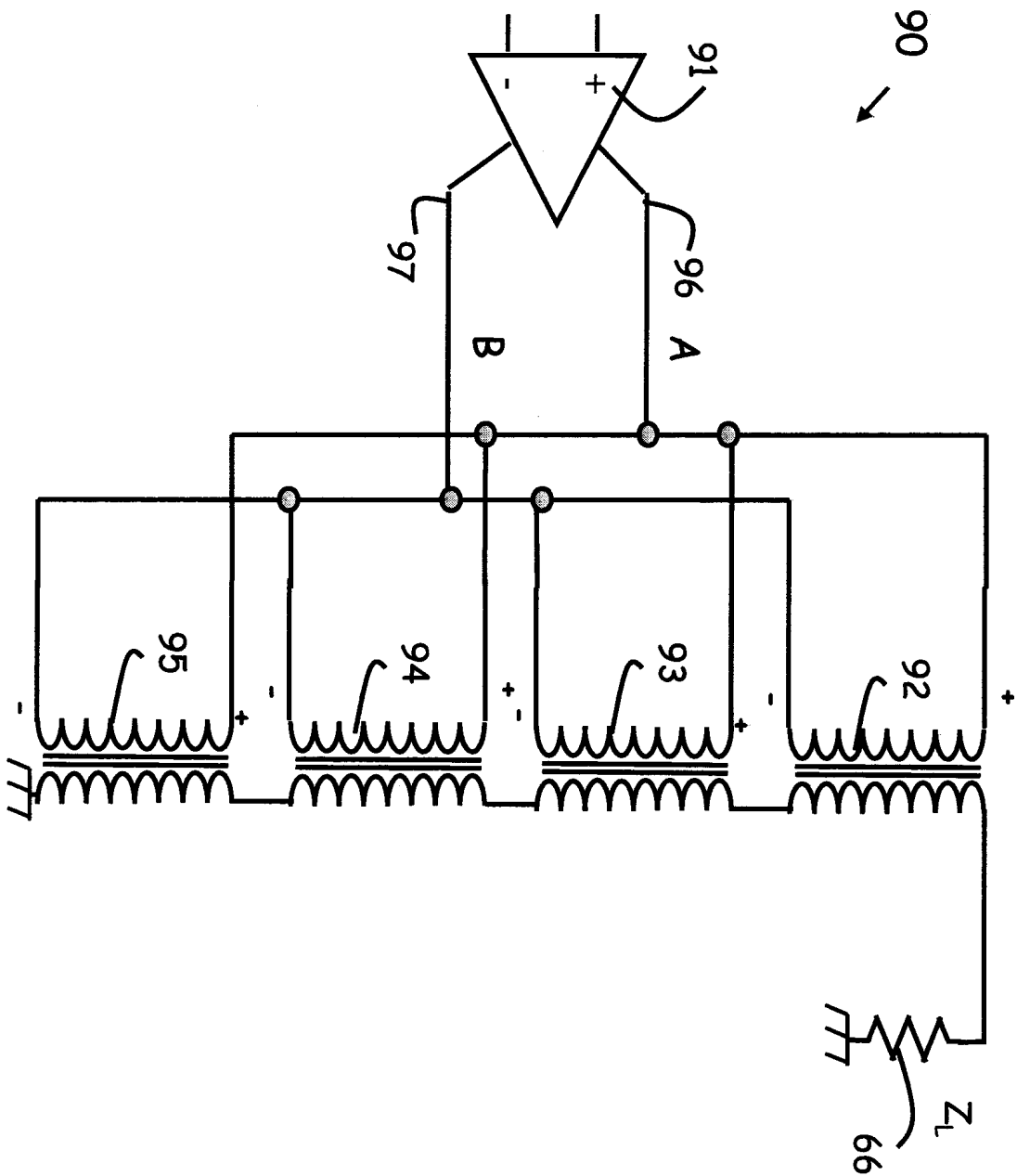


第6圖

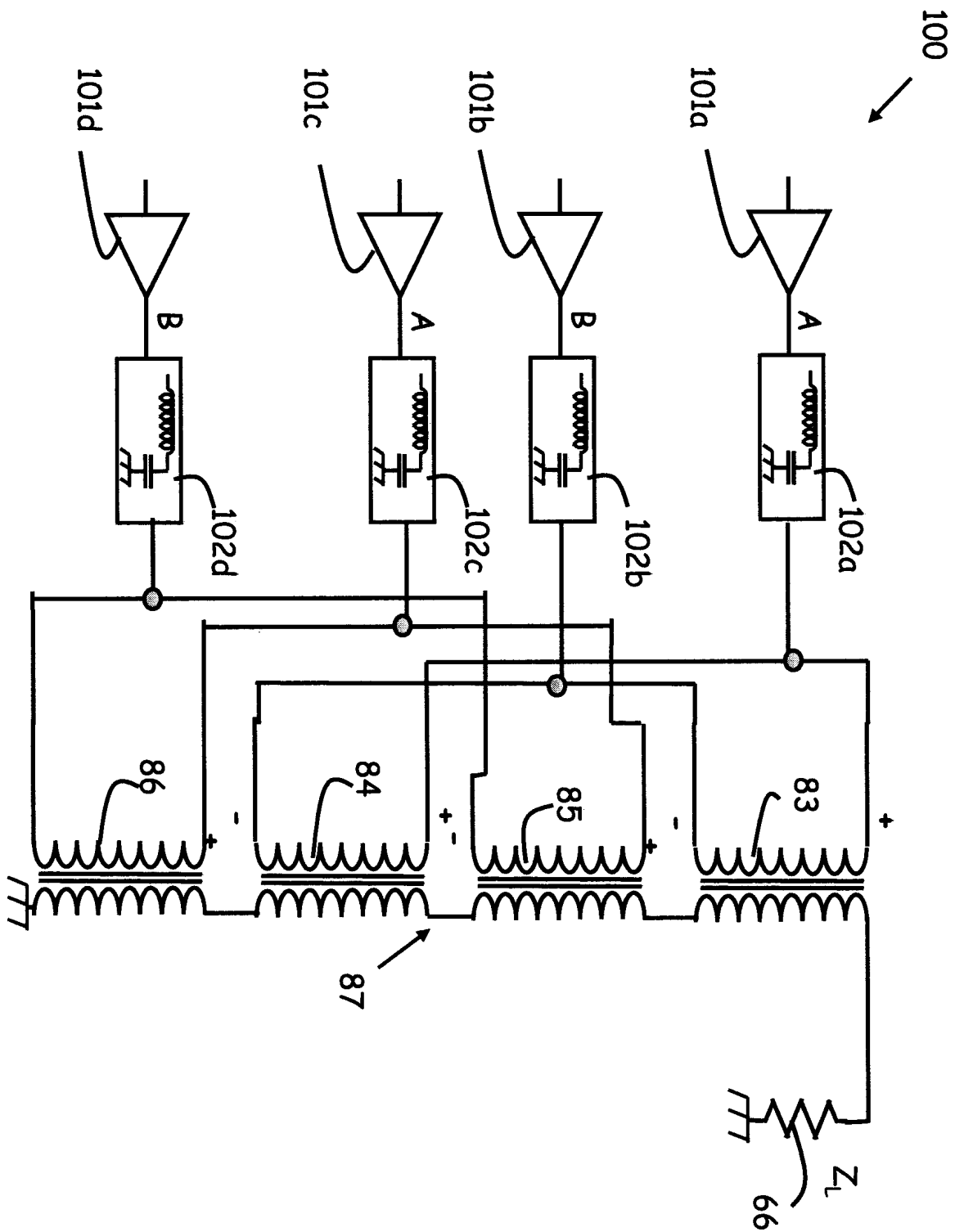


第8圖

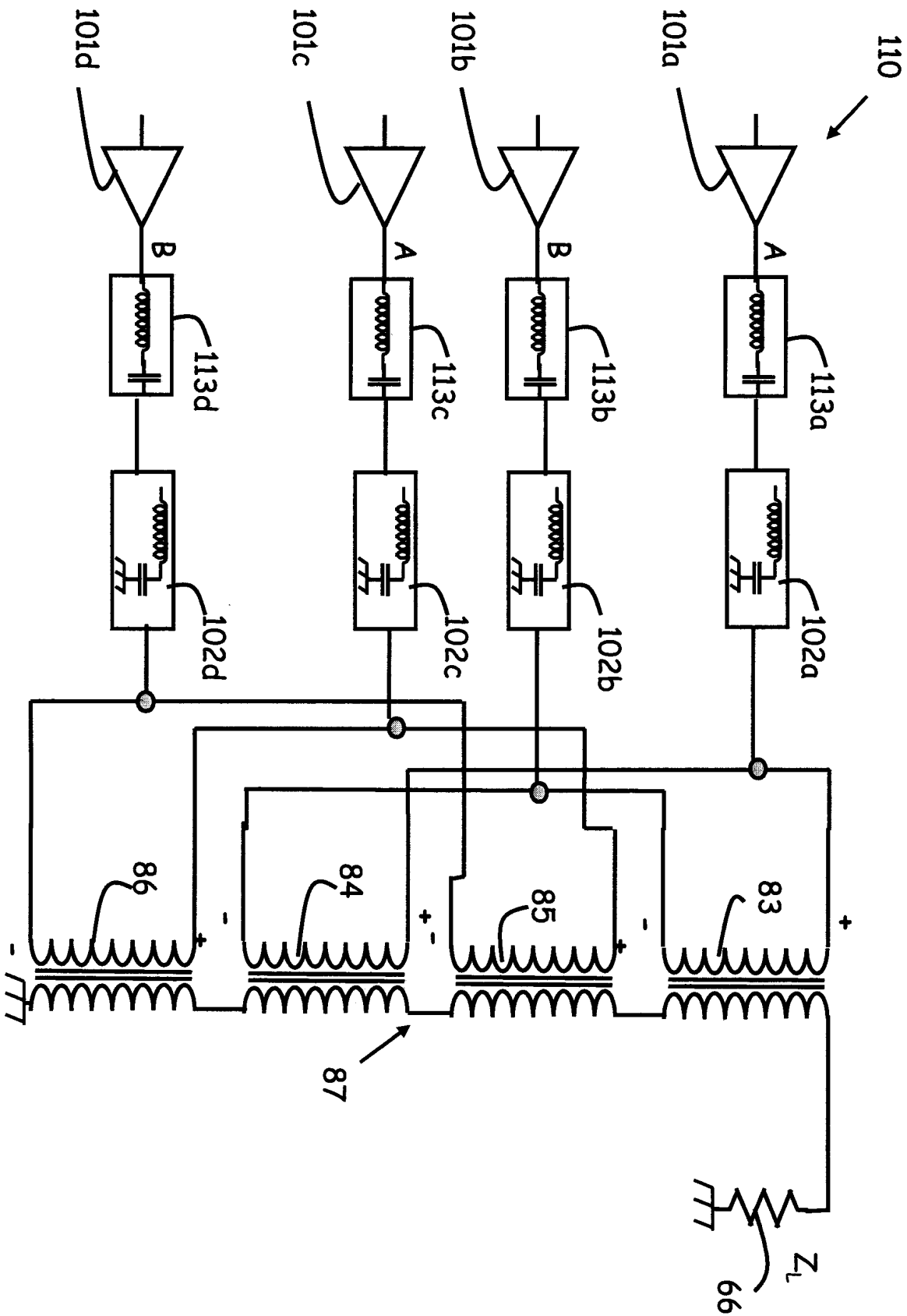




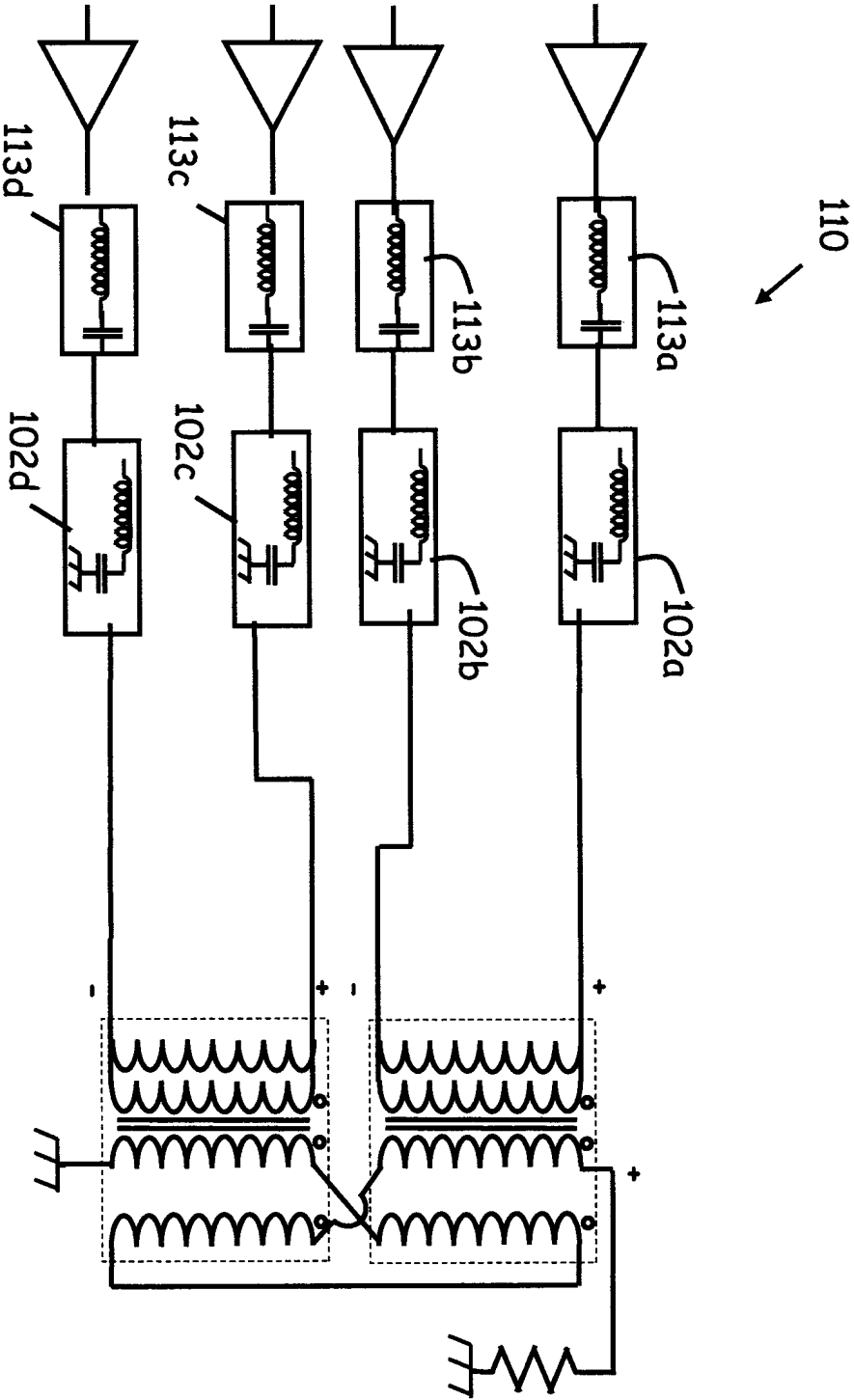
第9圖



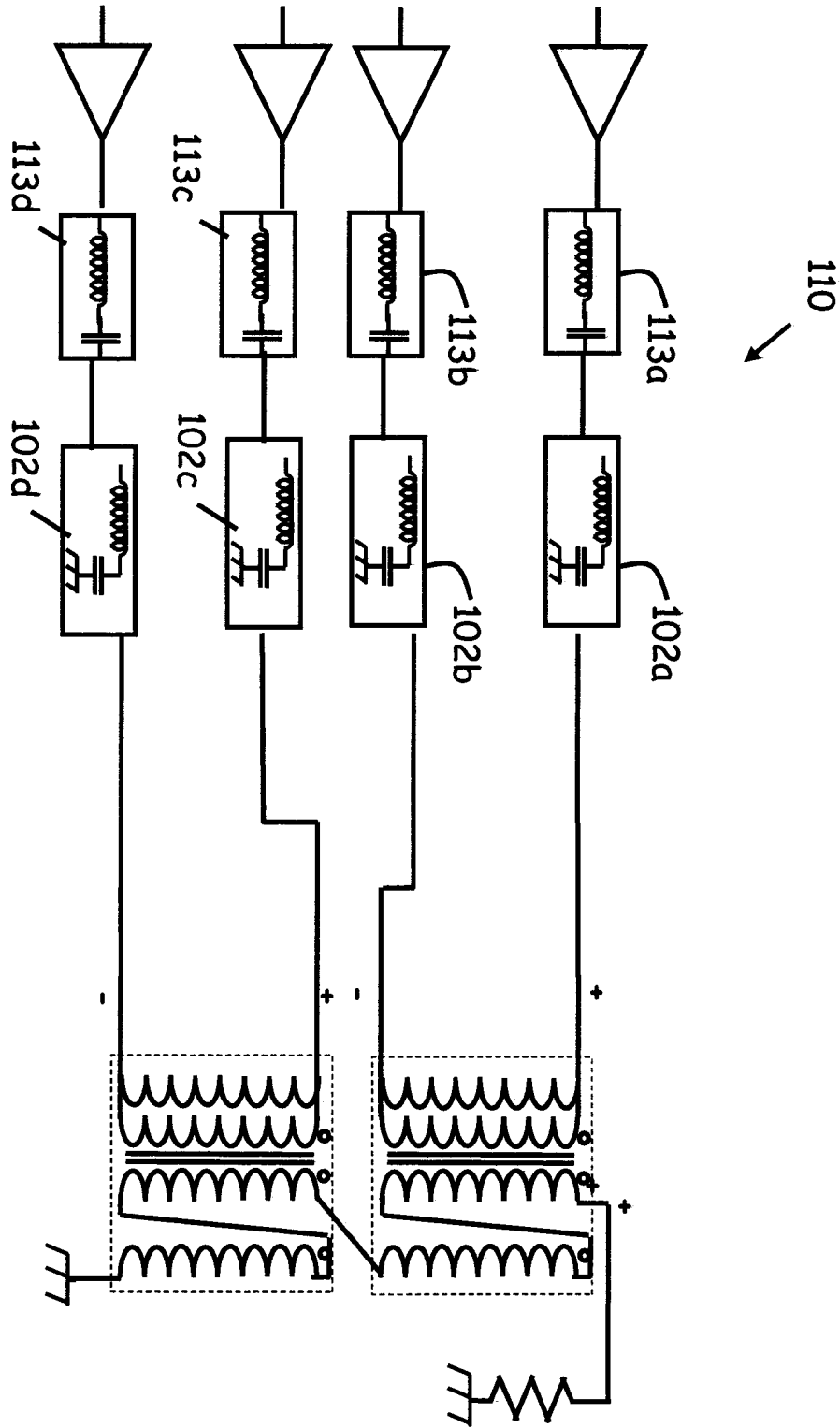
第10圖



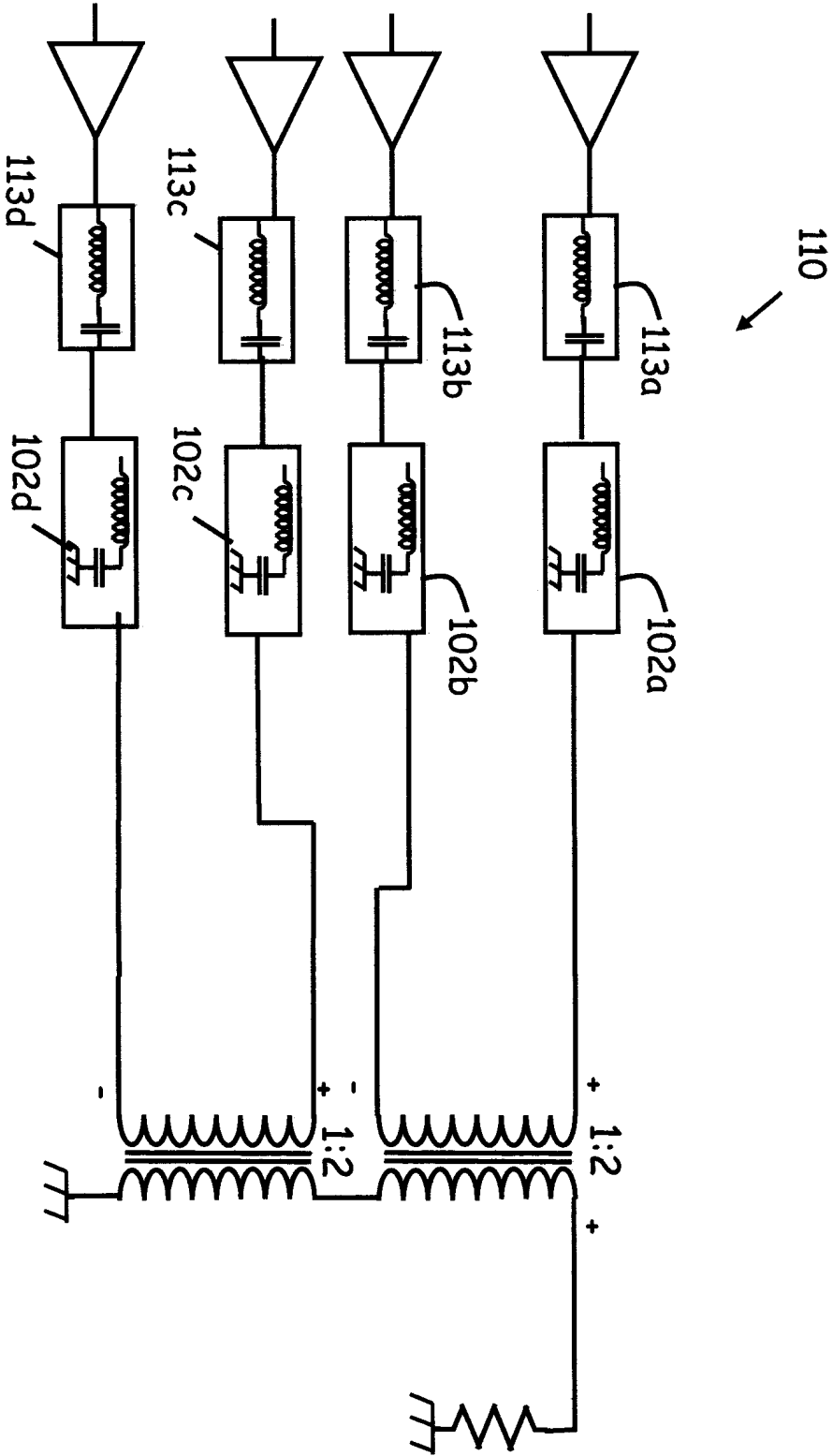
第11圖



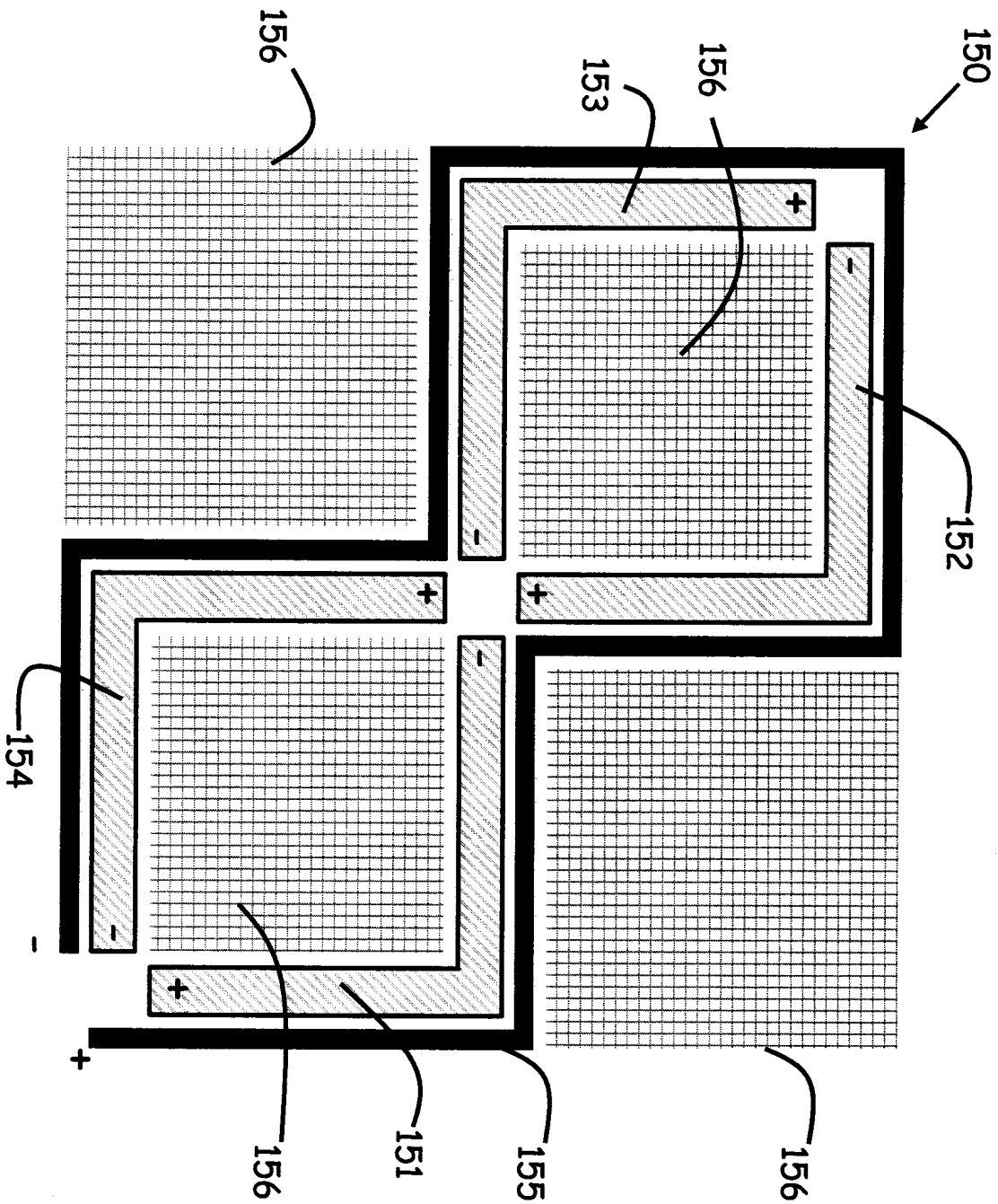
第12圖



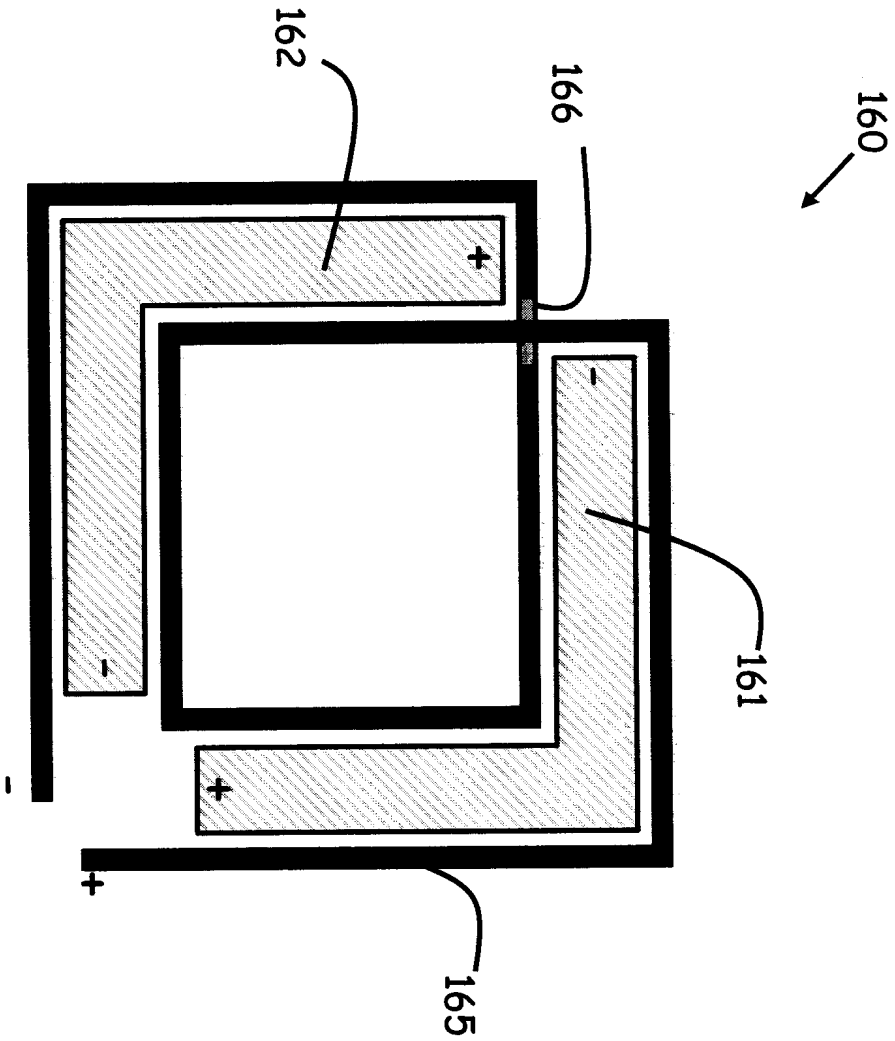
第13圖



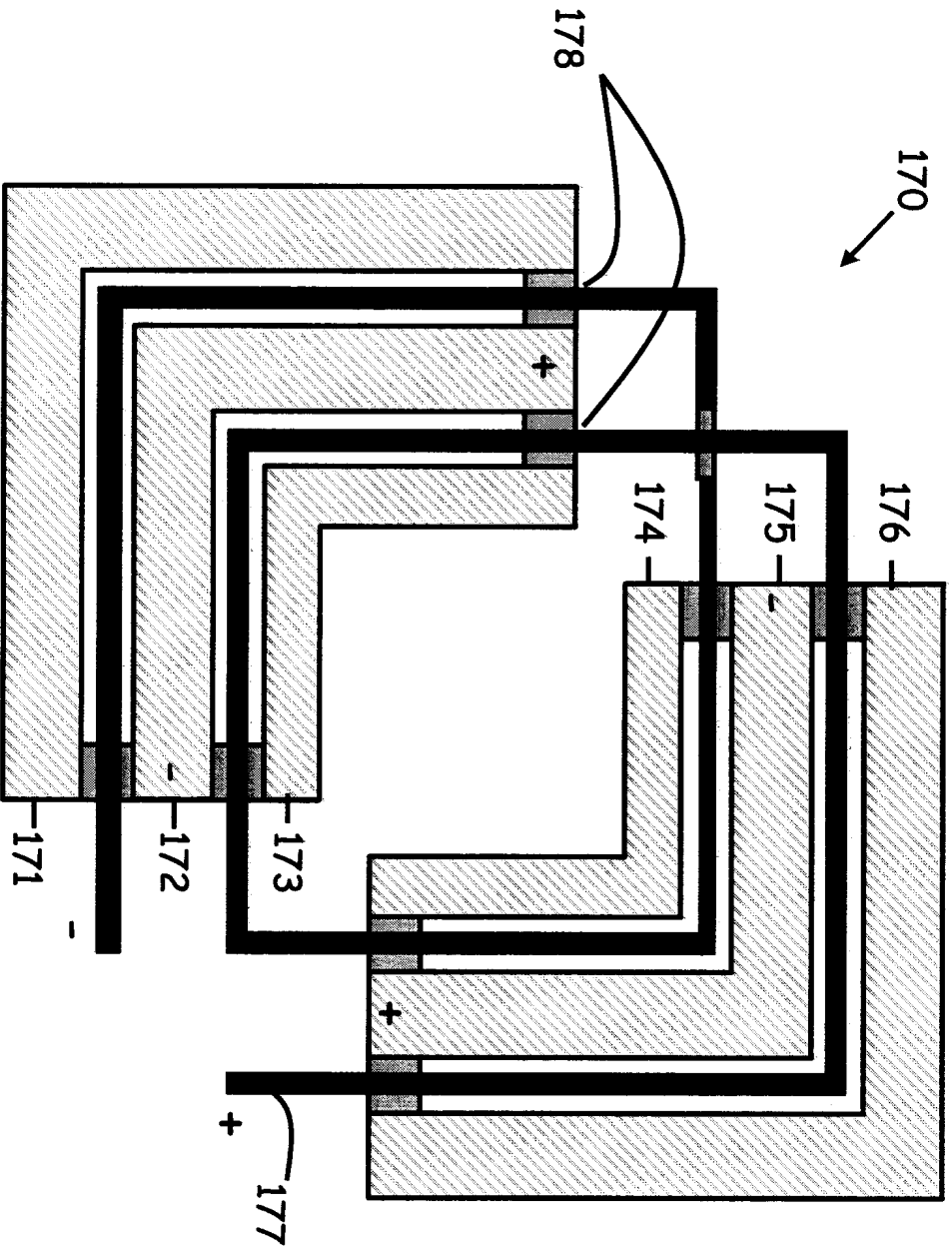
第14圖



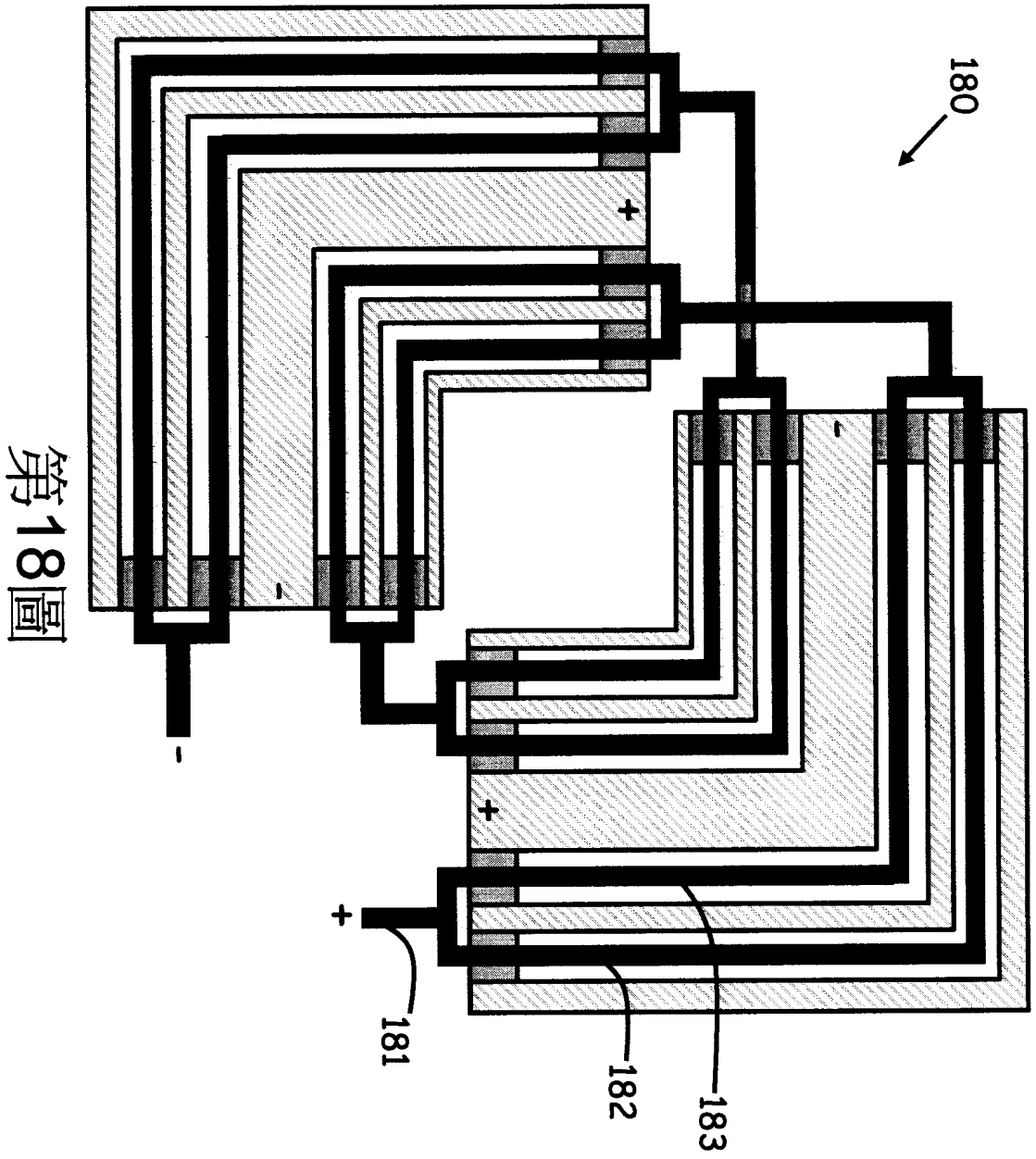
第15圖

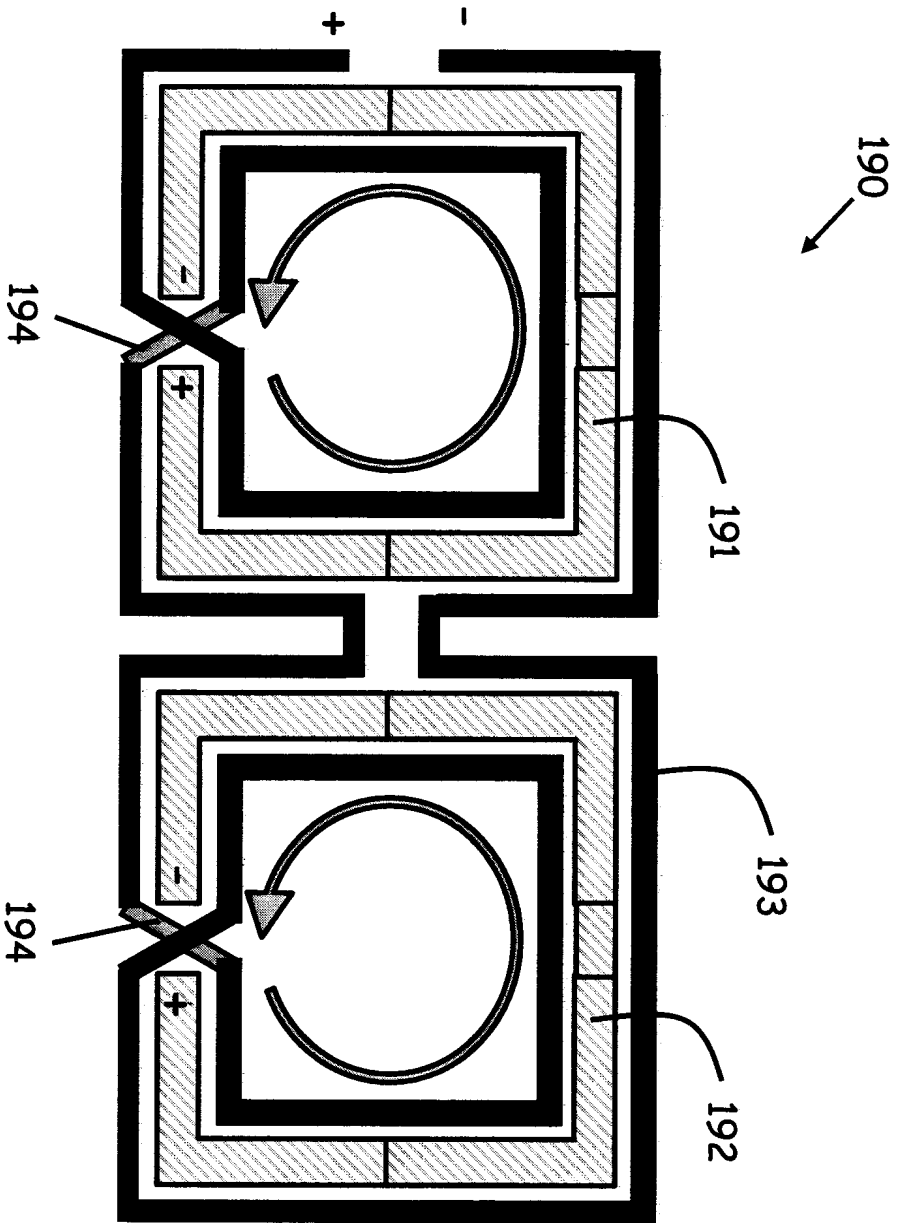


第16圖

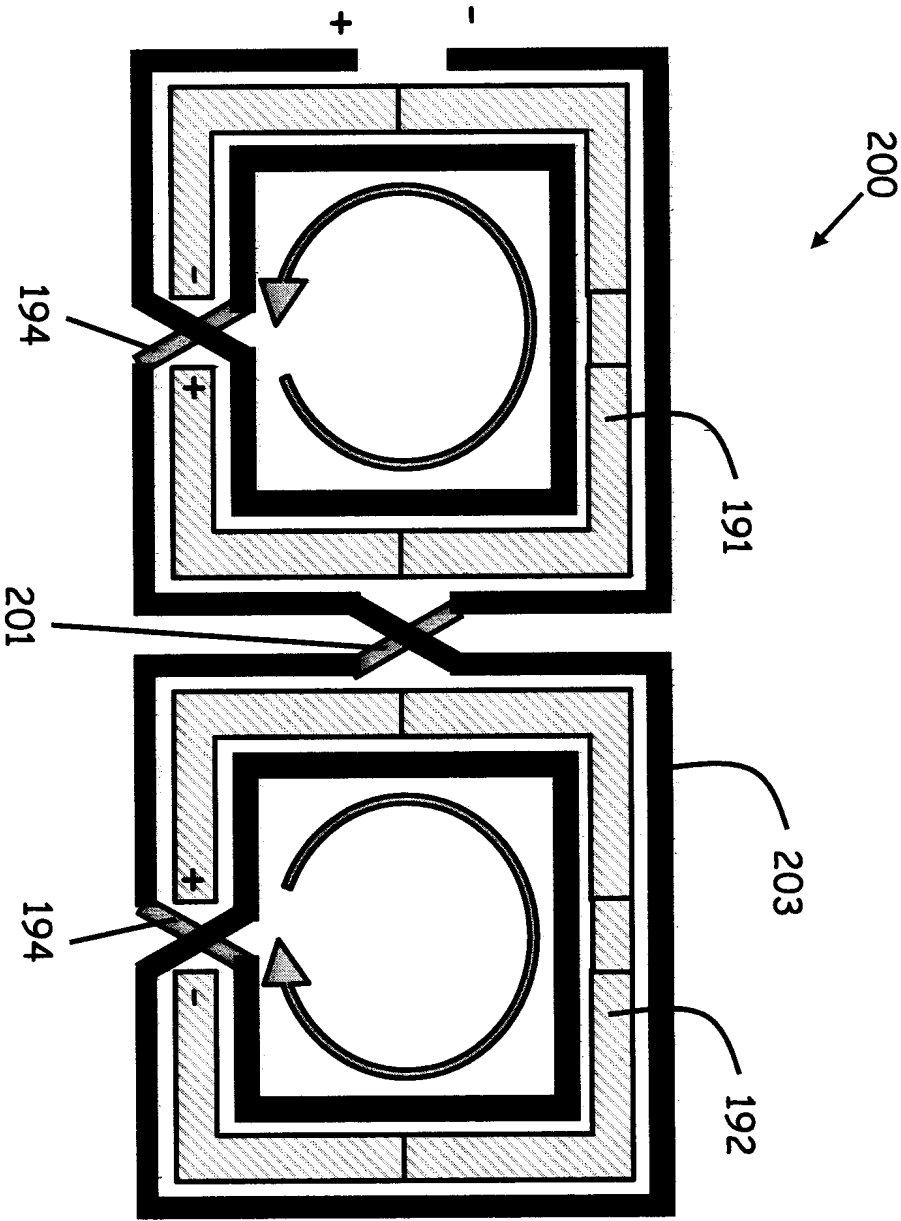


第17圖

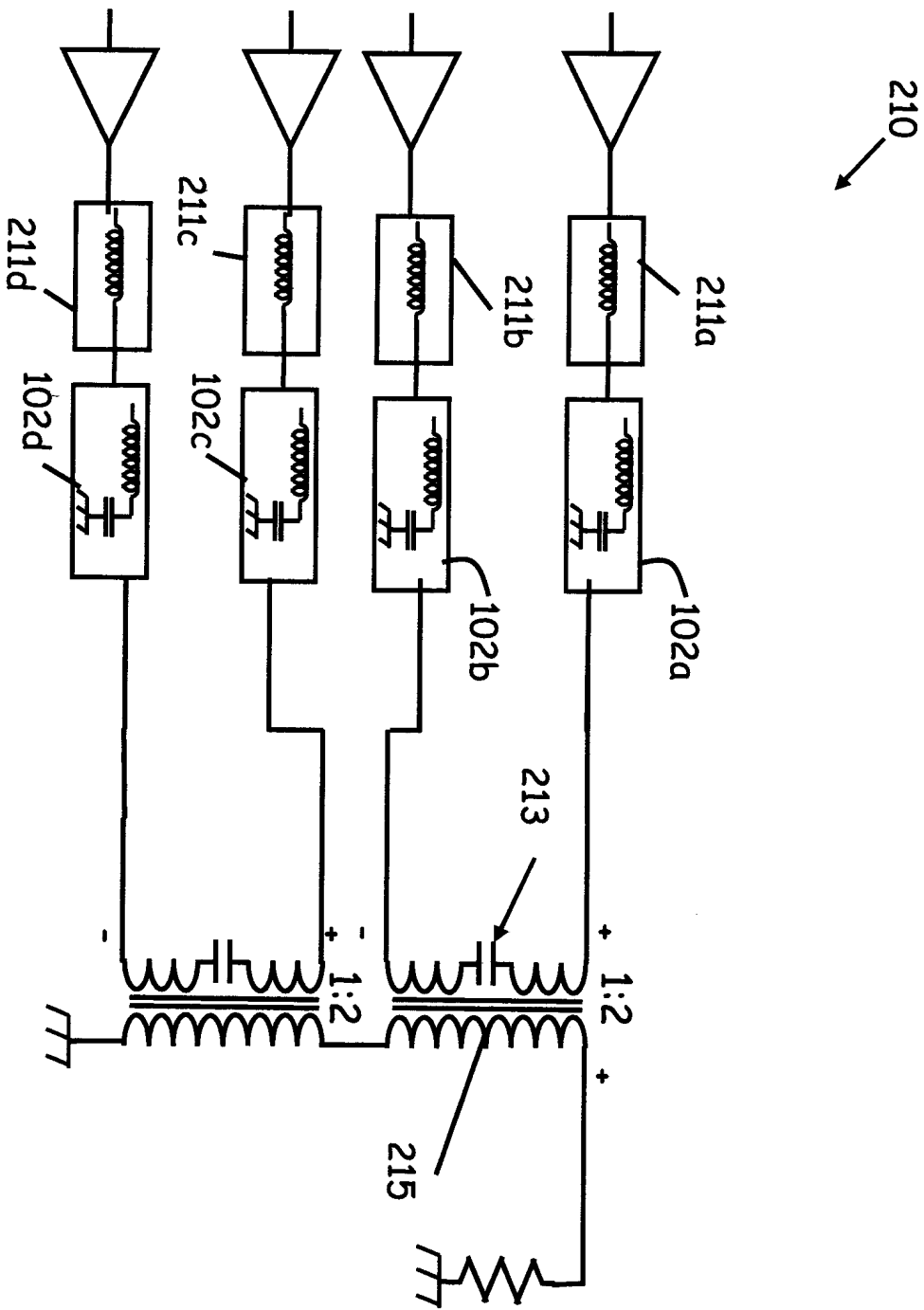




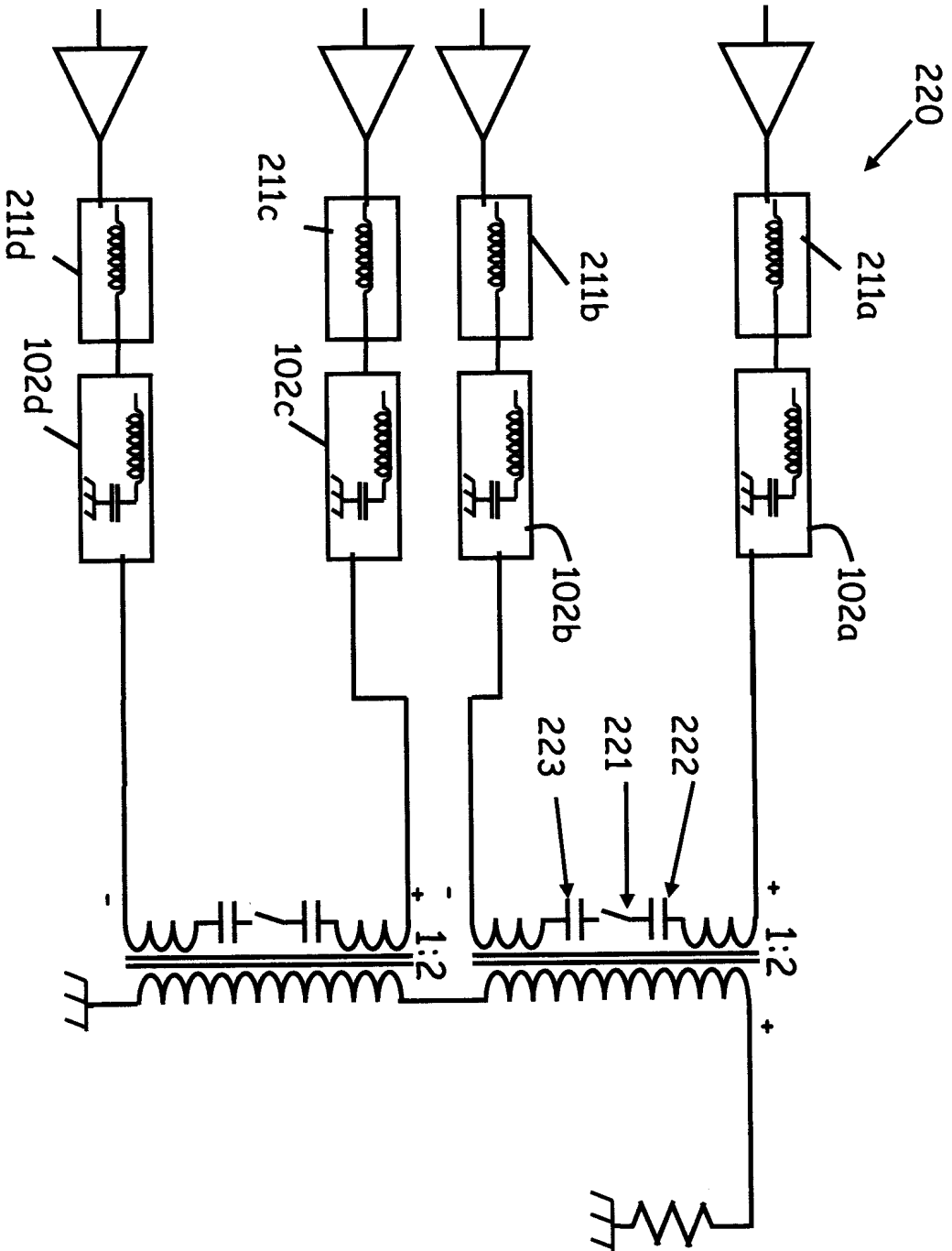
第19圖



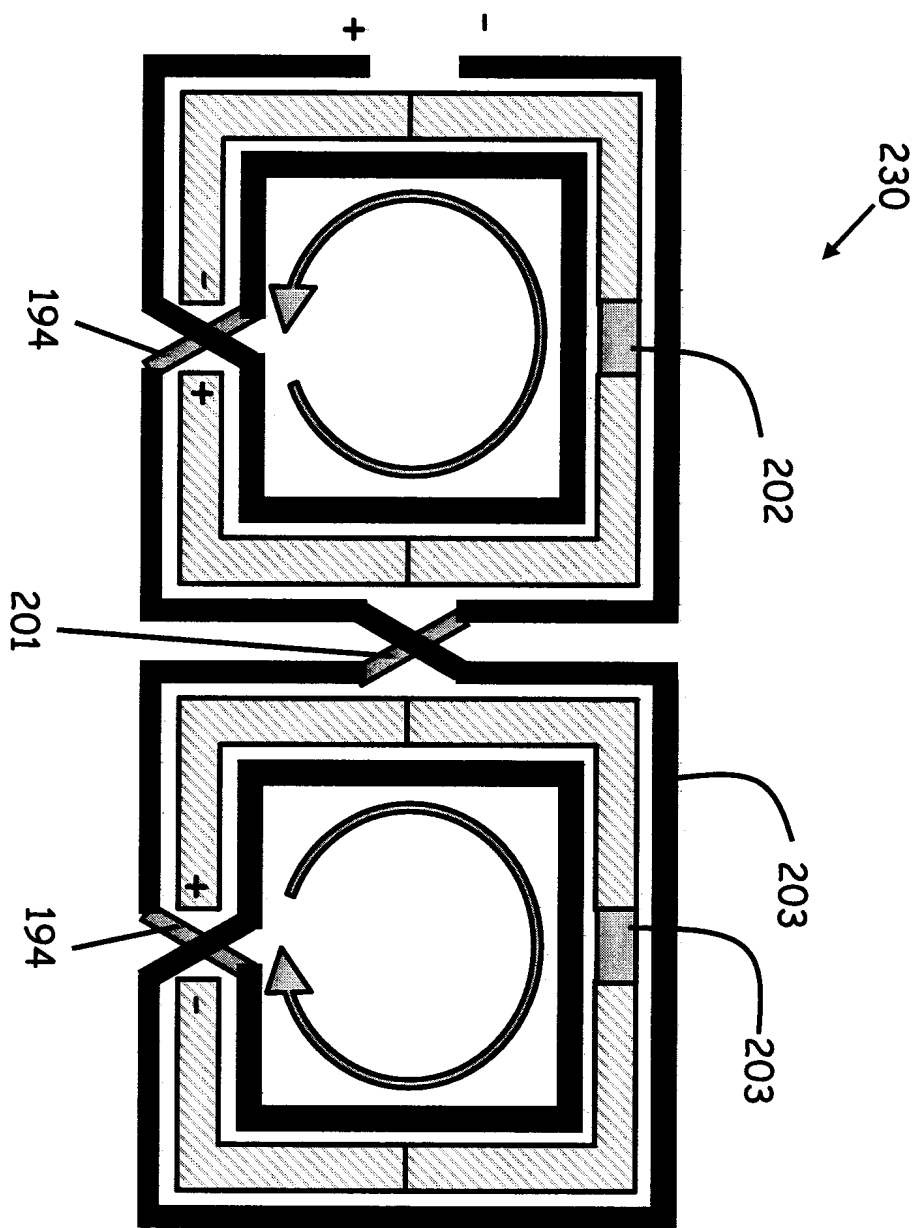
第20圖



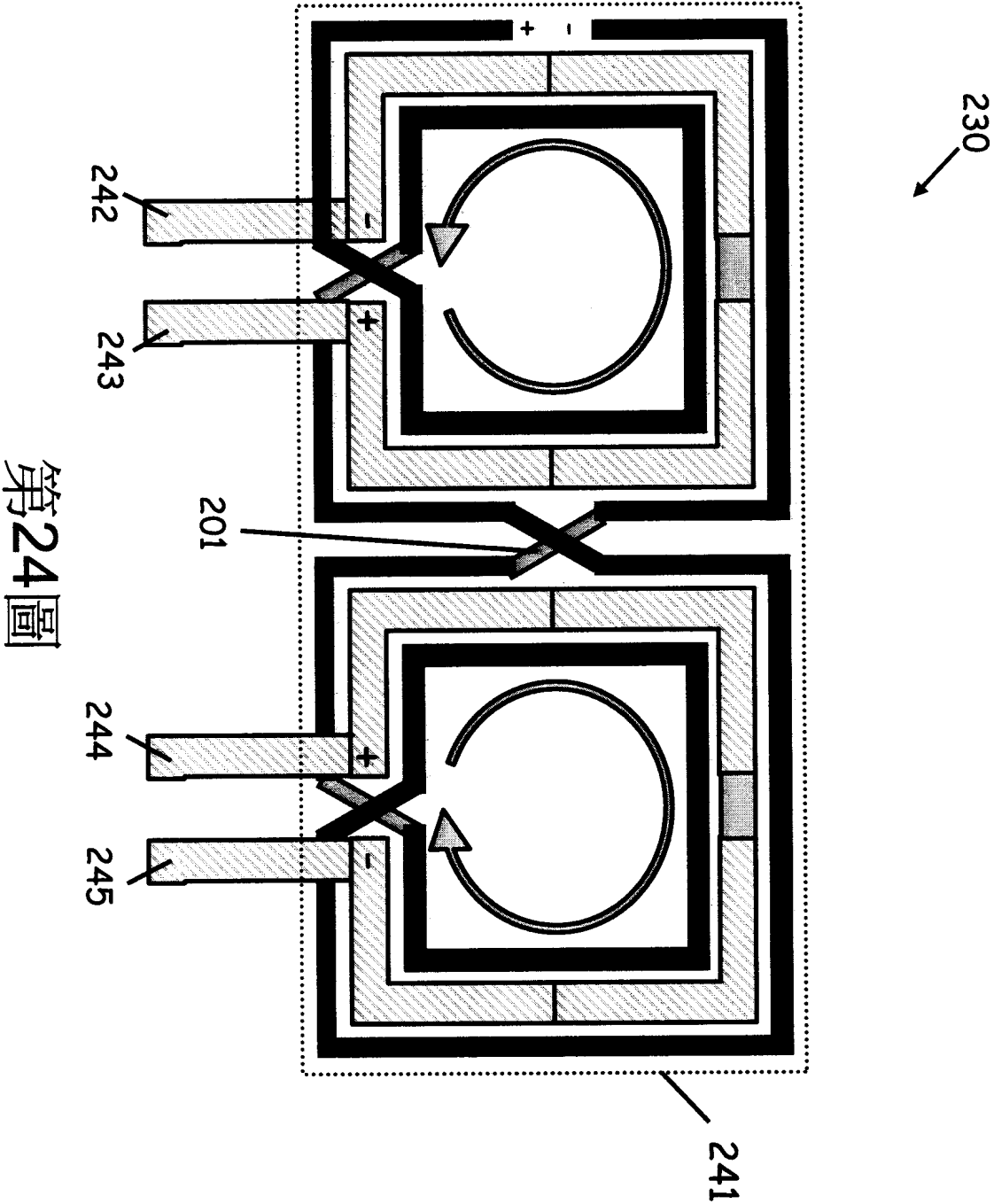
第21圖



第22圖



第23圖



第24圖

四、指定代表圖：

(一) 本案指定代表圖為：第(6)圖。

(二) 本代表圖之元件符號簡單說明：

60~電路；

61a-h~放大器；

62a-h~集成被動元件；

63a-d~集成變壓器；

66~負載阻抗。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明描述關於射頻的阻抗匹配的電子電路與技術。

【先前技術】

射頻信號被廣泛地使用在無線通信。一個發送器用來傳送無線電波，且一個接收器用來接收無線電波以解壓一個編碼信息。信息傳輸藉由放大射頻信號的方式來執行，用以驅動一天線。對於天線的阻抗匹配被用來更有效的傳送功率之天線，且降低反射進入放大器。複數個阻抗匹配技術已經為熟知，其例子請參考第1至5圖。

第1圖為耦接至一放大元件11且具有一阻抗匹配電路

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98124688

※ 申請日：

※IPC 分類：H03H 7/38 (2006.01)

H01F 38/00 (2006.01)

一、發明名稱：(中文/英文)

阻抗匹配 / IMPEDANCE MATCHING

二、中文發明摘要：

阻抗匹配技術可以使用在信號傳輸時，匹配一放大器與一天線。一些阻抗匹配技術使用一集成被動元件與一集成變壓器。一些阻抗匹配技術使用了一 $n:m$ 集成變壓器，其中 $n \neq m$ 。本說明書揭露了複數個 $n:m$ 集成變壓器的實施方式。

三、英文發明摘要：

Impedance matching techniques can be used to match an amplifier to an antenna for signal transmission. Some impedance matching techniques use an integrated passive component and an integrated transformer. Some impedance matching techniques include the use of an integrated $n:m$ transformer, where $n \neq m$. Several $n:m$ transformer implementations are described.

四、指定代表圖：

(一) 本案指定代表圖為：第(6)圖。

(二) 本代表圖之元件符號簡單說明：

60~電路；

61a-h~放大器；

62a-h~集成被動元件；

63a-d~集成變壓器；

66~負載阻抗。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明描述關於射頻的阻抗匹配的電子電路與技術。

【先前技術】

射頻信號被廣泛地使用在無線通信。一個發送器用來傳送無線電波，且一個接收器用來接收無線電波以解壓一個編碼信息。信息傳輸藉由放大射頻信號的方式來執行，用以驅動一天線。對於天線的阻抗匹配被用來更有效的傳送功率之天線，且降低反射進入放大器。複數個阻抗匹配技術已經為熟知，其例子請參考第1至5圖。

第1圖為耦接至一放大元件11且具有一阻抗匹配電路

14 的一習知電路 10 的示意圖。放大元件 11 放大一調整的輸入信號 V_{in} 以產生一放大信號 V_{dd} ，如正弦波形圖 12 所示。隨著放大元件 11，電路 10 也包括一諧波匹配電路 13，一阻抗匹配電路 14 以及一低通濾波器 15。諧波匹配電路 13 降低由放大元件 11 產生的不想要的諧波。阻抗匹配電路 14 匹配放大器輸出阻抗與一天線的阻抗，其表示為負載阻抗 16。低通濾波器 15 濾波放大的信號以產生輸出信號 V_{out} ，如正弦波形圖 17 所示。

第 2 圖為電路 10 中電路 13 至 15 以及電感與電容 21 被安排成一階梯網路的一實施例的示意圖。在本實施例中，電感與電容 21 被安排為一低通結構。電感 22 隔絕了電源供應 V_{sup} 與電路 10。電感 22 可能夠大而可運作為一射頻抑制(RF choke)，且為交流電路有最小的影響。電容 23 阻斷了直流部份與負載阻抗 16，且可能夠大而對交流電路有最小的影響。

第 3 圖為一習知的多重主要橋接放大器(multi-ptimary bridge)30 的示意圖，其結合由推拉放大器(push-pull)31 與 32 的信號電源。推拉放大器 31 與 32 分別傳送能量至變壓器 37 與 38 的主要線圈 33 與 34。變壓器 37 與 38 的次要(secondary)線圈 35 與 36 串聯耦接跨越主要線圈 33 與 34，使得電源被結合且傳送至負載阻抗 R_L 。因為變壓器 37 與 38 具有 1:1 的線圈數比，阻抗轉換是如推拉放大器 31 與 32 所件的一個降低的阻抗。負載阻抗被主要線圈的圈數所除(R_L/a ， a 為主要線圈的線圈數)。

第 3b 圖為推拉放大器 31 與 32 的輸出級電晶體示意圖。每一個電晶體看到跨越主要線圈的一個阻抗 $R_L/2a$ 。匹配電容(圖上未示出)可以被用來調整輸出變壓器的漏電感。變壓器可以被兩者擇一的設計為據有一中心閥(tap)用以注入一直流偏壓。

第 4 圖為另一習知的多重主要橋接放大器(multiprimary bridge)40 的示意圖，其包括 4 個 1:1 的變壓器與 4 個推拉放大器。因為橋接放大器 40 包括 4 個主要線圈且 4 個次要線圈為串聯連接，因此每個主要線圈看到的阻抗為 $R_L/4$ 。

第 5 圖為一個兩級式(two stage)多重主要橋接放大器 50 的示意圖。兩級式多重主要橋接放大器 50 包括第一級多重主要橋接放大器 40 與第二級多重主要橋接放大器 30。連接兩級的多重主要橋接放大器展開兩級的阻抗匹配。

【發明內容】

本發明的一實施例為一種阻抗轉換網路，用以轉換該阻抗轉換網路的一第一邊的一第一阻抗為該阻抗轉換網路的一第二邊的一第二阻抗，該第一阻抗不同於該第二阻抗，該阻抗轉換網路包括：一第一集成被動元件，包括至少一第一集成電感且/或至少一第一集成電容。一第一集成變壓器，耦接該第一集成被動元件。

本發明的另一實施例為一種電子電路，包括阻抗轉換網路以及一第一放大器。該阻抗轉換網路包括：一第一集

成被動元件，包括至少一第一集成電感且/或至少一第一集成電容。一第一集成變壓器，耦接該第一集成被動元件。第一放大器耦接該阻抗轉換網路的第一邊，該第一放大器用以在該第一邊呈現該第一阻抗。

本發明的另一實施例為一種信號傳輸方法，包括：(A)使用產生一信號的一放大器來驅動一天線，該天線具有一第一阻抗；(B)使用至少一集成變壓器用以轉換該第一阻抗以產生一第二阻抗；(C)使用至少一集成被動元件用以轉換該第二阻抗以產生一第三阻抗，其中該放大器透過該第三阻抗驅動該天線。

本發明的另一實施例為一種 $n:m$ 集成變壓器，用於射頻阻抗匹配，其中 n 不等於 m ，且該 $n:m$ 集成變壓器包括一主要線圈以及一次要線圈。主要線圈，包括至少一第一導體於一基板上。次要線圈(secondary)，包括至少一第二導體於該基板上，該至少一個的第一導體與第二導體用以建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。

本發明的另一實施例為一種電子電路，包括一 $n:m$ 集成變壓器與至少一個集成電容。該 $n:m$ 集成變壓器包括一主要線圈以及一次要線圈。主要線圈，包括至少一第一導體於一基板上。次要線圈(secondary)，包括至少一第二導體於該基板上，該至少一個的第一導體與第二導體用以建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。至少一個集成電容，耦接該主要線

圈的該第一導體至該主要線圈的該第二導體。

本發明的另一實施例為一種電子電路，包括一 $n:m$ 集成變壓器以及一開關。該 $n:m$ 集成變壓器包括一主要線圈以及一次要線圈。主要線圈，包括至少一第一導體於一基板上。次要線圈(secondary)，包括至少一第二導體於該基板上，該至少一個的第一導體與第二導體用以建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。開關用以耦接該主要線圈的該第一導體至該主要線圈的該第二導體。

本發明的另一實施例為一種電子電路，包括一 $n:m$ 集成變壓器以及一第一差動放大器。該 $n:m$ 集成變壓器包括一主要線圈以及一次要線圈。主要線圈，包括至少一第一導體於一基板上。次要線圈(secondary)，包括至少一第二導體於該基板上，該至少一個的第一導體與第二導體用以建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。第一差動放大器，包括一第一差動輸出，耦接至該主要線圈的一第一端；以及一第二差動輸出，耦接至該主要線圈的一第二端。

本發明的另一實施例為一種電子電路，包括一第一 $n:m$ 集成變壓器，與一第二 $n:m$ 集成變壓器。該第一 $n:m$ 集成變壓器包括一主要線圈以及一次要線圈。主要線圈，包括至少一第一導體於一基板上。次要線圈(secondary)，包括至少一第二導體於該基板上，該至少一個的第一導體與第二導體用以建立且安排用以建立該主要線圈與該次要線圈

的一 $n:m$ 圈數比，其中 n 不等於 m 。第二 $n:m$ 集成變壓器，包括一第二主要線圈，包括該集成電路的至少一第三導體；以及一第二次要線圈，包括該集成電路的至少一第四導體，該至少一第三導體與該至少一第四導體被建立與安排使該第二主要線圈與該第二次要線圈形成一 $p:q$ 的比例，其中 p 不等於 q ，其中該第一次要線圈與該第二次要線圈串聯。

本發明的另一實施例為一種信號傳輸方法，包括 (A) 驅動使用一放大器的一天線，該天線用以產生一射頻信號，該天線具有一第一阻抗；(B) 使用具有 $n:m$ 比例的一集成變壓器轉換該第一阻抗以產生一第二阻抗，其中 n 不等於 m ，其中該放大器透過該第二阻抗驅動該天線。

【實施方式】

在此描述在射頻的阻抗匹配與轉換的技術，包括了範例的集成電路、變壓器以及阻抗匹配方法。這些技術可能可以用在一射頻 (RF) 信號的無線傳輸的一天線的一 RF 功率放大器。複數個信號傳輸方法也在此被描述，其可能被使用在多種無線應用，如手機。在一些情況下，一個 RF 功率放大器可能據有一相對小的阻抗且天線或其他負載具有相對大的阻抗。另外一種情況可能發生，當一 RF 功率放大器運作在 DE 類 (class DE) 運作模式，其可能造成放大器的輸出阻抗相對的變低。這些技術在此描述可提供很多優點在一高階的阻抗轉換，用以在 RF 頻率的阻抗匹配。

具有集成被動元件(integrated passive component)與集成變壓器(integrated transformer)的匹配網路

在一些實施例中，一個集成被動元件與一個集成變壓器合作以執行阻抗匹配。舉例來說，一集成被動元件可能執行一第一級的阻抗匹配，而一集成變壓器執行一第二級的阻抗匹配。同時使用集成被動元件與集成變壓器可以提供一高階的阻抗轉換(high degree of impedance transformation)，且在一些實施例中，這樣的電路有元件減少技術的優點，下面說明一些例子。

第 6 圖為具有一阻抗匹配網路的電路 60 的示意圖，其包括集成被動元件 62a-h 與集成變壓器 63a-d。放大器 61a-h 可能為一功率放大器，其耦接至對應的集成被動元件 62a-h。集成被動元件 62 包括至少一個集成電感且/或至少一個集成電容，其可能耦接成一階梯狀架構(ladder configuration)或其他架構。集成變壓器 63a-d 的主要線圈(左邊)分別耦接至兩個集成被動元件 62a-h。如第 6 圖所示，集成變壓器 63 的次要(secondary)線圈為串聯，因此他們的合併輸出被傳送到一負載阻抗 66。負載阻抗 66 可能表示為一天線，用以傳送該次要線圈的合併輸出。

放大器 61a-h 可能產生差動信號，其信號的相位大約相差 180 度。舉例來說，放大器 61a、61c、61e 與 61g 可能產生大體上相同的波形，如波形 A，其被透過集成被動元件 62a、62c、62e 與 62g 傳送到集成變壓器 63a-d 中的一個的一正端。放大器 61b、61d、61f 與 61h 可能產生大

體上相同的波形，如波形 B，其被透過集成被動元件 62b、62d、62f 與 62h 傳送到集成變壓器 63a-d 中的一個的一負端。放大器 61a-h 並不需要分想任何如傳統推拉式放大器（如推拉式放大器 31 與 32）的端點連接，因為放大器 61a-h 可能其他實施例中被以分開的放大器來實現。如果每一個放大器 61a-h 都是被分開的放大器來實現，一放大器對（amplifier pair），如 62a 與 62b，可以運作成類似推拉式放大器，且其輸出功率可以藉由差動地驅動集成變壓器 63a-d 中的一主要線圈而被結合在一起。

放大器 61a-h 傳送信號至集成被動元件 62a-h，去執行第一級的阻抗轉換。舉例來說，集成被動元件 62a-h 可能接收來自於一第一埠的一放大器的信號，且在集成被動的一第二埠轉換放大器 61a-h 在第一埠看到的輸出阻抗為一較高或較低的阻抗。在一些實施例中，放大器 61a-h 可能運作在 DE 類（class DE）運作模式，且可能有相對較低的輸出阻抗。這樣一個低的輸出阻抗可能被藉由集成被動元件 62a-h 轉換成一較高的阻抗，用以最後達成與負載阻抗 66 的一阻抗匹配。然而，集成被動元件 62a-h 可能只有執行部份的阻抗轉換，且集成被動元件 62a-h 的信號輸出可能被傳送到集成變壓器 63a-d 中做進一步的阻抗轉換。

在一些實施例中，一第二級的阻抗轉換可能會藉由集成變壓器 63a-d 來實現。集成變壓器 63a-d 的主要線圈可能接收集成被動元件 62a-h 的輸出。為了結合差動信號 A 與 B 的功率，波形 A 的轉換後的形式可能被傳送到主要線

圈的正端，且波形 B 的轉換後的形式可能被傳送到主要線圈的負端。結果來說，集成被動元件 62a-h 的輸出差動地驅動集成變壓器 63a-d 的主要線圈。集成變壓器 63a-d 具有次要線圈，其為串聯耦接，藉此結合八個接收到的信號的信號功率。從每一個集成被動元件的輸出看到的阻抗是被結合，如負載阻抗 66 所看到的阻抗，其為一集成被動元件 62 所提供的阻抗的八倍或更多。從放大器 61a-h 的角度來看，負載阻抗 Z_L 是被變壓器 63a-d 所轉換為分別的阻抗 $Z_a = Z_L/8$ ，在分別的集成被動元件 62a-h。 Z_a 接著藉由梯狀網路被進一步在每一個變壓器 61 轉換成阻抗 Z_b ，其中 $Z_b = Z_a/K$ 。K 值可以根據集成被動元件 62a-h 的設計而選擇。一般來說，K 可能大於、等於或小於 1，根據該集成被動元件 62a-h 是被設計成高通、低通或帶通濾波網路。除了變壓器外還使用集成被動元件可以在選擇每一個放大器看到的轉換的阻抗時允許較大的彈性，如同諧波匹配與運作的模式。此外，一個兩級的匹配網路可以具有較習知的匹配電路有較寬的頻寬。

如何實現適合的集成被動元件 62a-h 與集成變壓器 63a-d 為熟知此技術人士所能了解，在此會稍作討論。在一些實施例中，所有的集成被動元件 62a-h 可能完全相同，然而在這所提到的技術不限於此，不同的集成被動元件亦可以被使用。相同的，每一個集成變壓器 63a-d 可能是完全相同，儘管如此，不同的集成變壓器仍可以被使用。在第 6 圖的例子中，每一個集成變壓器 63a-d 具有 1:1 的

線圈比。然而，在下文所述的一些實施例中，一個或多個集成變壓器會具有不是 1:1 的線圈比，如 $n:m$ 的線圈比，其中 n 不等於 m 。

第 6 圖的實施例中包括 4 個 1:1 的變壓器與 8 個集成式被動元件。然而，較多數量或較少的變壓器與集成式被動元件可能會因為應用而被使用。舉例來說，較多數量或的變壓器與集成式被動元件可以用來傳送較高的功率到負載阻抗。如果單端信號被使用較差動信號多，那集成式被動元件的數量可以減半。在一些實施例中，集成式被動元件 62 的一個或多個元件可能會與調整式電感（未繪出）結合以調出變壓器的漏電感。在一些實施例中，轉換器主要線圈可能包括一個中心閥（tap）用以注入一直流偏壓。

第 7 圖為具有該第 6 圖的阻抗匹配網路的電路的示意圖，其更包括調整電路 74a-h，設置在放大器 61 與集成式被動元件 62 之間。調整電路 74d 可能調整一放大器 61 至一 DE 類運作模式或其他模式，且可能執行諧波銳化與濾波的動作。調整電路 74 可能為一電感電容諧振電路，或是任何適合的電路。在一些實施例中，元件們可被結合減少電路上使用的元件數量。舉例來說，因為電路 70 的架構，調整電路 74 的一個或多個元件以及集成式被動元件 62 的一個或多個元件可以被合併以減少晶片面積。

具有 $n:m$ 變壓器的阻抗匹配電路（ $n \neq m$ ）

在一些實施例中，一個集成式變壓器，具有 $n:m$ 圈數比，可以被用來做為阻抗匹配，其中 n 不等於 m 。如一例

子所述，一集成式 1:2 變壓器被描述在一些實施例中，其可用來提供較習知的 1:1 變壓器增強的阻抗轉換容量。使用一集成式變壓器，在相同的阻抗轉換時，可能允許使用較少數目的放大器，因此可以節省功率與晶片面積。

第 8 圖為具有包括四個 1:1 變壓器 83-86 的阻抗轉換網路的電路 80 的示意圖，其中 4 個 1:1 變壓器的兩對主要線圈被並聯耦接，因此有效的形成兩個 1:2 變壓器。推拉放大器 81 驅動變壓器 83 與 84 的主要線圈，推拉放大器 82 驅動變壓器 85 與 86 的主要線圈。如第 8 圖所示，變壓器 83-86 的次要線圈串聯耦接，因此信號被傳送到主要線圈會被建設性地(在相位)合併以驅動負載阻抗 66。這個併聯的主要架構有效地加倍了被每一個推拉放大器驅動的次要線圈的圈數。不像第 3 圖的架構，其具有阻抗轉換是與主要線圈成線性比例的限制，而這些主要線圈又是被獨立的驅動($Z_a = Z_L / a$ ， a 為獨立驅動的主要線圈的數目)，而第 8 圖的阻抗轉換網路並不限於此。

一個 $n:m$ 的變壓器是具有一些屬性上的優點，就是藉由變壓器執行的阻抗轉換是與圈數比的平方成等比。對第 8 圖中兩個有效的 1:2 變壓器來說，每一個推拉放大器可以驅動阻抗 $Z_a = Z_L / (2 \cdot n^2) = R_L / 8$ 。舉例來說，如果負載阻抗 $Z_L = 50 \Omega$ ，那麼每一個放大器會看到一個轉換後的阻抗 $Z_a = 6.25 \Omega$ 。這些被推拉放大器看到的阻抗可以用方程式 $Z_a = Z_L / (a \cdot n^2)$ 所求得，而被用來驅動一主要線圈的一端的單端放大器看到的阻抗可以用方程式 $Z_a = Z_L / (a \cdot 2 \cdot n^2)$ 所求

得。

在一些實施例中，一個 1:2 的集成式變壓器可以被許多方式所實現，下文以一些例子說明。在一些實施例中，一個有效的 1:2 變壓器可以以第 8 圖所示之以連接兩個 1:1 變壓器的方式實現，而變壓器的主要線圈是並聯耦接，次要線圈是串聯耦接。

在一些實施例中，一個 1:2 的集成式變壓器可以使用不具有 1:1 線圈比之變壓器來實現。例如，主要線圈可以電性耦接至兩次要線圈。此類型變壓器在實體上可以不同方式來實現，例如以下所述之例子。這些技術可使用 1:1 變壓器適當的耦接以及 / 或電磁耦接一非整數線圈比之變壓器而延伸至達到任何適合之 $n:m$ 線圈比，其中 $n \neq m$ 。

第 8 圖的阻抗匹配網路的整體的阻抗轉抗能力可能與第 6 圖所示的實施例的阻抗轉抗能力相同（在係數 8 的情形）。第 8 圖的實施例的一個優點就是在相同的阻抗轉抗能力之下，可以使用較少的放大器來實現，如此可以節省功率與晶片面積。這種 $n:m$ 變壓器的技術可以被延伸到包括比 2 個獨立驅動的主要線圈的數量較多或較少的情況下，一些例子會在下文中討論。從前文對第 6 圖的討論中可以知道一些適當的變化或修改是可以被實現的。舉例來說，獨立放大器可能適用在推拉放大器 81 與 82，且驅趕相位以便運作的像是推拉放大器。在一些實施方式中，電容可能被耦接在主要線圈且 / 或該次要線圈以調校出轉換的漏電感。

在一些實施例中，不同圈數比的變壓器被使用。舉例來說，一第一變壓器具有 $n:m$ 的圈數比，而一第二變壓器具有 $p:q$ 的圈數比，其中 n 不等於 p 且 m 不等於 q 。這些次要的變壓次可能被串聯連接以驅動相同的負載阻抗。許多不同的線圈比的變壓器的結合亦可能被使用。

第 9 圖為具有包括四個 1:1 變壓器 92-95 的阻抗轉換網路的電路 90 的示意圖，其中 4 個 1:1 變壓器的主要線圈被並聯耦接，其次要線圈串聯耦接，因此有效的形成 1:4 變壓器。推拉放大器 91 具有一正輸出端 96，用以驅動變壓器 92-95 的主要線圈的複數個正端，且具有一負輸出端 97，用以驅動變壓器 92-95 的主要線圈的複數個負端。相類似於第 8 圖，變壓器 92-95 的次要線圈串聯耦接，因此信號被傳送到主要線圈會被建設性地(在相位)合併以驅動負載阻抗 66。這樣的架構可以有效地將次要線圈相對主要線圈的線圈數量四倍化。

為了使第 8 圖的 1:4 變壓器更有效，推拉放大器 91 驅動阻抗 $Z_a = Z_L / (n^2) = R_L / 8$ 。第 9 圖的阻抗匹配網路的整體的阻抗轉抗能力可能與第 6 圖與第 8 圖所示的實施例的阻抗轉抗能力相同(在係數 8 的情形)。第 9 圖的實施例的一個優點就是在相同的阻抗轉抗能力之下，可以使用僅一個推拉放大器 91 來實現。這樣的一個實施方式，可以讓負載阻抗 66 被以較少於第 8 圖所需的功率來驅動。使用較少數量的放大器可能較使用較多放大器來的有效率，如一單一放大器運做在其最大功率可能較使用兩個運作在 50% 功率準

位的放大器來得有效率。對於第 9 圖的電路做不同的修改或變化是可以被實現的，如前文中對 8 圖的描述。

第 10 圖為具有一阻抗轉換網路的電路 100 的示意圖，其中集成式被動元件 102a-d 被串聯連接在放大器 101a-d 與變壓器 83-86 的主要線圈之間，形成具有四個集成式被動元件與兩個 1:2 變壓器的阻抗轉換網路。這電路可能會結合了第 6 圖的多級式阻抗轉換網路的電路 60 以及一有效的 $n:m$ 變壓器(第 8 圖)的優點。這些優點包括一更大的阻抗轉換能力以及減少元件數。要知道的是集成式被動元件與 $n:m$ 變壓器可能被以第 10 圖所示以外的不同的方式結合，而第 10 圖僅以一例說明。

第 11 圖為根據第 10 圖的電路 100 修改的電路 110 的示意圖，其增加調整電路 113a-d 且被串聯連接在放大器 101a-d 與集成式被動元件 102a-d 之間。如第 7 圖討論的，調整電路 113 可能提供諧波銳化與濾波的效果，且可能可在其他實施例中，調整放大器 101 為一 DE 類運作模式。

第 12 圖為第 11 圖的電路 110 的一修改的示意圖，其中四個 1:1 變壓器被換成兩個變壓器，每一個變壓器都有兩個主要線圈與兩個次要線圈。如第 12 圖所示的電路，其運作是與第 11 圖的電路 110 相同，但是是以不同的電路方式表現。一電壓被施加在主要線圈可能產生一大致上相同的電壓在每一個次要電壓上。因為次要線圈是串聯連接，一轉換器的所有次要線圈的總電壓可能是兩倍於該變壓器上的主要線圈的電壓。因為能量守恆的關係，流經變壓器

次要線圈的電流可能是流經主要線圈的電流的一半大小而已。

第 13 圖為第 12 圖的電路 110 的一修改的示意圖。假設每一個變壓器的寄生效應很小，因此流經每一個次要線圈的電流大致上相等，也允許了第 12 圖的電路可以被重繪。在第 13 圖中，每一變壓器的次要線圈在連接到其他變壓器前先被串聯連接。這個方法可以延伸到任何可實現 $n:m$ 線圈圈數比的適合的變壓器。

第 14 圖第 11-13 圖的一般電路示意圖，用以表示出第 11 圖的主要並聯(parallel-primary)結構，其可能可以表示為兩個具有 1:2 線圈數目比的變壓器。

複數個 $n:m$ 變壓器的實施例

第 15 圖為一 $n:m$ 變壓器網路 150 的一實施例的示意圖，其可能形成在一平面積體電路製程。變壓器網路 150 包括兩個 1:2 變壓器，其可能被以第 8 圖與第 10-14 圖所示的變壓器來實現。變壓器網路 150 包括四個主要線圈，僅管圖上未清楚描述，其中主要線圈 151 與 154 被並聯耦接，且主要線圈 152 與 153 被並聯耦接。主要線圈 151~154 可能在一些實施例中被形成如傳輸線的方式。主要線圈與次要線圈是大體上在一平面。次要線圈 155 一被安排與每一個主要線圈電磁性(electromagnetically)耦接。在第 15 圖的實施例中，次要線圈 155 環繞著所有主要線圈，但在其他實施方式中，次要線圈 155 不需環繞著所有主要線圈或任何主要線圈。

主要線圈與次要線圈大致上形成在相同平面或是不同平面。舉例來說，主要線圈與次要線圈可以形成在任何適合的導體材料的一積體電路的相同的金屬化層。在一些實施例中，變壓器網路 150 的一部分可能形成在另外的金屬化層，且本發明並非限於此。舉例來說，在一些實施方式中，主要線圈可能形成在第一金屬化層，而次要線圈可能形成在第二金屬化層。

變壓器網路 150 可能以任何適合的製造方式形成，如互補式金屬-氧化層-半導體 (Complementary Metal-Oxide-Semiconductor, CMOS)。為了更有效的利用晶片區域，主動電路 156 可能會選擇性的形成在轉換器網路 150 的相鄰或/且之內。這樣的主動電路可能會被以製造變壓器網路 150 相同的製程所製造。放大器可能藉由串聯的傳輸線與變壓器網路 150 連街，其在一些實施例中，可能作為一集合式被動元件 102 且/或調整網路 113(第 11 圖所示)的一部分。

第 16 圖為另一 $n:m$ 變壓器網路 160 的示意圖。變壓器網路 160 包括兩個如第 8 圖與第 10-14 圖所示的 $1:2$ 變壓器。變壓器網路 160 具有一次要線圈 165，其被纏繞的圈數是主要傳輸線 161 與 162 的兩倍。如第 16 圖所示，次要線圈 165 具有兩個轉換，其中一個形成在主要傳輸線 161 與 162 的區域內，另外一個形成在區域外。一個地下通過 (underpass) 或越過 (overpass) 的金屬連接 166 提供在不同部份的次要線圈 165 交會處的連接。變壓器網路 160 的

一個優點就是可以相對的緊湊，且相對的佔有較小的晶片表面區域。

第 17 圖為另一 $n:m$ 變壓器網路 170 的實施例的示意圖。與變壓器網路 160 相同， $n:m$ 變壓器網路 170 包括兩個 $1:2$ 變壓器以及一次要線圈 177，其被纏繞主要傳輸線的兩倍線圈數。在本實施例中，每一組的主要傳輸線都是並聯耦接，用以改善與次要線圈的耦合。主要傳輸線 171-173 被並聯連接，且主要傳輸線 174-176 也是並聯連接。這些並聯連接可能可以透過地下通過(underpass)或越過(overpass)的金屬連接 178，而在第 17 圖上只有部分被標示以保持圖面整潔。雖然根據線性電路模型，並聯連接多個理想變壓器線圈並不會提供太大效益，但這些線性電路模型並沒有考慮到發生在高頻的非線性的影響。在 RF 頻率，大部份的導體電流會因為肌膚效應(skin effect)，可能會流過導體邊緣的區域。具有多個並聯連接的導體可以創造出因為增加的表面積的額外的路徑，供電流流過。此外，因為主要線圈是耦接到次要線圈的兩端，因此整體的耦合係數會較高。這個佈局可以延伸到不同數目的主要線圈以控制耦合係數，而且藉由增加導體邊緣的面積來降低變壓器損失。

第 18 圖為另一 $n:m$ 變壓器網路 180 的實施例的示意圖。與變壓器網路 170 相似，變壓器網路 180 包括兩個 $1:2$ 變壓器與一次要線圈 181，其被纏繞主要傳輸線的兩倍線圈數。在本實施例中，次要線圈 181 包括了複數個並聯的

部分，如並聯部 182 與 183。如第 17 圖中所討論的，具有多個並聯連接的導體可以創造出因為增加的表面積的額外的路徑，會因此增加耦合係數與降低損失。理想的主要線圈數且/或次要線圈部份並聯連接可能由已經的半導體製程，透過個別的設計方式完成。然後，任何適合的主要線圈及/或次要線圈部份可能會並聯耦接，但非將本發明限制於此。

第 19 圖另一具有兩個 1:2 變壓器的 $n:m$ 變壓器網路 190 的實施例的示意圖。變壓器網路 190 具有大約是 2:1 的比例(aspect ratio)，相對地，第 17 與 18 圖的變壓器網路則是具有 1:1 的比例。這個比例可以根據晶片佈局考量或其他因素而改變。變壓器網路 190 包括主要線圈 191 與 192，其可能形在一積體電路的不同區域，而且可能大體上環繞且/或在對邊區域。變壓器網路 190 包括一次要線圈 193，其具有八指狀外形結構。在第 19 圖的實施例中，次要線圈 193 的一第一線圈環繞積體電路中被主要線圈 191 佔據的一第一區域。次要線圈 193 的一第二線圈環繞積體電路中被主要線圈 192 佔據的一第二區域。次要線圈 193 的一第三線圈環繞該主要線圈 192。透過地下通過(underpass)或越過(overpass)的连接 194 連接次要線圈 193 的多個部分，這些部分是位於次要線圈 193 跨越的地方。雖然第 19 圖的實施例包括兩個主要線圈，但是在其他實施方式上使用較少或較多的線圈也是可以的，並非將本發明限於此。主要線圈可能環繞或是在兩個以上或以下的

區段的對邊。在第 19 圖的實施例中，變壓器的兩區的電流是以相同的順時針方向流動，在變壓器相同的區域的相同方向產生電磁通量，因此產生疊合的磁通量。為了減少磁通量，次要線圈可以被安排成相對的方向，如第 20 圖所示。

第 20 圖另一 $n:m$ 變壓器網路 200 的實施例的示意圖，其中根據一個元件數量減少的技術的例子來看，次要線圈 203 的部份是交錯耦接，因此在次要線圈流過的電流是會以相對的方向流動（舉例來說，一部份是順時針且另一部分是逆時針）。如此一來，變壓器外邊的磁通量可能大致上被消除，因此與晶片上其他的電路造成較小的干擾。在變壓器 200 中，跨接耦合(cross-coupling)可以藉由使用在變壓器網路 200 中間的一地下通過(underpass)或越過(overpass)的金屬連接 201 達成，相對於變壓器網路 190，其會改變變壓器網路右邊的次要線圈的電流流動的方向，使為與原先方向相反。

元件減少

第 21 圖為根據一元件減少技術將第 14 圖的電路修改而成電路 210 的示意圖。在本實施例中，在第 14 圖的電感-電容調整網路 113 的串聯電容可以被移動到集成被動元件 102 的另一邊。每一個集成被動元件 211 的兩個電容被置換成一電容 213，其設置在變壓器的主要線圈的兩個部分之間。由於電容串聯的關係，電容 213 的電容值可能為電感-電容調整網路 113 內的電容的電容值的一半。電容 213 可能被放置在變壓器 215 的主要線圈的中間。另一個

優點是這個電容可以被放置在變壓器 215 的上方或下方以減少晶片面積。

切換式主要線圈(Switched Primary)

第 22 圖為具有與開關 221 串聯的變壓器的主要線圈的電路 220 的一實施例的示意圖。開關 221 可以在一些情況下，將放大器與變壓器的次要線圈隔離。這樣的開關可以使用在一種運作模式下，使得一個或多個放大器被關閉。一個例子為多頻段 RF 傳送器，其具有一個多工器用來在不同的頻段切換。使用本發明提出的架構，將輸出變壓器與主要線圈一切換式電容連接可以讓多工器的設計簡化，且當開關被關閉時，變壓器的主要線圈的阻抗負載也不再存在。

在一些實施例時，將第 20 圖中的電容 213 分成兩個電容 222 與 223 可以讓開關被放置在一虛擬接地點，假設變壓器的主要線圈是由控制開關的信號所驅動。另一個優點是較小的信號可以被過設越過開關，這可以減少開關的壓力。

第 23 圖為類似變壓器網路 200 的 $n:m$ 變壓器網路 230 的一實施例的示意圖，其較電路 220 增加了被設置在主要線圈的部分之間的電容 202 與 203。電容 202 且/或 203 可能被形成在主要線圈之上或之下，因此他們不會去延伸 $n:m$ 變壓器網路 230 的主要線圈的周邊，因此可以結省晶片面積。電容的形成方法為此一技術領域中，熟知此技藝能事之能所可以易得知，在此不贅述。在一些實施例中，開關

201 可能被形成在主要線圈之下，或是在 $n:m$ 變壓器網路 230 之內。

第 24 圖為根據本發明之另一 $n:m$ 變壓器網路的示意圖，其中 $n:m$ 變壓器網路 230 的連接線係位於變壓器網路之單一側。在變壓器網路的一邊形成所有的連接方式可以節省基板的面積。如第 24 圖所示，變壓器網路 230 可能具有一方形 241 的外觀。連接點 242~245 可以通過方形的單一邊(如底邊)而連接到主要線圈。

在本說明書中，名詞「射頻」與「RF」指的是頻率 500K Hz 到 300G Hz 範圍內的頻率。在一些實施例中，可以使用在更高的頻率，非將本發明限於此。而「集成」這個名詞是指將電路元件形成在一積體電路，如晶片。一個電路元件可以被任何適合的製程所形成，如 CMOS。任何數量的晶片都可以被使用，不管是一個或一個以上的晶片。舉例來說，一個或多個集成元件可能被形成在一晶片上，且連接形成在其他晶片上的集成元件。在一些實施方式，一集成式變壓器可能不是形成在單一半導體晶片。舉例來說，集成式變壓器的主要線圈且/或次要線圈可能形成在不同的平面基板，如印刷電路板。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

此外，說明書申請專利範圍中的「第一」、「第二」、

「第三」等等名詞僅是用來區分申請專利範圍或說明書中的元件，並非有任何次序或優先順序的意思。此外，在申請專利範圍的方法或裝置中，使用這些順序的名詞並沒有限定說該元件數量的最大值。在申請專利範圍中使用這些順序的名詞僅是為了區分具有相同的名稱的元件。而在申請專利範圍中使用「至少一個」或「至少一第一」這些字彙，並非將發明限於單一一個元件，而是可以有多個元件。而使用「包括」、「包含」等名詞是指申請專利範圍中所列出的元件外，亦可增加其他元件，並非限於此。

【圖式簡單說明】

第 1 圖係顯示具有耦接至一放大元件之輸出匹配網路之傳統電路架構。

第 2 圖係顯示第 1 圖之電路之實施，包括以階梯網路架構設計之電感與電容。

第 3a、3b 圖係顯示傳統多重主要橋接放大器，其結合兩個推拉放大器所提供之信號功率。

第 4 圖係顯示另一傳統多重主要橋接放大器，包括四個推拉放大器以及四個 1:1 變壓器。

第 5 圖係顯示根據另一傳統技術之兩級式多重主要橋接放大器。

第 6 圖係顯示具有集成被動元件以及集成變壓器之阻抗匹配網路之一實施例。

第 7 圖係顯示將第 6 圖的阻抗匹配網路加上調整電路

之一實施例。

第 8 圖係顯示阻抗匹配網路之一實施例，其中主要線圈係並聯以有效產生 1：2 變壓器。

第 9 圖係顯示阻抗匹配網路之一實施例，其中四個主要線圈係並聯以有效產生 1：4 變壓器。

第 10 圖係顯示具有集成被動元件以及 $n:m$ 變壓器之阻抗匹配網路之一實施例。

第 11 圖係顯示根據第 10 圖的阻抗匹配網路修改的電路之一實施例，其中已加入與放大器以及集成被動元件串聯的調整電路。

第 12 圖係顯示根據第 11 圖的阻抗匹配網路修改的電路之一實施例，其中主要線圈係並聯而次要線圈係串聯。

第 13 圖係顯示根據第 12 圖的阻抗匹配網路修改的電路之一實施例。

第 14 圖係顯示第 11-13 圖的阻抗匹配網路之一般電路示意圖，其中變壓器具有 1：2 之線圈比例。

第 15 圖係顯示可於一平面積體電路製程形成之 $n:m$ 變壓器網路之一實施例。

第 16 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其使用相對較小的面積。

第 17 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有並聯之多重主要傳輸線。

第 18 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有並聯之多重主要與次要傳輸線。

第 19 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有大約 2:1 之比例。

第 20 圖係顯示另一 $n:m$ 變壓器網路的一實施例，其具有大約 2:1 之比例，並具有交錯耦接之次要線圈以消除磁通量。

第 21 圖係顯示阻抗匹配網路之一實施例，其中電容係耦接於部分主要線圈之間。

第 22 圖係顯示阻抗匹配網路之一實施例，其中開關係耦接於部分主要線圈之間。

第 23 圖係顯示另一變壓器網路的一實施例，其中主要線圈電容係形成於變壓器之區域中。

第 24 圖係顯示另一變壓器網路的一實施例，其中主要線圈與次要線圈之連接線係位於變壓器之單一側。

【主要元件符號說明】

10~電路；

11~放大元件；

12~正弦波形圖；

13~諧波匹配電路；

14~阻抗匹配電路；

15~低通濾波器；

16~負載阻抗；

17~正弦波形圖；

21~電感與電容；

22~電感；

23~電容；

31、32~推拉放大器；

33、34~主要線圈；

35、36~次要線圈；

37、38~變壓器；

30、40~多重主要橋接放大器；

50~兩級式多重主要橋接放大器；

60~電路；

61、61a-h~放大器；

62、62a-h~集成被動元件；

63a-d~集成變壓器；

66~負載阻抗；

74、74a-h~調整電路；

81、82~推拉放大器；

83-86~變壓器；

80~電路；

90~電路；

91~推拉放大器；

92-95~變壓器；

96~正輸出端；

97~負輸出端；

100~電路；

101a-d~放大器；

102a-d~集成被動元件；
110~電路；
113、113a-d~調整電路；
150~變壓器網路；
151、152、153、154~主要線圈；
155~次要線圈；
156~主動電路；
160~變壓器網路；
161、162~主要傳輸線；
170~變壓器網路；
171-176~主要傳輸線；
177~次要線圈；
178~金屬連接；
180~變壓器網路；
181~次要線圈；
182、183~並聯部；
190~變壓器網路；
191、192~主要線圈；
200~變壓器網路；
201~金屬連接；
203~次要線圈；
210~電路；
211~集成被動元件；
213~電容；

215~變壓器；

220~電路；

221~開關；

222、223~電容；

230~變壓器網路；

241~方形；

242-245~連接點。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98124688

※申請日：

※IPC 分類：H03H 7/38 (2006.01)

H01F 38/00 (2006.01)

一、發明名稱：(中文/英文)

阻抗匹配 / IMPEDANCE MATCHING

二、中文發明摘要：

阻抗匹配技術可以使用在信號傳輸時，匹配一放大器與一天線。一些阻抗匹配技術使用一集成被動元件與一集成變壓器。一些阻抗匹配技術使用了一 $n:m$ 集成變壓器，其中 $n \neq m$ 。本說明書揭露了複數個 $n:m$ 集成變壓器的實施方式。

三、英文發明摘要：

Impedance matching techniques can be used to match an amplifier to an antenna for signal transmission. Some impedance matching techniques use an integrated passive component and an integrated transformer. Some impedance matching techniques include the use of an integrated $n:m$ transformer, where $n \neq m$. Several $n:m$ transformer implementations are described.

七、申請專利範圍：

1. 一種阻抗轉換網路，用以轉換該阻抗轉換網路的一第一邊的一第一阻抗為該阻抗轉換網路的一第二邊的一第二阻抗，該第一阻抗不同於該第二阻抗，該阻抗轉換網路包括：

一第一集成被動元件，包括至少一第一集成電感且/或至少一第一集成電容；以及

一第一集成變壓器，耦接該第一集成被動元件。

2. 如申請專利範圍第 1 項所述之阻抗轉換網路，其中該阻抗轉換網路係運作用以於位在 500K 赫茲到 300G 赫茲的一射頻頻率，轉換該第一阻抗為該第二阻抗。

3. 如申請專利範圍第 1 項所述之阻抗轉換網路，更包括：

一第一電路，耦接該第一邊，與一第二電路，耦接該第二邊，該第一電路在該第一邊呈現該第一阻抗，且該第二電路在該第二邊呈現該第二阻抗；

其中該阻抗轉換網路用以建立起在該第一電路與該第二電路間的阻抗匹配；

其中該第一邊包括該阻抗轉換網路的一第一埠，且該第二邊包括該阻抗轉換網路的一第二埠。

4. 一種電子電路，包括：

如申請專利範圍第 3 項所述之阻抗轉換網路；以及

一第一放大器，耦接該阻抗轉換網路的該第一邊，該第一放大器用以在該第一邊呈現該第一阻抗。

5. 如申請專利範圍第 4 項所述之電子電路，其中該第二阻抗大於該第一阻抗。

6. 如申請專利範圍第 4 項所述之電子電路，更包括：
一第二集成被動元件，包括至少一第二集成電感且/或至少一第二集成電容，該第二集成被動元件耦接該第一集成變壓器。

7. 如申請專利範圍第 6 項所述之電子電路，其中該第一集成變壓器包括一第一主要線圈與一第一次要線圈，該第一主要線圈具有一第一端，耦接該第一集成被動元件，與一第二端，耦接該第二集成被動元件。

8. 如申請專利範圍第 7 項所述之電子電路，更包括：
一天線，其至少部分形成該第二阻抗，其中該第一次要線圈耦接該天線。

9. 如申請專利範圍第 7 項所述之電子電路，其中該第一放大器為一差動放大器，該差動放大器包括：

一第一差動輸出端，耦接該第一集成被動元件；以及
一第二差動輸出端，耦接該第二集成被動元件。

10. 如申請專利範圍第 9 項所述之電子電路，更包括：
一第一調整網路，耦接該第一差動輸出端與該第一集成被動元件，該第一調整網路耦接在該第一差動輸出端與該第一集成被動元件之間；以及

一第二調整網路，耦接該第二差動輸出端與該第二集成被動元件，該第二調整網路耦接在該第二差動輸出端與該第二集成被動元件之間。

11. 如申請專利範圍第 9 項所述之電子電路，其中該差動放大器大致上運作在一 DE 類運作模式。

12. 如申請專利範圍第 9 項所述之電子電路，其中該差動放大器產生一第一差動輸出信號於該第一差動輸出端，與一第二差動輸出信號於該第二差動輸出端，相較於該第二差動輸出信號，該第一差動輸出信號被平移了約 180 度的相位。

13. 如申請專利範圍第 9 項所述之電子電路，更包括：

一第二集成變壓器包括一第二主要線圈與一第二次要線圈，該第二主要線圈與該第二次要線圈串聯耦接；

一第三集成被動元件，包括至少一第三集成電感且 / 或至少一第三集成電容；

一第四集成被動元件，包括至少一第四集成電感且 / 或至少一第四集成電容；

其中該第二主要線圈的一第一端耦接該第三集成被動元件；

其中該第二主要線圈的一第二端耦接該第四集成被動元件。

14. 如申請專利範圍第 13 項所述之電子電路，其中該差動放大器為一第一差動放大器，且該電子電路更包括：

一第二差動放大器，包括：

一第三差動輸出端，耦接該第三集成被動元件；

一第四差動輸出端，耦接該第四集成被動元件。

15. 如申請專利範圍第 14 項所述之電子電路，其中該

第二差動放大器大體上放大與第一差動放大器所放大的相同的信號。

16. 如申請專利範圍第 13 項所述之電子電路，包括至少兩個集成變壓器，以及大於兩個的主要線圈。

17. 如申請專利範圍第 1 項所述之阻抗轉換網路，其中該第一集成變壓器包括一 $n:m$ 變壓器，其中 n 不等於 m 。

18. 如申請專利範圍第 17 項所述之阻抗轉換網路，其中該 $n:m$ 變壓器包括：

一主要線圈，包括至少一積體電路的至少一第一電感；以及

一次要線圈，包括該積體電路的至少一第二電感，該至少一第一電感與該至少一第二電感被建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。

19. 一種信號傳輸方法，包括：

(A) 使用產生一信號的一放大器來驅動一天線，該天線具有一第一阻抗；

(B) 使用至少一集成變壓器用以轉換該第一阻抗以產生一第二阻抗；以及

(C) 使用至少一集成被動元件用以轉換該第二阻抗以產生一第三阻抗，其中該放大器透過該第三阻抗驅動該天線。

20. 如申請專利範圍第 19 項信號傳輸方法，其中該第三阻抗小於該第二阻抗，且該第二阻抗小於該第一阻抗。

21. 如申請專利範圍第 19 項信號傳輸方法，其中該至少一個的集成被動元件包含至少一集成電感且/或至少一集成電容。

22. 如申請專利範圍第 19 項信號傳輸方法，其中該信號的頻率位於 500K 赫茲到 300G 赫茲之間。

23. 如申請專利範圍第 19 項信號傳輸方法，其中該至少一個的集成被動元件包括一第一集成被動元件與一第二集成被動元件，其中步驟(C)包括：使用該第一集成被動元件與該第二集成被動元件轉換該第二阻抗，其中該第一集成被動元件與該第二集成被動元件耦接用以執行步驟(B)的至少一個集成變壓器的一主要線圈的端點。

24. 一種 $n:m$ 集成變壓器，用於射頻阻抗匹配，其中 n 不等於 m ，且該 $n:m$ 集成變壓器包括：

一主要線圈，包括至少一第一導體於一基板上；以及
一次要線圈(secondary)，包括至少一第二導體於該基板上，該至少一個的第一導體與第二導體用以建立且安排用以建立該主要線圈與該次要線圈的一 $n:m$ 圈數比，其中 n 不等於 m 。

25. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該次要線圈的圈數大於該主要線圈的圈數。

26. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈包括一第一複數個導體，分別並聯耦接，且/或該次要線圈包括一第二複數個導體，分別並聯耦接，其中該第一複數個電感包括至少一個第一導體，該第二複

數個導體包括至少一個第二導體。

27. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈與該次要線圈大致上形成在相同的金屬化階段。

28. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈與該次要線圈形成在不同的金屬化階段。

29. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該次要線圈包括耦接到該主要線圈的一第一線圈與一第二線圈。

30. 如申請專利範圍第 28 項所述之 $n:m$ 集成變壓器，其中該第一線圈形成在該至少一個的第一電感的一第一邊，該第二線圈形成在該至少一個的第一電感的一第二邊，該第一邊不同於該第二邊。

31. 如申請專利範圍第 24 項所述之 $n:m$ 集成變壓器，其中該主要線圈形成在該積體電路的一第一區，且該 $n:m$ 集成變壓器更包括：

一第二主要線圈，形成在該積體電路的一第二區，其中該第一區與該第二區彼此互不重疊，且其中該次要線圈包括環繞地形成於該第一區的一第一線圈(turn)與環繞地形成於該第二區的一第二線圈。

32. 如申請專利範圍第 31 項所述之 $n:m$ 集成變壓器，其中該次要線圈包括一第三線圈環繞地形成於該第二區域以及一第四線圈，環繞地形成於該第一區域，

其中該第一主要線圈是環繞地形成於該次要線圈的該

第一線圈，且其中該第二主要線圈是環繞地形成於該次要線圈的該第二線圈，

其中該次要線圈的該第三線圈是環繞地形成於該第二主要線圈，且該次要線圈的該第四線圈是環繞地形成於該第一主要線圈，

其中於該次要線圈的該第一線圈環繞著該第一區域，且於該次要線圈的該第二線圈環繞著該第二區域。

33. 如申請專利範圍第 31 項所述之 $n:m$ 集成變壓器，其中該次要線圈的該第一線圈與該第二線圈被安排讓該次要線圈的該第一線圈的電流以不是順時針就是逆時針的第一方向流動，且該次要線圈的該第二線圈的電流以不是逆時針就是順時針的第二方向流動，其中該第一方向與該第二方向相對。

34. 如申請專利範圍第 31 項所述之 $n:m$ 集成變壓器，其中該 $n:m$ 集成變壓器具有大體上為一矩形外觀的一外部周圍，其中該第一與該第二主要線圈的連接是由只通過該矩形的單一邊的複數個導體所完成。

35. 一種電子電路，包括：

如申請專利範圍第 24 像所述之 $n:m$ 集成變壓器，其中該主要線圈包含一第一導體與一第二導體；以及

至少一個集成電容，耦接該主要線圈的該第一導體至該主要線圈的該第二導體。

36. 如申請專利範圍第 35 項的電子電路，其中該至少一個的集成電容是形成在該 $n:m$ 集成變壓器的矩形外觀的

外部周圍內的該主要線圈之下。

37. 如申請專利範圍第 35 項的電子電路，其中該至少一個的集成電容是形成在一虛擬接地端點。

38. 如申請專利範圍第 36 項的電子電路，更包括：

一第一阻抗匹配電路，耦接該第一導體，該第一阻抗電路包括一第一電感；以及

一第二阻抗匹配電路，耦接該第二導體，該第二阻抗電路包括一第二電感；

其中該第一與該第二阻抗匹配電路為電感電容阻抗匹配電路，耦接以分享該至少一個集成電容為一諧振電容式元件。

39. 一種電子電路，包括：

如申請專利範圍第 24 像所述之 $n:m$ 集成變壓器，其中該主要線圈包含一第一導體與一第二導體；以及

一開關，用以耦接該主要線圈的該第一導體至該主要線圈的該第二導體。

40. 如申請專利範圍第 39 項的電子電路，其中該開關形成在該主要線圈的一虛擬接地點。

41. 如申請專利範圍第 39 項的電子電路，更包括：

一放大器，耦接該主要線圈；

其中該開關是可控制地被關閉，藉此使該放大器不耦接該次要線圈。

42. 如申請專利範圍第 39 項的電子電路，更包括：

一第一電容，耦接在該開關與該主要線圈的該第一導

體之間；以及

一第二電容，耦接在該開關與該主要線圈的該第二導體之間。

43. 一種電子電路，包括：

如申請專利範圍第 24 像所述之 $n:m$ 集成變壓器，其中該主要線圈包含一第一導體與一第二導體；以及

一第一差動放大器，包括：

一第一差動輸出，耦接至該主要線圈的一第一端；以及

一第二差動輸出，耦接至該主要線圈的一第二端。

44. 如申請專利範圍第 43 項的電子電路，更包括：

一第一集成式被動元件，耦接在該第一差動輸出與該主要線圈的該第一端之間；以及

一第二集成式被動元件，耦接在該第二差動輸出與該主要線圈的該第二端之間。

45. 一種電子電路，包括：

如申請專利範圍第 43 像所述之 $n:m$ 集成變壓器，其中該 $n:m$ 集成變壓器為一第一 $n:m$ 集成變壓器，該主要線圈為一第一主要線圈，且該次要線圈為一第一次要線圈；

一第二 $n:m$ 集成變壓器，包括：

一第二主要線圈，包括該集成電路的至少一第三導體；以及

一第二次要線圈，包括該集成電路的至少一第四導體，該至少一第三導體與該至少一第四導體被建立與安排

使該第二主要線圈與該第二次要線圈形成一 $p:q$ 的比例，其中 p 不等於 q ；

其中該第一次要線圈與該第二次要線圈串聯。

46. 如申請專利範圍第 45 項的電子電路，包括大於兩個的主要線圈。

47. 如申請專利範圍第 45 項的電子電路，其中該第一差動放大器提供第一與第二差度信號至該第一主要線圈，且該電子電路更包括：

一第二差動放大器，用以提供第三與第四差動信號至該第二主要線圈；

其中該第一與該第三差動信號大體上相同；

其中該第二與該第四差動信號大體上相同；

其中該第一與該第三差動信號為該第二與該第四差動信號相位移 180 度所產生。

48. 如申請專利範圍第 45 項的電子電路，其中 n 、 m 、 p 與 q 為正整數。

49. 如申請專利範圍第 48 項的電子電路，其中 $n:m$ 的比例不同於 $p:q$ 的比例。

50. 如申請專利範圍第 48 項的電子電路，其中 $n:m$ 的比例相同於 $p:q$ 的比例。

51. 如申請專利範圍第 43 項的電子電路，其中一天線被耦接至該次要線圈以傳遞來自該第一差動放大器的一信號。

52. 一種信號傳輸方法，包括：

(A)驅動使用一放大器的一天線，該天線用以產生一射頻信號，該天線具有一第一阻抗；以及

(B)使用具有 $n:m$ 比例的一集成變壓器轉換該第一阻抗以產生一第二阻抗，其中 n 不等於 m ，

其中該放大器透過該第二阻抗驅動該天線。

53.如申請專利範圍第 52 項所述之信號傳輸方法，其中該第二阻抗小於該第一阻抗。

54.如申請專利範圍第 52 項所述之信號傳輸方法，其中該放大器為一第一放大器，該集成變壓器為一第一集成變壓器，該射頻信號為一第一射頻信號，且該方法更包括：

(C)驅使用產生一第二射頻信號的一第二放大器來驅動該天線；以及

(D)使用具有 $p:q$ 比例的一集成變壓器轉換該第一阻抗以產生一第三阻抗，其中 p 不等於 q ，

其中該放大器透過該第三阻抗驅動該天線。

55.如申請專利範圍第 54 項所述之信號傳輸方法，更包括：

(E)藉由切換耦接至該第一集成變壓器且/或該第二集成變壓器的至少一個的主要線圈的至少一個開關控制一定量的功率傳送至該天線。

四、指定代表圖：

(一) 本案指定代表圖為：第(6)圖。

(二) 本代表圖之元件符號簡單說明：

60~電路；

61a-h~放大器；

62a-h~集成被動元件；

63a-d~集成變壓器；

66~負載阻抗。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明描述關於射頻的阻抗匹配的電子電路與技術。

【先前技術】

射頻信號被廣泛地使用在無線通信。一個發送器用來傳送無線電波，且一個接收器用來接收無線電波以解壓一個編碼信息。信息傳輸藉由放大射頻信號的方式來執行，用以驅動一天線。對於天線的阻抗匹配被用來更有效的傳送功率之天線，且降低反射進入放大器。複數個阻抗匹配技術已經為熟知，其例子請參考第1至5圖。

第1圖為耦接至一放大元件11且具有一阻抗匹配電路