



(12) 发明专利申请

(10) 申请公布号 CN 104461994 A

(43) 申请公布日 2015. 03. 25

(21) 申请号 201410637925. 7

(22) 申请日 2014. 11. 12

(71) 申请人 中国航空工业集团公司洛阳电光设备研究所

地址 471009 河南省洛阳市凯旋西路 25 号

(72) 发明人 李明利 王振伟 陈超 郭明辉

(74) 专利代理机构 郑州睿信知识产权代理有限公司 41119

代理人 胡泳棋

(51) Int. Cl.

G06F 13/40(2006. 01)

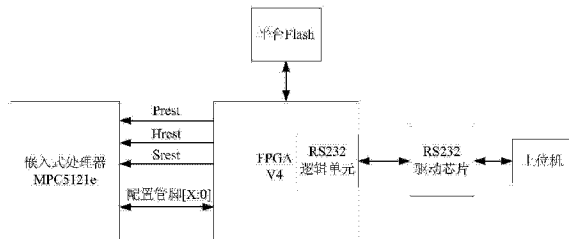
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种基于 FPGA 的嵌入式处理器动态配置电路及方法

(57) 摘要

本发明公开了一种基于 FPGA 的嵌入式处理器动态配置电路及方法,通过 FPGA 的用户 IO 与嵌入式处理器的复用配置、上电复位、硬复位和软复位等相关管脚相连,利用 FPGA 产生嵌入式处理器所需要的配置时序。通过 FPGA 和上位机通讯,解析出串口数据包中的配置嵌入式处理器的上电配置字,实现了由 FPGA 产生嵌入式处理器需要的配置时序,完成了对嵌入式处理器的动态配置,解决了以往嵌入式处理器需要固定的上下拉电阻配置,当需要改变配置时,需要断电,从机箱中拔出嵌入式模块,人工改变配置电阻焊接状态的繁琐处理弊端,提高了嵌入式处理器的使用灵活性。



1. 一种基于 FPGA 的嵌入式处理器动态配置电路,其特征在于:包括被配置的嵌入式处理器和与其配置管脚电平标准兼容的 FPGA, 嵌入式处理器的上电配置管脚、上电复位管脚、硬复位管脚、软复位管脚与 FPGA 的对应 I/O 管脚连接在一起;所述 FPGA 用于与上位机通讯连接以获取上位机的配置、控制信息,同时 FPGA 根据嵌入式处理器的配置要求产生相应复位状态的不同配置时序对嵌入式处理器进行配置。

2. 根据权利要求 1 所述的基于 FPGA 的嵌入式处理器动态配置电路,其特征在于:所述 FPGA 与外接的平台 Flash 连接以加载用户配置程序。

3. 根据权利要求 1 或 2 所述的基于 FPGA 的嵌入式处理器动态配置电路,其特征在于:所述 FPGA 通过 RS232 驱动芯片与上位机通讯连接。

4. 一种基于 FPGA 的嵌入式处理器动态配置方法,其特征在于,包括如下步骤:

(1) 嵌入式处理器上电初始, FPGA 加载配置程序;

(2) 若 FPGA 在设定时间内收到上位机的配置字消息,则更新默认的上电配置字,若没有收到,则采用默认的上电配置字;

(3) FPGA 提取上电配置字,根据嵌入式处理器的配置要求产生相应复位状态的不同配置时序对嵌入式处理器进行配置。

5. 根据权利要求 4 所述的基于 FPGA 的嵌入式处理器动态配置方法,其特征在于:配置时序完成后, FPGA 将产生的配置字消息包发送给上位机,告知上位机当前的嵌入式处理器的上电配置字。

6. 根据权利要求 5 所述的基于 FPGA 的嵌入式处理器动态配置方法,其特征在于:FPGA 按周期查询并解析新的由上位机传送的数据包,如果数据包中有新的配置字消息,则 FPGA 按照新的配置字消息对嵌入式处理器进行重新配置。

7. 根据权利要求 4 所述的基于 FPGA 的嵌入式处理器动态配置方法,其特征在于:FPGA 产生符合嵌入式处理器的配置时序对嵌入式处理器进行配置的过程如下:

i、FPGA 产生一个由低到高的信号 A,并将其送给嵌入式处理器的上电复位管脚 Prst;

ii、将信号 A 分别延迟不同的系统时钟周期产生两个信号:信号 B 和信号 C,并根据嵌入式处理器的要求,将信号 B 和信号 C 分别送给嵌入式处理器的硬复位管脚 Hrst 和软复位管脚 Srst;

iii、在信号 A 的上升沿到来时开始计数,计数到设定数值时将此计数值进行保存,当计数值在 0 到设定数值的计数范围之内时,配置程序将上电配置字的电平信息送给嵌入式处理器的配置管脚,当计数值超过计数范围后,上电配置字的配置管脚如果是复用的,则根据不同的复用功能来进行后续的使用,不再由 FPGA 驱动输出上电配置字的电平信号。

8. 根据权利要求 4~7 任意一项所述的基于 FPGA 的嵌入式处理器动态配置方法,其特征在于:所述 FPGA 从外接的平台 Flash 加载配置程序。

一种基于 FPGA 的嵌入式处理器动态配置电路及方法

技术领域

[0001] 本发明属于嵌入式计算机技术,具体涉及一种基于 FPGA 的嵌入式处理器动态配置电路及方法。

背景技术

[0002] 嵌入式处理器已经广泛的应用在工业、医疗、航空、航天等领域。嵌入式处理器完成对外部传感器的数据进行解算,在特定的要求时间内完成特定的处理算法,实时性很高。正是由于其广阔的使用范围,嵌入式处理器的上电也提供了多种配置选择,这些选择即为上电配置字,上电配置字主要包括以下几个方面:(1) 时钟模式和时钟频率;(2) Boot 配置,也就是从嵌入式处理器的哪个接口进行 Boot,是 Nor Flash 还是 NAND Flash,以及 Boot 的地址等;(3) PCI Bus 的一些配置;(4) 大小端模式配置,Boot 的位宽、频率等信息;(5) 上电复位、硬复位及软复位的相关时序参数。

[0003] 目前的嵌入式处理控制模块对于上电配置字的处理一般都是通过上下拉电阻的选焊,来改变嵌入式处理器的上电配置,需要将嵌入式处理模块断电,人工使用电烙铁进行选焊电阻的焊装,费时,可靠性也比较低。

发明内容

[0004] 本发明的目的是提供一种基于 FPGA 的嵌入式处理器动态配置电路,以解决现有嵌入式处理器人工改变配置方式操作复杂,可靠性低的问题,同时提供一种使用该电路的配置方法。

[0005] 为了实现以上目的,本发明所采用的技术方案是:一种基于 FPGA 的嵌入式处理器动态配置电路,包括被配置的嵌入式处理器和与其配置管脚电平标准兼容的 FPGA,嵌入式处理器的上电配置管脚、上电复位管脚、硬复位管脚、软复位管脚与 FPGA 的对应 I/O 管脚连接在一起;所述 FPGA 用于与上位机通讯连接以获取上位机的配置、控制信息,同时 FPGA 根据嵌入式处理器的配置要求产生相应复位状态的不同配置时序对嵌入式处理器进行配置。

[0006] 所述 FPGA 与外接的平台 Flash 连接以加载用户配置程序。

[0007] 所述 FPGA 通过 RS232 驱动芯片与上位机通讯连接。

[0008] 一种基于 FPGA 的嵌入式处理器动态配置方法,包括如下步骤:

[0009] (1) 嵌入式处理器上电初始,FPGA 加载配置程序;

[0010] (2) 若 FPGA 在设定时间内收到上位机的配置字消息,则更新默认的上电配置字,若没有收到,则采用默认的上电配置字;

[0011] (3) FPGA 提取上电配置字,根据嵌入式处理器的配置要求产生相应复位状态的不同配置时序对嵌入式处理器进行配置。

[0012] 配置时序完成后,FPGA 将产生的配置字消息包发送给上位机,告知上位机当前的嵌入式处理器的上电配置字。

[0013] FPGA 按周期查询并解析新的由上位机传送的数据包,如果数据包中有新的配置字

消息,则 FPGA 按照新的配置字消息对嵌入式处理器进行重新配置。

[0014] FPGA 产生符合嵌入式处理器配置要求的不同配置时序的过程如下:

[0015] i、FPGA 产生一个由低到高的信号 A,并将其送给嵌入式处理器的上电复位管脚 Prst;

[0016] ii、将信号 A 分别延迟不同的系统时钟周期产生两个信号:信号 B 和信号 C,并根据嵌入式处理器的要求,将信号 B 和信号 C 分别送给嵌入式处理器的硬复位管脚 Hrst 和软复位管脚 Srst;

[0017] iii、在信号 A 的上升沿到来时开始计数,计数到设定数值时将此计数值进行保存,当计数值在 0 到设定数值的计数范围之内时,配置程序将上电配置字的电平信息送给嵌入式处理器的配置管脚,当计数值超过计数范围后,上电配置字的配置管脚如果是复用的,则根据不同的复用功能来进行后续的使用,不再由 FPGA 驱动输出上电配置字的电平信号。

[0018] 所述 FPGA 从外接的平台 Flash 加载配置程序。

[0019] 本发明基于 FPGA 的嵌入式处理器动态配置电路及方法,通过 FPGA 的用户 IO 与嵌入式处理器的复用配置、上电复位、硬复位和软复位等相关管脚相连,利用 FPGA 产生嵌入式处理器所需要的配置时序。通过 FPGA 和上位机通讯,解析出串口数据包中的配置嵌入式处理器的上电配置字,实现了由 FPGA 产生嵌入式处理器需要的配置时序,完成了对嵌入式处理器的动态配置,解决了以往嵌入式处理器需要固定的上下拉电阻配置,当需要改变配置时,需要断电,从机箱中拔出嵌入式模块,人工改变配置电阻焊接状态的繁琐处理弊端,提高了嵌入式处理器的使用灵活性。

附图说明

[0020] 图 1 为本发明使用 FPGA 动态配置嵌入式处理器的电路原理图;

[0021] 图 2 为本发明使用 FPGA 动态配置嵌入式处理器的方法流程图。

具体实施方式

[0022] 下面结合附图及具体的实施例对本发明进行进一步介绍。

[0023] 如图 1 所示为本发明基于 FPGA 的嵌入式处理器动态配置电路原理图,由图可知,该电路包括被配置的嵌入式处理器和与其配置管脚电平标准兼容的 FPGA,嵌入式处理器的上电配置管脚 [X:0] (X 依据不同的嵌入式处理器值不同)、上电复位管脚 Prest、硬复位管脚 Hrest、软复位管脚 Srest 通过 3.3V 的 LTTTL 电平标准与 FPGA 的对应 I/O 管脚连接在一起;FPGA 用于与上位机通讯连接以获取上位机的配置、控制等信息,并将嵌入式处理器的相关信息发送给上位机;同时 FPGA 根据嵌入式处理器的配置要求产生相应复位状态的不同配置时序对嵌入式处理器进行配置。

[0024] 另外,本实施例中 FPGA 使用外接的平台 Flash 加载用户配置程序,保证逻辑正常的加载运行。

[0025] FPGA 内部的 RS232 逻辑通过 RS232 驱动芯片(可选 MAX3232 等常见的 RS232 驱动芯片)完成与上位机的 RS232 通讯。

[0026] 本发明还提供了一种基于 FPGA 的嵌入式处理器动态配置方法,包括如下步骤:

[0027] (1) 嵌入式处理器上电初始,FPGA 从平台 Flash 中加载配置程序(固化的逻辑资

源)；

[0028] (2)FPGA 逻辑资源中的计数器开始计数,并等待上位机的 RS232 数据包,在计数周期未满足时判断是否有上位机的 RS232 配置字消息包,如有则更新默认的上电配置字,到计数周期满时如还没收到上位机的配置字消息包,则采用默认的上电配置字(该配置字可以上电复位进行初始化,或者从 FPGA 的内部 Rom 中读取)；

[0029] (3)FPGA 提取上电配置字,根据嵌入式处理器的配置要求产生上电、硬复位等状态的不同配置时序对嵌入式处理器进行配置。

[0030] 另外,配置时序完成后,FPGA 将产生的配置字消息包发送给上位机,告知上位机当前的嵌入式处理器的上电配置字。

[0031] 同时,FPGA 按周期查询并解析新的 RS232 数据包,如没有,则继续周期查询,如果数据包中有新的 RS232 配置字消息,则重复步骤(3)和步骤(4),FPGA 按照新的配置字消息对嵌入式处理器进行重新配置,以实现动态的配置。

[0032] 当 FPGA 获取上电配置字之后,会产生符合嵌入式处理器的配置时序,一般嵌入式处理器的时序要求如下(不同型号的嵌入式处理器会略有差异)：

[0033] i、FPGA 产生一个由低到高的信号 A,并将其送给嵌入式处理器的上电复位管脚 Prst；

[0034] ii、将信号 A 分别延迟不同的系统时钟周期(此数值需要参考不同的嵌入式处理器数据手册)产生两个信号:信号 B 和信号 C,并根据嵌入式处理器的数据手册要求,将信号 B 和信号 C 分别送给嵌入式处理器的硬复位管脚 Hrst 和软复位管脚 Srst；

[0035] iii、在信号 A 的上升沿到来时开始计数,计数到设定数值(此数值需要参考不同的嵌入式处理器数据手册)时将此计数值进行保存,当计数值在 0 到设定数值的计数范围之内时,配置程序将上电配置字的电平信息送给嵌入式处理器的配置管脚,当计数值超过计数范围后,上电配置字的配置管脚如果是复用的,则根据不同的复用功能(如进行锁存有效地址、锁存高低字节访问等信息)来进行后续的使用,不再由 FPGA 驱动输出上电配置字的电平信号,从而实现了 FPGA 配置嵌入式处理器的上电配置字。

[0036] 以上实施例仅用于帮助理解本发明的核心思想,不能以此限制本发明,对于本领域的技术人员,凡是依据本发明的思想,对本发明进行修改或者等同替换,在具体实施方式及应用范围上所做的任何改动,均应包含在本发明的保护范围之内。

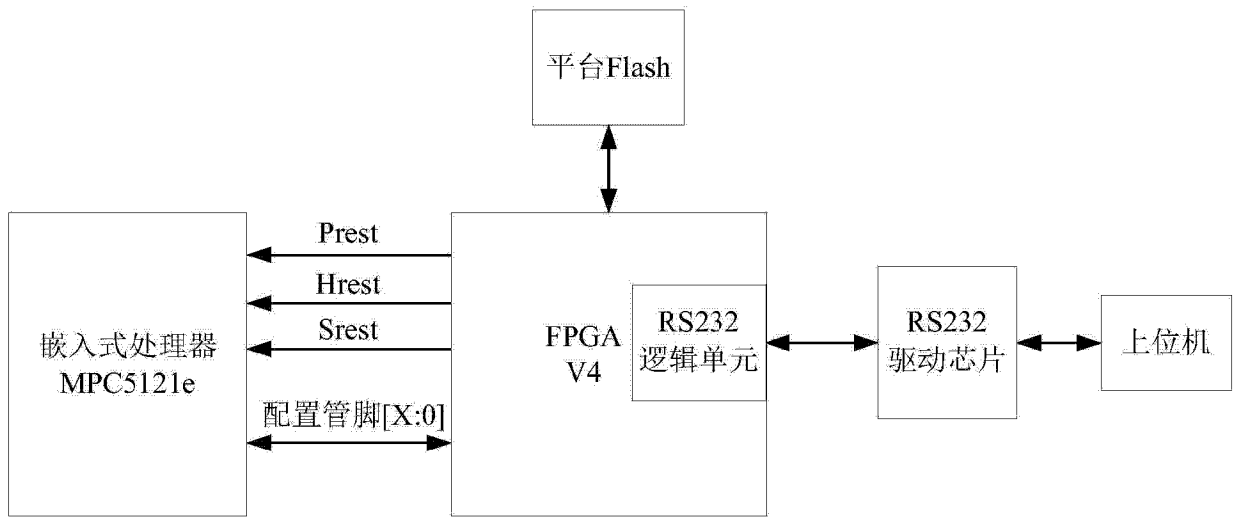


图 1

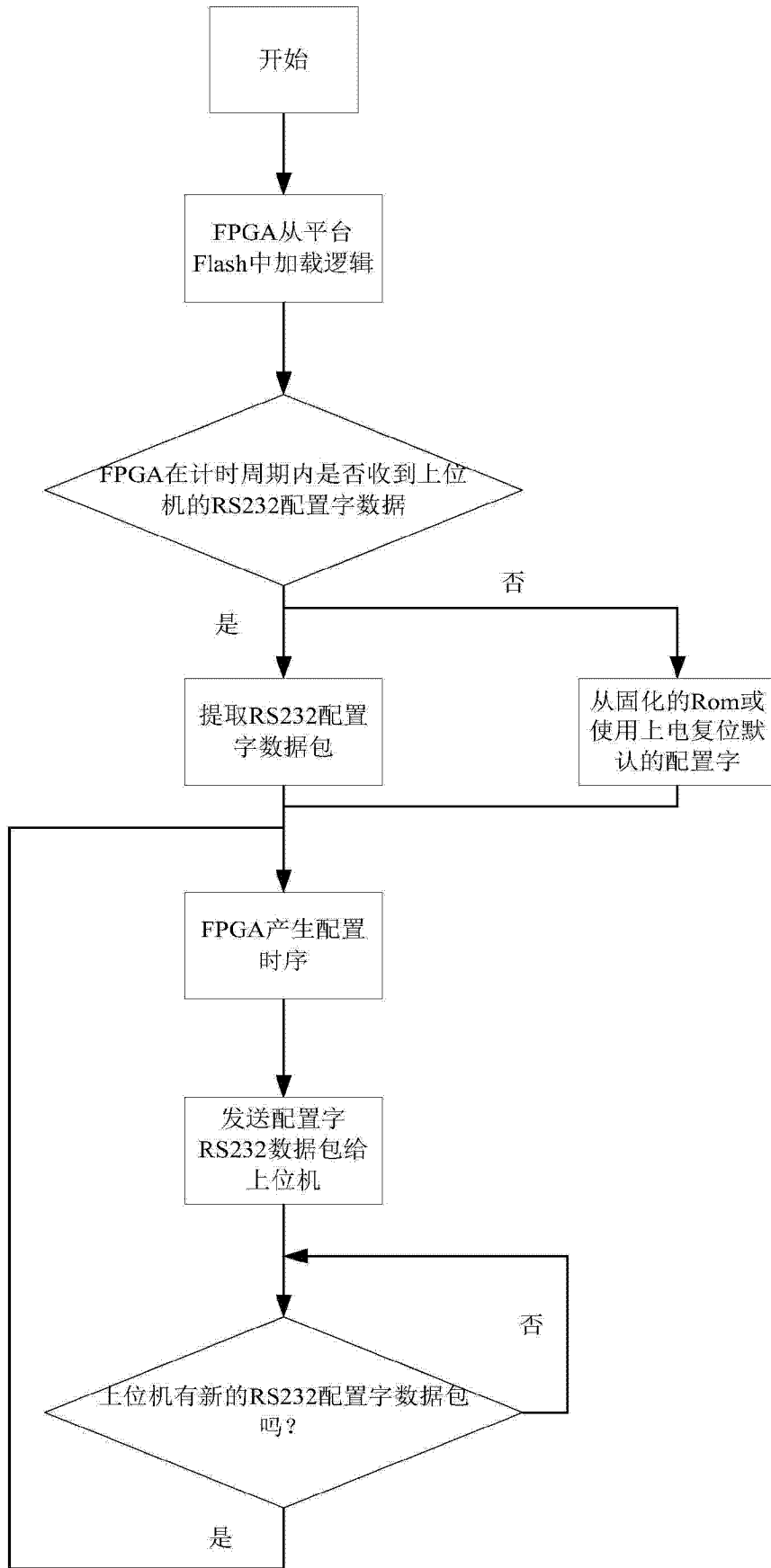


图 2