

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4948683号
(P4948683)

(45) 発行日 平成24年6月6日(2012.6.6)

(24) 登録日 平成24年3月16日(2012.3.16)

(51) Int.Cl. F I
H03F 3/60 (2006.01) H03F 3/60
H03F 3/21 (2006.01) H03F 3/21

請求項の数 19 (全 16 頁)

(21) 出願番号	特願2011-546477 (P2011-546477)	(73) 特許権者	000005821
(86) (22) 出願日	平成23年6月9日(2011.6.9)		パナソニック株式会社
(86) 国際出願番号	PCT/JP2011/003266		大阪府門真市大字門真1006番地
(87) 国際公開番号	W02011/161890	(74) 代理人	100109210
(87) 国際公開日	平成23年12月29日(2011.12.29)		弁理士 新居 広守
審査請求日	平成23年10月31日(2011.10.31)	(72) 発明者	神山 智英
(31) 優先権主張番号	特願2010-141046 (P2010-141046)		日本国大阪府門真市大字門真1006番地
(32) 優先日	平成22年6月21日(2010.6.21)		パナソニック株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	内藤 浩
早期審査対象出願			日本国大阪府門真市大字門真1006番地
			パナソニック株式会社内
		(72) 発明者	卯野 高史
			日本国大阪府門真市大字門真1006番地
			パナソニック株式会社内

最終頁に続く

(54) 【発明の名称】 高周波増幅回路

(57) 【特許請求の範囲】

【請求項1】

増幅された高周波信号を出力する並列接続された複数のトランジスタと、
 前記複数のトランジスタの出力端子に接続された回路であって、互いに並列に接続され、
 それぞれが前記高周波信号に含まれる偶数次および奇数次のいずれか一方の高調波を処理する複数の第一の高調波処理回路と、

前記複数のトランジスタの出力端子に接続された回路であって、互いに並列に接続され、
 それぞれが前記高周波信号に含まれる偶数次および奇数次のいずれか他方の高調波を処理する複数の第二の高調波処理回路と、を備え、

前記複数のトランジスタの並び方向における前記出力端子と前記第一の高調波処理回路との接続点の位置は、前記複数の第一の高調波処理回路ごとで異なり、

前記並び方向における前記出力端子と前記第二の高調波処理回路との接続点の位置は、前記複数の第二の高調波処理回路ごとで異なる、

高周波増幅回路。

【請求項2】

前記複数の第一の高調波処理回路は、前記並び方向に配置され、

前記複数の第二の高調波処理回路は、前記並び方向に配置される、

請求項1に記載の高周波増幅回路。

【請求項3】

前記複数のトランジスタは、1つの出力端子を共有し、

10

20

前記第一の高調波処理回路および前記第二の高調波処理回路は、それぞれインダクタとしてのワイヤを有し、

前記出力端子における複数の前記ワイヤの接続点の位置は、前記並び方向で異なる、
請求項 1 又は 2 に記載の高周波増幅回路。

【請求項 4】

前記複数の第一の高調波処理回路のそれぞれは、前記出力端子に一端が接続された第一のインダクタと、一端が前記第一のインダクタの他端に接続され、他端がグラウンドと接続されたキャパシタとから構成され、前記トランジスタの動作周波数の 2 倍の周波数で共振する直列共振回路である、

請求項 1 ～ 3 のいずれか 1 項に記載の高周波増幅回路。

10

【請求項 5】

複数の前記キャパシタは、島状に分離して形成されている、

請求項 4 に記載の高周波増幅回路。

【請求項 6】

前記複数の第二の高調波処理回路のそれぞれは、前記出力端子に一端が接続された第二のインダクタと、前記第二のインダクタの他端に接続された第一の分布定数素子とから構成される、

請求項 1 ～ 5 のいずれか 1 項に記載の高周波増幅回路。

【請求項 7】

前記第一の分布定数素子は、オープンスタブであり、

前記トランジスタの動作周波数の波長を λ としたときに、前記第一の分布定数素子の線路長が $\lambda/12$ である、

請求項 6 に記載の高周波増幅回路。

20

【請求項 8】

前記高周波増幅回路は、さらに、

前記第二の高調波処理回路に接続された、前記高周波信号に含まれる基本波の整合回路を備える、

請求項 1 ～ 7 のいずれか 1 項に記載の高周波増幅回路。

【請求項 9】

前記高周波増幅回路は、さらに、

前記第二の高調波処理回路に接続された、前記高周波信号に含まれる基本波の整合回路を備え、

30

前記整合回路は、前記第二のインダクタと前記第一の分布定数素子との接続点に一端が接続された第三のインダクタと、前記第二のインダクタと前記第三のインダクタとの接続点に接続された第二の分布定数素子と、前記第三のインダクタの他端に接続された回路とから構成される、

請求項 6 に記載の高周波増幅回路。

【請求項 10】

前記出力端子と前記第一の高調波処理回路との接続点と、前記出力端子と前記第二の高調波処理回路との接続点とは前記並び方向に交互に並んでいる、

請求項 1 ～ 9 のいずれか 1 項に記載の高周波増幅回路。

40

【請求項 11】

前記第一の高調波処理回路の数は、前記第二の高調波処理回路の数よりも 1 つ多い、

請求項 10 に記載の高周波増幅回路。

【請求項 12】

前記第二の高調波処理回路の数は、前記第一の高調波処理回路の数よりも 1 つ多い、

請求項 10 に記載の高周波増幅回路。

【請求項 13】

前記複数の第一の高調波処理回路および前記複数の第二の高調波処理回路は、前記出力端子の前記並び方向の中央を基準として対称に配置されている、

50

請求項 10 に記載の高周波増幅回路。

【請求項 14】

前記複数の第一の高調波処理回路のそれぞれは、前記出力端子に一端が接続された第一のインダクタと、一端が前記第一のインダクタの他端に接続され、他端がグラウンドと接続されたキャパシタとから構成され、

前記複数の第二の高調波処理回路のそれぞれは、前記出力端子に一端が接続された第二のインダクタと、前記第二のインダクタの他端に接続された第一の分布定数素子とから構成され、

前記キャパシタと前記第一の分布定数素子とは、同一基板上に配置されている、

請求項 1～3 のいずれか 1 項に記載の高周波増幅回路。

10

【請求項 15】

前記複数の第一の高調波処理回路は、互いに共振周波数の異なる第一の高調波処理回路を含む、

請求項 1～3 のいずれか 1 項に記載の高周波増幅回路。

【請求項 16】

前記複数の第二の高調波処理回路は、互いに共振周波数の異なる第二の高調波処理回路を含む、

請求項 1～3 のいずれか 1 項に記載の高周波増幅回路。

【請求項 17】

前記第一の高調波処理回路は、2 次の高調波に対してショート状態を示す処理回路であり、

前記第二の高調波処理回路は、3 次の高調波に対してオープン状態を示す処理回路である、

請求項 1～3 のいずれか 1 項に記載の高周波増幅回路。

20

【請求項 18】

前記第一の高調波処理回路は、3 次の高調波に対してショート状態を示す処理回路であり、

前記第二の高調波処理回路は、2 次の高調波に対してオープン状態を示す処理回路である、

請求項 1～3 のいずれか 1 項に記載の高周波増幅回路。

30

【請求項 19】

前記複数のトランジスタは、1 つの出力端子を共有する、

請求項 1 に記載の高周波増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高調波処理回路を用いた高周波増幅回路に関し、特に F 級回路を用いた高周波増幅回路に関する。

【背景技術】

【0002】

40

高周波増幅回路の電力効率向上は、デバイスの低消費電力化に直結しており、非常に重要な特性である。さらに高出力増幅回路では消費電力に加えて、効率が低いことで入力した電力が熱に変わってしまい、放熱設計が困難となりデバイスの信頼性が低下する。

【0003】

従来、高周波増幅回路を高効率動作させるための手段としては、F 級回路および逆 F 級回路などを用いることが一般的であり、それら高効率回路の原理は公知である。すなわち増幅回路において、効率が低下する原因は電力損失が増えることであるが、これを防ぐためには出力での電圧電流波形を調整して、最適な波形形成を行う必要がある。具体的には、電圧波形と電流波形とが重なる領域を減らすことが求められる。例えば増幅回路に用いるトランジスタを B 級動作にバイアスさせた場合、出力電流波形には基本波と偶数次高調

50

波しか存在しない。よって、波形の重なりをなくすには出力電圧波形を基本波と奇数次高調波のみとすればよい。そのためには、トランジスタの出力から見て、偶数次高調波をショート状態、奇数次高調波をオープン状態とすれば、理論上、効率は100%となる。これがF級回路である。その逆に、偶数次高調波をオープン状態、奇数次高調波をショート状態とした場合が逆F級回路であり、用いるトランジスタのオン抵抗およびバイアス条件などに応じて使い分けがなされている。

【0004】

従来のF級回路を用いた高効率の高周波増幅回路は、特許文献1に開示されている。

【0005】

図4Aは従来の高周波増幅回路の構成を示す等価回路である。

10

【0006】

この高周波増幅回路は、図4Aに示されるように、トランジスタ401、集中定数素子から構成される第一のインダクタ402A、キャパシタ402B、基本波整合用インダクタ404Aおよび404B、ならびに基本波整合用キャパシタ404Cで構成される。回路としては、第一のインダクタ402Aとキャパシタ402Bとから構成される2次高調波処理回路402がトランジスタ401の出力端子に並列に接続され、トランジスタ401の出力端子に直列に、基本波整合用インダクタ404Aおよび404Bが接続され、その間に並列に基本波整合用キャパシタ404Cが接続された構成である。以上の回路構成によって2次の高調波処理が行われ、高効率化が図られている。すなわち直列共振回路としての2次高調波処理回路402が基本波の2倍で共振するように第一のインダクタ402Aとキャパシタ402Bを設定することで、2次高調波についてインピーダンスが0となり、トランジスタ401の出力端子から見ると2次高調波に対してショート状態となる。さらに基本波整合用インダクタ404Aおよび404Bと基本波整合用キャパシタ404Cとからなる基本波整合回路404がトランジスタ401に接続されている。

20

【0007】

図4Aの高周波増幅回路のレイアウトを図4Bに示す。

【0008】

図4Bに示されるように、トランジスタ401の出力端子（ドレイン端子）401Aと、キャパシタ402Bとが2次高調波処理回路402を構成する第一のインダクタ402Aに相当するワイヤによって接続されている。一方、トランジスタ401の出力端子401Aと、基本波整合用キャパシタ404Cとが基本波整合回路404を構成する基本波整合用インダクタ404Aに相当するワイヤによって接続され、さらにトランジスタ401の出力端子401Aを外部回路406へ接続するためにインダクタ404Bに相当するワイヤが形成されている。ここでキャパシタ402Bおよび基本波整合用キャパシタ404Cは誘電体基板405上にパターン形成されている。

30

【0009】

また特許文献2には図5に示されるような、さらに高次数の高調波まで処理可能な高周波増幅回路が開示されている。

【0010】

この高周波増幅回路では、基本波の波長を λ としたときに、トランジスタ501の出力に線路長が $\lambda/4$ の分布定数素子が接続され、これに並列に複数の分布定数素子群502が接続されている。この複数の分布定数素子群502のそれぞれは、分布定数素子から構成される高調波処理回路502Aと、分布定数素子502Bとから構成されている。高調波処理回路502Aは、2次高調波では $\lambda/8$ 、3次高調波では $\lambda/12$ 、 n 次高調波では $\lambda/4n$ の線路長を有している。そのため、これらの高調波処理回路502Aは各高調波で図中のA点から見てショート状態となり、 $\lambda/4$ の線路は先端短絡となる。その結果、高調波処理回路502Aは偶数次高調波ではショート状態、奇数次高調波ではオープン状態となり、F級動作が実現される。さらに高調波処理回路502Aと分布定数素子502Bとの線路長の合計が $\lambda/2$ となるように設定されていることで、基本波から見て各高調波処理回路502Aのアドミタンスが0となり、基本波での電力損失を0とすることが

40

50

できる。さらに特許文献3には図5と同じ原理で、高調波処理回路が分布定数素子ではなく、集中定数素子で構成された例が開示されている。これによって高次までの高調波処理に加えて、集中定数素子を使うことで小型化も可能である。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特許第2738701号公報

【特許文献2】特開2001-111362号公報

【特許文献3】特許第4335633号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0012】

しかしながら、先行例では、特に高出力化を目的として狭いゲート幅のトランジスタを複数個、並列接続してゲート幅が広いトランジスタを構成した場合、高調波処理回路の性能が十分ではなく、高調波のオープン機能およびショート機能が低下することが、発明者らの検討により明らかとなった。すなわち、いずれの先行例においても、例えば2次高調波のみに着目すると、高調波処理回路は1つだけである。高調波処理回路が1つであれば各狭ゲート幅のトランジスタについて高調波処理回路との電気長が異なり、各トランジスタから見た高調波処理回路は、位相が異なっているために全て均一には機能しないことを発明者らは見出した。

20

【0013】

そこで、本発明は、かかる問題点に鑑み、高出力かつ高効率の高周波増幅回路を提供することを目的とする。

【課題を解決するための手段】

【0014】

前記従来の課題を解決するために、本発明の一態様に係る高周波増幅回路は、増幅された高周波信号を出力する並列接続された複数のトランジスタと、前記複数のトランジスタの出力端子に接続された回路であって、互いに並列に接続され、それぞれが前記高周波信号に含まれる偶数次および奇数次のいずれか一方の高調波を処理する複数の第一の高調波処理回路と、前記複数のトランジスタの出力端子に接続された回路であって、互いに並列に接続され、それぞれが前記高周波信号に含まれる偶数次および奇数次のいずれか他方の高調波を処理する複数の第二の高調波処理回路と、を備え、前記複数のトランジスタの並び方向における前記出力端子と前記第一の高調波処理回路との接続点の位置は、前記複数の第一の高調波処理回路ごとで異なり、前記並び方向における前記出力端子と前記第二の高調波処理回路との接続点の位置は、前記複数の第二の高調波処理回路ごとで異なることを特徴とする。

30

【0015】

この態様によれば、複数のトランジスタを備える高周波増幅回路において、各トランジスタから高周波処理回路までの電気長を複数のトランジスタで揃えることができるので、高出力かつ高効率の高周波増幅回路を実現することができる。

40

【0016】

ここで、前記複数の第一の高調波処理回路のそれぞれは、前記出力端子に一端が接続された第一のインダクタと、一端が前記第一のインダクタの他端に接続され、他端がグラウンドと接続されたキャパシタとから構成され、前記トランジスタの動作周波数の2倍の周波数で共振する直列共振回路であってもよい。

【0017】

この態様によれば、高周波処理回路において2次高調波での十分なショート状態を実現することができるので、高効率な高周波増幅回路を実現することができる。

【0018】

また、前記複数の第二の高調波処理回路のそれぞれは、前記出力端子に一端が接続され

50

た第二のインダクタと、前記第二のインダクタの他端に接続された第一の分布定数素子とから構成されてもよい。そして、前記第一の分布定数素子は、オープンスタブであり、前記トランジスタの動作周波数の波長を λ としたときに、前記第一の分布定数素子の線路長が $\lambda/12$ であってもよい。

【0019】

この態様によれば、高周波処理回路において3次高調波での十分なオープン状態を実現することができるので、高効率な高周波増幅回路を実現することができる。

【0020】

また、前記高周波増幅回路は、さらに、前記第二の高調波処理回路に接続された、前記高周波信号に含まれる基本波の整合回路を備えてもよい。

10

【0021】

この態様によれば、整合回路を備える高周波増幅回路を実現することができる。

【0022】

また、前記出力端子と前記第一の高調波処理回路との接続点と、前記出力端子と前記第二の高調波処理回路との接続点とは前記並び方向に交互に並んでいてもよい。

【0023】

この態様によれば、複数の第二の高調波処理回路を第一の高調波処理回路の並び方向の隙間に配置できるので、高周波増幅回路のレイアウトの自由度を高め、さらに小型化を実現することができる。

【0024】

20

また、前記複数の第一の高調波処理回路および前記複数の第二の高調波処理回路は、前記出力端子の前記並び方向の中央を基準として対称に配置されていてもよい。

【0025】

この態様によれば、トランジスタからの出力を均一に分散させて熱による破壊を防ぐことができる。

【0026】

また、前記複数の第一の高調波処理回路は、互いに共振周波数の異なる第一の高調波処理回路を含んでもよい。また、前記複数の第二の高調波処理回路は、互いに共振周波数の異なる第二の高調波処理回路を含んでもよい。

【0027】

30

この態様によれば、高周波処理回路において高調波の処理に帯域を持たせることができる。

【0028】

また、前記第一の高調波処理回路は、2次の高調波に対してショート状態を示す処理回路であり、前記第二の高調波処理回路は、3次の高調波に対してオープン状態を示す処理回路であってもよい。

【0029】

この態様によれば、高効率のF級回路を備える高周波増幅回路を実現することができる。

【0030】

40

また、前記第一の高調波処理回路は、3次の高調波に対してショート状態を示す処理回路であり、前記第二の高調波処理回路は、2次の高調波に対してオープン状態を示す処理回路であってもよい。

【0031】

この態様によれば、高効率の逆F級回路を備える高周波増幅回路を実現することができる。

【発明の効果】

【0032】

本発明によれば、狭ゲート幅のトランジスタを複数個並列接続した高出力のトランジスタを備える高周波増幅回路において、各狭ゲート幅のトランジスタから高調波処理回路を

50

見たときの位相のずれが低減され、高調波処理回路のオープン状態およびショート状態を良好に保つことができる。したがって、従来のF級回路および逆F級回路よりもさらに高調波処理回路の高効率化が可能な高出力の高周波増幅回路を実現できる。

【図面の簡単な説明】

【0033】

【図1】図1は、本発明の実施の形態1における高周波増幅回路の回路図である。

【図2】図2は、本発明の実施の形態1における高周波増幅回路のレイアウト図である。

【図3】図3は、本発明の実施の形態2における高周波増幅回路のレイアウト図である。

【図4A】図4Aは、従来の高周波増幅回路の回路図である。

【図4B】図4Bは、従来の高周波増幅回路のレイアウト図である。

10

【図5】図5は、従来の高周波増幅回路の回路図である。

【発明を実施するための形態】

【0034】

以下、本発明の実施の形態における高周波増幅回路について図面を参照しながら説明する。

【0035】

(実施の形態1)

図1は本実施の形態の高周波増幅回路の回路図である。

【0036】

この高周波増幅回路は、図1に示されるように、並列接続された複数のトランジスタ101と、複数のトランジスタ101の出力端子に接続された複数の第一の高調波処理回路102および第二の高調波処理回路103と、基本波整合回路104とから構成される。

20

【0037】

複数のトランジスタ101は、それぞれゲート幅 W_g が狭く、増幅された高周波信号を出力し、配線パターンによって集約されて1つの出力端子（ドレイン端子）を共有する。

【0038】

複数の第一の高調波処理回路102は、互いに並列に接続され、それぞれが高周波信号に含まれる2次の高調波を処理する。複数の第一の高調波処理回路102のそれぞれは、2次の高調波に対してショート状態を示す処理回路である。

【0039】

30

複数の第一の高調波処理回路102のそれぞれは、集中定数素子である第一のインダクタ102Aと、集中定数素子であるキャパシタ102Bとから構成される。すなわち、複数の第一の高調波処理回路102のそれぞれは、トランジスタ101の出力端子に一端が接続された第一のインダクタ102Aと、一端が第一のインダクタ102Aの他端に接続され、他端がグラウンドと接続されたキャパシタ102Bとから構成され、トランジスタ101の動作周波数の2倍の周波数で共振する直列共振回路である。

【0040】

複数の第二の高調波処理回路103は、互いに並列に接続され、それぞれが高周波信号に含まれる3次の高調波を処理する。複数の第二の高調波処理回路103のそれぞれは、3次の高調波に対して開放状態（オープン状態）を示す処理回路である。

40

【0041】

複数の第二の高調波処理回路103のそれぞれは、第一の分布定数素子103Aと、集中定数素子である第二のインダクタ103Bとから構成される。すなわち、複数の第二の高調波処理回路103のそれぞれは、トランジスタ101の出力端子に一端が接続された第二のインダクタ103Bと、第二のインダクタ103Bの他端に接続された第一の分布定数素子103Aとから構成される。

【0042】

基本波整合回路104は、第一の高調波処理回路102および第二の高調波処理回路103の後段に接続された、高周波信号に含まれる基本波の整合回路である。

【0043】

50

基本波整合回路104は、第二の分布定数素子104Aと、集中定数素子である第三のインダクタ104Bと、集中定数素子および分布定数素子のいずれか又はそれらの両方から構成された回路104Cとから構成される。すなわち、基本波整合回路104は、第二のインダクタ103Bと第一の分布定数素子103Aとの接続点に一端が接続された第三のインダクタ104Bと、第二のインダクタ103Bと第三のインダクタ104Bとの間に接続された第二の分布定数素子104Aと、第三のインダクタ104Bの他端に接続された回路とから構成される。

【0044】

説明を簡略化するために、第一の高調波処理回路102が1つの場合を考える。2次高調波に関しては、トランジスタ101の出力端子に2次高調波を処理するための第一の高調波処理回路102を接続し、第一の高調波処理回路102の各素子値を2次高調波において共振するように設定することで、インピーダンスは0となり、2次高調波でのショート状態が実現できる。例えば動作周波数を2.4GHzとすると、2次高調波の周波数は4.8GHzであり、第一のインダクタ102Aのインダクタンスを3nH、キャパシタ102Bのキャパシタンスを0.37pFと設定すればよい。なお共振周波数はインダクタンスとキャパシタンスとの積で決まるので、この関係を維持すれば素子値は自由に設定できる。ここで、直列共振回路で構成された第一の高調波処理回路102は、トランジスタ101の出力端子に直接接続されており、間に回路素子がある場合はそこでの損失の影響によって、2次高調波処理を行う第一の高調波処理回路102の効果は低下する。またデバイスサイズに余裕があれば、トランジスタ101の入力端子側にも第一の高調波処理回路102をさらに接続することでさらに高効率化が可能である。

【0045】

次に3次高調波について説明する。2次高調波と同様に第二の高調波処理回路103が1つの場合を考える。トランジスタ101の出力端子に、3次高調波を処理するための第二の高調波処理回路103が接続されている。第二の高調波処理回路103を構成する第一の分布定数素子103Aはオープンスタブであり、3次高調波の波長を λ_3 とすると、線路長が $\lambda_3/4$ のとき、すなわち $\lambda/12$ のときに第二の高調波処理回路103がショート状態となる。そのため3次高調波で見ると、トランジスタ101の寄生容量（図示せず）と、2次高調波処理を行う第一の高調波処理回路102と、第二のインダクタ103Bとの並列回路が形成されていることになる。ここで、第一の高調波処理回路102は、2次高調波でインピーダンスが0であるが、これより高い周波数では誘導性として動作するため、最終的にはトランジスタ101の寄生容量とインダクタの並列共振回路に帰着する。ここで並列共振回路のインピーダンスを無限大とすることで、トランジスタ101の出力端子から見ると3次高調波はオープン状態となる。

【0046】

結果として第一の高調波処理回路102および第二の高調波処理回路103によりF級回路を実現することができる。実際はこのF級回路を介してトランジスタ101を外部回路へ接続するために、F級回路に第三のインダクタ104Bおよび第二の分布定数素子104A、つまり基本波整合回路104を接続することでさらに高効率化が可能である。ただし、トランジスタ101によってはこれだけでは整合が困難な場合があり、基本波整合回路104に回路104Cが合わされる。また、第二の分布定数素子104AはF級回路には直接関係がなく、省略することも可能である。

【0047】

なお、分布定数素子によって2次高調波を処理する第一の高調波処理回路102を構成することも可能であるが、図1の構成とした理由は、分布定数素子を用いた場合には第一の高調波処理回路102の小型化に不利であることに加えて、後述するレイアウト例で第一の高調波処理回路102が3次高調波を処理する第二の高調波処理回路103の第一の分布定数素子103Aと近接することで、不要な線路間結合が発生し、F級回路のオープン機能およびショート機能が劣化するためである。同様に集中定数素子によって3次高調波を処理する第二の高調波処理回路103を構成することも可能であるが、動作周波数が

GHz帯で3次高調波まで使用できるような自己共振周波数が高く、かつ高出力動作にも耐えられるキャパシタは低コストでの製造が困難であるためである。

【0048】

また、増幅回路の効率に与える波形成形の効果は、高次の高調波になれば小さくなる。一方で高次の高調波処理回路を付加することで2次および3次の高調波処理回路にも影響が及ぼされ、高調波処理回路の回路構造が複雑になって増幅回路の小型化および低コスト化が困難となる。従って、図1の高周波増幅回路は2次高調波および3次高調波の処理までを考慮して構成されている。

【0049】

また、第一の高調波処理回路102および第二の高調波処理回路103により2次高調波でショート状態、3次高調波でオープン状態となるF級回路が形成されるとした。しかし、複数の第一の高調波処理回路102のそれぞれが3次の高調波に対してショート状態を示す処理回路であり、複数の第二の高調波処理回路103のそれぞれが2次の高調波に対してオープン状態を示す処理回路であって、2次高調波でオープン状態、3次高調波でショート状態となる逆F級回路が形成されてもよい。その場合、集中定数素子からなる第一のインダクタ102Aとキャパシタ102Bとによって3次の高調波処理を行い、第一の分布定数素子103Aと集中定数素子からなる第二のインダクタ103Bとによって2次の高調波処理を行えばよい。F級回路と同様に、3次高調波について第一の高調波処理回路102で直列共振によってインピーダンスが0となり、3次高調波でのショート状態が実現できる。2次高調波については、第一の分布定数素子103Aの線路長を $\lambda/8$ とすることで、ショート状態とすることができる。そのため2次高調波で見ると、トランジスタ101の寄生容量（図示せず）とインダクタの並列共振回路に帰着し、並列共振回路のインピーダンスが無限大となるように第二のインダクタ103Bを設定すればよい。

【0050】

また、トランジスタ101は、シリコン(Si)、ガリウム砒素(GaAs)、および窒化ガリウム(GaN)などに構成材料が限定されるものでもないし、バイポーラトランジスタおよび電界効果トランジスタなどに種類が限定されるものでもない。さらにトランジスタ101は、個別のディスクリット部品が複数個実装されて構成されていてもよい。

【0051】

次に2次および3次の高調波処理回路が複数ある場合を考える。第一の高調波処理回路102を例とすると、複数個設けることでショート機能が重複されて、高調波に対してよりショート性能が高くなり、効率が改善できる。例えば、2次の高調波処理回路の場合、理想的なショート状態はインピーダンスが $0 + j0$ であるが、実際はインダクタやキャパシタの損失によって、実部が0とはならない。しかしながら複数個のインダクタやキャパシタによって構成することで、この実部を小さくすることができる。

【0052】

このとき、第一の高調波処理回路102の共振周波数をわずかに変えて素子値を決定することで、つまり複数の第一の高調波処理回路102に互いに共振周波数の異なる第一の高調波処理回路102を含ませることで、2次高調波の処理に帯域を持たせてショート状態を作ることができる。同様に、複数の第二の高調波処理回路103に互いに共振周波数の異なる第二の高調波処理回路103を含ませることで、3次高調波の処理に帯域を持たせて開放状態を作ることができる。

【0053】

例えば基本波の周波数を2.4GHzとして、複数の第一の高調波処理回路102について1つめを4.8GHz、2つめを4.9GHz、3つめを5.0GHzで共振するようにそれぞれ独立して素子値を決めることで、4.8GHzから5.0GHzの帯域内でショート状態とすることができる。さらに各共振周波数を有する第一の高調波処理回路102に対して同じものを複数個設けることで、各周波数に対して、十分なショート状態を実現しつつ、帯域幅を持たせたショート状態を作ることができる。

【0054】

なお、第一の高調波処理回路102は偶数次の高調波である2次高調波を処理し、第二の高調波処理回路103は奇数次の高調波である3次高調波を処理するとした。しかし、第一の高調波処理回路102が増幅された高周波信号に含まれる偶数次および奇数次のいずれか一方の高調波を処理し、第二の高調波処理回路103が増幅された高周波信号に含まれる偶数次および奇数次のいずれか他方の高調波を処理する構成であれば2および3という数字に特に限定されない。従って、第一の高調波処理回路102が異なる偶数次の高調波を処理する第一の高調波処理回路102を含んでもよい。例えば、複数の第一の高調波処理回路102のうち1つめを4.8GHzで共振する2次高調波処理回路とし、2つめを9.6GHzで共振する4次高調波処理回路とし、3つめを14.4GHzで共振する6次高調波処理回路として高次の高調波までを処理させることもできる。この場合、例えば2次高調波処理回路に対して同じものを複数個設けることで、各周波数に対して十分なショート状態を実現しつつ、より高次まで高調波を処理することができ、高効率な増幅回路が実現できる。

10

【0055】

図2は本実施の形態における高周波増幅回路のレイアウト図である。

【0056】

複数のトランジスタ101は100Wクラスの高い出力のものを想定しており、総ゲート幅(Wg)は36mmである。複数のトランジスタ101の構造としては、微小なゲート幅Wgのトランジスタ101が並列接続されたものであり、複数のトランジスタ101のチップサイズは例えば横寸法0.7mm、縦寸法4.5mm程度である。このトランジスタ101は、出力端子201A、ゲート端子(入力端子)201Bおよびソース端子201Cを有し、出力端子201Aに第一の高調波処理回路102と第二の高調波処理回路103とが接続されている。図2のレイアウトでは、幅方向に並んで複数設けられたフィンガー状のソース電極とソース端子201Cとが接続され、幅方向に並んで複数設けられたフィンガー状のドレイン電極と出力端子201Aとが接続されている。ソース電極とドレイン電極との間には、ゲート端子201Bと接続されたゲート電極が設けられている。複数のゲート電極のそれぞれは異なるトランジスタを形成している。

20

【0057】

第一の高調波処理回路102は、第一のインダクタ102Aとしてのワイヤ202Aと、キャパシタ102Bとしてのキャパシタ202Bとで構成されている。複数の第一の高調波処理回路102は、複数のトランジスタ101の並び方向(図2の幅方向)に沿って配置されている。

30

【0058】

トランジスタ101の並び方向における出力端子201Aと第一の高調波処理回路102との接続点の位置は、複数の第一の高調波処理回路102ごとに異なる。具体的に、出力端子201Aにおける複数のワイヤ202Aの接続点の位置は、トランジスタ101の並び方向で異なる。

【0059】

第二の高調波処理回路103は、第一の分布定数素子103Aとしての第一の分布定数素子203Aと、第二のインダクタ103Bとしてのワイヤ203Bとで構成されている。複数の第二の高調波処理回路103は、複数のトランジスタ101の並び方向(図2の幅方向)に沿って配置されている。

40

【0060】

基本波整合回路104は、第二の分布定数素子104Aとしての第二の分布定数素子204Aと、第三のインダクタ104Bとしてのワイヤ204Bと、回路104Cとしての回路204Cとで構成されている。

【0061】

トランジスタ101の並び方向における出力端子201Aと第二の高調波処理回路103との接続点の位置は、複数の第二の高調波処理回路103ごとに異なる。具体的に、出力端子201Aにおける複数のワイヤ203Bの接続点の位置は、トランジスタ101の

50

並び方向で異なる。

【0062】

複数のキャパシタ202Bは、島状に分離して誘電体基板205に形成されている。キャパシタ202Bと第一の分布定数素子203Aおよび第二の分布定数素子204Aとは、同一誘電体基板205上に配置されている。

【0063】

本実施の形態の高周波増幅回路では、第一の高調波処理回路102が複数個設けられており、それぞれの間に第二の高調波処理回路103が配置され、第一の高調波処理回路102と第二の高調波処理回路103とが交互に配置されている。第一の高調波処理回路102の数は、第二の高調波処理回路103の数よりも1つ多い。出力端子201Aと第一の高調波処理回路102との接続点と、出力端子201Aと第二の高調波処理回路103との接続点とは複数のトランジスタ101の並び方向に交互に並んでいる。

10

【0064】

ここで、基本波の周波数を2.4GHzとし、第一の高調波処理回路102を構成するワイヤ202Aのインダクタンスを3nHとすると、2次高調波(4.8GHz)で共振させるためのキャパシタ202Bのキャパシタンスは0.37pFとなる。このキャパシタンスを実現するためには、例えば誘電率4程度の酸化膜(SiO₂)を用いて容量を構成する場合、SiO₂の厚みを3μmとすると対向電極の面積は3.1e4μm²となり、正方形パターンに換算すると一辺が176.2μmのキャパシタ202Bとなる。キャパシタ202Bを10個配置すると、キャパシタ202B同士の間隔が300μmでほぼトランジスタ101の幅方向の寸法4.5mmとなり、キャパシタ202B同士の間隔に第二の高調波処理回路103を配置することができる。ただし、キャパシタ202Bの形状はこれに限るものではない。キャパシタ202Bのパターンを集中定数素子として動作させる場合、2次高調波の波長をλ₂(=62.5mm)とすると、そのサイズはλ₂/4以下が好ましく、より好適にはλ₂/8以下が好ましい。理由としては、扱う周波数の波長に対してパターンサイズが無視できる範囲として、1/4波長以下が経験的に知られているからであり、パターンサイズは2次高調波の波長に対して十分小さい形状であればよい。

20

【0065】

トランジスタ101の出力端子201Aには、第二の高調波処理回路103が接続されている。ワイヤ203Bは、第一の分布定数素子203Aと第二の分布定数素子204Aとの間に接続されている。ワイヤ204Bは、第一の分布定数素子203Aと第二の分布定数素子204Aとの間から基本波整合回路104の一部となる回路204Cへ接続されている。

30

【0066】

第一の分布定数素子203Aはトランジスタ101の動作周波数の波長をλとしたときにその線路長がλ/12のオープンスタブであり、3次高調波に対してはショート状態となる。例えば、第一の分布定数素子203AがMIS(Metal-Insulator-Semiconductor)容量と同様にSiO₂上にパターン形成された線路であれば、誘電率4の誘電体基板205での波長短縮を考慮すると、第一の分布定数素子203Aの線路長は5.2mm程度である。

40

【0067】

なお、図2では、キャパシタ202B、第一の分布定数素子203Aおよび第二の分布定数素子204Aは同一の誘電体基板205上にパターン形成されているが、異なる誘電体基板205上に分割して形成されていても同様の効果が奏される。

【0068】

第二の分布定数素子204Aは、基本波整合回路104の一部として利用されるためだけでなく、第一の分布定数素子203Aを形成する際の目安として利用されており、第一の分布定数素子203Aの線路長を正確に製造することを可能にしている。よって、図2では第一の分布定数素子203Aの線路幅と第二の分布定数素子204Aの線路幅とは

50

変えられている。

【0069】

なお、図2では、1つのキャパシタ202Bに対してワイヤ202Aが1つ形成されているが複数形成されてもよい。複数本形成することで、第一のインダクタ102Aのインダクタンスの調整ができる。ワイヤ203Bおよび204Bも同様に複数形成されていてもよい。

【0070】

また、図2では、トランジスタ101の幅方向の寸法4.5mmにおさまる様に、第一の高調波処理回路102と第二の高調波処理回路103とが接続されている。しかし、高効率動作を実現可能であればこれに限らず、トランジスタ101の幅方向の寸法よりも大きな幅に高調波処理回路を配置してもよい。ただし、この構造とすると幅方向で外側の高調波処理回路のワイヤ202Aおよび203Bが斜め（幅方向と垂直な方向に対して斜め）に配線されることになり、内側の他の高調波処理回路とインダクタンスが異なってしまうため、外側の高調波処理回路でキャパシタ202Bを最適な構造とする必要がある。

【0071】

また、図2では、高周波増幅回路は、第一の高調波処理回路102が10個、第二の高調波処理回路103が9個設けられる構成であるが、数はこれに限るものではない。誘電率の高い誘電体基板205を用いれば、キャパシタ202Bの面積は小さくなるため、さらに複数の第一の高調波処理回路102および第二の高調波処理回路103を配置することができる。

【0072】

以上のように本実施の形態の高周波増幅回路は、2次および3次高調波処理回路をそれぞれ複数備えた回路構成とし、複数のトランジスタ101の並び方向における出力端子201Aとワイヤ202Aとの接続点の位置は、複数の第一の高調波処理回路102で異なる構成としたため、トランジスタ101から2次高調波処理回路を見たときの位相のずれが低減され、2次高調波処理回路のショート状態を良好に保つことができる。

【0073】

同様に、複数のトランジスタ101の並び方向における出力端子201Aとワイヤ203Bとの接続点の位置は、複数の第二の高調波処理回路103で異なる。従って、トランジスタ101から3次高調波処理回路を見たときの位相のずれが低減され、3次高調波処理回路のオープン状態を良好に保つことができる。よって、従来のF級回路よりも高効率化が実現できる。

【0074】

また、本実施の形態の高周波増幅回路に示す通り、2次高調波処理回路を複数設け、その間に3次高調波処理回路を配置することで、従来の構造よりも小型化が可能で設計自由度を向上させることができる。理由としては、図4Bの構成のように1つの大きなキャパシタが設けられる場合、キャパシタのさらに外側（トランジスタから離れる方向に向かって外側）に第一の分布定数線路を形成せざるを得ないため、小型化が困難であり、またワイヤはキャパシタを跨ぐように形成せざるを得ないためワイヤ長さが限定されてしまうからである。

【0075】

なお、本実施の形態において、第一の高調波処理回路102の数は、第二の高調波処理回路103の数よりも1つ多いとした。しかし、第一の高調波処理回路102および第二の高調波処理回路103が複数のトランジスタ101の並び方向で交互に並んでいれば、第二の高調波処理回路103の数は、第一の高調波処理回路102の数よりも1つ多くてもよい。ただし、複数の第一の高調波処理回路102および複数の第二の高調波処理回路103は、複数のトランジスタ101の幅方向の中央から見て対称に配置されることが好ましい。言い換えると、複数の第一の高調波処理回路102および複数の第二の高調波処理回路103が出力端子201Aのトランジスタ101の並び方向の中央を基準として対称に配置されていることが好ましい。これにより、特に高い電力を扱う場合、出力を均一

10

20

30

40

50

に分散させて熱による破壊を防ぐことができる。

【0076】

(実施の形態2)

図3は本実施の形態における高周波増幅回路のレイアウト図である。

【0077】

この高周波増幅回路は、図3に示されるように、第一の高調波処理回路102と、第二の高調波処理回路103と、基本波整合回路104とが同数備えられている点で実施の形態1の高周波増幅回路と異なっている。

【0078】

また、図3の高周波増幅回路は、第一の高調波処理回路102および第二の高調波処理回路103が交互に配置されていない点でも実施の形態1の高周波増幅回路と異なっている。ただし、第一の高調波処理回路102および第二の高調波処理回路103のそれぞれをトランジスタ101の中央から見て対称に配置することで、実施の形態1の高周波増幅回路と同様の効果が奏される。その結果、高効率化に加えて高出力動作時の熱破壊を防止することができる。

【0079】

なお、図3では第一の高調波処理回路102と、第二の高調波処理回路103と、基本波整合回路104とのそれぞれが10個ずつ配置されているが、数はこれに限るものではない。

【0080】

以上のように本実施の形態の高周波増幅回路によれば、実施の形態1と同様の理由により、高調波処理回路の高効率化および小型化が実現できる。

【0081】

以上、本発明の高周波増幅回路について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の要旨を逸脱しない範囲内で当業者が思いつく各種変形を施したものも本発明の範囲内に含まれる。また、発明の趣旨を逸脱しない範囲で、複数の実施の形態における各構成要素を任意に組み合わせてもよい。

【0082】

例えば、トランジスタ101と、第一の高調波処理回路102および第二の高調波処理回路103と、基本波整合回路104とは別チップ（別の誘電体基板）に形成されとしたが、線路パターンによって構成した、第一の高調波処理回路102を形成するワイヤ202Aと、第二の高調波処理回路103を形成するワイヤ203Bと、キャパシタ202Bと第一の分布定数素子203Aを同一チップに形成し、第一の分布定数素子203Aを跨ぐ必要があるため、第三のインダクタ104Bのみをワイヤ204Bとしてもよい。

【産業上の利用可能性】

【0083】

本発明は、高周波増幅回路に利用でき、特に移動体通信用の端末および基地局、ならびに電子レンジなどのマイクロ波家電に適用可能な高出力パワーアンプなどに利用できる。

【符号の説明】

【0084】

- 101、401、501 トランジスタ
- 102 第一の高調波処理回路
- 102A、402A 第一のインダクタ
- 102B、202B、402B キャパシタ
- 103 第二の高調波処理回路
- 103A、203A 第一の分布定数素子
- 103B 第二のインダクタ
- 104、404 基本波整合回路
- 104A、204A 第二の分布定数素子
- 104B 第三のインダクタ

10

20

30

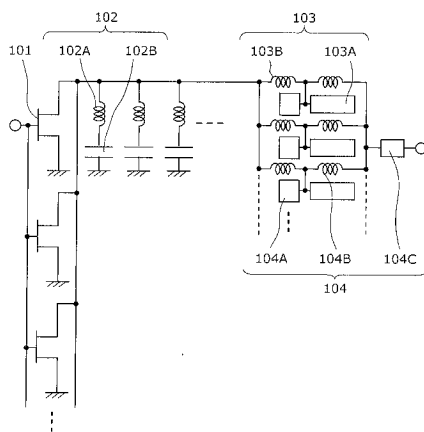
40

50

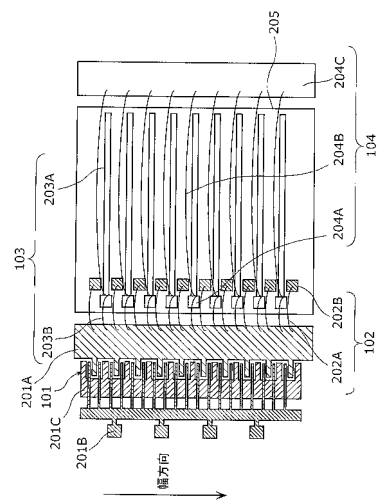
- 104C、204C 回路
- 201A、401A 出力端子
- 201B ゲート端子
- 201C ソース端子
- 202A、203B、204B ワイヤ
- 205、405 誘電体基板
- 402 2次高調波処理回路
- 404A、404B 基本波整合用インダクタ
- 404C 基本波整合用キャパシタ
- 406 外部回路
- 502 分布定数素子群
- 502A 高調波処理回路
- 502B 分布定数素子

10

【図1】



【図2】



フロントページの続き

- (72)発明者 八幡 和宏
日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 石崎 俊雄
日本国大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 岸田 伸太郎

- (56)参考文献 特開平11-145744 (JP, A)
特開平05-226951 (JP, A)
特開2004-228989 (JP, A)
特開2008-263438 (JP, A)
米国特許出願公開第2004/0169560 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|------|
| H03F | 3/60 |
| H03F | 3/21 |