

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 7 月 28 日 (28.07.2022)



(10) 国际公布号
WO 2022/156162 A1

(51) 国际专利分类号:
H01L 21/66 (2006.01)

(21) 国际申请号: PCT/CN2021/106484

(22) 国际申请日: 2021 年 7 月 15 日 (15.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110097233.8 2021年1月25日 (25.01.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 刘欣然 (LIU, Xinran); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui

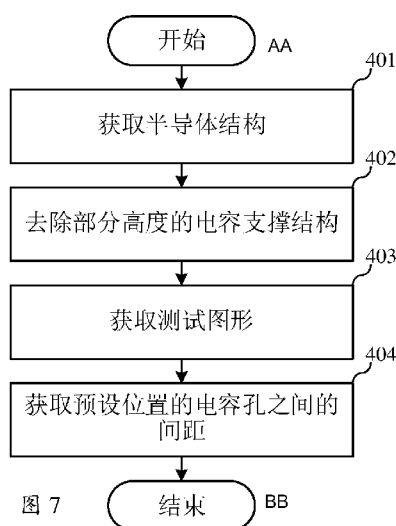
230000 (CN)。王春阳(WANG, Chunyang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。朱长立(ZHU, Changli); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京中政联科专利代理事务所 (普通合伙) (BEIJING LINKAW PATENT ATTORNEY LAW FIRM); 中国北京市昌平区北清路TBD云中心2号楼B座502, Beijing 102209 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) **Title:** SEMICONDUCTOR STRUCTURE PARAMETER ACQUISITION METHOD, DETECTION STANDARD ACQUISITION METHOD AND DETECTION METHOD

(54) 发明名称: 半导体结构参数获取、检测标准的获取及检测方法



401 Acquire a semiconductor structure
402 Remove capacitor supporting structures at some heights
403 Acquire test patterns
404 Acquire the distance between capacitor holes at preset positions
AA Start
BB End

图 7

(57) **Abstract:** Provided are a semiconductor structure parameter acquisition method, a detection standard acquisition method and a detection method. The semiconductor structure parameter acquisition method comprises: acquiring a semiconductor structure, wherein the semiconductor structure comprises a substrate and capacitor supporting structures located on the substrate, a plurality of capacitor holes are provided in the capacitor supporting structures, and the capacitor holes penetrate the capacitor supporting structures in the thickness direction of the capacitor supporting structures; removing capacitor supporting structures at some heights; acquiring test patterns, wherein the test patterns are patterns exposed out of the tops of the remaining capacitor supporting structures; and acquiring, from the test patterns, the distance between capacitor holes at preset positions on the basis of a preset direction. The embodiments of the present application aim to provide a method for rapidly and accurately monitoring product anomalies.

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本申请实施例提供一种半导体结构参数获取、检测标准的获取及检测方法, 其中, 半导体结构参数获取方法, 包括: 获取半导体结构, 半导体结构包括衬底, 以及位于衬底上的电容支撑结构, 电容支撑结构中具有多个电容孔, 电容孔在电容支撑结构的厚度方向上贯穿电容支撑结构; 去除部分高度的电容支撑结构; 获取测试图形, 测试图形为剩余电容支撑结构顶部暴露出的图形; 在测试图形中, 基于预设方向获取预设位置的电容孔之间的间距; 本申请实施例旨在提供一种快速且准确监测出产品异常的方法。

半导体结构参数获取、检测标准的获取及检测方法

交叉引用

本申请基于申请号为 202110097233.8、申请日为 2021 年 01 月 25 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体制造领域，特别涉及一种半导体结构参数获取、检测标准的获取及检测方法。

背景技术

动态随机存取存储器（Dynamic Random Access Memory, DRAM）通过以电容结构中存储电荷的方式存储数据，形成的电容结构的深宽比越大，电容结构的电容越大，可存储的电荷越多。

由于工艺的进步，DRAM 的特征尺寸越来越小，刻蚀具有高深宽比的电容结构的难度越来越大，在形成高深宽比电容结构的过程中会形成刻蚀缺陷，从而导致形成的部分电容结构失效，影响半导体器件的良率。

传统的量测工艺通常是对晶圆产品进行探针测试，难以及时发现产品问题，导致大量线上产品出现良率问题，如何快速且精确地监控出产品的异常，是当下亟待解决的问题。

发明内容

本申请实施例提供一种半导体结构参数获取、检测标准的获取及检测方法，旨在提供一种快速且准确监测出产品异常的方法。

本申请的实施例提供了一种半导体结构参数获取方法，包括：获取半导体结

构，半导体结构包括衬底，以及位于衬底上的电容支撑结构，电容支撑结构中具有多个电容孔，电容孔在电容支撑结构的厚度方向上贯穿电容支撑结构；去除部分高度的电容支撑结构；获取测试图形，测试图形为剩余电容支撑结构顶部暴露出的图形；在测试图形中，基于预设方向获取预设位置的电容孔之间的间距。

本申请的实施例还提供了一种检测标准的获取方法，基于上述半导体结构参数获取方法，还包括：获取半导体结构对应产品的良率；获取良率下，半导体结构被去除的电容支撑结构的高度与预设位置的电容孔之间的间距的第一测试关系。

本申请实施例还提供了一种检测方法，基于上述检测标准的获取方法，包括：获取半导体结构，半导体结构包括衬底，以及位于衬底上的电容支撑结构，电容支撑结构中具有多个电容孔，电容孔在电容支撑结构的厚度方向上贯穿电容支撑结构；获取设置高度，并去除设置高度的电容支撑结构；获取测试图形和偏移距离；基于预设良率，获取预设良率对应的第一测试关系；基于第一测试关系，获取去除设置高度的电容支撑结构下偏移距离的第一判断标准；基于偏移距离和第一判断标准，判断半导体结构的刻蚀状态是否为正常状态。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，除非有特别说明，附图中的图不构成比例限制。

图1和图2为本申请一实施例提供的在理想情况下刻蚀后的半导体结构及顶部图形的结构示意图；

图3和图4为本申请一实施例提供的刻蚀后存在第一类刻蚀缺陷的半导体结构及虚线位置图形的结构示意图；

图 5 和图 6 为本申请一实施例提供的刻蚀后存在第二类刻蚀缺陷的半导体结构及虚线位置图形的结构示意图；

图 7 为本申请一实施例提供的半导体结构参数获取的流程示意图；

图 8 为本申请一实施例提供的确定测量区间的结构示意图；

图 9 为本申请一实施例提供的半导体结构参数获取方法的中的半导体结构示意图；

图 10 为本申请另一实施例提供的检测标准的获取方法的流程示意图；

图 11 和图 12 为本申请又一实施例进一步提供的检测方法的流程示意图。

具体实施方式

传统的量测工艺通常是对晶圆产品进行探针测试，难以及时发现产品问题，导致大量线上产品出现良率问题，如何快速且精确地监控出产品的异常，是当下亟待解决的问题。

为解决上述问题，本申请一实施例提供了一种半导体结构参数获取方法，包括：获取半导体结构，半导体结构包括衬底，以及位于衬底上的电容支撑结构，电容支撑结构中具有多个电容孔，电容孔在电容支撑结构的厚度方向上贯穿电容支撑结构；去除部分高度的电容支撑结构；获取测试图形，测试图形为剩余电容支撑结构顶部暴露出的图形；在测试图形中，基于预设方向获取预设位置的电容孔之间的间距。

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申

请所要求保护的技术方案。以下各个实施例的划分是为了描述方便，不应对本申请的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

图 1 和图 2 为本申请一实施例提供的在理想情况下刻蚀后的半导体结构及顶部图形的结构示意图，图 3 和图 4 为本申请一实施例提供的刻蚀后存在第一类刻蚀缺陷的半导体结构及虚线位置图形的结构示意图，图 5 和图 6 为本申请一实施例提供的刻蚀后存在第二类刻蚀缺陷的半导体结构及虚线位置图形的结构示意图，下面结合图 1-图 6 对本实施例的检测原理进行详细说明，具体如下：

参考图 1，本实施例提供的半导体结构已完成刻蚀工艺形成电容孔，半导体结构包括：衬底 101 和位于衬底 101 上的电容支撑结构 102，其中，衬底 101 中包括导电层 111，导电层 111 用于电连接后续基于电容孔 103 形成的电容结构；电容支撑结构 102 包括依次在衬底 101 上堆叠形成的底部支撑层 112、第一牺牲层 122、中间支撑层 132、第二牺牲层 142 和顶部支撑层 152；电容支撑结构 102 中具有多个电容孔 103，电容孔 103 在电容支撑结构 102 的厚度方向上贯穿电容支撑结构 102。此时电容支撑结构 102 的顶部图形参考图 2，每个电容孔 103 之间的距离相等，去除预设高度的电容支撑结构 102 的过程中，剩余电容支撑结构 102 的顶部图形的形貌不变。

参考图 3，若刻蚀形成的电容支撑结构 102 存在第一类缺陷电容孔 203，第一类缺陷电容孔 203 即部分第一牺牲层 122 和第二牺牲层 132 存在过刻蚀的缺陷，缺陷会影响后续形成的晶圆产品的良率，若将电容支撑结构 102 刻蚀至虚线处，此时剩余电容支撑结构 102 顶部图形参考图 4，第一类缺陷电容孔 203 的尺寸大于电容孔 103，通过在刻蚀部分高度的电容支撑结构 102 的过程中，检测电容孔

103 的尺寸变化，可以获取电容孔 103 的尺寸变化量，然后获取存在第一类缺陷电容孔 203 的半导体结构对应的晶圆产品的良率，进而获取第一类缺陷电容孔 203 的尺寸大小对于半导体结构对应的晶圆产品的良率大小的影响。

参考图 5，若刻蚀形成的电容支撑结构 102 存在第二类缺陷电容孔 303，第二类缺陷电容孔 303 即刻蚀后存在倾斜的电容孔 103，第二类缺陷电容孔 303 会影响后续形成的电容结构与导电层 111 的接触面，从而影响后续形成的晶圆产品的良率，若将电容支撑结构 102 刻蚀至虚线处，此时剩余电容支撑结构 102 顶部图形参考图 6，第二类缺陷电容孔 303 的位置会出现偏移，通过检测第二类缺陷电容孔 303 的偏移量，然后获取存在第二类缺陷电容孔 303 的半导体结构对应的晶圆产品的良率，进而获取第二类缺陷电容孔 303 的偏移大小对于半导体结构对应的晶圆产品的良率大小的影响。

此外，除了上述第一类缺陷电容孔 203 和第二类缺陷电容孔 303，半导体结构中还存在有其他电容孔缺陷，都会影响半导体结构对应的晶圆产品的良率，此处不一一列举，但以下方法都可以用来测量上述第一类缺陷电容孔 203 和第二类缺陷电容孔 303 的相应参数，并解决以上提及的技术问题。

下面结合附图对本实施例提供的半导体结构参数获取方法进行详细说明。

参考图 7，半导体结构参数获取方法，包括：

步骤 401，获取半导体结构。

具体地，从生产线上获取已完成刻蚀工艺的半导体结构，半导体结构包括衬底，以及位于衬底上的电容支撑结构，电容支撑结构中具有多个电容孔，电容孔电容支撑结构的厚度方向上贯穿电容支撑结构。

步骤 402，去除部分高度的电容支撑结构。

具体地，预设高度根据应用场景进行设定。本领域技术人员可以理解的是，预设高度设置的越大，可以更加全面的检测在去除电容支撑结构中电容孔的尺寸变化；在一个例子中，参考图 1，可以只去除顶部支撑层 152、也可以去除顶部支撑层 152 后再去除部分第二牺牲层 142、也可以去除到中间支撑层 132 或第一牺牲层 122。

另外，根据设置的预设高度的不同，去除电容支撑结构的厚度不同，此时第二类缺陷电容孔的偏移量会变大，即电容孔的偏移量与半导体结构对应的晶圆产品的良率的对应关系存在差异。

需要说明的是，预设高度可以是多个高度值，具体地，对多个预设高度由小到大进行排序，依次刻蚀至预设高度获取第二类缺陷电容孔的偏移量与半导体结构对应的晶圆产品的良率之间的关系，从而实现在一次刻蚀工艺中，获取不同预设高度下，第二类缺陷电容孔的偏移量与半导体结构对应的晶圆产品的良率之间的关系。

步骤 403，获取测试图形。

具体地，获取测试图形，测试图形为剩余电容支撑结构顶部表露出的图形。测试图形用于体现剩余电容支撑结构中电容孔的位置，便于获取电容孔的尺寸变化量以及测量预设位置的电容孔之间的距离。

步骤 404，获取预设位置的电容孔之间的间距。

具体地，在测试图形中，基于预设方向获取预设位置的电容孔之间的间距。

预设位置的电容孔之间的间距可以为相邻电容孔的间距、每三个电容孔之间的间距、每四个电容孔之间的间距等，或者指定位置的电容孔之间的间距；本实施例中采用相邻电容孔的间距作为预设位置的电容孔之间的间距。

在本实施例中，基于预设方向获取预设位置的电容孔之间的间距，包括：在测试图形中，基于预设方向获取预设位置的电容孔的偏移距离。

具体地，偏移距离用于表征电容孔的位置偏移量。

在本实施例中，基于预设方向获取预设位置的电容孔的偏移距离，包括以下步骤：

参考图 8，在测试图形中确定测量区间 201，测量区间 201 中包括 M 行*N 列的电容孔 103，M 和 N 为大于等于 2 的自然数；获取测量区间 201 中相邻电容孔 103 之间的间距；基于预设方向上，单行/列中多个间距中的最大值和最小值，获取偏移极差，偏移极差为间距中的最大值和最小值之差；获取偏移距离，偏移距离为多个偏移极差的平均值。

需要说明的是，M 和 N 可以是相同的自然数，即 $M=N$ ；M 和 N 也可以是不相等的自然数，即 $M \neq N$ ；在本实施例中，图 8 以 3 行 3 列的电容孔作为测量区间 201，箭头 202 指向预设方向；在预设方向上获取电容孔 103 之间的多个间距，基于获取的多个间距，获取单行/列中多个间距中的最大值和最小值，根据最大值和最小值的差，获取单行/列中的偏移极差，然后根据每列或者每行的偏移极差的平均值，获取偏移距离，偏移距离用于表征测量区间 201 中电容孔的位置偏移量；在其他实施例中，也可以采用 $M \neq N$ 的区间作为测量区间，本实施例并不构成对测量区间大小的限定。

在本实施例中，通过特征尺寸测量用扫描电子显微镜（Critical Dimension Scanning Electron Microscope, CD-SEM）获取电容孔 103 之间的间距，通过特征尺寸测量用扫描电子显微镜可以准确且快速地获取电容孔 103 之间的间距。

需要说明的是，图 8 以行方向为预设方向，获取每一行的偏移极差从而获取

测量区间 201 中的偏移距离；在其他实施例中，可以以列方向为预设方向，获取每一列的偏移极差从而获取测量区间中的偏移距离；还可以同时以列方向和行方向，获取每一列以及每一行的偏移极差从而获取测量区间中的偏移距离，采用行方向和列方向结合的方式，结合每行的偏移极差和每列的偏移极差，可以更全面的获取电容孔的偏移距离。

参考图 9，在本实施例中，在执行步骤 502 之前，还包括：形成位于电容孔 103 侧壁的保护层 510，通过在电容孔 103 侧壁形成保护层 510，防止在向下转移电容支撑结构 102 顶部图形的过程中，造成对电容孔 103 的破坏；形成位于电容孔 103 侧壁的保护层 510，包括以下步骤：

形成覆盖电容支撑结构顶部表面，且覆盖电容孔侧壁的保护膜（未图示），去除位于电容支撑结构 102 表面的保护膜（未图示），形成位于电容孔 103 侧壁的保护层 510。

在一个例子中，保护层 510 的材料至少包括 SiN、SiON 和 TiN 中的一种，在本实施例中，保护层 510 的材料为 SiN。

在本实施例中，在去除部分高度的电容支撑结构的过程中，包括：获取电容支撑结构顶部暴露出的图形中电容孔的尺寸变化量，尺寸变化量用于表征在去除部分高度的电容支撑结构的过程中，电容孔的尺寸变化的数值。

需要说明的是，尺寸变化量的获取方式包括定时获取和实时获取。采用定时获取的方式即在刻蚀到预设高度的过程中，获取多个剩余电容支撑结构顶部图形，然后根据多个剩余电容支撑结构顶部图形，获取每个电容孔的尺寸变化量；采用实时获取的方式即在刻蚀到预设高度的过程中，采用传感器实时获取剩余电容支撑结构顶部图形中电容孔的尺寸，直至刻蚀到预设高度，获取每个电容孔的

尺寸变化量。

具体地，获取电容支撑结构顶部暴露出的图形中电容孔的尺寸变化量，包括以下步骤：基于半导体结构中每个电容孔的尺寸，在去除部分高度的电容支撑结构的过程中，获取每个电容孔的尺寸变化的最大值；基于电容孔的尺寸变化的最大值，获取尺寸变化量，尺寸变化量为多个电容孔的尺寸变化的最大值的平均值。

相对于相关技术而言，通过去除部分高度的电容支撑结构，将半导体结构的顶部图形向下转移获取测试图形，并获取测试图形中电容孔的间距，从而快速获取产品刻蚀后的电容孔的参数。

上面各种步骤划分，只是为了描述清楚，实现时可以合并为一个步骤或者对某些步骤进行拆分，分解为多个步骤，只要包括相同的逻辑关系，都在本专利的保护范围内；对流程中添加无关紧要的修改或者引入无关紧要的设计，但不改变其流程的核心设计都在该专利的保护范围内。

本申请另一实施例涉及一种检测标准的获取方法，基于上述半导体结构参数获取方法，还包括：获取半导体结构对应产品的良率，获取良率下，半导体结构被去除的电容支撑结构的高度与预设位置的电容孔之间的间距的第一测试关系。

图 10 为本实施例提供的检测标准的获取方法的流程示意图，以下将结合附图对本实施例提供的检测方法进行详细说明，与上述实施例相同或相应的部分，以下将不做详细赘述。

参考图 10，检测标准的获取方法，包括：

步骤 501，获取半导体结构。

具体地，从生产线上获取已完成刻蚀工艺的半导体结构，半导体结构包括衬底，以及位于衬底上的电容支撑结构，电容支撑结构中具有多个电容孔，电容孔

电容支撑结构的厚度方向上贯穿电容支撑结构。

步骤 502，去除部分高度的电容支撑结构。

具体地，预设高度根据应用场景进行设定。本领域技术人员可以理解的是，预设高度设置的越大，可以更加全面的检测在去除电容支撑结构中电容孔的尺寸变化；另外，根据设置的预设高度的不同，去除电容支撑结构的厚度不同，此时第二类缺陷电容孔的偏移量会变大，即电容孔的偏移量与半导体结构对应的晶圆产品的良率的对应关系存在差异。

步骤 503，获取测试图形，获取预设位置的电容孔之间的间距。

具体地，获取测试图形，测试图形为剩余电容支撑结构顶部表露出的图形。测试图形用于体现剩余电容支撑结构中电容孔的位置，便于获取电容孔的尺寸变化量以及测量预设位置的电容孔之间的距离。

步骤 504，获取第一测试关系。

具体地，首先，获取半导体结构对应产品的良率；然后，获取良率下，半导体结构被去除的电容支撑结构的高度与预设位置的电容孔之间的间距的第一测试关系。

在本实施例中，采用预设位置的电容孔之间的间距作为偏移距离，偏移距离用于表征电容孔的位置偏移量。即第一测试关系为，半导体结构对应产品的良率下，被去除的电容支撑结构的高度与偏移距离的关系。

此时，当半导体结构在去除部分电容支撑结构后，半导体结构电容孔的实际偏移距离不大于标准偏移距离，说明半导体结构对应的良率满足预设良率标准；当半导体结构在去除部分电容支撑结构后，半导体结构电容孔的实际偏移距离大于标准偏移距离，说明半导体结构对应的良率不满足预设良率标准。

步骤 505，获取第二测试关系。

具体地，获取不同良率的产品对应的半导体结构的第一测试关系；基于不同良率下的第一测试关系，建立被去除的电容支撑结构的高度、预设位置的电容孔之间的间距和良率的第二测试关系。

在本实施例中，相比于第一测试关系，第二测试关系用于关联被去除的电容支撑结构的高度、偏移距离和良率，后续根据需求的良率范围和被去除的电容支撑结构的高度，获取偏移距离的范围，从而精确的判断半导体结构的刻蚀状态。

在本实施例中，在去除部分高度的电容支撑结构的过程中，包括：获取电容支撑结构顶部暴露出的图形中电容孔的尺寸变化量，尺寸变化量用于表征在去除部分高度的电容支撑结构的过程中，电容孔的尺寸变化的数值，获取半导体结构对应产品的良率下，半导体结构被去除的电容支撑结构的高度与尺寸变化量的第三测试关系。

具体地，由于半导体结构是从生产线上获取已完成刻蚀工艺的半导体结构，获取半导体结构对应批次的产品的良率，并根据上述获取的半导体结构的尺寸变化量，从而获取第三测试关系，第三测试关系用于表征良率与尺寸变化量之间的关系，即根据预设良率标准和被去除的电容支撑结构的高度，获取电容孔的标准尺寸变化量。

此时，当半导体结构在去除部分电容支撑结构后，半导体结构电容孔的实际尺寸变化的尺寸变化量不大于标准尺寸变化量，说明半导体结构对应的良率满足预设良率标准；当半导体结构在去除部分电容支撑结构后，半导体结构电容孔的实际尺寸变化的尺寸变化量大于标准尺寸变化量，说明半导体结构对应的良率不满足预设良率标准。

在本实施例中，还包括获取不同良率的产品对应的半导体结构的第三测试关系，基于不同预设良率标准下的第三测试关系，建立被去除的电容支撑结构的高度、尺寸变化量和良率的第四测试关系。

相比于第三测试关系，第四测试关系同于关联被去除的电容支撑结构的高度、尺寸变化量和良率，后续根据需求的良率范围和被去除的电容支撑结构的高度，获取尺寸变化量的范围，从而精确的判断半导体结构的刻蚀状态。

相对于相关技术而言，通过半导体结构的顶部图形向下转移获取测试图形，判断测试图形中电容孔的间距，并结合半导体结构对应批次的良率，获取对应的测试关系，后续可直接根据电容孔的间距获取半导体结构的良率，从而快速地监控出产品的异常。

上面各种步骤划分，只是为了描述清楚，实现时可以合并为一个步骤或者对某些步骤进行拆分，分解为多个步骤，只要包括相同的逻辑关系，都在本专利的保护范围内；对流程中添加无关紧要的修改或者引入无关紧要的设计，但不改变其流程的核心设计都在该专利的保护范围内。

本申请又一实施例涉及一种检测方法，基于上述实施例提供的获取方法，包括：获取半导体结构，半导体结构包括衬底，以及位于衬底上的电容支撑结构，电容支撑结构中具有多个电容孔，电容孔在电容支撑结构的厚度方向上贯穿电容支撑结构；获取设置高度，并去除设置高度的电容支撑结构；获取测试图形和偏移距离；基于预设良率，获取预设良率对应的第一测试关系；基于第一测试关系，获取去除设置高度的电容支撑结构下偏移距离的第一判断标准；基于偏移距离和第一判断标准，判断半导体结构的刻蚀状态是否为正常状态。

图 11 和图 12 为本实施例进一步提供的检测方法的流程示意图，以下将结合

附图对本实施例提供的检测方法进行详细说明，与上述实施例相同或相应的部分，以下将不做详细赘述。

参考图 11，检测方法，包括：

步骤 601，获取半导体结构。

具体地，获取半导体结构，半导体结构包括衬底，以及位于衬底上的电容支撑结构，电容支撑结构中具有多个电容孔，电容孔在电容支撑结构的厚度方向上贯穿电容支撑结构。

在本实施例中，半导体结构从完成刻蚀工艺的生产线上获取，直接从生产线上获取已完成刻蚀工艺的半导体结构，可以直观的检测完成刻蚀工艺的半导体结构的良率，从而快速地监控出产品的异常。

步骤 602，获取设置高度，并去除设置高度的电容支撑结构。

设置高度根据应用场景进行设定。本领域技术人员可以理解的是，设置高度设置的越大，可以更加全面的检测在去除电容支撑结构中电容孔的尺寸变化；另外，根据设置的设置高度的不同，去除电容支撑结构的厚度不同，此时第二类缺陷电容孔的偏移量会变大，即电容孔的偏移量与半导体结构对应的晶圆产品的良率的对应关系存在差异。

步骤 603，获取测试图形和偏移距离。

具体地，获取测试图形，测试图形为剩余电容支撑结构顶部表露出的图形。测试图形用于体现剩余电容支撑结构中电容孔的位置，便于获取电容孔的尺寸变化量以及测量预设位置的电容孔之间的距离。

在测试图形中，基于预设方向获取偏移距离，偏移距离用于表征电容孔的位置偏移量。

在本实施例中，基于预设方向获取偏移距离，包括以下步骤：

参考图 8，在测试图形中确定测量区间 201，测量区间 201 中包括 M 行*N 列的电容孔 103，M 和 N 为大于等于 2 的自然数；获取测量区间 201 中相邻电容孔 103 之间的间距；基于预设方向上，单行/列中多个间距中的最大值和最小值，获取偏移极差，偏移极差为间距中的最大值和最小值之差；获取偏移距离，偏移距离为多个偏移极差的平均值。

图 8 以 3 行 3 列的电容孔作为测量区间 201，箭头 202 指向预设方向；在预设方向上获取电容孔 103 之间的多个间距，基于获取的多个间距，获取单行/列中多个间距中的最大值和最小值，根据最大值和最小值的差，获取单行/列中的偏移极差，然后根据每列或者每行的偏移极差的平均值，获取偏移距离，偏移距离用于表征测量区间 201 中电容孔的位置偏移量。

步骤 604，获取第一判断标准。

基于预设良率，获取预设良率对应的第一测试关系；基于第一测试关系，获取去除设置高度的电容支撑结构下偏移距离的第一判断标准。

具体地，预设良率即半导体结构对应的晶圆所需达到的良率，基于预设良率和设置高度，获取对应的偏移距离作为第一判断标准。

步骤 605，判断半导体结构的刻蚀状态是否为正常状态。

基于偏移距离和第一判断标准，判断半导体结构的刻蚀状态是否为正常状态。

具体地，半导体结构的实际偏移距离是否处于第一判断标准的范围内，若半导体结构的实际偏移距离小于等于第一判断标准，半导体结构的刻蚀状态为正常状态；若半导体结构的实际偏移距离大于第一判断标准，半导体结构的刻蚀状态

为异常状态。

在一个例子中，在步骤 604 之后，且执行步骤 605 之前，还包括：获取不同良率的产品对应的半导体结构的第一测试关系；基于不同良率下的第一测试关系，建立被去除的电容支撑结构的高度、预设位置的电容孔之间的间距和良率的第二测试关系。

基于第一测试关系，获取去除设置高度的电容支撑结构下偏移距离的第一判断标准，包括：基于预设良率范围，获取预设良率范围对应的第二测试关系；基于第二测试关系，获取去除设置高度的电容支撑结构下偏移距离的第二判断标准。

具体地，良率范围即根据实际应用，确认的处于正常工作状态的半导体结构的良率，根据设置高度，获取良率范围对应的偏移距离，将偏移距离的范围作为第二判断标准。

基于偏移距离和第一判断标准，判断半导体结构的刻蚀状态是否为正常状态，包括：基于偏移距离和第二判断标准，判断半导体结构的刻蚀状态是否为正常状态，即此时步骤 605 为根据第二判断标准，判断半导体结构的刻蚀状态是否为正常状态。

具体地，半导体结构的实际偏移距离是否处于第二判断标准的范围内，若半导体结构的实际偏移距离符合第二判断标准，半导体结构的刻蚀状态为正常状态；若半导体结构的实际偏移距离不满足第二判断标准，半导体结构的刻蚀状态为异常状态。

在本实施例中，在步骤 605 之后还包括步骤 606，判断是否达到最大设置高度值。

具体地，设置高度包括多个高度值，对多个高度值进行排序，基于从小到大的顺序，获取各个设置高度下半导体结构的刻蚀状态，通过设置多个高度值，可以在一次刻蚀工艺中，获取不同设置高度下，电容孔的偏移量与良率之间的关系，从而更加全面的监测产品的是否出现异常。

在本实施例中，参考图 12，还包括步骤 607 和步骤 608，步骤 607 与步骤 602 同时执行。

步骤 607，获取电容孔的尺寸变化量。

具体地，获取电容支撑结构顶部暴露出的图形中电容孔的尺寸变化量。

在一个例子中，获取每个电容孔的尺寸变化的最大值，基于电容孔的尺寸变化的最大值，获取尺寸变化量，尺寸变化量为多个电容孔的尺寸变化的最大值的平均值。

需要说明的是，尺寸变化量的获取方式包括定时获取和实时获取。采用定时获取的方式即在刻蚀到预设高度的过程中，获取多个剩余电容支撑结构顶部图形，然后根据多个剩余电容支撑结构顶部图形，获取每个电容孔的尺寸变化量；采用实时获取的方式即在刻蚀到预设高度的过程中，采用传感器实时获取剩余电容支撑结构顶部图形中电容孔的尺寸，直至刻蚀到预设高度，获取每个电容孔的尺寸变化量。

步骤 608，获取第三判断标准。

具体地，基于预设良率，获取预设良率对应的第三测试关系；基于第三测试关系，获取去除设置高度的电容支撑结构下尺寸变化量的第三判断标准。

具体地，预设良率即半导体结构对应的晶圆所需达到的良率，基于预设良率和设置高度，获取对应的尺寸变化量作为第三判断标准。

此时，步骤 605 还包括：基于尺寸变化量和第三判断标准，判断半导体结构的刻蚀状态是否为正常状态。

具体地，半导体结构的实际尺寸变化量是否处于第三判断标准的范围内，若半导体结构的实际尺寸变化量小于等于第三判断标准，半导体结构的刻蚀状态为正常状态；若半导体结构的实际尺寸变化量大于第三判断标准，半导体结构的刻蚀状态为异常状态。

在一个例子中，在步骤 608 之后，且执行步骤 605 之前，还包括：获取不同良率的产品对应的半导体结构的第三测试关系；基于不同良率下的第三测试关系，建立被去除的电容支撑结构的高度、尺寸变化量和良率的第四测试关系。

基于第三测试关系，获取去除设置高度的电容支撑结构下尺寸变化量的第三判断标准，包括：基于预设良率范围，获取预设良率范围对应的第四测试关系；基于第四测试关系，获取去除设置高度的电容支撑结构下尺寸变化量和第四判断标准。

具体地，良率范围即根据实际应用，确认的处于正常工作状态的半导体结构的良率，获取良率范围对应的尺寸变化量，将尺寸变化量的范围作为第四判断标准。

基于偏移距离和第三判断标准，判断半导体结构的刻蚀状态是否为正常状态，包括：基于偏移距离和第四判断标准，判断半导体结构的刻蚀状态是否为正常状态。

具体地，半导体结构的实际尺寸变化量是否处于第四判断标准的范围内，若半导体结构的实际尺寸变化量符合第四判断标准，半导体结构的刻蚀状态为正常状态；若半导体结构的实际尺寸变化量不满足第四判断标准，半导体结构的刻蚀

状态为异常状态。

需要说明的是，在本实施例中，还用于获取尺寸变化的最大值大于尺寸变化量的电容孔的所在位置。通过获取存在刻蚀误差较大的电容孔的位置，可以进一步评估执行刻蚀工艺的刻蚀腔室的状态，并快速地监控出产品的异常。

相比于相关技术而言，基于前述方法中获取的测试关系，直接根据电容孔的间距获取半导体结构的良率，从而快速地监控出产品的异常。

上面各种步骤划分，只是为了描述清楚，实现时可以合并为一个步骤或者对某些步骤进行拆分，分解为多个步骤，只要包括相同的逻辑关系，都在本专利的保护范围内；对流程中添加无关紧要的修改或者引入无关紧要的设计，但不改变其流程的核心设计都在该专利的保护范围内。

由于上述实施例与本实施例相互对应，因此本实施例可与上述实施例互相配合实施。上述实施例中提到的相关技术细节在本实施例中依然有效，在上述实施例中所能达到的技术效果在本实施例中也同样可以实现，为了减少重复，这里不再赘述。相应地，本实施例中提到的相关技术细节也可应用在上述实施例中。

本领域的普通技术人员可以理解，上述各实施例是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。

权 利 要 求

1. 一种半导体结构参数获取方法，包括：

获取半导体结构，所述半导体结构包括衬底，以及位于所述衬底上的电容支撑结构，所述电容支撑结构中具有多个电容孔，所述电容孔在所述电容支撑结构的厚度方向上贯穿所述电容支撑结构；

去除部分高度的所述电容支撑结构；

获取测试图形，所述测试图形为剩余所述电容支撑结构顶部暴露出的图形；

在所述测试图形中，基于预设方向获取预设位置的电容孔之间的间距。

2. 根据权利要求1所述的半导体结构参数获取方法，其中，所述去除部分高度的所述电容支撑结构之前，还包括以下步骤：

形成位于所述电容孔侧壁的保护层。

3. 根据权利要求2所述的半导体结构参数获取方法，其中，所述形成位于所述电容孔侧壁的保护层，包括以下步骤：

形成覆盖所述电容支撑结构顶部表面，且覆盖所述电容孔侧壁的保护膜；

去除位于所述电容支撑结构表面的保护膜，形成位于所述电容孔侧壁的保护层。

4. 根据权利要求1所述的半导体结构参数获取方法，其中，所述基于预设方向获取预设位置的电容孔之间的间距，包括：在所述测试图形中，基于预设方向获取所述预设位置的电容孔的偏移距离，所述偏移距离用于表征电容孔的位置偏移量。

5. 根据权利要求4所述的半导体结构参数获取方法，其中，所述基于预设方向获取所述预设位置的电容孔的偏移距离，包括以下步骤：

在所述测试图形中确定测量区间，所述测量区间中包括M行*N列的所述电容孔，M和N为大于等于2的自然数；

获取所述测量区间中相邻所述电容孔之间的间距；

基于预设方向上，单行/列中多个所述间距中的最大值和最小值，获取偏移极差，所述偏移极差为所述间距中的最大值和最小值之差；

获取所述偏移距离，所述偏移距离为多个所述偏移极差的平均值。

6. 根据权利要求1所述的半导体结构参数获取方法，其中，在所述去除部分

高度的所述电容支撑结构的过程中，包括：获取所述电容支撑结构顶部暴露出的图形中所述电容孔的尺寸变化量，所述尺寸变化量用于表征在所述去除部分高度的所述电容支撑结构的过程中，电容孔的尺寸变化的数值。

7. 根据权利要求6所述的半导体结构参数获取方法，其中，所述获取所述电容支撑结构顶部暴露出的图形中所述电容孔的尺寸变化量，包括以下步骤：

基于所述半导体结构中每个电容孔的尺寸，在所述去除部分高度的所述电容支撑结构的过程中，获取每个电容孔的尺寸变化的最大值；

基于所述电容孔的尺寸变化的最大值，获取所述尺寸变化量，所述尺寸变化量为多个所述电容孔的尺寸变化的最大值的平均值。

8. 一种检测标准的获取方法，基于权利要求1-7任一项所述的半导体结构参数获取方法，还包括：

获取半导体结构对应产品的良率；

获取所述良率下，所述半导体结构被去除的电容支撑结构的高度与预设位置的电容孔之间的间距的第一测试关系。

9. 根据权利要求8所述的检测标准的获取方法，其中，还包括：

获取不同良率的产品对应的半导体结构的所述第一测试关系；

基于不同良率下的所述第一测试关系，建立所述被去除的电容支撑结构的高度、所述预设位置的电容孔之间的间距和良率的第二测试关系。

10. 根据权利要求8所述的检测标准的获取方法，其中，采用所述预设位置的电容孔之间的间距作为偏移距离，所述偏移距离用于表征电容孔的位置偏移量。

11. 根据权利要求8所述的检测标准的获取方法，其中，在去除部分高度的电容支撑结构的过程中，包括：

获取所述电容支撑结构顶部暴露出的图形中所述电容孔的尺寸变化量，所述尺寸变化量用于表征在所述去除部分高度的所述电容支撑结构的过程中，电容孔的尺寸变化的数值；

获取所述良率下，所述半导体结构被去除的电容支撑结构的高度与所述尺寸变化量的第三测试关系。

12. 根据权利要求11所述的检测标准的获取方法，其中，包括：

获取不同良率的产品对应的半导体结构的所述第三测试关系；

基于不同良率下的所述第三测试关系，建立所述被去除的电容支撑结构的高度、所述尺寸变化量和良率的第四测试关系。

13. 一种检测方法，基于权利要求8-12任一项所述的检测标准的获取方法，包括：

获取半导体结构，所述半导体结构包括衬底，以及位于所述衬底上的电容支撑结构，所述电容支撑结构中具有多个电容孔，所述电容孔在所述电容支撑结构的厚度方向上贯穿所述电容支撑结构；

获取设置高度，并去除所述设置高度的所述电容支撑结构；

获取测试图形和偏移距离；

基于预设良率，获取预设良率对应的第一测试关系；

基于所述第一测试关系，获取去除所述设置高度的所述电容支撑结构下所述偏移距离的第一判断标准；

基于所述偏移距离和所述第一判断标准，判断所述半导体结构的刻蚀状态是否为正常状态。

14. 根据权利要求13所述的检测方法，其中，还包括：获取不同良率的产品对应的半导体结构的所述第一测试关系；基于不同良率下的所述第一测试关系，建立所述被去除的电容支撑结构的高度、所述预设位置的电容孔之间的间距和良率的第二测试关系；

基于所述第一测试关系，获取去除所述设置高度的所述电容支撑结构下所述偏移距离的第一判断标准，包括：

基于预设良率范围，获取预设良率范围对应的第二测试关系；

基于所述第二测试关系，获取去除所述设置高度的所述电容支撑结构下所述偏移距离的第二判断标准；

基于所述偏移距离和所述第一判断标准，判断所述半导体结构的刻蚀状态是否为正常状态，包括：

基于所述偏移距离和所述第二判断标准，判断所述半导体结构的刻蚀状态是否为正常状态。

15. 根据权利要求13所述的检测方法，其中，所述设置高度包括多个高度值，还包括：

对所述多个高度值进行排序；

基于从小到大的顺序，获取各个设置高度下所述半导体结构的刻蚀状态。

16. 根据权利要求 13 所述的检测方法，其中，获取偏移距离，包括以下步骤：

在所述测试图形中确定测量区间，所述测量区间中包括 M 行*N 列的所述电容孔，M 和 N 为大于等于 2 的自然数；

获取所述测量区间中相邻所述电容孔之间的间距；

基于预设方向上，多个相邻所述电容孔之间的间距中的最大值和最小值，获取偏移极差；

获取所述偏移距离，所述偏移距离为多个所述偏移极差的平均值。

17. 根据权利要求 13 所述的检测方法，其中，包括：基于所述预设良率，获取所述预设良率对应的第三测试关系；

去除所述设置高度的所述电容支撑结构的过程中，包括以下步骤：

获取所述电容支撑结构顶部暴露出的图形中所述电容孔的尺寸变化量；

基于所述第三测试关系，获取去除所述设置高度的所述电容支撑结构下所述尺寸变化量的第三判断标准；

基于所述尺寸变化量和所述第三判断标准，判断所述半导体结构的刻蚀状态是否为正常状态。

18. 根据权利要求 17 所述的检测方法，其中，包括：获取不同良率的产品对应的半导体结构的所述第三测试关系；基于不同良率下的所述第三测试关系，建立所述被去除的电容支撑结构的高度、所述尺寸变化量和良率的第四测试关系；

基于所述第三测试关系，获取去除所述设置高度的所述电容支撑结构下所述尺寸变化量的第三判断标准，包括：

基于预设良率范围，获取预设良率范围对应的第四测试关系；

基于所述第四测试关系，获取去除所述设置高度的所述电容支撑结构下所述尺寸变化量的第四判断标准；

基于所述尺寸变化量和所述第三判断标准，判断所述半导体结构的刻蚀状态是否为正常状态，包括：

基于所述尺寸变化量和所述第四判断标准，判断所述半导体结构的刻蚀状态是否为正常状态。

19. 根据权利要求 17 所述的检测方法, 其中, 获取所述电容支撑结构顶部暴露出的图形中所述电容孔的尺寸变化量, 包括以下步骤:

获取每个电容孔的尺寸变化的最大值;

基于所述电容孔的尺寸变化的最大值, 获取所述尺寸变化量。

20. 根据权利要求 18 所述的检测方法, 还包括: 获取所述尺寸变化的最大值大于所述尺寸变化量的电容孔的所在位置。

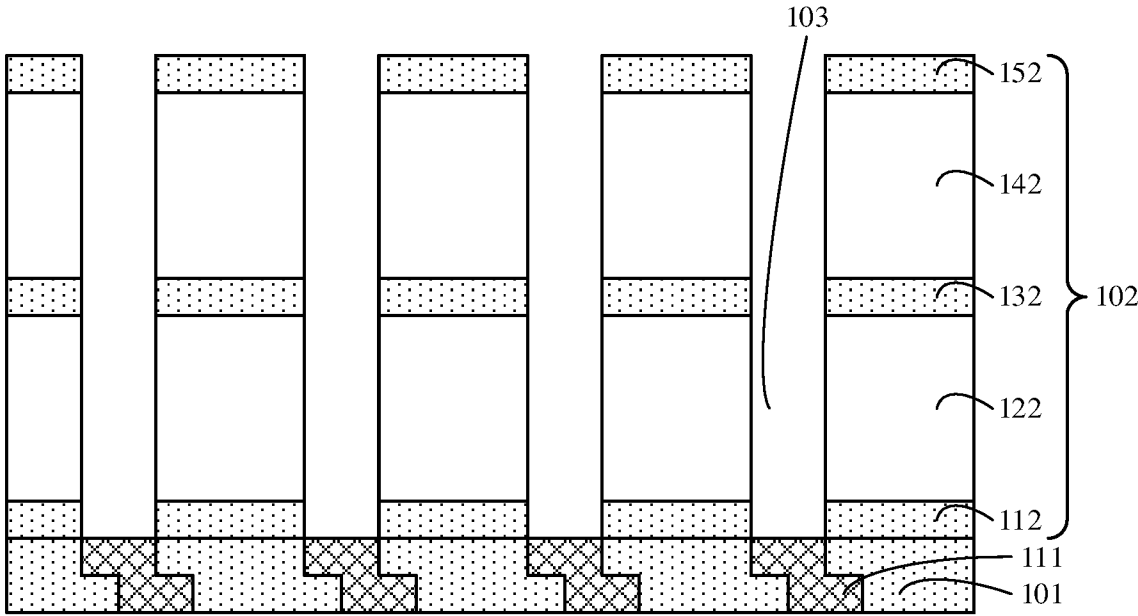


图 1

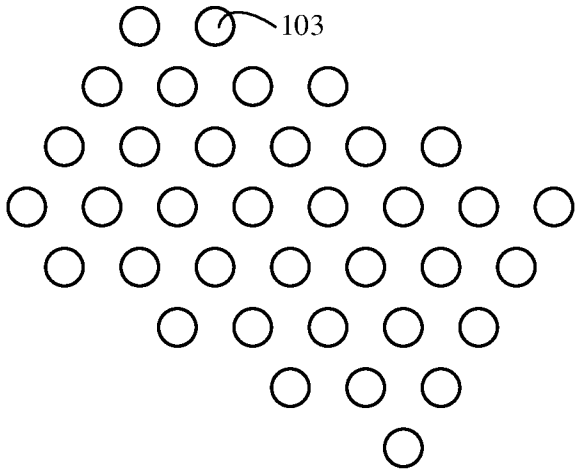


图 2

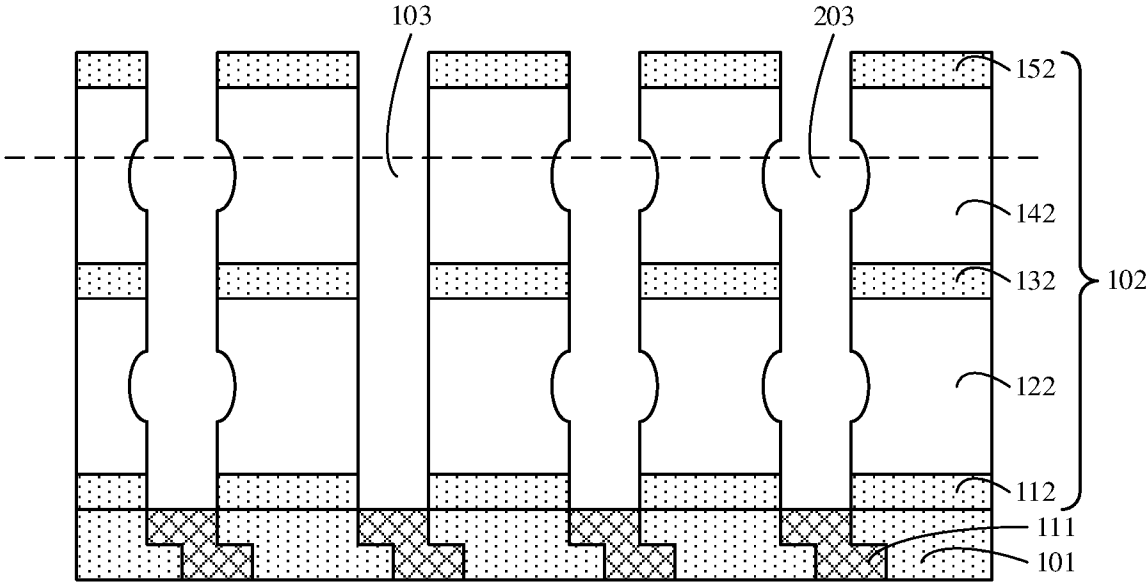


图 3

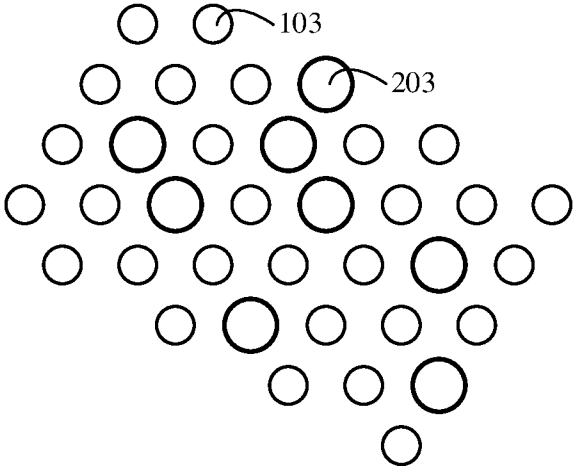


图 4

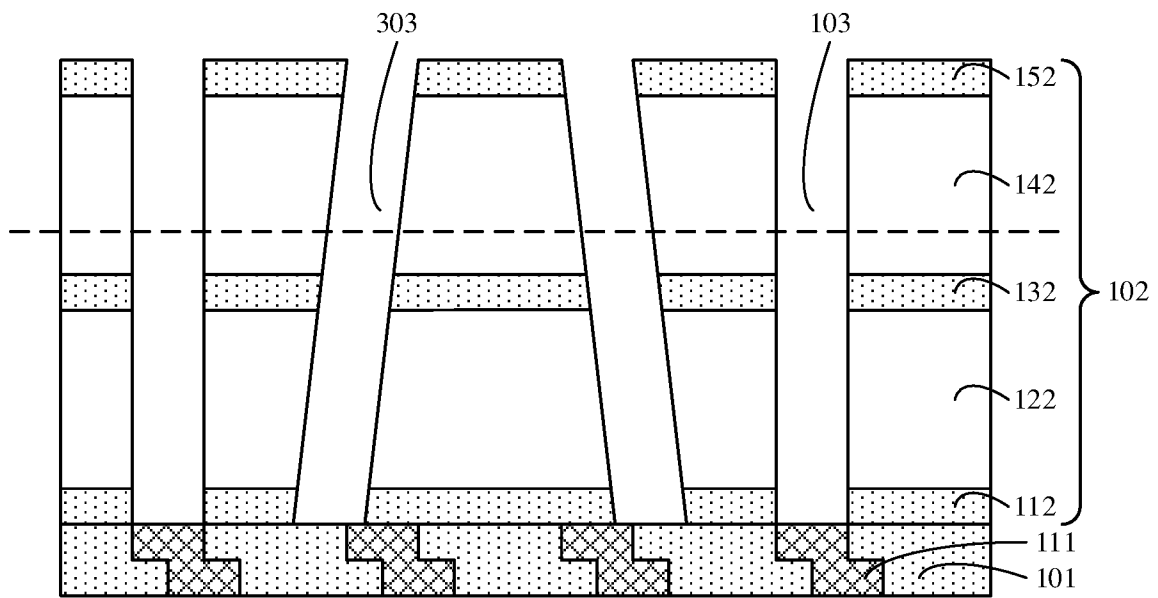


图 5

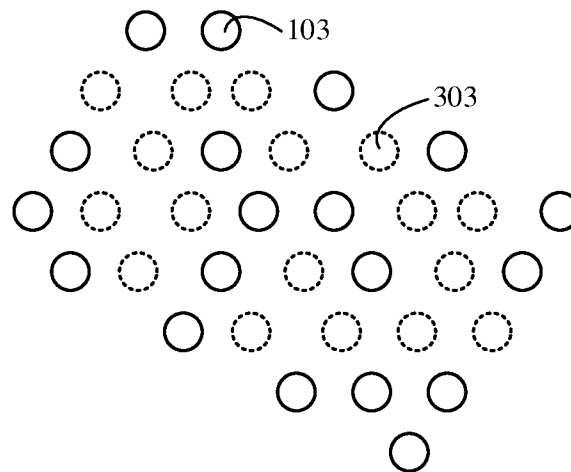


图 6

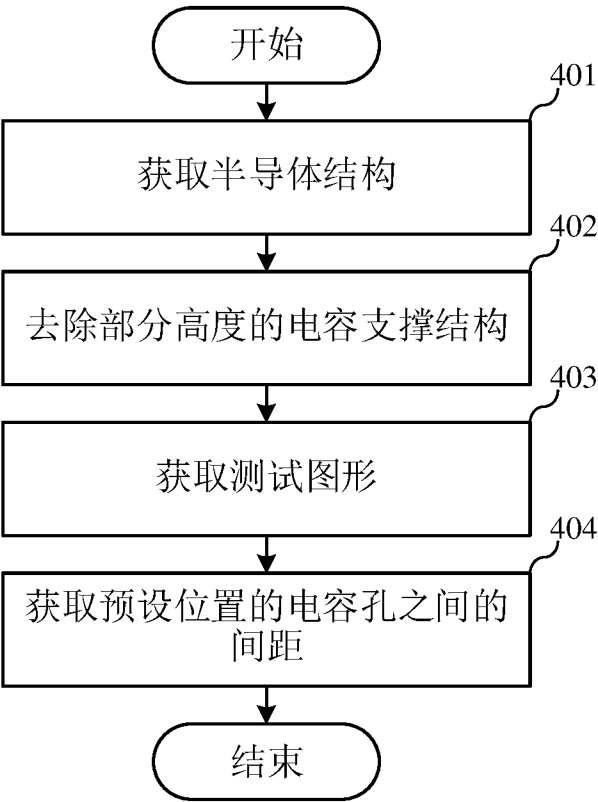


图 7

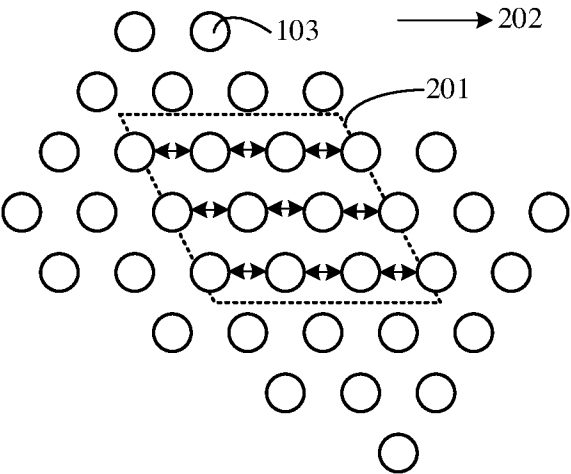


图 8

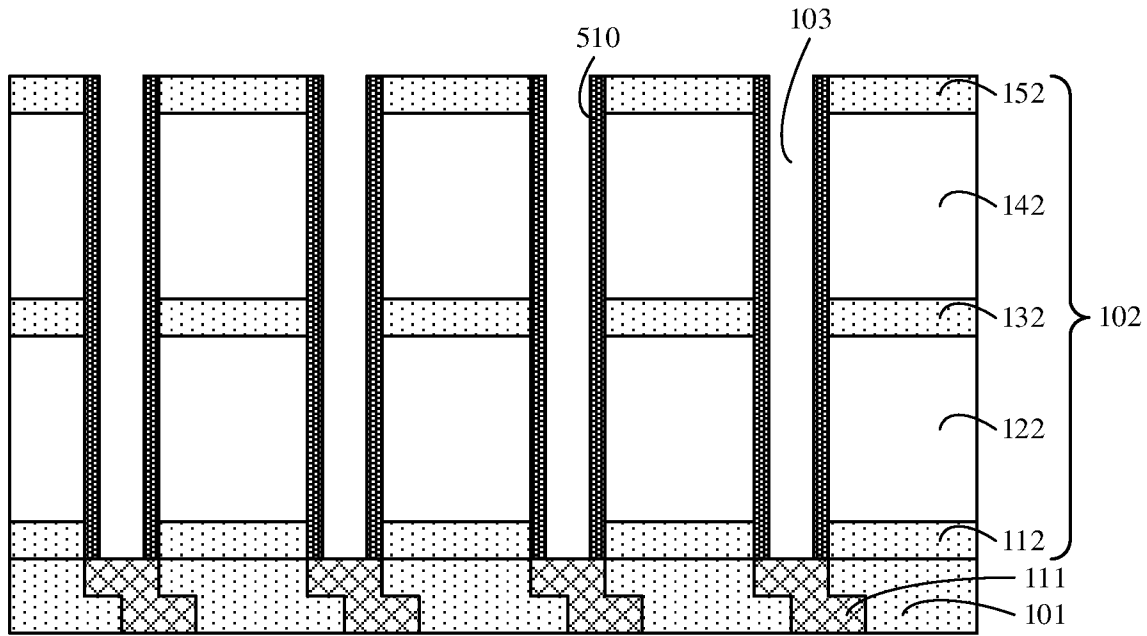


图 9

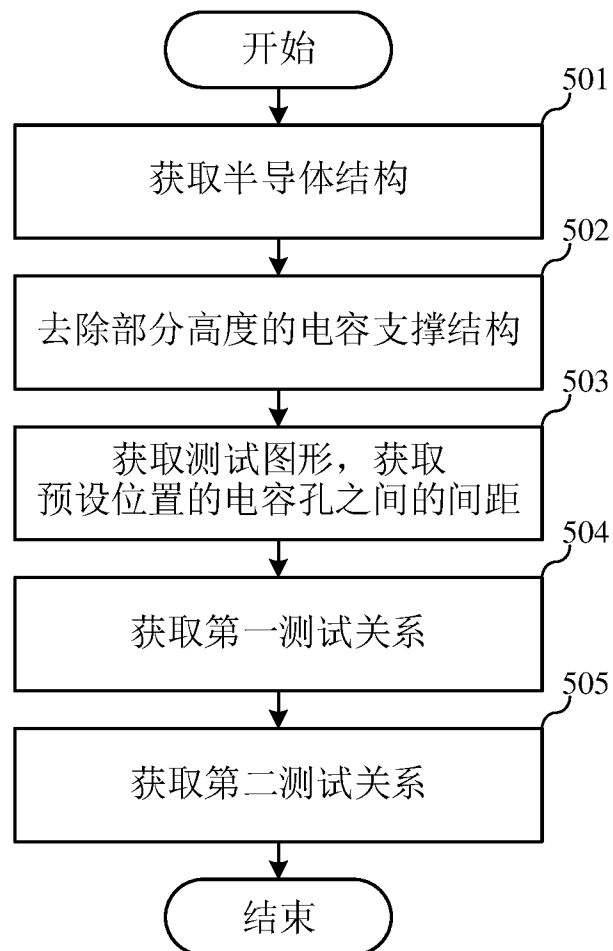


图 10

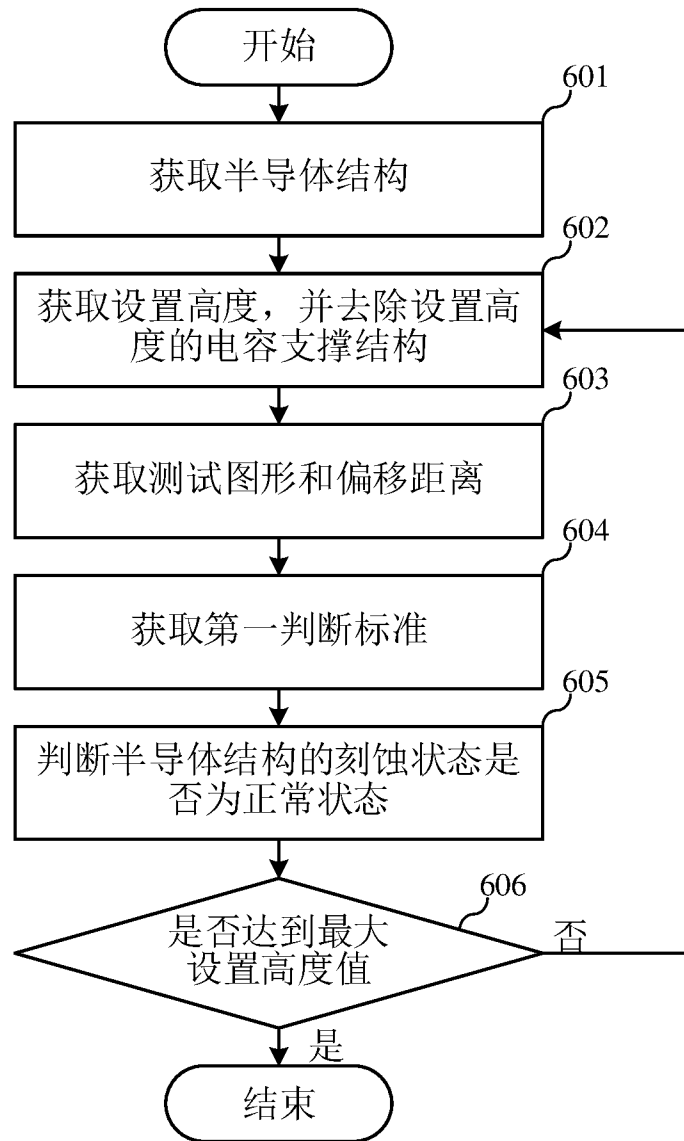


图 11

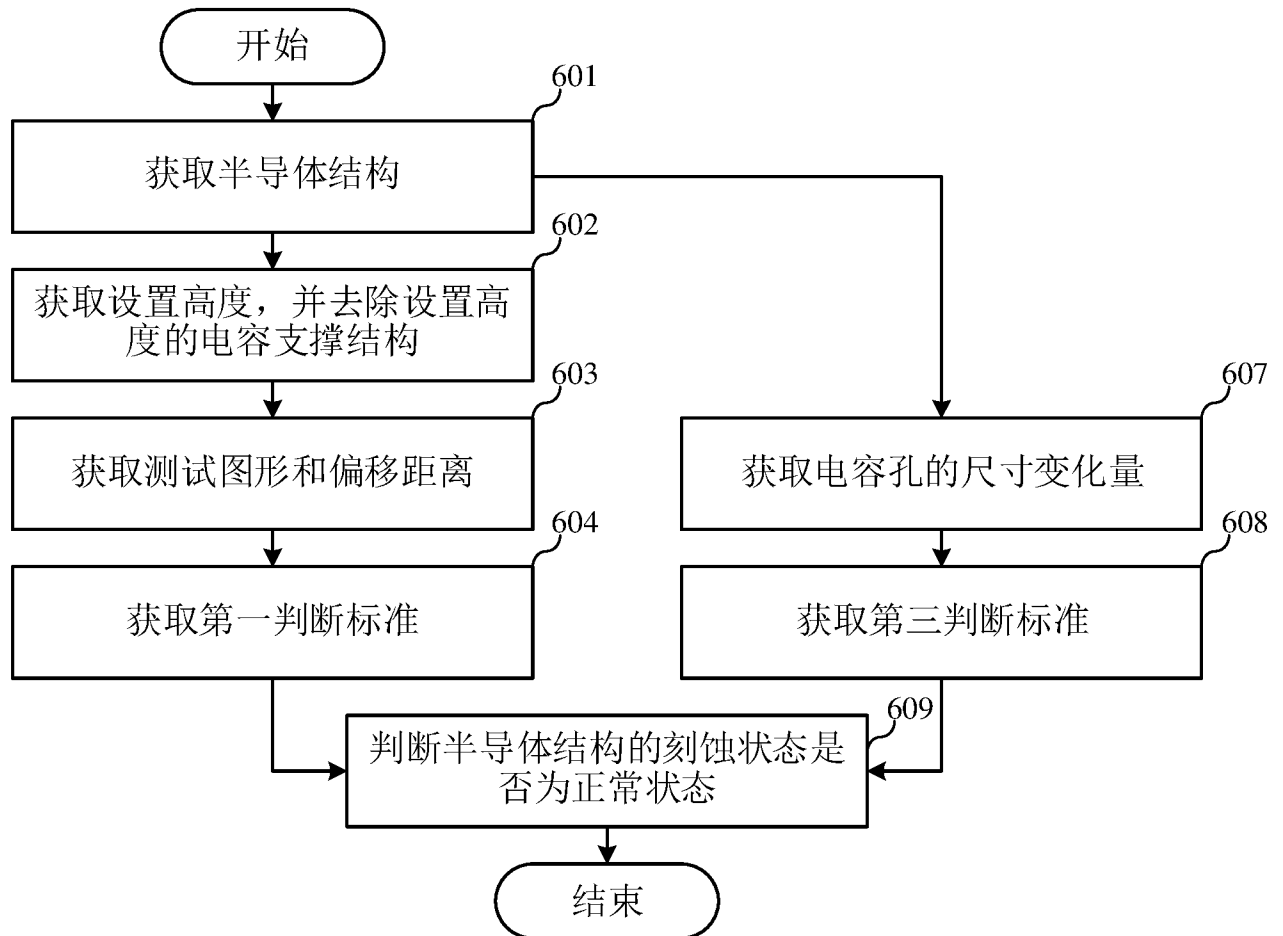


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/106484

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, CNPAT, CNKI, IEEE: 电容, 通孔, 衬底, 支撑, 去除, 间距, 测试, 测量, capacitor, hole, substrate, support, distance, space, remove, test, detect+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 112908881 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 04 June 2021 (2021-06-04) claims 1-20	1-20
A	CN 103390569 A (NATIONAL CENTER FOR ADVANCED PACKAGING CO., LTD.) 13 November 2013 (2013-11-13) description, paragraphs 0015-0016, figures 1-6	1-20
A	CN 203850292 U (SEMICONDUCTOR MANUFACTURING INTERNATIONAL CORPORATION, BEIJING) 24 September 2014 (2014-09-24) entire document	1-20
A	US 2007111341 A1 (NANYA TECHNOLOGY CORP.) 17 May 2007 (2007-05-17) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 October 2021

Date of mailing of the international search report

28 October 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/106484

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112908881	A	04 June 2021	None			
CN	103390569	A	13 November 2013	None			
CN	203850292	U	24 September 2014	None			
US	2007111341	A1	17 May 2007	US	7348596	B2	25 March 2008
				TW	200530593	A	16 September 2005
				TW	I269041	B	21 December 2006
				US	2005199931	A1	15 September 2005
				US	7443171	B2	28 October 2008

国际检索报告

国际申请号

PCT/CN2021/106484

A. 主题的分类 H01L 21/66 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) WPI, CNPAT, CNKI, IEEE: 电容, 通孔, 衬底, 支撑, 去除, 间距, 测试, 测量, capacitor, hole, substrate, support, distance, space, remove, test, detect+																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 112908881 A (长鑫存储技术有限公司) 2021年 6月 4日 (2021 - 06 - 04) 权利要求1-20</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103390569 A (华进半导体封装先导技术研发中心有限公司) 2013年 11月 13日 (2013 - 11 - 13) 说明书第0015-0016段、图1-6</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 203850292 U (中芯国际集成电路制造北京有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2007111341 A1 (NANYA TECHNOLOGY CORP.) 2007年 5月 17日 (2007 - 05 - 17) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 112908881 A (长鑫存储技术有限公司) 2021年 6月 4日 (2021 - 06 - 04) 权利要求1-20	1-20	A	CN 103390569 A (华进半导体封装先导技术研发中心有限公司) 2013年 11月 13日 (2013 - 11 - 13) 说明书第0015-0016段、图1-6	1-20	A	CN 203850292 U (中芯国际集成电路制造北京有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-20	A	US 2007111341 A1 (NANYA TECHNOLOGY CORP.) 2007年 5月 17日 (2007 - 05 - 17) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 112908881 A (长鑫存储技术有限公司) 2021年 6月 4日 (2021 - 06 - 04) 权利要求1-20	1-20															
A	CN 103390569 A (华进半导体封装先导技术研发中心有限公司) 2013年 11月 13日 (2013 - 11 - 13) 说明书第0015-0016段、图1-6	1-20															
A	CN 203850292 U (中芯国际集成电路制造北京有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-20															
A	US 2007111341 A1 (NANYA TECHNOLOGY CORP.) 2007年 5月 17日 (2007 - 05 - 17) 全文	1-20															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期 2021年 10月 14日		国际检索报告邮寄日期 2021年 10月 28日															
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 陈龙 电话号码 86-(10)-53961219															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/106484

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	112908881	A	2021年 6月 4日	无	
CN	103390569	A	2013年 11月 13日	无	
CN	203850292	U	2014年 9月 24日	无	
US	2007111341	A1	2007年 5月 17日	US 7348596 B2	2008年 3月 25日
				TW 200530593 A	2005年 9月 16日
				TW 1269041 B	2006年 12月 21日
				US 2005199931 A1	2005年 9月 15日
				US 7443171 B2	2008年 10月 28日