

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-503996

(P2014-503996A)

(43) 公表日 平成26年2月13日(2014.2.13)

(51) Int.Cl.

F 1

テーマコード (参考)

<b>HO1L 35/32</b>	(2006.01)	HO1L 35/32	A
<b>HO2N 11/00</b>	(2006.01)	HO2N 11/00	A
<b>HO1L 35/14</b>	(2006.01)	HO1L 35/14	
<b>HO1L 35/34</b>	(2006.01)	HO1L 35/34	
<b>HO1L 29/06</b>	(2006.01)	HO1L 29/06	601N

審査請求 未請求 予備審査請求 未請求 (全 29 頁) 最終頁に続く

(21) 出願番号

特願2013-540036 (P2013-540036)

(86) (22) 出願日

平成23年11月18日 (2011.11.18)

(85) 翻訳文提出日

平成25年7月17日 (2013.7.17)

(86) 國際出願番号

PCT/US2011/061301

(87) 國際公開番号

W02012/068426

(87) 國際公開日

平成24年5月24日 (2012.5.24)

(31) 優先権主張番号

61/415,577

(32) 優先日

平成22年11月19日 (2010.11.19)

(33) 優先権主張国

米国(US)

(71) 出願人 513124042

アルファベット エナジー インコーポレ

イテッド

ALPHABET ENERGY, INC

.

アメリカ合衆国, 94545 カリフォル

ニア州, ヘイワード, スイート ディー,

エデン ランディング ロード 2622

5

26225 Eden Landing

Road, Suite D, Hayward,

CA 94545, U. S. A

最終頁に続く

(54) 【発明の名称】半導体物質の長いナノ構造のアレイおよびその製造方法

## (57) 【要約】

本発明は、ナノワイヤのアレイおよびその製造方法に関し、上記ナノワイヤのアレイは複数のナノワイヤを含み、上記複数のナノワイヤは複数の第1末端および複数の第2末端をそれぞれ含み、上記複数のナノワイヤのそれに関し、上記複数の第1末端から選択される対応する第1末端と、上記複数の第2末端から選択される対応する第2末端とは、少なくとも  $200 \mu\text{m}$  の距離分だけ離れており、上記複数のナノワイヤのうち、全てのナノワイヤは、互いに実質的に平行である。

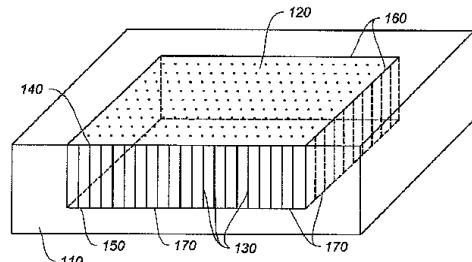


FIG. 1A

**【特許請求の範囲】****【請求項 1】**

ナノワイヤのアレイであって、

複数のナノワイヤを含み、

複数のナノワイヤは、複数の第1末端および複数の第2末端をそれぞれ含み、

上記複数のナノワイヤのそれぞれに関し、上記複数の第1末端から選択される対応する第1末端と、上記複数の第2末端から選択される対応する第2末端とは、少なくとも 200 μm の距離分だけ離れており、

上記複数のナノワイヤのうち、全てのナノワイヤは、互いに実質的に平行であるナノワイヤのアレイ。

10

**【請求項 2】**

上記第1末端と第2末端との距離が、少なくとも 300 μm である請求項 1 に記載のナノワイヤのアレイ。

**【請求項 3】**

上記距離が、少なくとも 400 μm である請求項 2 に記載のナノワイヤのアレイ。

**【請求項 4】**

上記距離が、少なくとも 500 μm である請求項 3 に記載のナノワイヤのアレイ。

**【請求項 5】**

上記距離が、少なくとも 525 μm である請求項 4 に記載のナノワイヤのアレイ。

20

**【請求項 6】**

上記複数のナノワイヤのそれぞれが、半導体物質を含む請求項 1 に記載のナノワイヤのアレイ。

**【請求項 7】**

上記半導体物質がシリコンである請求項 6 に記載のナノワイヤのアレイ。

**【請求項 8】**

ナノ構造のアレイであって、

複数のナノ構造を含み、

上記複数のナノ構造は、複数の第1末端および複数の第2末端をそれぞれ含み、

上記複数のナノ構造に関し、上記複数の第1末端から選択される対応する第1末端と、上記複数の第2末端から選択される対応する第2末端とは、少なくとも 200 μm の距離分だけ離れており、

30

上記複数のナノ構造のうち、全てのナノ構造は、互いに実質的に平行であり、

上記複数のナノ構造のそれぞれは、半導体物質を含むナノ構造のアレイ。

**【請求項 9】**

上記半導体物質がシリコンである請求項 8 に記載のナノ構造のアレイ。

**【請求項 10】**

上記距離が、少なくとも 300 μm である請求項 8 に記載のナノ構造のアレイ。

**【請求項 11】**

上記距離が、少なくとも 400 μm である請求項 10 に記載のナノ構造のアレイ。

40

**【請求項 12】**

上記距離が、少なくとも 500 μm である請求項 11 に記載のナノ構造のアレイ。

**【請求項 13】**

上記距離が、少なくとも 525 μm である請求項 12 に記載のナノ構造のアレイ。

**【請求項 14】**

上記複数のナノ構造が、複数のナノホールにそれぞれ対応する請求項 8 に記載のナノ構造のアレイ。

**【請求項 15】**

ナノワイヤのアレイであって、

複数のナノワイヤを含み、

上記複数のナノワイヤのそれぞれは、第1表面における第1末端および第2末端を含み

50

、上記第1末端と第2末端とは、少なくとも $200\mu m$ の第1距離分だけ離れており、上記複数のナノワイヤは、上記第1表面上の第1領域に対応し、上記複数のナノワイヤのうち、全てのナノワイヤは、互いに実質的に平行であるナノワイヤのアレイ。

【請求項16】

上記複数のナノワイヤが熱電素子の一部である請求項15に記載のナノワイヤのアレイ。

【請求項17】

上記第1距離が、少なくとも $300\mu m$ である請求項15に記載のナノワイヤのアレイ。

【請求項18】

上記第1距離が、少なくとも $400\mu m$ である請求項17に記載のナノワイヤのアレイ。

【請求項19】

上記第1距離が、少なくとも $500\mu m$ である請求項18に記載のナノワイヤのアレイ。

【請求項20】

上記第1距離が、少なくとも $525\mu m$ である請求項19に記載のナノワイヤのアレイ。

【請求項21】

上記第1領域が、少なくとも $100mm^2$ の大きさである請求項15に記載のナノワイヤのアレイ。

【請求項22】

上記第1領域が、少なくとも $1000mm^2$ の大きさである請求項21に記載のナノワイヤのアレイ。

【請求項23】

上記第1領域が、少なくとも $2500mm^2$ の大きさである請求項22に記載のナノワイヤのアレイ。

【請求項24】

上記第1領域が、少なくとも $5000mm^2$ の大きさである請求項23に記載のナノワイヤのアレイ。

【請求項25】

上記複数のナノワイヤのそれぞれは、上記第1表面に対して垂直である請求項15に記載のナノワイヤのアレイ。

【請求項26】

上記複数のナノワイヤのそれぞれの断面積は、直径が $250nm$ 未満に相当する請求項15に記載のナノワイヤ。

【請求項27】

上記断面積は、複数のナノワイヤの長手方向に沿って実質的に均一である請求項26に記載のナノワイヤ。

【請求項28】

上記複数のナノワイヤは、第1ナノワイヤおよび第2ナノワイヤを含み、

上記第1ナノワイヤと第2ナノワイヤとは、 $1000nm$ 未満の第2距離分だけ離れている請求項15に記載のナノワイヤのアレイ。

【請求項29】

上記複数のナノワイヤのそれぞれは、上記複数のナノワイヤから選択された他のナノワイヤから第2距離分だけ離れており、上記第2距離は $1000nm$ 未満である請求項15に記載のナノワイヤのアレイ。

【請求項30】

上記複数のナノワイヤのそれぞれは、半導体物質を含む請求項15に記載のナノワイヤ

10

20

30

40

50

のアレイ。

【請求項 3 1】

上記半導体物質がシリコンである請求項 3 0 に記載のナノワイヤのアレイ。

【請求項 3 2】

ナノ構造のアレイであって、

複数のナノ構造を含み、

上記複数のナノ構造のそれぞれは、第 1 表面における第 1 末端および第 2 末端を含み、  
上記第 1 末端と第 2 末端とは、少なくとも  $200 \mu m$  の第 1 距離分だけ離れており、

上記複数のナノ構造は、上記第 1 表面上の第 1 領域に対応し、

上記複数のナノ構造のうち、全てのナノ構造は、互いに実質的に平行であり、

上記複数のナノ構造のそれぞれは半導体物質を含むナノ構造のアレイ。

10

【請求項 3 3】

上記複数のナノ構造が熱電素子の一部である請求項 3 2 に記載のナノ構造のアレイ。

【請求項 3 4】

上記半導体物質がシリコンである請求項 3 2 に記載のナノ構造のアレイ。

【請求項 3 5】

上記第 1 距離が、少なくとも  $300 \mu m$  である請求項 3 2 に記載のナノワイヤのアレイ  
。

【請求項 3 6】

上記第 1 距離が、少なくとも  $400 \mu m$  である請求項 3 5 に記載のナノワイヤのアレイ  
。

20

【請求項 3 7】

上記第 1 距離が、少なくとも  $500 \mu m$  である請求項 3 6 に記載のナノワイヤのアレイ  
。

【請求項 3 8】

上記第 1 距離が、少なくとも  $525 \mu m$  である請求項 3 7 に記載のナノワイヤのアレイ  
。

30

【請求項 3 9】

上記第 1 領域が、少なくとも  $100 \text{ mm}^2$  の大きさである請求項 3 2 に記載のナノワ  
イのアレイ。

【請求項 4 0】

上記第 1 領域が、少なくとも  $1000 \text{ mm}^2$  の大きさである請求項 3 9 に記載のナノワ  
イのアレイ。

【請求項 4 1】

上記第 1 領域が、少なくとも  $2500 \text{ mm}^2$  の大きさである請求項 4 0 に記載のナノワ  
イのアレイ。

【請求項 4 2】

上記第 1 領域が、少なくとも  $5000 \text{ mm}^2$  の大きさである請求項 4 1 に記載のナノワ  
イのアレイ。

【請求項 4 3】

上記複数のナノ構造のそれぞれは、上記第 1 表面に対して垂直である請求項 3 2 に記載  
のナノ構造のアレイ。

40

【請求項 4 4】

上記複数のナノ構造が、複数のナノホールにそれぞれ対応する請求項 3 2 に記載のナノ  
構造のアレイ。

【請求項 4 5】

上記複数のナノホールのそれぞれの断面積は、直径が  $250 \text{ nm}$  未満に相当する請求項  
4 4 に記載のナノ構造のアレイ。

【請求項 4 6】

上記断面積は、それぞれの複数のナノホールの長手方向に沿って実質的に均一である請

50

求項 4 5 に記載のナノ構造のアレイ。

**【請求項 4 7】**

上記複数のナノ構造は、第 1 ナノ構造および第 2 ナノ構造を含み、

上記第 1 ナノ構造と第 2 ナノ構造とは、1 0 0 0 nm 未満の第 2 距離分だけ離れている請求項 3 2 に記載のナノ構造のアレイ。

**【請求項 4 8】**

上記複数のナノ構造のそれぞれは、上記複数のナノ構造から選択された他のナノ構造から第 2 距離分だけ離れており、上記第 2 距離は 1 0 0 0 nm 未満である請求項 3 2 に記載のナノ構造のアレイ。

**【請求項 4 9】**

ナノワイヤのアレイを形成する方法であって、  
第 1 表面および 1 以上の第 2 表面を含む半導体基板を準備する工程と、

1 以上の第 2 表面の 1 以上の部分を、露出した第 1 表面の少なくとも第 1 部分でマスキングする工程と、

上記第 1 表面の少なくとも上記露出した第 1 部分に、金属蒸着フィルムを貼り付ける工程と、

少なくとも上記第 1 表面の露出した第 1 部分を通じて、第 1 エッチング液を使用し、上記半導体基板をエッチングする工程と、

複数の第 1 ナノワイヤを形成する工程とを含み、

上記複数の第 1 ナノワイヤのそれぞれは、第 3 表面における第 1 末端および第 2 末端を含み、上記第 1 末端と第 2 末端とは、少なくとも 2 0 0 μm の第 1 距離分だけ離れており、

上記複数の第 1 ナノワイヤは、上記第 1 表面上の第 1 領域に対応し、

上記第 1 表面上の第 1 領域は、上記第 1 表面の露出した第 1 部分に実質的に対応し、

上記複数の第 1 ナノワイヤのうち全てのナノワイヤは、互いに実質的に平行であるナノワイヤのアレイを形成する方法。

**【請求項 5 0】**

上記半導体基板がシリコンを含む請求項 4 9 に記載のナノワイヤのアレイを形成する方法。

**【請求項 5 1】**

上記 1 以上の第 2 表面の少なくとも 1 以上の部分をマスキングする工程には、1 以上の第 2 表面に 1 以上のマスキング材料を貼り付ける工程が含まれる請求項 4 9 に記載のナノワイヤのアレイを形成する方法。

**【請求項 5 2】**

上記 1 以上のマスキング材料は、テープ、マニキュア液、フォトレジスト、Si<sub>3</sub>N<sub>4</sub>、SiC、DLC、Al、Ti、Ni、Au、Ag、Cr、ITO、Fe、Pt および Mo からなる群から選択される請求項 5 1 に記載のナノワイヤのアレイを形成する方法。

**【請求項 5 3】**

上記金属蒸着フィルムには、Ag、Au、Pt、Pd、Ni および Cu からなる群から選択された 1 以上の金属が含まれる請求項 4 9 に記載のナノワイヤのアレイを形成する方法。

**【請求項 5 4】**

上記第 1 エッチング液には、1 以上の酸化剤が含まれる請求項 4 9 に記載のナノワイヤのアレイを形成する方法。

**【請求項 5 5】**

上記 1 以上の酸化剤は、AgNO<sub>3</sub>、KNO<sub>3</sub>、NaNO<sub>3</sub>、Fe(NO<sub>3</sub>)<sub>3</sub>、H<sub>2</sub>O<sub>2</sub>、Ag<sub>2</sub>CrO<sub>4</sub>、HNO<sub>3</sub> および KMnO<sub>4</sub> からなる群から選択される請求項 5 4 に記載のナノワイヤのアレイを形成する方法。

**【請求項 5 6】**

上記第 1 表面の少なくとも露出した部分を通じて、第 2 エッチング液を使用し、上記半

10

20

30

40

50

導体基板をエッティングする工程をさらに含み、

上記第2エッティング液は、第1エッティング液とは異なる請求項49に記載のナノワイヤのアレイを形成する方法。

【請求項57】

上記半導体基板を洗浄する工程をさらに含む請求項49に記載のナノワイヤのアレイを形成する方法。

【請求項58】

複数の第1ナノワイヤを形成する工程の後、上記半導体基板を清掃する工程をさらに含む請求項49に記載のナノワイヤのアレイを形成する方法。

【請求項59】

複数の第1ナノワイヤを形成する工程の後、上記半導体基板を乾燥する工程をさらに含む請求項49に記載のナノワイヤのアレイを形成する方法。

【請求項60】

半導体基板には、上記第1表面に対して反対側の第4表面が含まれ、

上記1以上の第2表面の少なくとも1以上の部分をマスキングする工程は、露出した第4表面の少なくとも第2部分を維持する工程を含む請求項49に記載のナノワイヤのアレイを形成する方法。

【請求項61】

上記第4表面の少なくとも露出した第2部分に金属蒸着フィルムを貼り付ける工程と、

上記第4表面の少なくとも露出した第2部分と通じ、第1エッティング液を使用して、上記半導体基板をエッティングする工程と、

複数の第2ナノワイヤを形成する工程とを含み、

上記第5表面は、上記第3表面と異なっている請求項60に記載のナノワイヤのアレイを形成する方法。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

〔関連出願の相互参照〕

この出願は、米国特許仮出願第61/415,577（出願日：2010年11月19日）に基づいて優先権を主張し、該特許仮出願の内容全体が参考によって本明細書に援用されるものとする。

【0002】

〔連邦政府が支援する調査または開発下にされた発明に対する権利に関する声明書〕

ここに記載される事業は、米国空軍S B I R契約番号：F A 8 6 5 0 - 1 0 - M - 2 0 3 1によって一部、支持されている。従って、米国政府は発明の相当の権利を有することができる。

【0003】

〔背景技術〕

本発明は、ナノ構造に関する。より詳細には、本発明は、半導体物質の長いナノ構造のアレイおよびその製造方法に関する。一例を挙げれば、本発明は、或る熱電的性質を有するシリコン中の長いナノワイヤのアレイに適用される。但し、本発明は、ソーラーパワー、電池電極、および／またはエネルギー貯蔵、触媒、および／または発光ダイオードへの使用に限らず、これらを含む非常に広範囲の適用性を有することを認識されるであろう。

【0004】

固体状態で不動の部品である熱電物質は、例えば、かなりの量の熱エネルギーの電気への温度勾配を適用した変換（例えばゼーベック効果）、或いは、電場を適用した吸熱（例えばペルティ工効果）に用いられる。空間或いはマイクロチップやセンサ等の物体の冷却と同様に、重要であろうと不要であろうと種々の熱源からの電気の発生を含む、固体状態の熱機関への適用は多数ある。熱電性能（例えば、効率、出力密度、或いは“熱電性能指數”ZT、ここで、ZTは $S^2 / k$ と等しく、Sは熱電物質のゼーベック係数、kは熱

10

20

30

40

50

電物質の電気伝導率、 $k$  は熱電物質の熱伝導率である) が向上されたナノ構造物質の推進のために、および、エネルギー効率を改善するための電気としての排熱の回収システムや、性能向上のための集積回路の冷却システムの両方の増強のために、近年、熱電物質を含む熱電素子の使用に対する関心が大きくなっている。

#### 【0005】

今日まで、熱電気は、エネルギー発生や冷蔵の手段と同様に成し遂げられる他のテクノロジーと比較して、これらデバイスの乏しいコストパフォーマンスのために、商業的な適用性に限界を有している。他のテクノロジーが通常、軽量で低フットプリントの適用に対する用途のための熱電気として適切でないところ、それにもかかわらず、熱電気は、しばしば、これらの禁止的な高コストによって制限される。商業的な適用における熱電気の有用性の実現に関して重要なことは、高性能熱電物質を含むデバイス(例えばモジュール)の製造可能性である。これらモジュールは、例えば最低のコストで最大性能を保証する方法によっておそらく生産される。

10

#### 【0006】

現在、商業的熱電モジュールとして得られる熱電物質は、有毒で製造し難く、入手やプロセスに費用が掛かるテルル化ビスマス或いはテルル化鉛を一般的に含んでいる。二者択一的なエネルギー生産およびマイクロスケールでの冷却能力の両方に対する強力な現在の必要性に伴い、高い製造容易性、低成本、高性能の熱電気に対する原動力が大きくなっている。

20

#### 【0007】

熱電デバイスはしばしば、 $\text{Bi}_2\text{Te}_3$  や  $\text{PbTe}$  等の一般的な熱電物質から作製される熱電  $\text{Bi}_2\text{Te}_3$  部(legs)と、電気的に接続され、組み立てられた冷却(例えばペルティエ)デバイス或いはエネルギー転換(例えばゼーベック)デバイスとに分けられる。これはしばしば、全ての脚部を同時に横断して温度勾配を確立する目的で、連続配置された電気的接続を与える一方、熱平衡配置を与える形状で金属接触への熱電脚部のボンディングを必要とする。しかしながら、多くの故障は一般的な熱電デバイスの製造時に存在する。例えば、外部に設けられた熱電脚部の加工時および組み立て時に関係するコストは、しばしば高くなる。一般的な加工時或いは組み立て時の方法は、通常、多くの熱電的な適用に必要となるコンパクトな熱電デバイスの製造を困難にする。一般的な熱電物質は通常、有毒で高価である。

30

#### 【0008】

ナノ構造はしばしば、ナノスケール(例えば、0.1 nm から 1000 nm の間)で測定される少なくとも一つの構造上の大さきを有する構造を指す。例えば、ナノワイヤは、例えナノワイヤの長さがかなり長くても、ナノスケールで測定される距離の幅を有する断面積を有することで特徴付けられる。別の例として、ナノチューブ、或いは中空のナノワイヤは、例えナノチューブの長さがかなり長くても、ナノスケールで測定される距離の幅を有する壁の厚さおよび全断面積を有することで特徴付けられる。さらに別の例として、ナノホールは、例えナノホールの深さがかなり深くても、ナノスケールで測定される距離の幅を有する断面積を有するボイドによって特徴付けられる。さらに別の例として、ナノメッシュはアレイであり、しばしば連結されており、複数の他のナノ構造、例えばナノワイヤ、ナノチューブ、および / またはナノホールを含んでいる。

40

#### 【0009】

ナノ構造は、熱電性能を改善するための有望性を示している。熱電物質からのOD, 1D, 或いは2D ナノ構造の創作は、多くの場合、物質の熱電出力発生または冷却効率を改善することができ、そして他の場合に、しばしば非常に意味がある(100以上の要因)。しかしながら、多くのナノ構造を含む実際の巨視的な熱電デバイスにおいて必要なナノ構造のために、整列および規模の点から、多くの制限が存在する。シリコンおよび他の半導体の加工と同様の方法で、ナノ構造のプロセスに対する能力は、非常なコスト優位性をもたらす。

#### 【0010】

50

それゆえ、シリコンのような安価で毒の少ない物質を用いた、例えばナノワイヤまたはナノホールのような、非常に長いナノ構造の長いアレイを構成するための技術の改良、そのアレイ、および他の好適な半導体が強く望まれている。熱電デバイスとしての用途において電気的および熱的性質に優れた物質からの非常に長いナノ構造のこれら大きいアレイの形成も強く望まれている。

#### 【0011】

##### 〔発明の概要〕

本発明は、ナノ構造に関する。より詳細には、本発明は、半導体物質の長いナノ構造のアレイおよびその製造方法に関する。一例を挙げれば、本発明は、或る熱電的性質を有するシリコン中の長いナノワイヤのアレイに適用される。但し、本発明は、ソーラーパワー、電池電極、および／またはエネルギー貯蔵、触媒、および／または発光ダイオードへの使用に限らず、これらを含む非常に広範囲の適用性を有することを認識されるであろう。

10

#### 【0012】

一実施形態によれば、ナノワイヤのアレイは複数のナノワイヤを含む。複数のナノワイヤは、複数の第1末端および複数の第2末端をそれぞれ含む。複数のナノワイヤのそれにおいて、複数の第1末端から選択される対応する第1末端および複数の第2末端から選択される対応する第2末端は、少なくとも $200\mu m$ の距離分だけ離れている。複数のナノワイヤにおける全てのナノワイヤは、互いにほぼ平行である。

20

#### 【0013】

他の実施形態によれば、ナノ構造のアレイは複数のナノ構造を含む。複数のナノ構造は、複数の第1末端および複数の第2末端をそれぞれ含む。複数のナノ構造のそれにおいて、複数の第1末端から選択される対応する第1末端および複数の第2末端から選択される対応する第2末端は、少なくとも $200\mu m$ の距離分だけ離れている。複数のナノ構造における全てのナノ構造は、互いにほぼ平行である。複数のナノ構造のそれぞれは、半導体物質を含む。

20

#### 【0014】

さらに他の実施形態によれば、ナノワイヤのアレイは複数のナノワイヤを含む。複数のナノワイヤのそれぞれは、第1表面上に位置する第1末端および第2末端を含む。第1末端および第2末端は、少なくとも $200\mu m$ の距離分だけ離れている。複数のナノワイヤは、第1表面上の第1領域に相当する。複数のナノワイヤにおける全てのナノワイヤは、互いにほぼ平行である。

30

#### 【0015】

さらに他の実施形態によれば、ナノ構造のアレイは複数のナノ構造を含む。複数のナノ構造のそれぞれは、第1表面上に位置する第1末端および第2末端を含む。第1末端および第2末端は、少なくとも $200\mu m$ の距離分だけ離れている。複数のナノ構造は、第1表面上の第1領域に相当する。複数のナノ構造における全てのナノ構造は、互いにほぼ平行である。複数のナノ構造のそれぞれは、半導体物質を含む。

40

#### 【0016】

さらに他の実施形態によれば、ナノワイヤのアレイを形成する方法は、第1表面および一つ以上の第2表面を含む半導体基板を供給する；露出している第1表面の少なくとも第1部分と共に、一つ以上の第2表面の少なくとも一つ以上の部分をマスキングする；第1表面の少なくとも露出している第1部分に対して金属蒸着フィルムを貼り付ける；第1エッティング溶液を用いて、第1表面の少なくとも露出している第1部分を通して半導体基板をエッティングする；第1の複数のナノワイヤを形成する；ことを包含する。第1の複数のナノワイヤのそれぞれは、第三表面に位置する第1末端および第2末端を含む。第1末端および第2末端は、少なくとも $200\mu m$ の距離分だけ離れている。第1の複数のナノワイヤは、第1表面上の第1領域に相当する。第1表面上の第1領域は、第1表面の露出している第1表面にほぼ相当する。第1の複数のナノワイヤにおける全てのナノワイヤは、互いにほぼ平行である。

50

#### 【0017】

実施形態によれば、一つ以上のこれら利益は達成されるであろう。本発明におけるこれら利益並びに種々の更なる目的、特徴、および利点は、以下の詳細な説明および添付の図面を参照することによって充分に理解されるであろう。

【0018】

〔図面の簡単な説明〕

図1Aは、本発明の一実施形態に係るナノワイヤのアレイを示す概略図である。

【0019】

図1Bは、本発明の一実施形態に係るナノホールのアレイを示す概略図である。この図は一例に過ぎず、請求の範囲を不当に限定するものではない。

【0020】

図2A, 2B, 2Cは、本発明の或る実施形態に係る複数のナノワイヤの種々の面(vies)を示す典型的な走査型電子顕微鏡画像である。

【0021】

図3は、本発明の一実施形態に係る半導体基板内のナノワイヤのアレイを形成する方法を示す概略図である。

【0022】

図4A, 4Bは、本発明の或る実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された半導体基板を示す概略図である。

【0023】

図5A, 5Bは、本発明の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、官能化された半導体基板を示す概略図である。

【0024】

図6Aは、本発明の一実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、マスキングされた半導体基板の側面を示す概略図である。

【0025】

図6Bは、本発明の他の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、マスキングされた半導体基板の側面を示す概略図である。

【0026】

図7Aは、本発明の一実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、金属蒸着フィルムを有するマスクされた半導体基板の側面を示す概略図である。

【0027】

図7Bは、本発明の他の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、金属蒸着フィルムを有するマスクされた半導体基板の側面を示す概略図である。

【0028】

図8Aは、本発明の他の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、エッティング工程中の半導体基板の側面を示す概略図である。

【0029】

図8Bは、本発明の他の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、エッティング工程中の半導体基板の側面を示す概略図である。

【0030】

図9は、本発明の一実施形態に係る複数のナノワイヤを有する半導体基板の側面を示す概略図である。

【0031】

図10A, 10Bは、本発明の一実施形態に係る半導体基板中の第1の複数のナノワイヤおよび第2の複数のナノワイヤの配置(formation)を示す概略図である。

【0032】

図11A, 11Bは、本発明の他の実施形態に係る半導体基板中の第1の複数のナノワイヤおよび第2の複数のナノワイヤの配置(formation)を示す概略図である。

10

20

30

40

50

## 【0033】

図11Cは、本発明の或る実施形態に係る図11Bに示される第1の複数のナノワイヤおよび第2の複数のナノワイヤを示す典型的な走査型電子顕微鏡画像である。

## 【0034】

図12は、本発明の或る実施形態によって形成された半導体基板上における、ナノワイヤの長さとナノワイヤの位置との関係を示す概略図である。

## 【0035】

図13は、本発明の幾つかの実施形態によって形成された半導体基板上における、ナノワイヤの長さとナノワイヤの位置との関係を示す概略図である。

## 【0036】

## 〔発明の詳細な説明〕

本発明は、ナノ構造に関する。より詳細には、本発明は、半導体物質の長いナノ構造のアレイおよびその製造方法に関する。一例を挙げれば、本発明は、或る熱電的性質を有するシリコン中の長いナノワイヤのアレイに適用される。但し、本発明は、ソーラーパワー、電池電極、および／またはエネルギー貯蔵、触媒、および／または発光ダイオードへの使用に限らず、これらを含む非常に広範囲の適用性を有することを認識されるであろう。

## 【0037】

一般に、熱電物質の有用性は、当該物質の物理的幾何学に依存する。例えば、熱電デバイスの熱くなったり冷たくなったりする面(hot and cold side)を表す熱電物質の表面積の大きさは、出力密度の増加を通した熱および／またはエネルギー移動を支持する熱電デバイスの能力の大きさである。他の例として、熱電物質の熱くなったり冷たくなったりする面の好適な最少距離(即ち、熱電ナノ構造の長さ)は、熱電デバイスを横断して最も高い温度勾配をよりよく支持するのに役立つ。これは、順番に、出力密度の増加による熱および／またはエネルギー移動を支持する能力を増加させるであろう。

## 【0038】

或るタイプの熱電ナノ構造は、好適な熱電的性質を有するナノワイヤのアレイである。ナノワイヤは、有利な熱電的性質を有することができます。しかしながら今日まで、一般的なナノワイヤおよびナノワイヤのアレイは、アレイの比較的小さいサイズ、および、作り上げられたナノワイヤの短い長さのために、その技術的適用性に制限を有する。他のタイプの熱電的適用性を有するナノ構造は、ナノホールまたはナノメッシュである。ナノホールまたはナノメッシュのアレイはまた、作製や合成することができるこれらナノ構造に含まれる少ない量のために、適用性に制限がある。例えば、長さが $100\mu m$ よりも短い一般的なナノ構造は、出力発生および／または熱排気に制限があり、 $10\mu m$ よりも短い一般的なナノ構造は、短いナノ構造に関して利用可能な熱交換技術を使用し、熱勾配を維持または達成する性能が低くなるため、より適応性が低くなる。さらに、他の例では、ウエハの直径4、6、8および12インチよりも小さなアレイは、商業的に制限される。

## 【0039】

半導体物質を形成する非常に長いナノ構造を有する長いアレイ、例えば、官能化されたシリコンは、熱電デバイスを作製するにおいて有用である。例えば、(1)熱伝導率が低く、(2)半導体基板の所定の領域内で形成されたシリコンナノ構造は、ユニウェハ熱電デバイスの作製用の複数の熱電部材を形成する用途に有用である。他の例では、半導体基板の所定の領域内で形成された官能化シリコンナノワイヤは、組み立てられた熱電デバイスにて、n型またはp型脚部、或いは、n型およびp型脚部として有用である。

## 【0040】

図1Aは、本発明の一実施形態に係るナノワイヤのアレイを示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図1Aにおいて、ナノ構造のアレイ120が、半導体物質のブロック(例えば、半導体基板110)中に形成されている。一実施形態において、半導体基板110の全体はウエハであり、他の実施形態では、半導体基板110は、4インチのウエハである。さらに、他の実施形態では、半導体基板は、4イ

ンチのウエハよりも大きなパネルであり、さらに他の実施形態では、半導体基板 110 はシリコンを含む。

#### 【0041】

或る実施形態において、半導体基板 110 は官能化されている。例えば、半導体基板 110 はドープされており、n 型半導体を形成する。他の実施形態では、半導体基板 110 はドープされており、p 型半導体を形成する。さらに、他の実施形態では、半導体基板は III 族および / または V 族の元素を用いてドープされている。さらに、他の実施形態では、半導体基板 110 は官能化されており、半導体基板 110 の電気的または熱的特定を制御する。さらに、他の実施形態では、半導体基板 110 はホウ素でドープされたシリコンを含む。さらに、他の実施形態では、半導体基板 110 はドープされており、半導体基板 110 の抵抗率を約  $0.00001 \cdot m \sim 10 \cdot m$  に調節する。さらに、他の実施形態では、半導体基板 110 は官能化されており、熱伝導率が  $0.1 W/m \cdot K \sim 10 W/m \cdot K$  であるナノ構造のアレイ 120 が提供される。10

#### 【0042】

他の実施形態において、ナノ構造のアレイ 120 は半導体基板 110 中に形成されている。例えば、ナノ構造のアレイ 120 は、半導体基板 110 の実質的に全ての中に形成されている。他の実施形態では、ナノ構造のアレイ 120 は、非常に長い複数のナノワイヤ 130 を含んでおり、さらに、他の実施形態では、複数のナノワイヤ 130 のそれぞれは、第 1 末端 140 および第 2 末端 150 を有している。さらに、他の実施形態では、複数のナノワイヤ 130 の第 1 末端 140 は、ナノ構造のアレイ 160 の第 1 表面を共同して形成している。さらに、他の実施形態では、複数のナノワイヤ 160 の第 1 表面は、 $0.1 mm \times 0.0 mm$  である。さらに、他の実施形態では、複数のナノワイヤ 160 の第 1 表面は、直径が  $450 nm$  である。さらに、他の実施形態では、複数のナノワイヤ 130 の第 2 末端 150 は、複数のナノワイヤ 170 の第 2 表面を共同して形成している。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の第 1 末端 140 と、それぞれの複数のナノワイヤ 130 の第 2 末端 150 との距離は、少なくとも  $200 \mu m$  である。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の第 1 末端 140 と、それぞれの複数のナノワイヤ 130 の第 2 末端 150 との距離は、少なくとも  $300 \mu m$  である。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の第 1 末端 140 と、それぞれの複数のナノワイヤ 130 の第 2 末端 150 との距離は、少なくとも  $400 \mu m$  である。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の第 1 末端 140 と、それぞれの複数のナノワイヤ 130 の第 2 末端 150 との距離は、少なくとも  $500 \mu m$  である。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の第 1 末端 140 と、それぞれの複数のナノワイヤ 130 の第 2 末端 150 との距離は、少なくとも  $525 \mu m$  である。20

#### 【0043】

さらに、他の実施形態では、複数のナノワイヤ 130 の全てのナノワイヤは、互いに実質的に平行である。さらに、他の実施形態では、複数のナノワイヤ 130 は、半導体基板 110 において、実質的に垂直に形成されている。さらに、他の実施形態では、複数のナノワイヤ 130 は、ナノ構造 160 の第 1 表面およびナノ構造 170 の第 2 表面に対し、実質的に直角となるように配向している。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 は、粗面を有している。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の断面積は実質的に均一であり、上記断面積に対するナノワイヤ 130 の長さの比率が高い。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の断面積は、実質的に円形である。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 の断面積は  $1 nm \sim 250 nm$  である。さらに、他の実施形態では、それぞれの複数のナノワイヤ 130 は、互いに  $25 nm \sim 250 nm$  の間隔を空けて配置されている。40

#### 【0044】

図 2A、図 2B および図 2C は、本発明の或る実施形態に係る複数のナノワイヤ 130

10

20

30

40

50

の種々の面(views)を示す典型的な走査型電子顕微鏡画像である。これらの画像は単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。これらの典型的な走査型電子顕微鏡画像のそれぞれは、断面積に対する長さの比率が高く、互いに実質的に平行である複数のナノワイヤ130を示している。図2Aに示すように、複数のナノワイヤ130は、それぞれの第1末端140とそれぞれの第2末端150との間の長さを有しており、上記長さは約478μmである。図2Bに示すように、複数のナノワイヤ130は、それぞれの第1末端140とそれぞれの第2末端150との間の長さを有しており、上記長さは約250μmである。図2Cに示すように、複数のナノワイヤ130は、それぞれの第1末端140とそれぞれの第2末端150との間の長さを有しており、上記長さは少なくとも200μmである。さらに、図2Cに示すように、ナノ構造のアレイ120は、複数のナノワイヤ130を含み、上記複数のナノワイヤ130は、非常に広い第1表面160および非常に広い第2表面170を有している。

10

## 【0045】

上述し、さらにここで強調するように、図1Aは、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。或る実施形態において、ナノワイヤ以外のナノ構造が形成される。例えば、半導体基板110中にナノホールおよび/またはナノメッシュが形成され、アレイ120が形成される。

20

## 【0046】

図1Bは、本発明の一実施形態に係るナノホールのアレイを示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図1Bにおいて、半導体物質のブロック(例えば、半導体基板115)中に、ナノ構造のアレイ125が形成されている。例えば、半導体基板115は半導体基板110である。他の実施形態では、ナノ構造のアレイ125は、複数のナノホール180を含んでいる。さらに、他の実施形態では、それぞれの複数のナノホール180は、ナノホール180の周囲に配置された対応する半導体物質190を有している。

## 【0047】

図3は、本発明の一実施形態に係る半導体基板内のナノワイヤのアレイを形成する方法を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。方法300は、半導体基板を準備する工程310、半導体基板を官能化する工程320、半導体基板を洗浄する工程330、半導体基板の一部をマスキングする工程340、半導体基板に対して金属蒸着フィルムを貼り付ける工程350、半導体基板をエッティングする工程360、エッティングした半導体基板を清掃する工程370、およびエッティングした半導体基板を乾燥する工程380を含む。例えば、方法300は、図1Aに示す複数のナノワイヤ130を形成すべく使用される。他の実施形態では、方法300は、図1Bに示される複数のナノホール180を形成すべく使用される。

30

## 【0048】

工程310に関し、ナノ構造から形成される半導体基板を準備する。一実施形態において、半導体基板は半導体基板110である。他の実施形態では、上記半導体基板はシリコンを含み、さらに、他の実施形態では、上記半導体基板はGaNまたは他の半導体を含む。

40

## 【0049】

図4Aおよび図4Bは、本発明の或る実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された半導体基板を示す概略図である。これらの図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図4Aおよび図4B中に示されるように、半導体基板は種々の形状を取り得る。一実施形態において、半導体基板は実質的にブロック型をした

50

形状 410 である。他の実施形態では、半導体基板は、実質的にディスク型をしたウエハ 420 の形状である。さらに、他の実施形態では、上記半導体基板は、4 インチウエハであり、さらに、他の実施形態では、上記半導体基板は円形の縁部を有している。

#### 【0050】

或る実施形態によれば、半導体基板を官能化する任意の工程 320 は、種々の方法によりなされてもよいし、半導体基板の種々の材料特性を変更してもよい。例えば、1 または複数のサブ工程を通じて半導体基板は官能化される。上記サブ工程は、ドープ工程、合金化工程、熱拡散工程および他の材料処理技術を含む。他の実施形態では、半導体基板は、有利な熱電値が付与されている（例えば、サブ工程を通じて、または、ナノ構造の形成の間に）。他の実施形態では、ゼーベック係数が著しく減少せず、熱伝導性が減少する、および / または、導電率が増加する。

10

#### 【0051】

図 5A および図 5B は、本発明の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、官能化された半導体基板を示す概略図である。これらの図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。例えば、官能化された半導体基板は、半導体基板 110 である。他の実施形態では、半導体基板は、ドープされ、n 型半導体 510 を形成する。さらに、他の実施形態では、半導体基板は、ドープされ、p 型半導体 520 を形成する。さらに、他の実施形態では、半導体基板は、III 族および / または V 族の元素を用いてドープされる。さらに、他の実施形態では、半導体基板は、ドープされ、半導体基板の抵抗率が調節される。さらに、他の実施形態では、半導体基板はホウ素でドープされたシリコンを含む。さらに、他の実施形態では、半導体基板は、ドープされ、半導体基板の抵抗率が約  $0.00001 \text{ } \cdot \text{m} \sim 10 \text{ } \cdot \text{m}$  に調節される。さらに、他の実施形態では、半導体基板が官能化されており、熱伝導率が  $0.1 \text{ W/m} \cdot \text{K} \sim 10 \text{ W/m} \cdot \text{K}$  であるナノ構造が準備される。

20

#### 【0052】

工程 330 において、半導体基板は所定の実施形態に従い洗浄される。一実施形態において、半導体基板は、1 以上の化学溶液を用いて洗浄される。他の実施形態では、半導体基板は、ピラニア溶液を用いて洗浄される。さらに、他の実施形態では、半導体基板はフッ化水素 (HF) を用いて洗浄される。

30

#### 【0053】

種々の実施形態によれば、工程 340 において、半導体基板の一部はマスキングされる。所定の実施形態によれば、半導体基板の一部はマスキングされ、ナノ構造が形成されている半導体基板の露出した表面領域を規定する。例えば、1 以上のマスキング材料は、ナノ構造の形成を所望しない半導体基板の領域に塗布される。他の実施形態では、1 以上のマスキング材料は、テープ、マニキュア液、フォトレジスト、フィルム（例えば、Si<sub>3</sub>N<sub>4</sub>、SiC、 DLC）、または、任意の他の適切なマスキングフィルムまたは材料を含む。さらに、他の実施形態では、1 以上の導電性フィルムは、1 以上のマスキング材料として使用される。さらに、他の実施形態では、1 以上の導電性フィルムは、Al、SiC、Ti、Ni、Au、Ag、Cr、ITO、Fe、Pt および Mo からなる群から選択される。さらに、他の実施形態では、1 以上の導電性フィルムは、エッチング液と半導体基板 510 との間の電気伝導度を有していてもよいし、後の工程中に電子またはホールの移動が、変更または増強されていてもよい。さらに、他の実施形態では、1 以上のマスキング材料は、1 以上の導電性フィルムおよび / または非導電性フィルムの組み合わせである。

40

#### 【0054】

図 6A は、本発明の一実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、マスキングされた半導体基板の側面を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図 6A に示すように、半導体基板 610 は、1

50

以上のマスキング材料 620と共に示されている。例えば、半導体基板 610は、半導体基板 110、410、420、510、および／または520である。他の実施形態では、1以上のマスキング材料 620が半導体基板 610の第1側面 630の一部に塗布される。さらに、他の実施形態では、1以上のマスキング材料 620が半導体基板 610の第2側面の一部に塗布される。さらに、他の実施形態では、半導体基板 610の表面領域 650が、さらなる工程のため露出されたままとなっている。さらに、他の実施形態では、露出した表面領域 650は、ナノ構造 160の第1表面におおよそ対応する。

#### 【0055】

上述し、さらにここで強調するように、図 6A は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができます。図 6B は、本発明の他の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、マスキングされた半導体基板の側面を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができます。図 6B に示すように、半導体基板 710 は、1以上のマスキング材料 720 を示す。例えば、半導体基板 710 は、半導体基板 110、410、420、510、520 および／または 610 である。他の実施形態では、1以上のマスキング材料 720 を半導体基板 710 の第1側面 730 の一部に塗布する。さらに、他の実施形態では、1以上のマスキング材料 720 を半導体基板 710 の第2側面 740 の一部に塗布する。さらに、他の実施形態では、1以上のマスキング材料 720 を、1以上の導電フィルムおよび／または導電材料である半導体基板 710 の第2側面 740 の一部に塗布する。さらに、他の実施形態では、1以上のマスキング材料 720 を端部領域 750 に塗布する。さらに、他の実施形態では、半導体基板 710 の表面領域 760 はさらなる工程のため露出したままとなっている。さらに、他の実施形態では、露出した表面領域 760 はナノ構造 160 の第1表面におおよそ対応する。

#### 【0056】

図 7A は、本発明の一実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、金属蒸着フィルムを有するマスクされた半導体基板の側面を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができます。図 7A に示すように、所定の実施形態によれば、工程 350 では、金属蒸着フィルムが半導体基板 810 の露出された表面領域 840 に貼り付けられる。一実施形態において、マスキングされた半導体基板 810 は、露出した表面領域 840 上に金属蒸着フィルム 830 を形成すべく堆積場 820 に移動される。他の実施形態において、露出した表面領域 840 は、表面領域 650 および／または表面領域 760 である。さらに、他の実施形態では、金属蒸着フィルム 830 は、Ag、Au、Pt、Pd、Ni、Cu および／または任意のその他の遷移金属からなる群から選択される 1 以上の材料であってもよい。

#### 【0057】

さらに、他の実施形態では、金属蒸着フィルム 830 は多孔質構造であってもよい。さらに、他の実施形態では、金属蒸着フィルム 830 は、ホール 850 が形成された部分的なフィルムであってもよい。さらに、他の実施形態では、多孔質構造には、露出した表面領域 840 を対応して覆う、ナノスケールのホール 850 が含まれる。さらに、他の実施形態では、金属蒸着フィルム 830 は、さらなる工程を誘導すべく、パターンを規定する。さらに、他の実施形態では、ホール 850 を有する金属蒸着フィルム 830 の領域は、半導体が酸化され易いように露出されていてもよい。さらに、他の実施形態では、酸化された半導体は、基礎となっている半導体基板 810 をさらなる工程から保護する。

#### 【0058】

他の実施形態によれば、金属蒸着フィルム 830 は、種々の手法によって形成される。一実施形態において、金属蒸着フィルム 830 は、HF 溶液中で無電解めっきにより塗布される。他の実施形態では、金属蒸着フィルム 830 は、真空チャンバー中でスパッタ堆積によって形成される。さらに、他の実施形態では、金属蒸着フィルム 830 は熱蒸着(t

10

20

30

40

50

hermo evaporation)によって塗布される。さらに、他の実施形態では、金属蒸着フィルム830は、電気化学析出によって塗布される。さらに、他の実施形態では、金属蒸着フィルム830は、リソグラフィー法を用いて堆積される。さらに、他の実施形態では、上記リソグラフィー法は、ウェットエッティング、ドライエッティング、および／またはリフトオフ法を含む。さらに、他の実施形態では、金属蒸着フィルム830を塗布する工程350は、ホール850を所望の分布およびサイズとすべく制御される。さらに、他の実施形態では、それぞれのホール850により、ナノワイヤの配置およびサイズが規定される。

#### 【0059】

上述し、さらにここで強調するように、図7Aは、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図7Bは、本発明の他の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、金属蒸着フィルムを有するマスクされた半導体基板の側面を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図7に示すように、半導体基板810に金属蒸着フィルムを貼り付ける工程350では、半導体基板810は、第1側面、第2側面および1以上の端部領域においてマスキングがなされる。

#### 【0060】

図8Aは、本発明の他の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、エッティング工程360中の半導体基板810の側面を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図8Aに示すように、金属蒸着フィルム810を有するマスキングされた半導体基板は、エッティング容器920中に配置され、ウェットエッティング法を用いてナノ構造が形成される。例えば、金属蒸着フィルム810を有するマスキングされた半導体基板に、HFおよび1以上の酸化剤を含むエッティング液930が注入される。他の実施形態では、1以上の酸化剤は、AgNO<sub>3</sub>、KNO<sub>3</sub>、NaNO<sub>3</sub>、Fe(NO<sub>3</sub>)<sub>3</sub>、H<sub>2</sub>O<sub>2</sub>、Ag<sub>2</sub>CrO<sub>4</sub>、Ag<sub>2</sub>CrO<sub>4</sub>、KMnO<sub>4</sub>、HNO<sub>3</sub>などからなる群から選択される。さらに、他の実施形態では、1以上の酸化剤は、エッティング液930の調製の間に添加される。さらに、他の実施形態では、1以上の酸化剤は、半導体基板をエッティングする工程360の間に規則的および／または不規則的に添加される。

#### 【0061】

さらに、他の実施形態では、エッティング工程360により、実質的に完全に半導体基板810の方向へと高い異方性が達成される。さらに、他の実施形態では、金属蒸着フィルム830中の金属粒子が、基礎となる半導体基板のエッティングを触媒する。さらに、他の実施形態では、金属蒸着フィルム830におけるホール850の下の半導体基板810は、エッティングから半導体基板810の一部を実質的に保護する半導体酸化物を生じさせる。さらに、他の実施形態では、複数のナノワイヤ960は、それぞれのホール850下に、エッティングされたそれぞれの複数のナノワイヤ960の周囲にある半導体基板として形成される。さらに、他の実施形態では、複数のナノワイヤ960は、複数のナノワイヤ130である。さらに、他の実施形態では、複数のナノワイヤ960の長さは、エッティング液930の選択、エッティング工程360間の温度、および／または、エッティング工程360の時間によって制御される。さらに、他の実施形態では、上記温度は、約室温に上げられる。さらに、他の実施形態では、上記温度は、室温以下に下げられる。さらに、他の実施形態では、金属樹枝状結晶構造970は、半導体基板810の表面に形成される。さらに、他の実施形態では、金属樹枝状結晶構造970は、KMnO<sub>4</sub>、HNO<sub>3</sub>などからなる群から選択される1以上の化学物質の添加によって変化する。

#### 【0062】

所定の実施形態によれば、それぞれの複数のナノワイヤ960の1以上の寸法は制御される。例えば、それぞれの複数のナノワイヤ960の断面積は、金属蒸着フィルム830におけるホール850の形状およびサイズによって制御される。他の実施形態では、それ

10

20

30

40

50

それの複数のナノワイヤ960は第1末端980を有する。さらに、他の実施形態では、それぞれの複数のナノワイヤ960は第2末端990を有する。さらに、他の実施形態では、それぞれの複数のナノワイヤ960の第1末端980と、それぞれの複数のナノワイヤ960の第2末端990との距離は、少なくとも200μmである。さらに、他の実施形態では、それぞれの複数のナノワイヤ960の第1末端980と、それぞれの複数のナノワイヤ960の第2末端990との距離は、少なくとも400μmである。さらに、他の実施形態では、それぞれの複数のナノワイヤ960の第1末端980と、それぞれの複数のナノワイヤ960の第2末端990との距離は、少なくとも500μmである。

#### 【0063】

他の実施形態において、エッティング液930は、HF、AgNO<sub>3</sub>およびH<sub>2</sub>Oを含む。例えば、エッティング液930中のHFのモル濃度は、2Mから10Mまで変更される。10  
他の実施形態では、エッティング液930中のAgNO<sub>3</sub>のモル濃度は、0.001Mから0.5Mまで変更される。さらに、他の実施形態では、他のモル濃度は、所望のエッティング要素に応じて変更される。さらに他の実施形態では、エッティング液930にKNO<sub>3</sub>が添加される。一実施形態において、エッティング液930中にKNO<sub>3</sub>が含まれない初期エッティングの所定期間後、KNO<sub>3</sub>はエッティング液930に添加される。他の実施形態では、KNO<sub>3</sub>は他と同時にエッティング液930に添加される。さらに、他の実施形態では、KNO<sub>3</sub>は予め定められた比率で継続的にエッティング液930に添加される。さらに、他の実施形態では、KNO<sub>3</sub>はエッティング液930に添加され、エッティング比率、異方性および/または他のエッティング特性を制御するAgとAg<sup>+</sup>とのバランスが適正に維持される。さらに、他の実施形態において、KNO<sub>3</sub>以外の他の酸化剤がエッティング液930に添加される。さらに、他の実施形態において、半導体基板810をエッティングする工程360は、複数のサブ工程を含む。一実施形態において、HF、AgNO<sub>3</sub>およびH<sub>2</sub>Oを含む第1エッティング液が第1期間に使用され、その後、HF、H<sub>2</sub>O<sub>2</sub>およびH<sub>2</sub>Oを含む第2エッティング液が第2期間に使用される。他の実施形態では、HF、AgNO<sub>3</sub>およびH<sub>2</sub>Oを含む第3エッティング液が第3期間に使用され、その後、HF、Fe(NO<sub>3</sub>)<sub>3</sub>およびH<sub>2</sub>Oを含む第4エッティング液が第4期間に使用される。20

#### 【0064】

上述し、さらにここで強調するように、図8Aは、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。所定の実施形態において、エッティング液930の体積は、半導体基板810の容量に対して制御され、半導体基板810をエッティングする工程360の間に除去される。例えば、1モル以上の半導体基板810を除去するために少なくとも6モルのHFおよび少なくとも1モルの1以上の酸化剤が必要である。他の実施形態において、エッティング液930は、半導体基板810をエッティングする工程360の間、攪拌される。さらに、他の実施形態において、エッティング液960は、半導体基板810をエッティングする工程360の間、エッティング容器920へ再循環される。さらに、他の実施形態において、半導体基板810をエッティングする工程360は、超音波エネルギーおよび/またはメガ音波(megasonic energy)エネルギーによって補助される。さらに、他の実施形態において、半導体基板810をエッティングする工程360の種々のさらなる特性、すなわち、圧力、露光量などが、制御される。3040

#### 【0065】

図8Bは、本発明の他の実施形態に係る図3の方法に示されるナノワイヤのアレイを用いて形成された、エッティング工程中の半導体基板の側面を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図8Bに示すように、半導体基板810をエッティングする工程360では、半導体基板810は、第1側面、第2側面および1以上の端部領域においてマスキングがなされる。

#### 【0066】

図9は、本発明の一実施形態に係る複数のナノワイヤを有する半導体基板の側面を示す50

概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図9に、エッチングされた半導体基板810を清掃する任意の工程370の後の複数のナノワイア960を有する半導体基板810を示す。例えば、エッチング工程360の間に形成される金属樹枝状結晶970を除去して、半導体基板810が清掃される。他の実施形態では、金属樹枝状結晶970は、 $HNO_3$ 、希釀された $HNO_3$ 、 $H_2O_2$ 溶液の $NH_4OH$ などからなる群から選択された1以上の化学物質中で半導体基板810を洗浄することにより除去される。さらに、他の実施形態では、 $HNO_3$ による洗浄は、1以上の超音波、メガ音波、攪拌、ガスの注入および/または他の適切な技術によって補助される。さらに、他の実施形態では、エッチングされた半導体基板810を清掃する工程370は、水、または、 $CaCO_3$ などと水とを含有する中和溶液を用いた1以上の中間洗浄工程を含んでいる。さらに、他の実施形態では、エッチングされた半導体基板810を清掃する工程370は、1以上のマスキング材料620および/または1以上のマスキング材料720を除去する工程を含んでいる。

10

#### 【0067】

他の実施形態において、半導体基板810中にナノ構造を形成する方法300は、エッチングされた半導体基板810を乾燥する任意の工程380を含む。一実施形態において、エッチングされた半導体基板810を乾燥する工程380は、半導体基板810および/または複数のナノワイア960から液体残渣を除去する工程である。他の実施形態では、エッチングされた半導体基板810を乾燥する工程380には、自然のまたは強制的な対流の使用が含まれる。さらに、他の実施形態では、エッチングされた半導体基板810を乾燥する工程380には、半導体基板810を高温に加熱することが含まれる。さらに、他の実施形態では、上記高温は500以下であり、さらに、他の実施形態では、工程380の長さは、10秒間～24時間の範囲で変化する。さらに、他の実施形態では、エッティングされた半導体基板810を乾燥する工程380には、Critical Point Dryer (CPD)の使用が含まれる。さらに、他の実施形態では、エッティングされた半導体基板810を乾燥する工程380には、表面張力の低い材料の使用が含まれる。

20

#### 【0068】

上述し、さらにここで強調するように、図3～図9は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。或る実施形態において、ナノワイア以外のナノ構造が形成される。また、例えば、ナノホール、ナノチューブおよび/またはナノメッシュが半導体基板内に形成される。他の実施形態では、図1Bに示したように、複数のナノホール180が半導体基板内に形成される。他の実施形態において、半導体基板に金属蒸着フィルムを貼り付ける工程350は、半導体基板をエッティングする工程360中に行われる。さらに、他の実施形態では、半導体基板の一部をマスキングする工程340において、1以上のマスキング材料が貼り付けられ、半導体基板上の複数の露出した表面領域が規定される。

30

#### 【0069】

図10Aおよび図10Bは、本発明の一実施形態に係る半導体基板中の第1の複数のナノワイアおよび第2の複数のナノワイアの配置(formation)を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図10Aに示すように、工程340の間、半導体基板1110は、1以上のマスキング材料1120にマスキングされ、第1の露出した表面領域1130および第2の露出した表面領域1140を規定する。半導体基板1110に金属蒸着フィルムを貼り付ける工程350、半導体基板1110をエッティングする工程360およびエッティングされた半導体基板1110を清掃する任意の工程370の後、図10Bに示すように、半導体基板1110は、第1の複数のナノワイア1150および第2の複数のナノワイア1160を、第1の露出した表面領域1130および第2の露出した表面領域1140におおよそ対応して備える。さらに、他の実施形態では、第1の複数のナノワイア1150および第2の複数のナノワイア1160はアレイ120

40

50

である。

**【0070】**

図11Aおよび図11Bは、本発明の他の実施形態に係る半導体基板中の第1の複数のナノワイヤおよび第2の複数のナノワイヤの配置(formation)を示す概略図である。これらの図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図11Aに示すように、工程340の間、半導体基板1210は、1以上のマスキング材料1220にマスキングされ、第1の露出した表面領域1230および第2の露出した表面領域1240を規定する。半導体基板1210に金属蒸着フィルムを貼り付ける工程350、半導体基板1210をエッチングする工程360およびエッティングされた半導体基板1210を清掃する任意の工程370の後、図11Bに示すように、半導体基板1210は、第1の複数のナノワイヤ1250および第2の複数のナノワイヤ1260を、第1の露出した表面領域1230および第2の露出した表面領域1240におおよそ対応して備える。さらに、他の実施形態では、第1の複数のナノワイヤ1250および第2の複数のナノワイヤ1260はアレイ120である。

**【0071】**

図11Cは、本発明の或る実施形態に係る図11Bに示される第1の複数のナノワイヤ1250および第2の複数のナノワイヤ1260を示す典型的な走査型電子顕微鏡画像である。この画像は単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。

**【0072】**

上述し、さらにここで強調するように、図3は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。或る実施形態において、方法300には、形成されたナノ構造の束を解く工程が含まれる。例えば、複数のナノワイヤ960の第1末端980が、過度に束状となっている場合、束状化された量を減少または抑制する。他の実施形態では、束状化物を減少させる工程には、それぞれの複数のナノワイヤ960の第1末端980のエッティングが含まれる。さらに、他の実施形態では、束状化物を減少させる工程には、複数のナノワイヤ960の第1末端980同士の間の吸引力よりも強い電荷を加える工程が含まれる。

**【0073】**

図12は、本発明の或る実施形態によって形成された半導体基板上における、ナノワイヤの長さとナノワイヤの位置との関係を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代替および修正することができる。図12に示すように、形成されたナノワイヤの長さは、ナノワイヤが形成される半導体基板の中心から、配置されたナノワイヤの距離に基づき変化する。4インチのp型シリコンウエハに関する二つの典型的な結果を示す。上記ウエハは、ホウ素がドープされたものであり、抵抗率が約 $0.0006 \cdot m \sim 0.0012 \cdot m$ の範囲内に設定されており、上記結果は、実線、並びに正方形1310および菱形プロットマーカー1320を用いて示されている。さらに、4インチのp型シリコンウエハに関する二つの典型的な結果を示す。上記ウエハは、ホウ素がドープされたものであり、抵抗率が約 $0.1 \cdot m \sim 0.3 \cdot m$ の範囲内に設定されており、上記結果は、破線並びに円1330および“x”プロットマーカー1340を用いて示されている。四つ全ての例において、4インチのシリコンウエハの片面の実質全ては、24時間、HFおよびAgNO<sub>3</sub>を含むエッティング液を用いてエッティングされたものである。図12に示すように、ナノワイヤの平均長さは $200 \mu m$ を超えており、最大長さは $400 \mu m$ を超える。また、4インチのウエハの大部分を覆うナノワイヤは、長さが実質的に均一である。

**【0074】**

図13は、本発明の幾つかの実施形態によって形成された半導体基板上における、ナノワイヤの長さとナノワイヤの位置との関係を示す概略図である。この図は、単なる一例であり、請求項に係る発明を不当に限定するものではなく、当業者は、当該発明を変形、代

10

20

30

40

50

替および修正することができる。図13に示すように、形成されたナノワイヤの長さは、ナノワイヤが形成される半導体基板の中心から、配置されたナノワイヤの距離に基づき変化する。図13中の例において、4インチのシリコンウエハの片面の実質全ては、ホウ素がドープされたものであり、抵抗率が約 $0.1\text{ }\cdot\text{m}\sim 0.3\text{ }\cdot\text{m}$ の範囲内に設定されており、上記シリコンウエハは、可変な温度にて、HFおよびAgNO<sub>3</sub>を含むエッティング液を用いてエッティングされたものである。三角形のプロットマークー1410で示されたプロットラインは、42時間、アイスバス中でエッティングがなされたものである。一方、正方形のプロットマークー1420で示されたプロットラインは、18時間と40分間、80°のホットプレートでエッティングがなされたものである。図13に示すように、ナノワイヤの平均長さは $200\text{ }\mu\text{m}$ を超えており、最大長さは $400\text{ }\mu\text{m}$ を超える。また、4インチのウエハの大部分を覆うナノワイヤは、長さが実質的に均一である。

10

## 【0075】

或る実施形態によれば、ナノワイヤのアレイは複数のナノワイヤを含み、複数のナノワイヤは、複数の第1末端および複数の第2末端をそれぞれ含む。それぞれの複数のナノワイヤに関し、複数の第1末端から選択された対応する第1末端と、複数の第2末端から選択された対応する第2末端とは、少なくとも $200\text{ }\mu\text{m}$ の距離分だけ、離れている。複数のナノワイヤのうち全てのナノワイヤは互いに実質的に平行である。例えば、ナノワイヤのアレイは、少なくとも図1A、図2A、図2Bおよび/または図9に従って実施される。

20

## 【0076】

他の実施形態では、上記距離は少なくとも $300\text{ }\mu\text{m}$ であり、さらに、他の実施形態では、上記距離は少なくとも $400\text{ }\mu\text{m}$ であり、さらに、他の実施形態では、上記距離は少なくとも $500\text{ }\mu\text{m}$ であり、さらに、他の実施形態では、上記距離は少なくとも $525\text{ }\mu\text{m}$ である。さらに、他の実施形態では、それぞれの複数のナノワイヤは、半導体物質を含み、さらに、他の実施形態では、半導体物質はシリコンである。

20

## 【0077】

他の実施形態によれば、ナノ構造のアレイは、複数のナノ構造を含み、複数のナノ構造は、複数の第1末端および複数の第2末端をそれぞれ含む。それぞれの複数のナノ構造に関し、複数の第1末端から選択された対応する第1末端と、複数の第2末端から選択された対応する第2末端とは、少なくとも $200\text{ }\mu\text{m}$ の距離分、離間している。複数のナノ構造のうち全てのナノ構造は、互いに実質的に平行である。それぞれの複数のナノ構造は半導体物質を含む。例えば、ナノ構造のアレイは、少なくとも図1A、図1B、図2A、図2Bおよび/または図9に従って実施される。

30

## 【0078】

他の実施形態では、半導体物質はシリコンである。さらに、他の実施形態では、上記距離は少なくとも $300\text{ }\mu\text{m}$ であり、さらに、他の実施形態では、上記距離は少なくとも $400\text{ }\mu\text{m}$ であり、さらに、他の実施形態では、上記距離は少なくとも $500\text{ }\mu\text{m}$ であり、さらに、他の実施形態では、上記距離は少なくとも $525\text{ }\mu\text{m}$ である。さらに、他の実施形態では、複数のナノ構造は、複数のナノホールにそれぞれ対応する。

40

## 【0079】

さらに他の実施形態によれば、ナノワイヤのアレイは複数のナノワイヤを含み、それぞれの複数のナノワイヤは、第1表面における第1末端（例えば、末端150）と、第2末端（例えば、末端140）とを含む。上記第1末端と第2末端とは、少なくとも $200\text{ }\mu\text{m}$ の第1距離分、離間している。複数のナノワイヤは、第1表面上の第1領域に対応する。複数のナノワイヤのうち全てのナノワイヤは、互いに実質的に平行である。例えば、ナノワイヤのアレイは、少なくとも図1A、図2A、図2Bおよび/または図9に従って実施される。

## 【0080】

他の実施形態では、複数のナノワイヤは熱電素子の一部である。さらに、他の実施形態では、上記第1距離は少なくとも $300\text{ }\mu\text{m}$ であり、さらに、他の実施形態では、上記第

50

1 距離は少なくとも  $400 \mu m$  であり、さらに、他の実施形態では、上記第1距離は少なくとも  $500 \mu m$  であり、さらに、他の実施形態では、上記第1距離は少なくとも  $525 \mu m$  である。さらに、他の実施形態では、上記第1領域は少なくとも  $100 mm^2$  の大きさであり、さらに、他の実施形態では、上記第1領域は少なくとも  $1000 mm^2$  の大きさであり、さらに、他の実施形態では、上記第1領域は少なくとも  $2500 mm^2$  の大きさであり、さらに、他の実施形態では、上記第1領域は少なくとも  $5000 mm^2$  の大きさである。

#### 【0081】

さらに、他の実施形態では、それぞれの複数のナノホールは、第1表面に対して実質的に直角であり、さらに、他の実施形態では、それぞれの複数のナノワイヤの断面積は、直径が  $250 nm$  未満に相当する。さらに、他の実施形態では、上記断面積は、それぞれの複数のナノワイヤの長手方向に沿って実質的に均一である。さらに、他の実施形態では、複数のナノワイヤは第1ナノワイヤおよび第2ナノワイヤを含み、上記第1ナノワイヤおよび第2ナノワイヤは、 $1000 nm$  未満の第2距離分だけ、離れている。さらに、他の実施形態では、それぞれの複数のナノワイヤは、複数のナノワイヤから選択される他のナノワイヤから  $1000 nm$  未満の第2距離分だけ、離れている。さらに、他の実施形態では、それぞれの複数のナノワイヤは半導体物質を含んでおり、さらに、他の実施形態では、上記半導体物質はシリコンである。

10

#### 【0082】

さらに、他の実施形態によれば、ナノ構造のアレイは複数のナノ構造を含む。それぞれの複数のナノ構造は第1表面における第1末端と第2末端とを含む。上記第1末端および第2末端は、少なくとも  $200 \mu m$  の第1距離分、離れている。複数のナノ構造は、上記第1表面上の第1領域に相当する。複数のナノ構造のうち全てのナノ構造は、互いに実質的に平行である。それぞれの複数のナノ構造は半導体物質を含む。例えば、上記ナノ構造のアレイは、少なくとも図1A、図1B、図2A、図2Bおよび/または図9に従って実施される。

20

#### 【0083】

他の実施形態では、複数のナノ構造は熱電素子の一部である。さらに、他の実施形態では、上記半導体物質はシリコンである。さらに、他の実施形態では、上記第1距離は少なくとも  $300 \mu m$  であり、さらに、他の実施形態では、上記第1距離は少なくとも  $400 \mu m$  であり、さらに、他の実施形態では、上記第1距離は少なくとも  $500 \mu m$  であり、さらに、他の実施形態では、上記第1距離は少なくとも  $525 \mu m$  である。さらに、他の実施形態では、上記第1距離は少なくとも  $525 \mu m$  である。さらに、他の実施形態では、上記第1領域は少なくとも  $100 mm^2$  の大きさであり、さらに、他の実施形態では、上記第1領域は少なくとも  $1000 mm^2$  の大きさであり、さらに、他の実施形態では、上記第1領域は少なくとも  $2500 mm^2$  の大きさであり、さらに、他の実施形態では、上記第1領域は少なくとも  $5000 mm^2$  の大きさである。さらに、他の実施形態では、複数のナノ構造は、上記第1領域に対して実質的に直角である。

30

#### 【0084】

さらに、他の実施形態では、それぞれの複数のナノ構造は複数のナノホールのそれに相当する。さらに、他の実施形態では、それぞれの複数のナノホールの断面積は、直径が  $250 nm$  未満に相当する。さらに、他の実施形態では、上記断面積は、それぞれの複数のナノホールの長手方向に沿って実質的に均一である。さらに、他の実施形態では、複数のナノ構造は、第1ナノ構造および第2ナノ構造を含み、第1ナノ構造および第2ナノ構造は、 $1000 nm$  未満の第2距離分だけ離れている。さらに、他の実施形態では、それぞれの複数の第1ナノ構造は、複数の第1ナノ構造から選択される他の第1ナノ構造から、 $1000 nm$  未満の第2距離分だけ離れている。

40

#### 【0085】

さらに、他の実施形態によれば、ナノワイヤのアレイを形成する方法は：第1表面および1以上の第2表面を含む半導体基板を準備する工程；1以上の第2表面の1以上の部分

50

を、露出した第1表面の少なくとも第1部分でマスキングする工程；上記第1表面の少なくとも上記露出した第1部分に、金属蒸着フィルムを貼り付ける工程；少なくとも上記第1表面の露出した第1部分を通じて、第1エッティング液を使用し、上記半導体基板をエッティングする工程；および、複数の第1ナノワイヤを形成する工程を含む。それぞれの複数の第1ナノワイヤは、第3表面における第1末端（例えば、末端150）および第2末端（例えば、末端140）を含む。上記第1末端と第2末端とは、少なくとも $200\mu m$ の第1距離分だけ離れている。それぞれの複数の第1ナノワイヤは、第1表面上の第1領域に対応する。上記第1表面上の第1領域は、上記第1表面の露出した第1部分に実質的に対応する。複数の第1ナノワイヤのうち全てのナノワイヤは、互いに実質的に平行である。例えば、上記方法は、少なくとも図3に従って実施される。

10

## 【0086】

他の実施形態では、上記半導体基板はシリコンを含む。さらに、他の実施形態では、1以上の第2表面の少なくとも1以上の部分をマスキングする工程には、1以上の第2表面に1以上のマスキング材料を貼り付ける工程が含まれる。さらに、他の実施形態では、1以上のマスキング材料は、テープ、マニキュア液、フォトレジスト、 $Si_3N_4$ 、 $SiC$ 、DLC、Al、Ti、Ni、Au、Ag、Cr、ITO、Fe、PtおよびMoからなる群から選択される。さらに、他の実施形態では、金属蒸着フィルムには、Ag、Au、Pt、Pd、NiおよびCuからなる群から選択された1以上の金属が含まれる。さらに、他の実施形態では、第1エッティング液には、1以上の酸化剤が含まれる。さらに、他の実施形態では、1以上の酸化剤は、 $AgNO_3$ 、 $KNO_3$ 、 $NaNO_3$ 、 $Fe(NO_3)_3$ 、 $H_2O_2$ 、 $Ag_2CrO_4$ 、 $HNO_3$ および $KMnO_4$ からなる群から選択される。

20

## 【0087】

さらに、他の実施形態では、上記方法には、少なくとも上記第1表面の露出した第1部分を通じて、第2エッティング液を使用し、上記半導体基板をエッティングする工程がさらに含まれ、上記第2エッティング液は、第1エッティング液とは異なる。さらに、他の実施形態では、上記方法には、半導体基板を洗浄する工程が含まれる。また、さらに、他の実施形態では、上記方法には、複数の第1ナノワイヤを形成する工程の後、上記半導体基板を清掃する工程がさらに含まれる。さらに、他の実施形態では、上記方法には、複数の第1ナノワイヤを形成する工程の後、上記半導体基板を乾燥する工程がさらに含まれる。

30

## 【0088】

さらに、他の実施形態では、半導体基板には、上記第1表面に対して反対側の第4表面が含まれ、1以上の第2表面の少なくとも1以上の部分をマスキングする工程には、露出した第4表面の少なくとも第2部分を維持する工程が含まれる。さらに、他の実施形態では、上記方法には、上記第4表面の少なくとも露出した第2部分に金属蒸着フィルムを貼り付ける工程、上記第4表面の少なくとも露出した第2部分と通じ、第1エッティング液を使用して、上記半導体基板をエッティングする工程、および、複数の第2ナノワイヤを形成する工程が含まれる。それぞれの複数の第2ナノワイヤは、第4表面における第3末端および第4末端を含む。上記第5表面は、上記第3表面と異なっている。

## 【0089】

本発明の具体的な実施形態についてはすでに記載した通りであるが、当業者は、上記実施形態と等価な他の実施形態が存在することを理解するであろう。例えば、本発明に係る種々の実施形態および/または実施例を組み合わせることができる。したがって、本発明は、特定の図示された実施形態だけでなく、添付された特許請求の範囲によつても限定されると解されない。

40

## 【図面の簡単な説明】

## 【0090】

【図1A】図1Aは、本発明の一実施形態に係るナノワイヤのアレイを示す概略図である。

【図1B】図1Bは、本発明の一実施形態に係るナノホールのアレイを示す概略図である。この図は一例に過ぎず、請求の範囲を不当に限定するものではない。

50

【図 2 A】図 2 A は、本発明の或る実施形態に係る複数のナノワイヤの種々の面(views)を示す典型的な走査型電子顕微鏡画像である。

【図 2 B】図 2 B は、本発明の或る実施形態に係る複数のナノワイヤの種々の面(views)を示す典型的な走査型電子顕微鏡画像である。

【図 2 C】図 2 C は、本発明の或る実施形態に係る複数のナノワイヤの種々の面(views)を示す典型的な走査型電子顕微鏡画像である。

【図 3】図 3 は、本発明の一実施形態に係る半導体基板内のナノワイヤのアレイを形成する方法を示す概略図である。

【図 4 A】図 4 A は、本発明の或る実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された半導体基板を示す概略図である。 10

【図 4 B】図 4 B は、本発明の或る実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された半導体基板を示す概略図である。

【図 5 A】図 5 A は、本発明の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、官能化された半導体基板を示す概略図である。

【図 5 B】図 5 B は、本発明の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、官能化された半導体基板を示す概略図である。

【図 6 A】図 6 A は、本発明の一実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、マスキングされた半導体基板の側面を示す概略図である。

【図 6 B】図 6 B は、本発明の他の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、マスキングされた半導体基板の側面を示す概略図である。 20

【図 7 A】図 7 A は、本発明の一実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、金属蒸着フィルムを有するマスクされた半導体基板の側面を示す概略図である。

【図 7 B】図 7 B は、本発明の他の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、金属蒸着フィルムを有するマスクされた半導体基板の側面を示す概略図である。

【図 8 A】図 8 A は、本発明の他の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、エッチング工程中の半導体基板の側面を示す概略図である。

【図 8 B】図 8 B は、本発明の他の実施形態に係る図 3 の方法に示されるナノワイヤのアレイを用いて形成された、エッチング工程中の半導体基板の側面を示す概略図である。 30

【図 9】図 9 は、本発明の一実施形態に係る複数のナノワイヤを有する半導体基板の側面を示す概略図である。

【図 10 A】図 10 A は、本発明の一実施形態に係る半導体基板中の第 1 の複数のナノワイヤおよび第 2 の複数のナノワイヤの配置(formation) を示す概略図である。

【図 10 B】図 10 B は、本発明の一実施形態に係る半導体基板中の第 1 の複数のナノワイヤおよび第 2 の複数のナノワイヤの配置(formation) を示す概略図である。

【図 11 A】図 11 A は、本発明の他の実施形態に係る半導体基板中の第 1 の複数のナノワイヤおよび第 2 の複数のナノワイヤの配置(formation) を示す概略図である。

【図 11 B】図 11 B は、本発明の他の実施形態に係る半導体基板中の第 1 の複数のナノワイヤおよび第 2 の複数のナノワイヤの配置(formation) を示す概略図である。 40

【図 11 C】図 11 C は、本発明の或る実施形態に係る図 11 B に示される第 1 の複数のナノワイヤおよび第 2 の複数のナノワイヤを示す典型的な走査型電子顕微鏡画像である。

【図 12】図 12 は、本発明の或る実施形態によって形成された半導体基板上における、ナノワイヤの長さとナノワイヤの位置との関係を示す概略図である。

【図 13】図 13 は、本発明の幾つかの実施形態によって形成された半導体基板上における、ナノワイヤの長さとナノワイヤの位置との関係を示す概略図である。

【図 1 A】

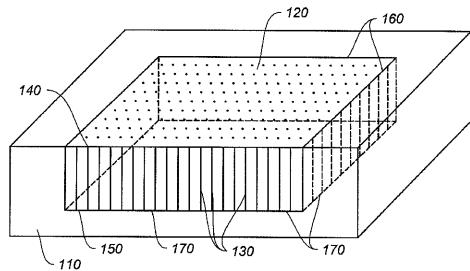


FIG. 1A

【図 1 B】

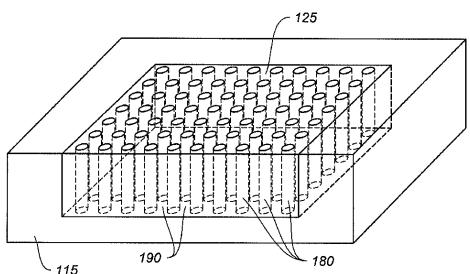


FIG. 1B

【図 2 A】

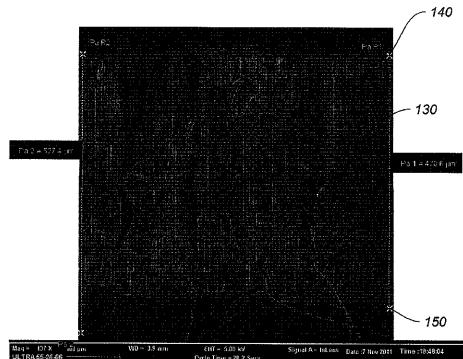


FIG. 2A

【図 2 B】

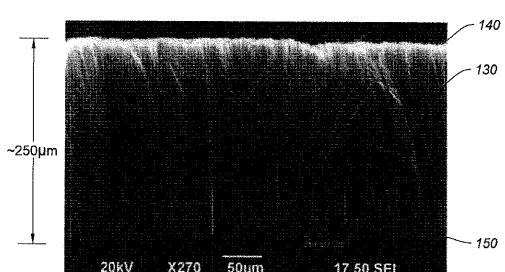


FIG. 2B

【図 2 C】

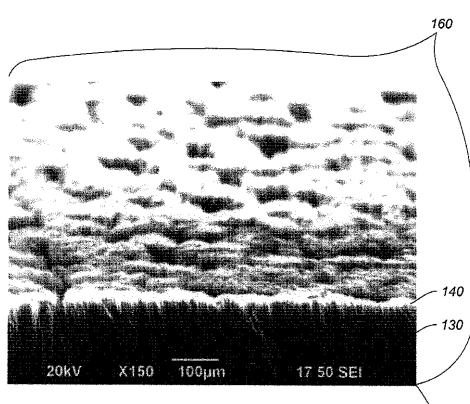
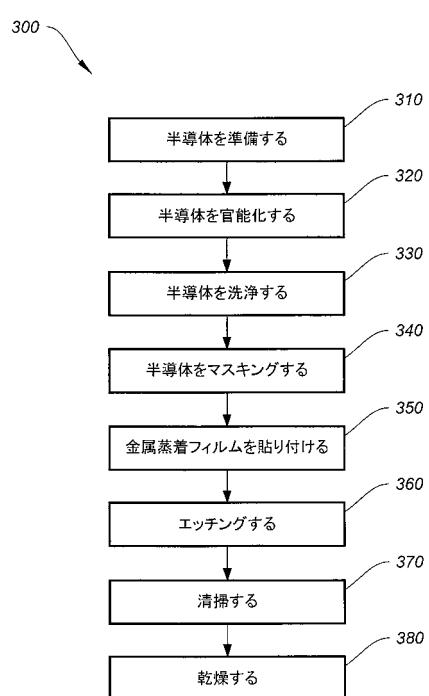


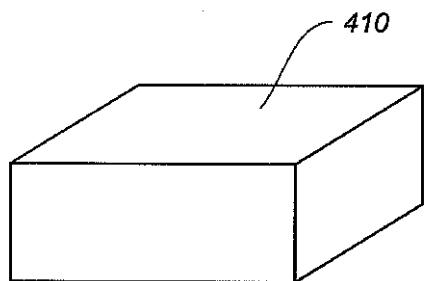
FIG. 2C

【図 3】

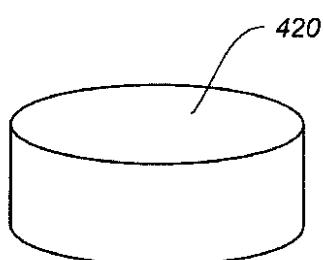
図 3



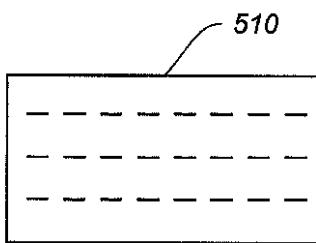
【図 4 A】

**FIG. 4A**

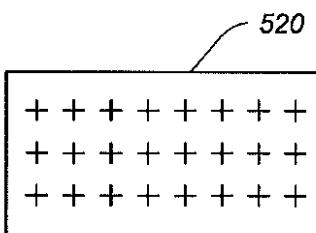
【図 4 B】

**FIG. 4B**

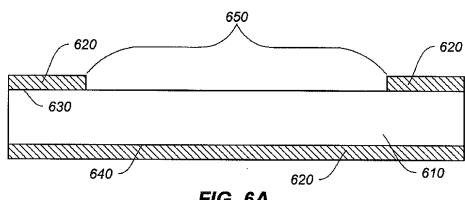
【図 5 A】

**FIG. 5A**

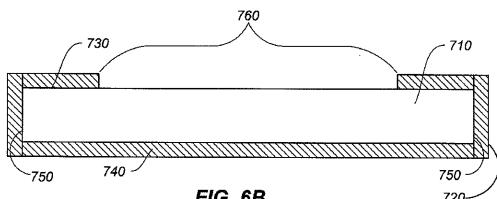
【図 5 B】

**FIG. 5B**

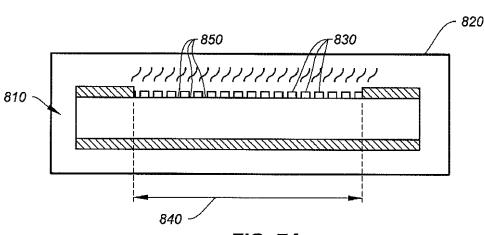
【図 6 A】

**FIG. 6A**

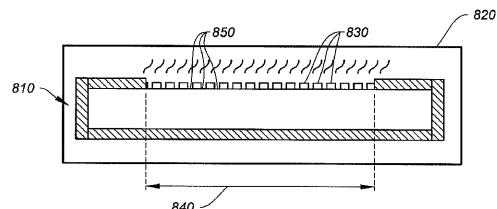
【図 6 B】

**FIG. 6B**

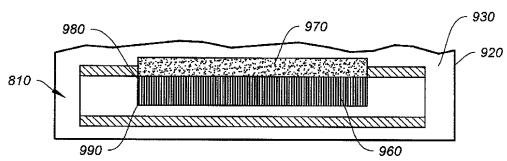
【図 7 A】

**FIG. 7A**

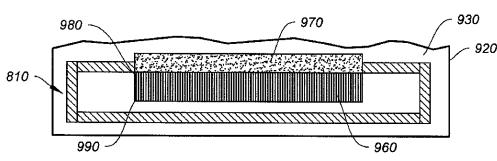
【図 7 B】

**FIG. 7B**

【図 8 A】

**FIG. 8A**

【図 8 B】

**FIG. 8B**

【図 9】

**FIG. 9**

【図 10A】

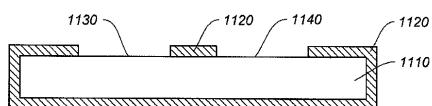


FIG. 10A

【図 10B】

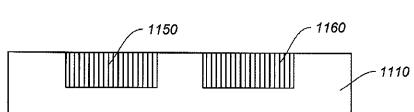


FIG. 10B

【図 11A】

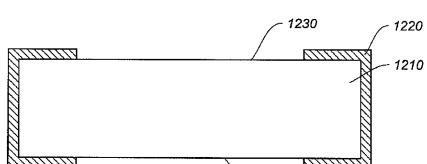


FIG. 11A

【図 11B】

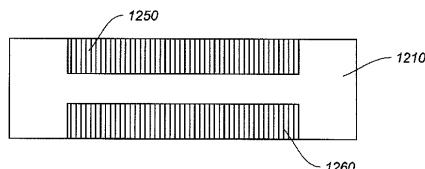


FIG. 11B

【図 11C】

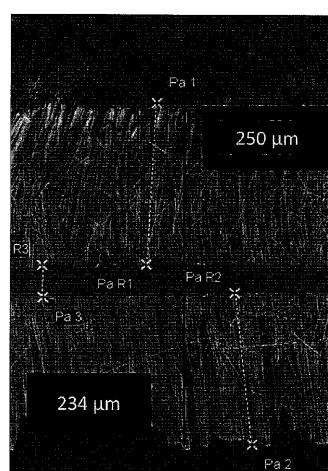
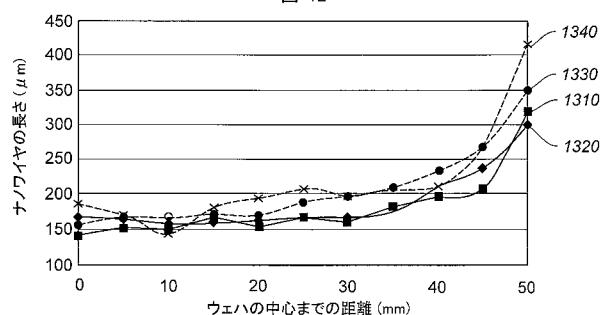


FIG. 11C

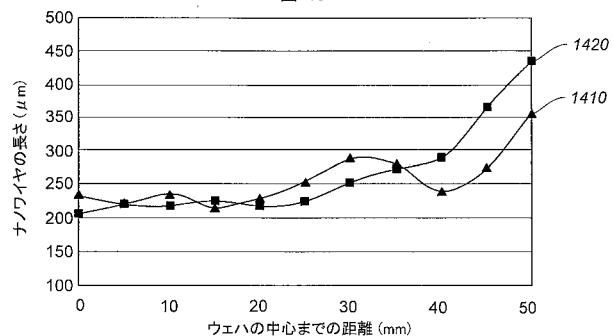
【図 12】

図 12



【図 13】

図 13



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US11/61301
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: H01L 35/02(2006.01),35/34(2006.01)		
USPC: 136/236.1,200,201,239;257/12-27;977/720,721,762-772,814,888 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 136/236.1,200,201,239; 257/12-27; 977/720,721,762-772,814,888		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X -- Y	WANG D. et al.; Complementary Symmetry Silicon Nanowire Logic: Power-Efficient Inverters with Gain; Small; August 2006; Vol.2, No. 10, pp.1153-1158, especially page 1157 and fig. 3(b).	1-13, 15-43, 47, and 48  49-61
Y	US 2009/0020148 A1 (BOUKAI et al.) 22 January 2009 (01.22.2009), paragraphs [0007 and 0085-0090].	49-61
Y	PENG, K. et al.; Aligned Single-Crystalline Si Nanowire Arrays for Photovoltaic Applications; Small; August 2005; Vol. 1, No. 11, pp.1062-1067, especially page 1063, figs. 1 and 3.	49-61
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 18 December 2012 (18.12.2012)	Date of mailing of the international search report 31 JAN 2013	
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201	Authorized officer Marcos D. Pizarro Telephone No. 571-272-1705	

Form PCT/ISA/210 (second sheet) (April 2007)

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/US11/61301
<b>Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)</b>		
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:		
1.	<input type="checkbox"/>	Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:
2.	<input type="checkbox"/>	Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3.	<input type="checkbox"/>	Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).
<b>Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)</b>		
This International Searching Authority found multiple inventions in this international application, as follows: Please See Continuation Sheet		
1.	<input type="checkbox"/>	As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.	<input type="checkbox"/>	As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of any additional fees.
3.	<input type="checkbox"/>	As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4.	<input checked="" type="checkbox"/>	No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-13, 15-43 and 47-61
<b>Remark on Protest</b> <input type="checkbox"/> The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee. <input type="checkbox"/> The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation. <input type="checkbox"/> No protest accompanied the payment of additional search fees.		

<b>INTERNATIONAL SEARCH REPORT</b>	International application No. PCT/US11/61301
<b>BOX III. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING REQUIREMENT FOR UNITY OF INVENTION</b>	
<p>This International Search Authority has found 2 inventions claimed in the International Application covered by the claims indicated below.</p> <p>This application contains the following inventions or groups of inventions which are not so linked as to form a single general inventive concept under PCT Rule 13.1.</p> <p>Group I, claim(s) 1-13, 15-43, and 47-61, drawn to an array of nanostructures comprising a plurality of nanowires.</p> <p>Group II, claim(s) 8-14, 32, and 43-48, drawn to an array of nanostructures comprising a plurality of nanoholes.</p> <p>The groups of inventions listed above do not relate to a single general inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons:</p> <p>The special technical feature of the Group I invention is the claimed plurality of nanowires and this feature is not present in Group II. The special technical feature of the Group II invention is the claimed plurality of nanoholes and this feature is not present in Group II. Therefore, the groups lack unity of invention because they do not share the same or corresponding technical feature.</p>	
<p>Continuation of B. FIELDS SEARCHED Item 3: IEEEExplore, EAST search terms: nanowire, nanostructure, nanohole, array, SiNW, etching, etchant, catalyst, mask, masking, photoresist, thermoelectric</p>	

## フロントページの続き

(51) Int.CI.	F I	テーマコード(参考)
<b>B 8 2 Y 40/00</b> (2011.01)	B 8 2 Y 40/00	
<b>B 8 2 Y 30/00</b> (2011.01)	B 8 2 Y 30/00	

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN

- (74)代理人 110000338  
特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
- (72)発明者 イ, ミンチャン  
アメリカ合衆国, 94806 カリフォルニア州, サン パブロ, タラ ヒルズ ドライブ 25  
80
- (72)発明者 スカリーン, マシュー エル.  
アメリカ合衆国, 94103 カリフォルニア州, サン フランシスコ, スイート 12, エイス  
ストリート 239
- (72)発明者 マタス, ガブリエル  
アメリカ合衆国, 94103 カリフォルニア州, サン フランシスコ, 429, ミッション  
ストリート 1655
- (72)発明者 ヒルケン, ドーン エル.  
アメリカ合衆国, 94523 カリフォルニア州, プレザント ヒル, 327, クレッセント  
ドライブ 25 - E -
- (72)発明者 リー, チィ ガン  
アメリカ合衆国, 94539 カリフォルニア州, フリモント, ソリスティス コート 746
- (72)発明者 マッケンヒルン, シルヴェイン  
アメリカ合衆国, 93110 カリフォルニア州, サンタ バーバラ, センター アヴェニュー  
3846