

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年1月21日(21.01.2016)



(10) 国際公開番号  
WO 2016/009909 A1

- (51) 国際特許分類:  
G09G 3/30 (2006.01) H01L 51/50 (2006.01)  
G09G 3/20 (2006.01) H05B 33/08 (2006.01)
- (21) 国際出願番号: PCT/JP2015/069597
- (22) 国際出願日: 2015年7月8日(08.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2014-144812 2014年7月15日(15.07.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 野口 登(NOGUCHI, Noboru), 小原 将紀(OHARA, Masanori), 岸 宣孝(KISHI, Noritaka).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

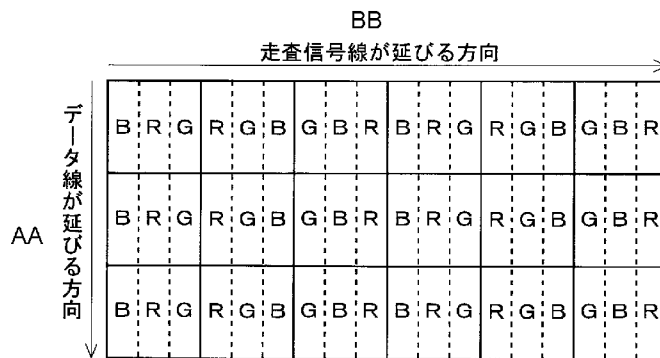
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND DRIVING METHOD THEREFOR

(54) 発明の名称: 表示装置およびその駆動方法

[図1]



AA Direction in which data line extends

BB Direction in which scan signal line extends

(57) Abstract: The present invention achieves lower power consumption than in the prior art while suppressing a decrease in the life of an element without causing a display defect in a display device that adopts time division driving. When a display mode is a high-resolution mode, image display is performed by time division driving. When the display mode is a low-resolution mode, image display is performed by, with j pixel circuits disposed continuously in a direction in which a scan signal line extends as one group, bringing only one organic EL element in each of the pixel circuits into a light emitting state during a frame period, and bringing organic EL elements having different light emission colors from each other in the j pixel circuits included in each group into the light emitting state during the frame period. A plurality of pixel circuits in a display unit are configured such that the intervals between a plurality of organic EL elements that are brought into the light emitting state during the frame period in the low-resolution mode become equal in the direction in which the scan signal line extends.

(57) 要約:

[続葉有]



WO 2016/009909 A1

---

時分割駆動を採用する表示装置において、表示不良を引き起こすことなく、素子の短寿命化を抑制しつつ従来よりも消費電力を低減する。表示モードが高解像度モードである時には、時分割駆動によって画像表示が行われる。表示モードが低解像度モードである時には、走査信号線が延びる方向に連続して配置されている  $j$  個の画素回路を 1 つのグループとし、フレーム期間中に各画素回路において 1 つの有機 EL 素子のみを発光状態にし、かつ、フレーム期間中に各グループに含まれる  $j$  個の画素回路において互いに異なる発光色の有機 EL 素子を発光状態にすることによって、画像表示が行われる。ここで、表示部内の複数の画素回路は、低解像度モードの際にフレーム期間中に発光状態となる複数の有機 EL 素子の間隔が走査信号線が延びる方向に関して等間隔になるように構成される。

## 明 細 書

発明の名称：表示装置およびその駆動方法

### 技術分野

[0001] 本発明は、表示装置に関し、より詳しくは、有機EL表示装置などの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

### 背景技術

[0002] 従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機EL (Electro Luminescence) 素子が挙げられる。有機EL素子は、OLED (Organic Light-Emitting Diode) とも呼ばれている。自発光型の電気光学素子である有機EL素子を使用した有機EL表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機EL表示装置の開発が進められている。

[0003] 有機EL表示装置の駆動方式として、パッシブマトリクス方式（単純マトリクス方式とも呼ばれる。）とアクティブマトリクス方式とが知られている。パッシブマトリクス方式を採用した有機EL表示装置は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機EL表示装置（以下「アクティブマトリクス型の有機EL表示装置」という。）は、パッシブマトリクス方式を採用した有機EL表示装置に比べて大型化および高精細化を容易に実現できる。

[0004] アクティブマトリクス型の有機EL表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機EL表示装置の

画素回路は、典型的には、画素を選択する入力トランジスタと、有機EL素子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機EL素子に流れる電流のことを「駆動電流」という場合がある。

[0005] ところで、アクティブマトリクス型の一般的な有機EL表示装置においては、1個の画素は3個のサブ画素（赤色を表示するRサブ画素，緑色を表示するGサブ画素，および青色を表示するBサブ画素）で構成されている。図48は、1個のサブ画素を構成する従来一般的な画素回路91の構成を示す回路図である。この画素回路91は、表示部に配設されている複数のデータ線DLと複数の走査信号線SLとの各交差点に対応して設けられている。図48に示すように、この画素回路91は、2個のトランジスタT1，T2と、1個のコンデンサCstと、1個の有機EL素子OLEDとを備えている。トランジスタT1は駆動トランジスタであり、トランジスタT2は入力トランジスタである。なお、図48に示す例では、トランジスタT1，T2は、nチャンネル型の薄膜トランジスタ（TFT）である。

[0006] トランジスタT1は、有機EL素子OLEDと直列に設けられている。そのトランジスタT1に関し、ゲート端子はトランジスタT2のドレイン端子に接続され、ドレイン端子はハイレベル電源電圧ELVDDを供給する電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じ符号ELVDDを付す。）に接続され、ソース端子は有機EL素子OLEDのアノード端子に接続されている。トランジスタT2は、データ線DLとトランジスタT1のゲート端子との間に設けられている。そのトランジスタT2に関し、ゲート端子は走査信号線SLに接続され、ドレイン端子はトランジスタT1のゲート端子に接続され、ソース端子はデータ線DLに接続されている。コンデンサCstについては、トランジスタT1のゲート端子に一端が接続され、トランジスタT1のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源電圧ELVSSを供給する電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じ符号E

L V S Sを付す。)に接続されている。以下、トランジスタT1のゲート端子と、コンデンサC s tの一端と、トランジスタT2のドレイン端子との接続点のことを便宜上「ゲートノード」という。ゲートノードの電位には符合V Gを付す。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

[0007] 図49は、図48に示す画素回路91の動作を説明するためのタイミングチャートである。時刻t91以前には、走査信号線S Lは非選択状態となっている。従って、時刻t91以前には、トランジスタT2がオフ状態になっており、ゲートノードの電位V Gは初期レベル（例えば、1つ前のフレームでの書き込みに応じたレベル）を維持している。時刻t91になると、走査信号線S Lが選択状態となり、トランジスタT2がターンオンする。これにより、データ線D LおよびトランジスタT2を介して、この画素回路91が形成する画素（サブ画素）の輝度に対応するデータ電圧V d a t aがゲートノードに供給される。その後、時刻t92までの期間に、ゲートノードの電位V Gがデータ電圧V d a t aに応じて変化する。このとき、コンデンサC s tは、ゲートノードの電位V GとトランジスタT1のソース電位との差であるゲート-ソース間電圧V g sに充電される。時刻t92になると、走査信号線S Lが非選択状態となる。これにより、トランジスタT2がターンオフし、コンデンサC s tが保持するゲート-ソース間電圧V g sが確定する。トランジスタT1は、コンデンサC s tが保持するゲート-ソース間電圧V g sに応じて有機E L素子O L E Dに駆動電流を供給する。その結果、駆動電流に応じた輝度で有機E L素子O L E Dが発光する。

[0008] ところで、図48に示す画素回路91は、1個のサブ画素に対応する回路である。従って、3個のサブ画素からなる1個の画素に対応する画素回路910の構成は、図50に示すようなものとなる。図50に示すように、1個の画素を構成する画素回路910は、Rサブ画素用の画素回路91（R）と

Gサブ画素用の画素回路91(G)とBサブ画素用の画素回路91(B)とによって構成されている。図50に示す構成によれば、画素回路内に多くの回路素子が必要とされるので、高精細化が困難である。

[0009] そこで、日本の特開2005-148749号公報には、図51に示すように、1個の画素に必要とされるトランジスタおよびコンデンサの数を従来よりも少なくした構成の画素回路920が開示されている。この画素回路920は、駆動手段921と、順次制御手段922と、3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)とによって構成されている。駆動手段921は、駆動トランジスタT11と、入力トランジスタT12と、コンデンサCst1とによって構成されている。順次制御手段922は、赤色用の有機EL素子OLED(R)の発光を制御するためのトランジスタT13(R)と、緑色用の有機EL素子OLED(G)の発光を制御するためのトランジスタT13(G)と、青色用の有機EL素子OLED(B)の発光を制御するためのトランジスタT13(B)とによって構成されている。また、トランジスタT13(R)、T13(G)、およびT13(B)のオン/オフを制御するための配線としてエミッション線EM1、EM2、およびEM3が画素回路920を通過するように設けられている。

[0010] 以上のような構成において、1フレーム期間が3つのサブフレームに分割される。具体的には、1フレーム期間は、赤色の発光を行うための第1サブフレームと緑色の発光を行うための第2サブフレームと青色の発光を行うための第3サブフレームとに分割される。そして、順次制御手段922において、第1サブフレームにはトランジスタT13(R)のみがオン状態とされ、第2サブフレームにはトランジスタT13(G)のみがオン状態とされ、第3サブフレームにはトランジスタT13(B)のみがオン状態とされる。これにより、1フレーム期間をかけて有機EL素子OLED(R)、有機EL素子OLED(G)、および有機EL素子OLED(B)が順次に発光し、所望のカラー画像が表示される。このように、日本の特開2005-148749号公報に開示された有機EL表示装置では、いわゆる「時分割駆動

」が行われている。

[0011] なお、日本の特開2005-148750号公報には、図52に示す構成の画素回路930を用いて時分割駆動を行う有機EL表示装置の発明が開示されている。

## 先行技術文献

### 特許文献

[0012] 特許文献1：日本の特開2005-148749号公報

特許文献2：日本の特開2005-148750号公報

## 発明の概要

### 発明が解決しようとする課題

[0013] ところが、有機EL表示装置において上述したような時分割駆動を採用した場合、時分割駆動ではない従来の一般的な駆動方法（ここでは「一般的駆動」という。）を採用している場合に比べて消費電力が増大する。これについて、図53および図54を参照しつつ以下に説明する。

[0014] 時分割駆動においては、発光期間と帰線期間とが交互に繰り返される。発光期間は3色のうちのいずれか1色の発光を行うための期間である。発光期間には、有機EL素子を所望の輝度で発光させるために、ソースドライバ（データ線を駆動する回路）、ゲートドライバ（走査信号線を駆動する回路）、およびエミッションドライバ（エミッション線を駆動する回路）の動作がオン状態となる（図53参照）。発光期間の長さは帰線期間の長さよりも極めて長い。各発光期間には、先頭行に含まれる有機EL素子から最終行に含まれる有機EL素子までを一般的駆動における1フレーム期間のほぼ3分の1の長さの期間で順次に発光させなければならない。このため、時分割駆動を採用した場合、一般的駆動を採用している場合に比べて駆動周波数（駆動速度）が約3倍になる。周辺ドライバの消費電力 $P$ は、寄生容量を $C$ とし、電圧振幅を $V$ とし、駆動周波数を $f$ とすると、次式（1）で表される。

[数1]

$$P = C \times V^2 \times f \quad \dots (1)$$

[0015] 上式(1)より、周辺ドライバの消費電力Pは駆動周波数fに比例することが把握される。従って、図54に示すように、時分割駆動を採用した場合における各周辺ドライバの消費電力は、一般的駆動を採用している場合の消費電力の3倍になる。これに関し、例えば携帯電話における待ち受け画面のような静止画像を表示する場合にも、周辺ドライバを高周波数で動作させる必要があるため、消費電力は大きくなる。なお、本明細書における周辺ドライバとは、画素回路を動作させるために表示部の周辺領域に設けられている駆動回路のことを意味する。また、図54に関し、第1～第3エミッションドライバはそれぞれ図51におけるエミッション線EM1～EM3を駆動するための回路である。

[0016] また、時分割駆動を採用した場合、各有機EL素子の発光期間の長さは、一般的駆動を採用している場合に比べて3分の1となる。このため、一般的駆動を採用している場合と同程度のパネル輝度を得るためには、各有機EL素子の発光輝度を3倍にする必要がある。従って、各有機EL素子の瞬時輝度が高められる。有機EL素子の寿命は瞬時輝度の1.8～2乗に反比例すると考えられているので、時分割駆動を採用している有機EL表示装置においては有機EL素子の寿命が短くなる。

[0017] ところで、消費電力を低減するための手法として、高精細表示が必要とされない画像が表示される際に駆動周波数を低くして解像度を低下させることが考えられる。しかしながら、時分割駆動を行うことを前提とした構成の画素回路を有する有機EL表示装置で表示画像の解像度を低くした場合、画素の配列(サブ画素の並び方)に起因して表示ムラ(色ムラ)や縦すじが現れることが懸念される。

[0018] そこで、本発明は、電流で駆動される自発光型表示素子を有し時分割駆動を採用する表示装置において、表示不良を引き起こすことなく、素子の短寿命化を抑制しつつ従来よりも消費電力を低減することを目的とする。



## 課題を解決するための手段

[0019] 本発明の第1の局面は、複数の行および複数の列を構成するようにマトリクス状に配置された複数の画素回路と、前記複数の行と1対1で対応するように設けられた複数の走査信号線と、前記複数の列と1対1で対応するように設けられた複数のデータ線とを含む表示部を備えた表示装置であって、

前記複数の画素回路は、比較的低い解像度の画像を前記表示部に表示する低解像度モードによる表示が行われているときに各単位フレームにおいて発光状態となる複数の電気光学素子の間隔が前記複数の走査信号線が延びる方向に関して等間隔になるように、構成されていることを特徴とする。

[0020] 本発明の第2の局面は、本発明の第1の局面において、

各画素回路は、互いに異なる発光色の $j$ 個（ $j$ は2以上の整数）の電気光学素子を含み、

前記低解像度モードと比較的高い解像度の画像を前記表示部に表示する高解像度モードとの間で、表示モードが切り替え可能に構成され、

表示モードが前記高解像度モードであるときには、1画面分の画像の表示が行われる期間である単位フレームを $j$ 個のサブフレームに分割して、各画素回路においてサブフレーム毎に異なる発光色の電気光学素子を発光状態にすることによって、前記表示部への画像の表示が行われ、

表示モードが前記低解像度モードであるときには、前記複数の走査信号線が延びる方向に連続して配置されている $j$ 個の画素回路を1つのグループとし、単位フレーム中に各画素回路において前記 $j$ 個の電気光学素子のうちの1つを発光状態にし、かつ、単位フレーム中に各グループに含まれる $j$ 個の画素回路において互いに異なる発光色の電気光学素子を発光状態にすることによって、前記表示部への画像の表示が行われることを特徴とする。

[0021] 本発明の第3の局面は、本発明の第2の局面において、

表示モードが前記低解像度モードであるときには、前記複数の画素回路への画像データの書き込みを行うリフレッシュ期間と前記複数の画素回路への画像データの書き込みを休止状態にする休止期間とを繰り返すことによって

、表示モードが前記高解像度モードであるときよりも低いリフレッシュレートで前記表示部への静止画像の表示が行われ、

前記休止期間には、前記複数の走査信号線および前記複数のデータ線の駆動が停止されることを特徴とする。

[0022] 本発明の第4の局面は、本発明の第2の局面において、

各画素回路は、

前記  $j$  個の電気光学素子と1対1で対応するように設けられた  $j$  個の発光制御トランジスタと、

前記  $j$  個の電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部と

を更に含み、

前記表示部は、各行につき  $j$  本ずつ設けられた複数の発光制御線を含み、

各画素回路において、

前記  $j$  個の発光制御トランジスタの制御端子は、互いに異なる発光制御線に接続され、

前記  $j$  個の発光制御トランジスタの第1導通端子は、前記駆動電流制御部に接続され、

前記  $j$  個の発光制御トランジスタの第2導通端子は、それぞれ対応する電気光学素子に接続され、

各グループに含まれる  $j$  個の画素回路と当該  $j$  個の画素回路に対応する  $j$  本の発光制御線とに着目したとき、着目した  $j$  本の発光制御線の各々は、着目した  $j$  個の画素回路において互いに異なる発光色の電気光学素子に対応する発光制御トランジスタの制御端子に接続され、

表示モードが前記高解像度モードであるときには、各行について前記  $j$  本の発光制御線がサブフレーム毎に順次に選択状態とされ、

表示モードが前記低解像度モードであるときには、単位フレーム中に各行について前記  $j$  本の発光制御線のうちの1本のみが選択状態とされることを特徴とする。

- [0023] 本発明の第5の局面は、本発明の第4の局面において、  
各行に対応するj本の発光制御線に着目したとき、表示モードが前記低解像度モードであるときに選択状態とされる発光制御線が適宜変更されることを特徴とする。
- [0024] 本発明の第6の局面は、本発明の第5の局面において、  
表示モードが前記高解像度モードから前記低解像度モードに切り替わる毎に、表示モードが前記低解像度モードであるときに選択状態とされる発光制御線が変更されることを特徴とする。
- [0025] 本発明の第7の局面は、本発明の第4の局面において、  
前記複数の画素回路にハイレベルの定電圧を供給する、前記表示部に配設された第1電源線と、  
前記複数の画素回路にローレベルの定電圧を供給する、前記表示部に配設された第2電源線と、  
前記複数の走査信号線を駆動する走査信号線駆動回路と、  
前記複数のデータ線を駆動するデータ線駆動回路と、  
前記複数の発光制御線を駆動する発光制御線駆動回路と  
を更に備え、  
前記駆動電流制御部は、  
前記第1電源線と前記第2電源線との間に前記j個の発光制御トランジスタの各々と直列になるように設けられ、前記駆動電流を制御するための駆動トランジスタと、  
対応するデータ線と前記駆動トランジスタの制御端子との間に設けられ、対応する走査信号線が前記走査信号線駆動回路によって選択状態にされたときに、対応するデータ線と前記駆動トランジスタの制御端子とを電気的に接続する入力トランジスタと、  
前記駆動トランジスタの制御端子と前記駆動トランジスタの一方の導通端子との間に設けられたコンデンサと  
を含み、

表示モードが前記低解像度モードであるときには、前記複数の画素回路への画像データの書き込みを行うリフレッシュ期間と前記複数の画素回路への画像データの書き込みを休止状態にする休止期間とを繰り返すことによって、表示モードが前記高解像度モードであるときよりも低いリフレッシュレートで前記表示部への静止画像の表示が行われ、

前記リフレッシュ期間には、

前記発光制御線駆動回路は、各行について前記  $j$  本の発光制御線のうちの 1 本のみを選択状態とし、

前記走査信号線駆動回路は、前記複数の走査信号線を順次に選択状態とし、

前記データ線駆動回路は、各走査信号線が選択状態になるのに応じて、表示モードが前記低解像度モードであるときに前記表示部に表示されるべき静止画像に応じたデータ電圧を前記複数のデータ線に印加し、

前記休止期間には、

前記発光制御線駆動回路は、前記リフレッシュ期間に選択状態にした発光制御線を選択状態で維持するとともにそれ以外の発光制御線を非選択状態で維持し、

前記走査信号線駆動回路および前記データ線駆動回路は、休止状態となることを特徴とする。

[0026] 本発明の第 8 の局面は、本発明の第 7 の局面において、

前記発光制御線駆動回路は、前記リフレッシュ期間には、各行を構成する画素回路への画像データの書き込みが行われる直前の期間に、当該各行に対応する  $j$  本の発光制御線の全てを非選択状態にすることを特徴とする。

[0027] 本発明の第 9 の局面は、本発明の第 7 の局面において、

前記駆動トランジスタ、前記入力トランジスタ、および前記  $j$  個の発光制御トランジスタは、酸化物半導体によりチャンネル層が形成された薄膜トランジスタであることを特徴とする。

[0028] 本発明の第 10 の局面は、本発明の第 9 の局面において、

前記酸化物半導体の主成分は、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）から成ることを特徴とする。

- [0029] 本発明の第11の局面は、本発明の第2の局面において、  
表示モードが前記低解像度モードであるときには、1つのグループに含まれるj個の画素回路によって1つの画素が形成され、表示モードが前記高解像度モードであるときに前記表示部に表示される画像のj分の1の解像度の画像が前記表示部に表示されることを特徴とする。
- [0030] 本発明の第12の局面は、本発明の第2の局面において、  
表示モードが前記低解像度モードであるときには、連続するk行（kは2以上の整数）に対応するk個のグループに含まれるk×j個の画素回路によって1つの画素が形成され、表示モードが前記高解像度モードであるときに前記表示部に表示される画像の（k×j）分の1の解像度の画像が前記表示部に表示されることを特徴とする。
- [0031] 本発明の第13の局面は、本発明の第12の局面において、  
前記kの値は、表示モードが前記低解像度モードであるときの各画素の形状が正方形となるように定められていることを特徴とする。
- [0032] 本発明の第14の局面は、本発明の第2の局面において、  
各画素回路に含まれる前記j個の電気光学素子は、赤色の発光色、緑色の発光色、および青色の発光色を有する3個の有機エレクトロルミネッセンス素子であることを特徴とする。
- [0033] 本発明の第15の局面は、本発明の第2の局面において、  
各画素回路に含まれる前記j個の電気光学素子は、赤色の発光色、緑色の発光色、青色の発光色、および白色の発光色を有する4個の有機エレクトロルミネッセンス素子であることを特徴とする。
- [0034] 本発明の第16の局面は、本発明の第2の局面において、  
各グループに含まれるj個の画素回路のそれぞれにおいて前記複数の走査信号線が延びる方向についてp番目（pは1以上j以下の任意の整数）に配置されている電気光学素子に着目したとき、各グループにおいて着目したj

個の電気光学素子は互いに異なる発光色の電気光学素子であることを特徴とする。

[0035] 本発明の第17の局面は、本発明の第1の局面において、  
各画素回路は、互いに異なる発光色の $j$ 個（ $j$ は2以上の整数）の電気光学素子を含み、

任意の画素回路と、前記複数の走査信号線が延びる方向に前記任意の画素回路の1個隣に配置されている画素回路とでは、前記 $j$ 個の電気光学素子についての発光色の並びが異なり、

任意の画素回路と、前記複数の走査信号線が延びる方向に前記任意の画素回路の $j$ 個隣に配置されている画素回路とでは、前記 $j$ 個の電気光学素子についての発光色の並びが同じであることを特徴とする。

[0036] 本発明の第18の局面は、複数の行および複数の列を構成するようにマトリクス状に配置され互いに異なる発光色の $j$ 個（ $j$ は2以上の整数）の電気光学素子をそれぞれが含む複数の画素回路と、前記複数の行と1対1で対応するように設けられた複数の走査信号線と、前記複数の列と1対1で対応するように設けられた複数のデータ線とを含む表示部を備えた表示装置の駆動方法であって、

比較的高い解像度の画像を前記表示部に表示する高解像度表示ステップと、

比較的低い解像度の画像を前記表示部に表示する低解像度表示ステップとを含み、

前記高解像度表示ステップでは、1画面分の画像の表示が行われる期間である単位フレームを $j$ 個のサブフレームに分割して、各画素回路においてサブフレーム毎に異なる発光色の電気光学素子を発光状態にすることによって、前記表示部への画像の表示が行われ、

前記低解像度表示ステップでは、前記複数の走査信号線が延びる方向に連続して配置されている $j$ 個の画素回路を1つのグループとし、単位フレーム中に各画素回路において前記 $j$ 個の電気光学素子のうちの1つを発光状態に

し、かつ、単位フレーム中に各グループに含まれる  $j$  個の画素回路において互いに異なる発光色の電気光学素子を発光状態にすることによって、前記表示部への画像の表示が行われ、

前記複数の画素回路は、表示モードが前記低解像度モードであるときに各単位フレームにおいて発光状態となる複数の電気光学素子の間隔が前記複数の走査信号線が延びる方向に関して等間隔になるように、構成されていることを特徴とする。

### 発明の効果

[0037] 本発明の第1の局面によれば、走査信号線が延びる方向に関し、低解像度モードの際に各単位フレームにおいて発光状態となる複数の電気光学素子の間隔は等間隔となる。このため、表示ムラ（色ムラ）や縦すじの発生が防止され、視聴者にとって違和感のない画像が表示される。

[0038] 本発明の第2の局面によれば、時分割駆動で高解像度の画像を表示する表示装置において、低解像度の画像を表示する際には、 $j$  個の画素回路が1つのグループとされ、各グループに含まれる  $j$  個の画素回路において互いに異なる発光色の電気光学素子が発光状態にされる。このため、1回の垂直走査によって、時分割駆動が行われている時の  $j$  分の1以下の解像度のカラー画像を表示することができる。このように、時分割駆動を採用している表示装置において、駆動周波数を低下させつつ低解像度の画像を表示することが可能となる。従って、例えば表示画像の精細さについての要求度合に応じて、時分割駆動で高解像度の画像を表示する高解像度モードと時分割駆動よりも低い駆動周波数の駆動方法で低解像度の画像を表示する低解像度モードとの間で表示モードを切り替えることによって、常に時分割駆動で画像表示が行われる場合と比べて消費電力が低減される。また、低解像度モードの際には電気光学素子の瞬時輝度を時分割駆動が行われている時のように高くする必要がないので、電気光学素子の短寿命化が抑制される。以上のように、時分割駆動を採用している表示装置において、表示不良を引き起こすことなく、素子の短寿命化を抑制しつつ従来よりも消費電力を低減することが可能とな

る。

[0039] 本発明の第3の局面によれば、表示モードが低解像度モードである時には、画像データの書き込みを行うリフレッシュ期間と画像データの書き込みを休止する休止期間とを繰り返す休止駆動が行われる。このため、常に時分割駆動で画像表示が行われる場合と比べて、周辺ドライバ（画素回路を動作させるために表示部の周辺領域に設けられている駆動回路）の消費電力が大きく低減される。このように、消費電力の低減に関して極めて顕著な効果が得られる。

[0040] 本発明の第4の局面によれば、各行に対応しているj本の発光制御線のうちの1本を選択するだけで、各グループに含まれるj個の画素回路において互いに異なる発光色の電気光学素子を発光状態にすることができる。このため、低解像度モード中における発光制御線の駆動による消費電力が極めて小さくなる。

[0041] 本発明の第5の局面によれば、画素回路内でトランジスタの劣化や電気光学素子の劣化の程度に偏りが生じることが防止される。

[0042] 本発明の第6の局面によれば、本発明の第5の局面と同様、画素回路内でトランジスタの劣化や電気光学素子の劣化の程度に偏りが生じることが防止される。

[0043] 本発明の第7の局面によれば、電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部が駆動トランジスタと入力トランジスタとコンデンサとによって構成されている表示装置において、休止期間には、走査信号線駆動回路およびデータ線駆動回路は休止状態となり、発光制御線駆動回路では直流電流による電力のみが消費される。これにより、時分割駆動が行われている表示装置に関し、確実に従来よりも消費電力を低減することが可能となる。

[0044] 本発明の第8の局面によれば、各画素回路において、画像データの書き込みが行われる際に、当該画素回路に含まれる電気光学素子が一時的に消灯状態となる。このため、各フレーム期間における表示が1つ前のフレーム期間



における表示の影響を受けることが抑制される。これにより、低解像度モードの際に表示される画像の表示品位が高められる。

[0045] 本発明の第9の局面によれば、画素回路内のトランジスタでのオフリーク電流が極めて小さくなる。このため、表示画像に応じた電圧を画素回路内のコンデンサに従来よりも長時間保持することが可能となる。従って、休止期間の長さを長くしてリフレッシュレートを低くすることにより、消費電力を従来よりも大幅に低減することが可能となる。

[0046] 本発明の第10の局面によれば、チャンネル層を形成する酸化物半導体として酸化インジウムガリウム亜鉛を用いることにより、本発明の第9の局面の効果を確実に達成することができる。

[0047] 本発明の第11の局面によれば、表示モードが高解像度モードから低解像度モードに切り替わったときの解像度の低下をできるだけ小さくしつつ、本発明の第1の局面と同様の効果を得ることが可能となる。

[0048] 本発明の第12の局面によれば、表示モードが低解像度モードである時には、各列について連続するk行で同じ画像データの書き込みが行われれば良い。このため、低解像度モード中の画像データの書き込みによる消費電力が低減される。

[0049] 本発明の第13の局面によれば、表示モードが低解像度モードである時に、より自然な画像が表示部に表示される。

[0050] 本発明の第14の局面によれば、赤色の発光色、緑色の発光色、および青色の発光色を有する3個の有機エレクトロルミネッセンス素子を電気光学素子として用いた表示装置において、本発明の第1の局面と同様の効果が得られる。

[0051] 本発明の第15の局面によれば、赤色の発光色、緑色の発光色、青色の発光色、および白色の発光色を有する4個の有機エレクトロルミネッセンス素子を電気光学素子として用いた表示装置において、本発明の第1の局面と同様の効果が得られる。

[0052] 本発明の第16の局面によれば、表示ムラ（色ムラ）や縦すじの発生が確

実に防止される。

[0053] 本発明の第17の局面によれば、時分割駆動を可能にしつつ、低解像度モードの際の表示ムラ（色ムラ）や縦すじの発生が抑制される。

[0054] 本発明の第18の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

### 図面の簡単な説明

[0055] [図1]本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置における画素の配列を示す模式図である。

[図2]上記第1の実施形態において、有機EL表示装置の全体構成を示すブロック図である。

[図3]上記第1の実施形態において、表示部の構成について説明するための図である。

[図4]上記第1の実施形態において、ソースドライバの一構成例を示すブロック図である。

[図5]上記第1の実施形態において、ゲートドライバの一構成例を示すブロック図である。

[図6]上記第1の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図7]上記第1の実施形態において、第1エミッションドライバの一構成例を示すブロック図である。

[図8]上記第1の実施形態において、第1エミッションドライバの動作について説明するためのタイミングチャートである。

[図9]従来例における画素の配列を示す模式図である。

[図10]上記第1の実施形態において、1つのグループを形成するサブ画素群の構成を示す模式図である。

[図11]上記第1の実施形態において、1つのグループを形成するサブ画素群の別の構成を示す模式図である。

[図12]上記第1の実施形態において、1つのグループを形成するサブ画素群

の構成について説明するための図である。

[図13]上記第1の実施形態において、1つのグループに含まれる3個の画素回路の構成を示す回路図である。

[図14]上記第1の実施形態において、サブ画素の配置について説明するための図である。

[図15]上記第1の実施形態において、サブ画素の配置について説明するための図である。

[図16]上記第1の実施形態において、サブ画素の配置について説明するための図である。

[図17]上記第1の実施形態における駆動方法の概要について説明するための図である。

[図18]上記第1の実施形態において、表示モードが高解像度モードである時の走査信号および発光制御信号の波形を示すタイミングチャートである。

[図19]上記第1の実施形態において、表示モードが高解像度モードである時の1つのグループに含まれる3個の画素回路内の有機EL素子の発光状態の推移を示す図である。

[図20]上記第1の実施形態において、第1サブフレームの発光状態を示す模式図である。

[図21]上記第1の実施形態において、第2サブフレームの発光状態を示す模式図である。

[図22]上記第1の実施形態において、第3サブフレームの発光状態を示す模式図である。

[図23]上記第1の実施形態において、表示モードが低解像度モードである時の走査信号および発光制御信号の波形を示すタイミングチャートである。

[図24]上記第1の実施形態において、表示モードが低解像度モードである時の1つのグループに含まれる3個の画素回路内の有機EL素子の発光状態の推移を示す図である。

[図25]上記第1の実施形態において、高解像度モードにおける1画素と低解

像度モードにおける1画素とを比較するための図である。

[図26]上記第1の実施形態において、低解像度モードの際のエミッション線の駆動について説明するためのタイミングチャートである。

[図27]上記第1の実施形態において、低解像度モードの際の有機EL素子の発光状態について説明するための図である。

[図28]上記第1の実施形態において、低解像度モードの際のエミッション線の駆動について説明するためのタイミングチャートである。

[図29]上記第1の実施形態において、低解像度モードの際の有機EL素子の発光状態について説明するための図である。

[図30]上記第1の実施形態において、低解像度モードの際の有機EL素子の発光状態について説明するための図である。

[図31]画素の配列を従来の構成にした場合の発光状態を示す模式図である。

[図32]上記第1の実施形態の第1の変形例における発光状態を示す模式図である。

[図33]上記第1の実施形態の第1の変形例において、低解像度モードの際の1つの画素の形成の仕方について説明するための図である。

[図34]上記第1の実施形態の第1の変形例において、データ線が延びる方向に連続する2つの行に含まれる6個の画素回路によって1つの画素を形成した場合について説明するための図である。

[図35]上記第1の実施形態の第1の変形例において、データ線が延びる方向に連続する3つの行に含まれる9個の画素回路によって1つの画素を形成した場合について説明するための図である。

[図36]上記第1の実施形態の第1の変形例におけるデータ線の駆動方法について説明するためのタイミングチャートである。

[図37]上記第1の実施形態の第2の変形例における画素の配列を示す模式図である。

[図38]上記第1の実施形態の第2の変形例において、1つのグループを形成するサブ画素群の構成を示す模式図である。

[図39]上記第1の実施形態の第2の変形例において、1つのグループを形成するサブ画素群の構成について説明するための図である。

[図40]上記第1の実施形態の第2の変形例における1個の画素回路の構成を示す回路図である。

[図41]上記第1の実施形態の第2の変形例において、1つのグループに含まれる4個の画素回路に含まれるトランジスタのゲート端子と第1～第4エミッション線との接続関係について説明するための図である。

[図42]本発明の第2の実施形態における駆動方法の概要について説明するための図である。

[図43]上記第2の実施形態において、表示モードが低解像度モードである時の走査信号および発光制御信号の波形を示すタイミングチャートである。

[図44]上記第2の実施形態において、1つのグループに含まれる3つの画素回路内の有機EL素子の発光状態の推移を示す図である。

[図45]上記第2の実施形態における効果について説明するための図である。

[図46]上記第2の実施形態における効果について説明するための図である。

[図47]上記第2の実施形態における効果について説明するための図である。

[図48]1個のサブ画素を構成する従来の一般的な画素回路の構成を示す回路図である。

[図49]図48に示す画素回路の動作を説明するためのタイミングチャートである。

[図50]従来例における1個の画素に対応する画素回路の構成を示す回路図である。

[図51]日本の特開2005-148749号公報に開示された例における1個の画素に対応する画素回路の構成を示す回路図である。

[図52]日本の特開2005-148750号公報に開示された例における1個の画素に対応する画素回路の構成を示す回路図である。

[図53]従来の有機EL表示装置における時分割駆動について説明するための図である。

[図54]従来例において、一般的駆動を採用した場合と時分割駆動を採用した場合の各周辺ドライバの消費電力の違いを説明するための図である。

### 発明を実施するための形態

[0056] 以下、添付図面を参照しつつ、本発明の実施形態について説明する。なお、以下においては、 $m$ および $n$ は2以上の整数であると仮定する。また、各トランジスタに関し、ゲート端子は制御端子に相当し、ドレイン端子は第1導通端子に相当し、ソース端子は第2導通端子に相当する。

[0057] <1. 第1の実施形態>

<1. 1 全体構成および動作概要>

図2は、本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置1の全体構成を示すブロック図である。この有機EL表示装置1は、表示制御回路100、ソースドライバ（データ線駆動回路）200、ゲートドライバ（走査信号線駆動回路）300、第1～第3エミッションドライバ（第1～第3発光制御線駆動回路）401～403、および表示部500を備えている。以下、第1～第3エミッションドライバ401～403を総称して単に「エミッションドライバ」ともいう。エミッションドライバは、表示部500内に設けられている有機EL素子の発光を制御するための配線（後述するエミッション線）用の駆動回路である。なお、本実施形態においては、表示部500を含む有機ELパネル7内にゲートドライバ300および第1～第3エミッションドライバ401～403が形成されている。すなわち、ゲートドライバ300およびエミッションドライバはモノリシック化されている。また、この有機EL表示装置1には、有機ELパネル7に各種電源電圧を供給するための構成要素として、ロジック電源600、有機EL用ハイレベル電源610、および有機EL用ローレベル電源620が設けられている。

[0058] ところで、本実施形態における有機EL表示装置1には、表示モードとして、比較的高い解像度の画像を表示部500に表示する高解像度モードと比較的低い解像度の画像を表示部500に表示する低解像度モードとが用意さ

れている。表示モードが高解像度モードである時には、1フレーム期間（1画面分の画像の表示が行われる期間である単位フレーム）をj個（jは2以上の整数）のサブフレームに分割する時分割駆動が行われる。本実施形態においては、後述するように3つの色のサブ画素（赤色を表示するRサブ画素，緑色を表示するGサブ画素，および青色を表示するBサブ画素）が設けられているので、1フレーム期間を3個のサブフレームに分割する時分割駆動が行われる。

[0059] ロジック電源600から有機ELパネル7には、ゲートドライバ300および第1～第3エミッションドライバ401～403の動作に必要とされるハイレベル電源電圧VDDおよびローレベル電源電圧VSSが供給される。有機EL用ハイレベル電源610から有機ELパネル7には、定電圧であるハイレベル電源電圧ELVDDが供給される。有機EL用ローレベル電源620から有機ELパネル7には、定電圧であるローレベル電源電圧ELVSSが供給される。

[0060] 図3は、本実施形態における表示部500の構成について説明するための図である。表示部500には、図3に示すように、m本のデータ線DL（1）～DL（m）とn本の走査信号線SL（1）～SL（n）とが互いに交差するように配設されている。データ線DL（1）～DL（m）と走査信号線SL（1）～SL（n）との各交差点に対応して画素回路40が設けられている。すなわち、表示部500には、複数の行（n行）および複数の列（m列）を構成するように複数の画素回路40がマトリクス状に配置されている。また、表示部500には、n本の走査信号線SL（1）～SL（n）と対応するように、n本の第1エミッション線EM1（1）～EM1（n），n本の第2エミッション線EM2（1）～EM2（n），およびn本の第3エミッション線EM3（1）～EM3（n）が配設されている。さらに、表示部500には、ハイレベル電源線ELVDDおよびローレベル電源線ELVSSが配設されている。本実施形態においては、ハイレベル電源線ELVDDによって第1電源線が実現され、ローレベル電源線ELVSSによって第

2電源線が実現されている。画素回路40の詳しい構成については後述する。

[0061] なお、以下においては、 $m$ 本のデータ線DL(1)~DL( $m$ )を互いに区別する必要がない場合にはデータ線を単に符号DLで表す。同様に、走査信号線、第1エミッション線、第2エミッション線、および第3エミッション線を、それぞれ単に符号SL, EM1, EM2, およびEM3で表す。また、第1~第3エミッション線EM1~EM3を総称して単に「エミッション線」ともいい、エミッション線には符号EMを付す。本実施形態においては、このエミッション線EMによって発光制御線が実現されている。

[0062] 図2に示すように、表示制御回路100には、表示モード切替制御回路110、解像度切替制御回路120、ソース制御回路130、およびゲート制御回路140が含まれている。表示モード切替制御回路110は、この有機EL表示装置1の表示モードを高解像度モードと低解像度モードとの間で切り替えるための表示モード切替信号Smを、解像度切替制御回路120、ソース制御回路130、およびゲート制御回路140に与える。解像度切替制御回路120は、高解像度モードと低解像度モードとで表示画像の解像度を切り替えるための解像度切替信号Srをソース制御回路130に与えるとともに、各エミッション線EMの選択の可否を制御するためのエミッション線選択信号Seをゲート制御回路140に与える。ソース制御回路130は、表示モード切替信号Smと解像度切替信号Srとに基づいて、表示データDAと、ソースドライバ200の動作を制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSとを出力する。ゲート制御回路140は、表示モード切替信号Smに基づいて、ゲートドライバ300の動作を制御するためのゲートスタートパルス信号GSPおよびゲートクロック信号GCKを出力する。ゲート制御回路140は、また、表示モード切替信号Smとエミッション線選択信号Seとに基づいて、第1~第3エミッションドライバ401~403の動作を制御するための第1~第3エミッションドライバ制御信号EMCTL1~EMCTL



3を出力する。また、表示制御回路100から有機EL用ハイレベル電源610および有機EL用ローレベル電源620には、電源のオン／オフを制御する制御信号S1および制御信号S2がそれぞれ与えられる。

[0063] ソースドライバ200は、表示制御回路100から送られる表示データDA、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSを受け取り、データ線DL(1)～DL(m)に駆動用映像信号を印加する。

[0064] 図4は、ソースドライバ200の一構成例を示すブロック図である。ソースドライバ200は、mビットのシフトレジスタ21、レジスタ22、ラッチ回路23、およびm個のD/A変換器(DAC)24を含んでいる。シフトレジスタ21は、縦続接続されたm個のレジスタ(不図示)を有している。シフトレジスタ21は、ソースクロック信号SCKに基づき、初段のレジスタに供給されるソーススタートパルス信号SSPのパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ21から各データ線DLに対応するタイミングパルスDLPが出力される。そのタイミングパルスDLPに基づいて、レジスタ22は、表示データDAを記憶する。ラッチ回路23は、レジスタ22に記憶された1行分の表示データDAをラッチストロブ信号LSに応じて取り込んで保持する。D/A変換器24は、各データ線DLに対応するように設けられている。D/A変換器24は、ラッチ回路23に保持された表示データDAをアナログ電圧に変換する。その変換されたアナログ電圧は、駆動用映像信号として全てのデータ線DL(1)～DL(m)に一斉に印加される。

[0065] ゲートドライバ300は、表示制御回路100から送られるゲートスタートパルス信号GSPおよびゲートクロック信号GCKに基づいて、n本の走査信号線SL(1)～SL(n)に順次にアクティブな走査信号を印加する。なお、走査信号線SLに関し、アクティブな走査信号が印加されている状態のことを「選択状態」という。これについては、エミッション線EMについても同様である。走査信号線SLが選択状態になっている時に、当該走査

信号線SLに対応して設けられている画素回路40で画像データの書き込みが行われる。

[0066] 図5は、本実施形態におけるゲートドライバ300の一構成例を示すブロック図である。このゲートドライバ300は、 $n$ 個のフリップフロップ回路31(1)～31( $n$ )からなるシフトレジスタ310によって構成されている。このシフトレジスタ310については、ゲートスタートパルス信号GSPは1段目のフリップフロップ回路31(1)に与えられ、ゲートクロック信号GCKは全てのフリップフロップ回路31(1)～31( $n$ )に共通的に与えられるように構成されている。各フリップフロップ回路31(1)～31( $n$ )から出力される出力信号は、走査信号として走査信号線SL(1)～SL( $n$ )に与えられる。

[0067] 以上のような構成において、シフトレジスタ310の1段目のフリップフロップ回路31(1)にゲートスタートパルス信号GSPのパルスが与えられると、ゲートクロック信号GCKに基づいて、ゲートスタートパルス信号GSPに含まれるパルスが1段目のフリップフロップ回路31(1)から $n$ 段目のフリップフロップ回路31( $n$ )へと順次に転送される。そして、このパルスの転送に応じて、 $n$ 個のフリップフロップ回路31(1)～31( $n$ )から出力される走査信号が順次にアクティブとなる。これにより、図6に示すように、 $n$ 本の走査信号線SL(1)～SL( $n$ )が所定期間ずつ順次に選択状態となる。

[0068] 第1エミッションドライバ401は、表示制御回路100から送られる第1エミッションドライバ制御信号EMCTL1に基づいて、 $n$ 本の第1エミッション線EM1(1)～EM1( $n$ )に第1発光制御信号を印加する。なお、第1エミッションドライバ制御信号EMCTL1は、第1エミッションスタートパルス信号ESP1および第1エミッションクロック信号ECK1からなる。

[0069] 図7は、本実施形態における第1エミッションドライバ401の一構成例を示すブロック図である。この第1エミッションドライバ401は、 $n$ 個の

フリップフロップ回路41(1)～41(n)からなるシフトレジスタ410によって構成されている。図5および図7から把握されるように、第1エミッションドライバ401は、ゲートドライバ300と同様に構成されている。各フリップフロップ回路41(1)～41(n)から出力される出力信号は、第1発光制御信号として第1エミッション線EM1(1)～EM1(n)に与えられる。

[0070] 以上のような構成において、シフトレジスタ410の1段目のフリップフロップ回路41(1)に第1エミッションスタートパルス信号ESP1のパルスが与えられると、第1エミッションクロック信号ECK1に基づいて、第1エミッションスタートパルス信号ESP1に含まれるパルスが1段目のフリップフロップ回路41(1)からn段目のフリップフロップ回路41(n)へと順次に転送される。そして、このパルスの転送に応じて、n個のフリップフロップ回路41(1)～41(n)から出力される第1発光制御信号が順次にアクティブとなる。これにより、図8に示すように、n本の第1エミッション線EM1(1)～EM1(n)が順次に選択状態となる。なお、図6および図8から把握されるように、ゲートスタートパルス信号GSPについてのパルス幅は比較的短くされ、第1エミッションスタートパルス信号ESP1についてのパルス幅は比較的長くされる。従って、走査信号線SLについては、複数のラインが同時に選択状態となることはないが、第1エミッション線EM1については、複数のラインが同時に選択状態となることがある(図6および図8を参照)。

[0071] 第2エミッションドライバ402および第3エミッションドライバ403の構成および動作については、第1エミッションドライバ401と同様であるので説明を省略する。

[0072] 以上のようにして、m本のデータ線DL(1)～DL(m)に駆動用映像信号が印加され、n本の走査信号線SL(1)～SL(n)に走査信号が印加され、n本の第1エミッション線EM1(1)～EM1(n)に第1発光制御信号が印加され、n本の第2エミッション線EM2(1)～EM2(n)

)に第2発光制御信号が印加され、 $n$ 本の第3エミッション線EM3(1)～EM3( $n$ )に第3発光制御信号が印加されることにより、表示部500への画像表示が行われる。なお、以下においては、第1～第3発光制御信号を総称して単に「発光制御信号」ともいう。

[0073] <1.2 画素の配列>

次に、本実施形態における画素の配列(サブ画素の並び方)について、従来の構成における画素の配列と比較しつつ説明する。図1は、本実施形態における画素の配列を示す模式図である。図9は、従来例における画素の配列を示す模式図である。なお、図1および図9において、「R」は、赤色を表示するRサブ画素を表し、「G」は、緑色を表示するGサブ画素を表し、「B」は、青色を表示するBサブ画素を表している。

[0074] 図9に示すように、従来の構成においては、「Rサブ画素、Gサブ画素、Bサブ画素」という順序で並べられたサブ画素が、走査信号線SLが延びる方向に繰り返し設けられていた。これに対して、本実施形態においては、図1に示すように、「Bサブ画素、Rサブ画素、Gサブ画素、Rサブ画素、Gサブ画素、Bサブ画素、Gサブ画素、Bサブ画素、Rサブ画素」という順序で並べられたサブ画素が、走査信号線SLが延びる方向に繰り返し設けられている。なお、従来の構成においても本実施形態においても、1個の画素は3個のサブ画素によって構成され、1個の画素は1個の画素回路40に対応している。データ線DLが延びる方向については、従来の構成においても本実施形態においても、同じ色用のサブ画素が繰り返し設けられている。以上のように、本実施形態においては、走査信号線SLが延びる方向についてのサブ画素の並び方が従来の構成とは異なっている。

[0075] 本実施形態では、以上のような構成において、走査信号線SLが延びる方向に並んで配置されている3個の画素(9個のサブ画素)が1つのグループとされる。すなわち、3個の画素回路40が1つのグループとされる。列の数は $m$ であるので、各行につき $(m/3)$ 個のグループが形成される。そして、表示モードが低解像度モードである時には、各グループに含まれる3個

の画素回路40によって1個の画素が形成される。表示モードが高解像度モードである時には、1個の画素回路40によって1個の画素が形成される。

[0076] 図1から把握されるように、本実施形態においては、1つのグループを形成するサブ画素群の構成は図10に示すようなものとなる。但し、本発明は、これに限定されない。例えば、1つのグループを形成するサブ画素群の構成が図11に示すようなものであっても良い。さらに詳しくは、1つのグループを形成する各サブ画素に図12に示すように符号を付したときに、「サブ画素A1、サブ画素B1、サブ画素C1」と「Rサブ画素、Gサブ画素、Bサブ画素」とが1対1（順不同）で対応付けられ、かつ、「サブ画素A2、サブ画素B2、サブ画素C2」と「Rサブ画素、Gサブ画素、Bサブ画素」とが1対1（順不同）で対応付けられ、かつ、「サブ画素A3、サブ画素B3、サブ画素C3」と「Rサブ画素、Gサブ画素、Bサブ画素」とが1対1（順不同）で対応付けられていれば良い。但し、「サブ画素A1～A3」、「サブ画素B1～B3」、および「サブ画素C1～C3」は、いずれも3色のサブ画素を構成しているものとする。

[0077] <1.3 画素回路の構成>

図13は、1つのグループに含まれる3個の画素回路40(1)～40(3)の構成を示す回路図である。これら3つの画素回路40(1)～40(3)の各々は、表示モードが高解像度モードである時の1個の画素を形成する。画素回路40(1)については、走査信号線SLが延びる方向に「Bサブ画素、Rサブ画素、Gサブ画素」という順序（図14参照）でサブ画素が配置するように構成されている。画素回路40(2)については、走査信号線SLが延びる方向に「Rサブ画素、Gサブ画素、Bサブ画素」という順序（図15参照）でサブ画素が配置するように構成されている。画素回路40(3)については、走査信号線SLが延びる方向に「Gサブ画素、Bサブ画素、Rサブ画素」という順序（図16参照）でサブ画素が配置するように構成されている。

[0078] 図13に示すように、各画素回路40(1)～40(3)は、5個のトラ

ンジスタT1～T5と、1個のコンデンサC<sub>s t</sub>と、3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)とを備えている。トランジスタT1は駆動トランジスタであり、トランジスタT2は入力トランジスタである。トランジスタT3、T4、およびT5は、それぞれ有機EL素子OLED(R)、OLED(G)、およびOLED(B)への駆動電流の供給を制御して発光の制御を行う発光制御トランジスタとして機能する。有機EL素子OLED(R)は、赤色光を発する電気光学素子として機能する。有機EL素子OLED(G)は、緑色光を発する電気光学素子として機能する。有機EL素子OLED(B)は、青色光を発する電気光学素子として機能する。以下においては、3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)を総称して単に「有機EL素子OLED」ともいう。

[0079] なお、本実施形態においては、トランジスタT1とトランジスタT2とコンデンサC<sub>s t</sub>とによって、有機EL素子OLEDを発光状態にするための駆動電流を制御する駆動電流制御部45が実現されている。

[0080] 図13に示すように、トランジスタT1は、トランジスタT3～T5の各々と直列に、かつ、有機EL素子OLED(R)、OLED(G)、およびOLED(B)の各々と直列に設けられている。換言すれば、トランジスタT1と有機EL素子OLED(R)とはトランジスタT3を介して直列に接続され、トランジスタT1と有機EL素子OLED(G)とはトランジスタT4を介して直列に接続され、トランジスタT1と有機EL素子OLED(B)とはトランジスタT5を介して直列に接続されている。トランジスタT1に関し、ゲート端子はトランジスタT2のドレイン端子に接続され、ドレイン端子はハイレベル電源線ELVDDに接続され、ソース端子はトランジスタT3～T5のドレイン端子に接続されている。トランジスタT2は、データ線DLとトランジスタT1のゲート端子との間に設けられている。そのトランジスタT2に関し、ゲート端子は走査信号線SLに接続され、ドレイン端子はトランジスタT1のゲート端子に接続され、ソース端子はデータ線

DLに接続されている。コンデンサC<sub>s t</sub>については、トランジスタT<sub>1</sub>のゲート端子に一端が接続され、トランジスタT<sub>1</sub>のソース端子に他端が接続されている。トランジスタT<sub>3</sub>については、ドレイン端子はトランジスタT<sub>1</sub>のソース端子に接続され、ソース端子は有機EL素子OLED (R)のアノード端子に接続されている。トランジスタT<sub>4</sub>については、ドレイン端子はトランジスタT<sub>1</sub>のソース端子に接続され、ソース端子は有機EL素子OLED (G)のアノード端子に接続されている。トランジスタT<sub>5</sub>については、ドレイン端子はトランジスタT<sub>1</sub>のソース端子に接続され、ソース端子は有機EL素子OLED (B)のアノード端子に接続されている。トランジスタT<sub>3</sub>～T<sub>5</sub>のゲート端子はそれぞれ第1～第3エミッション線EM<sub>1</sub>～EM<sub>3</sub>のいずれかに接続されている。但し、第1～第3エミッション線EM<sub>1</sub>～EM<sub>3</sub>とトランジスタT<sub>3</sub>～T<sub>5</sub>のゲート端子との詳しい接続関係については後述する。有機EL素子OLED (R), OLED (G), およびOLED (B)のカソード端子は、有機EL用ローレベル電源線ELVSSに接続されている。

[0081] ここで、第1～第3エミッション線EM<sub>1</sub>～EM<sub>3</sub>と3個の画素回路40(1)～40(3)に含まれるトランジスタT<sub>3</sub>～T<sub>5</sub>のゲート端子との接続関係について説明する。第1エミッション線EM<sub>1</sub>は、画素回路40(1)内のトランジスタT<sub>3</sub>のゲート端子、画素回路40(2)内のトランジスタT<sub>4</sub>のゲート端子、および画素回路40(3)内のトランジスタT<sub>5</sub>のゲート端子に接続されている。第2エミッション線EM<sub>2</sub>は、画素回路40(1)内のトランジスタT<sub>4</sub>のゲート端子、画素回路40(2)内のトランジスタT<sub>5</sub>のゲート端子、および画素回路40(3)内のトランジスタT<sub>3</sub>のゲート端子に接続されている。第3エミッション線EM<sub>3</sub>は、画素回路40(1)内のトランジスタT<sub>5</sub>のゲート端子、画素回路40(2)内のトランジスタT<sub>3</sub>のゲート端子、および画素回路40(3)内のトランジスタT<sub>4</sub>のゲート端子に接続されている。このように、第1～第3エミッション線EM<sub>1</sub>～EM<sub>3</sub>の各々は、3つの画素回路40(1)～40(3)において互

いに異なる発光色の有機EL素子OLEDに対応するトランジスタのゲート端子に接続されている。

[0082] ところで、本実施形態においては、画素回路40内のトランジスタT1～T5はすべてnチャネル型である。また、本実施形態においては、トランジスタT1～T5には、酸化物TFT（酸化物半導体をチャネル層に用いた薄膜トランジスタ）が採用されている。

[0083] 以下、酸化物TFTに含まれる酸化物半導体層について説明する。酸化物半導体層は、例えば、In-Ga-Zn-O系の半導体層である。酸化物半導体層は、例えばIn-Ga-Zn-O系の半導体を含む。In-Ga-Zn-O系半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物である。In、GaおよびZnの割合（組成比）は、特に限定されない。例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2などでもよい。

[0084] In-Ga-Zn-O系半導体層を有するTFTは、高い移動度（アモルファスシリコンTFTに比べて20倍を超える移動度）と低いリーク電流（アモルファスシリコンTFTに比べて100分の1未満のリーク電流）を有するので、画素回路40内の駆動TFT（上記トランジスタT1）およびスイッチングTFT（上記トランジスタT2）として好適に用いられる。In-Ga-Zn-O系半導体層を有するTFTを用いれば、表示装置の消費電力を大幅に削減することができる。

[0085] In-Ga-Zn-O系半導体は、アモルファスでもよく、結晶質部分を含み、結晶性を有していてもよい。結晶質In-Ga-Zn-O系半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系半導体が好ましい。このようなIn-Ga-Zn-O系半導体の結晶構造は、例えば日本の特開2012-134475号公報に開示されている。

[0086] 酸化物半導体層は、In-Ga-Zn-O系半導体に代えて、他の酸化物半導体を含んでいてもよい。例えばZn-O系半導体（ZnO）、In-Zn-O系半導体（IZO（登録商標））、Zn-Ti-O系半導体（ZTO



)、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO（酸化カドニウム）、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体（例えば $\text{In}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ ）、In-Ga-Sn-O系半導体などを含んでもよい。

[0087] <1.4 駆動方法>

次に、本実施形態における駆動方法について説明する。

[0088] <1.4.1 概要>

図17は、本実施形態における駆動方法の概要について説明するための図である。上述したように、本実施形態に係る有機EL表示装置1では、高解像度モードと低解像度モードとの間で表示モードの切り替えが行われる。表示モードが高解像度モードである時には、1フレーム期間を3つのサブフレームSF1～SF3に分割する時分割駆動が行われる。これに対して、表示モードが低解像度モードである時には、1フレーム期間をかけて1回の垂直走査を行う一般的駆動が行われる。

[0089] 表示モードに関しては、例えば、この有機EL表示装置1を採用した携帯電話等において、通常時には高解像度モードで画像表示が行われる。そして、カレンダーや時計を表す画像など高精細表示が必要とされない画像が表示される際に、表示モードが高解像度モードから低解像度モードに切り替えられる。その後、高精細表示が必要とされる画像が表示される際に、表示モードが低解像度モードから高解像度モードに切り替えられる。なお、高解像度モードの際の動作によって高解像度表示ステップが実現され、低解像度モードの際の動作によって低解像度表示ステップが実現されている。

[0090] <1.4.2 高解像度モードの際の動作>

図18は、表示モードが高解像度モードである時の走査信号および発光制御信号の波形を示すタイミングチャートである。第1サブフレームSF1には、まず、1行目に関し、エミッションドライバは、第1エミッション線EM1(1)を選択状態にし、かつ、第2エミッション線EM2(1)および第3エミッション線EM3(1)を非選択状態で維持する。これにより、1

行目において、画素回路40(1)ではトランジスタT3はオン状態かつトランジスタT4、T5はオフ状態となり、画素回路40(2)ではトランジスタT4はオン状態かつトランジスタT3、T5はオフ状態となり、画素回路40(3)ではトランジスタT5はオン状態かつトランジスタT3、T4はオフ状態となる(図13参照)。以上のような状態において、ゲートドライバ300は、走査信号線SL(1)を選択状態にする。これにより、1行目の各画素回路40において、トランジスタT2がオン状態となる。その結果、1行目の各画素回路40において、データ線DLに印加されているデータ電圧に基づいてコンデンサCstが充電される。ゲートドライバ300が走査信号線SL(1)を非選択状態にすると、1行目の各画素回路40において、トランジスタT2がオフ状態となる。これにより、コンデンサCstが保持するゲートソース間電圧Vgsが確定する。1行目の各画素回路40では、このゲートソース間電圧Vgsの大きさに応じた駆動電流がトランジスタT1のドレインソース間を流れる。ところで、上述したように、第1エミッション線EM1(1)は、画素回路40(1)内のトランジスタT3のゲート端子、画素回路40(2)内のトランジスタT4のゲート端子、および画素回路40(3)内のトランジスタT5のゲート端子に接続されている。従って、画素回路40(1)ではトランジスタT3を介して有機EL素子OLED(R)に駆動電流が供給され、画素回路40(2)ではトランジスタT4を介して有機EL素子OLED(G)に駆動電流が供給され、画素回路40(3)ではトランジスタT5を介して有機EL素子OLED(B)に駆動電流が供給される。その結果、画素回路40(1)では有機EL素子OLED(R)が発光し、画素回路40(2)では有機EL素子OLED(G)が発光し、画素回路40(3)では有機EL素子OLED(B)が発光する。エミッションドライバは、ほぼ1サブフレームに相当する期間、第1エミッション線EM1(1)を選択状態で維持する。

[0091] 以上のような動作が2~n行目において順次に行われる。更に、第2サブフレームSF2および第3サブフレームSF3においても、第1サブフレー

ムSF1と同様の動作が行われる。但し、第2サブフレームSF2には、エミッションドライバは、n本の第2エミッション線EM2(1)~EM2(n)を順次に選択状態にし、第3サブフレームSF3には、エミッションドライバは、n本の第3エミッション線EM3(1)~EM3(n)を順次に選択状態にする。

[0092] 以上より、1つのグループに含まれる3個の画素回路40(1)~40(3)内の有機EL素子OLEDについての発光状態の推移は以下のようになる(図19参照)。画素回路40(1)では、第1サブフレームSF1には赤色用の有機EL素子OLED(R)のみが発光状態となり、第2サブフレームSF2には緑色用の有機EL素子OLED(G)のみが発光状態となり、第3サブフレームSF3には青色用の有機EL素子OLED(B)のみが発光状態となる。画素回路40(2)では、第1サブフレームSF1には緑色用の有機EL素子OLED(G)のみが発光状態となり、第2サブフレームSF2には青色用の有機EL素子OLED(B)のみが発光状態となり、第3サブフレームSF3には赤色用の有機EL素子OLED(R)のみが発光状態となる。画素回路40(3)では、第1サブフレームSF1には青色用の有機EL素子OLED(B)のみが発光状態となり、第2サブフレームSF2には赤色用の有機EL素子OLED(R)のみが発光状態となり、第3サブフレームSF3には緑色用の有機EL素子OLED(G)のみが発光状態となる。

[0093] その結果、3行×3列の画素回路40に着目すると、第1サブフレームSF1には図20に示すような発光状態となり、第2サブフレームSF2には図21に示すような発光状態となり、第3サブフレームSF3には図22に示すような発光状態となる。なお、図20~図22では、発光状態になる有機EL素子OLEDに対応するサブ画素をR、G、またはBで表し、消灯状態になる有機EL素子OLEDに対応するサブ画素を空白で表している(図27、図29~図32においても同様)。

[0094] 表示モードが高解像度モードである時には、以上のような発光状態の推移

が繰り返される。その際、図20～図22に示す3パターンの発光状態の切り替えは人の目にとっては極めて短時間で行われる。従って、1個の画素が1個の画素回路40（3個のサブ画素）で形成されているという状態のカラー画像が表示部500に表示される。なお、本実施形態における画素の配列（サブ画素の並び方）（図1参照）は従来例における画素の配列（図9参照）とは異なっているが、解像度が400ppi以上であれば、視聴者に表示画像に対する違和感を与えることはないと考えられる。

[0095] ところで、各行において画像データの書き込みが行われる直前の期間には、エミッションドライバは、その書き込みが行われる行に対応する全てのエミッション線EMを非選択状態にする。例えば、1行目に着目すると、図18における時点t1～時点t2の期間に第1サブフレームSF1用の画像データの書き込みが行われるところ、時点t1～時点t3までの期間を通じて第1エミッション線EM1（1）が選択状態で維持されている。また、時点t4～時点t5の期間に第2サブフレームSF2用の画像データの書き込みが行われるところ、時点t4～時点t6までの期間を通じて第2エミッション線EM2（1）が選択状態で維持されている。ここで、時点t3～時点t4の期間には、1行目に対応する全てのエミッション線EM1（1）、EM2（1）、およびEM3（1）が非選択状態となっている。従って、時点t3～時点t4の期間には、1行目の画素回路40に含まれる全ての有機EL素子OLEDが消灯状態となる。このようにして、各画素回路40において、画像データの書き込みが行われる際に、当該画素回路40に含まれる有機EL素子OLEDが一時的に消灯状態となる。以上のようにして、各サブフレームにおける表示が1つ前のサブフレームにおける表示の影響を受けることが抑制されている。

[0096] <1.4.3 低解像度モードの際の動作>

図23は、表示モードが低解像度モードである時の走査信号および発光制御信号の波形を示すタイミングチャートである。なお、各フレーム期間において第1エミッション線EM1、第2エミッション線EM2、および第3エ

ミッション線EM3のうちのいずれかが選択状態となるが、図23には第1エミッション線EM1が選択状態となる例を示している。

[0097] フレーム期間が開始すると、まず、1行目に関し、エミッションドライバは、第1エミッション線EM1(1)を選択状態にし、かつ、第2エミッション線EM2(1)および第3エミッション線EM3(1)を非選択状態で維持する。これにより、1行目において、画素回路40(1)ではトランジスタT3はオン状態かつトランジスタT4、T5はオフ状態となり、画素回路40(2)ではトランジスタT4はオン状態かつトランジスタT3、T5はオフ状態となり、画素回路40(3)ではトランジスタT5はオン状態かつトランジスタT3、T4はオフ状態となる(図13参照)。以上のような状態において、ゲートドライバ300は、走査信号線SL(1)を選択状態にする。これにより、1行目の各画素回路40において、データ線DLに印加されているデータ電圧に基づいてコンデンサCstが充電される。ゲートドライバ300が走査信号線SL(1)を非選択状態にすると、1行目の各画素回路40において、トランジスタT2がオフ状態となる。これにより、コンデンサCstが保持するゲートソース間電圧Vgsが確定する。そして、1行目の各画素回路40では、このゲートソース間電圧Vgsの大きさに応じた駆動電流がトランジスタT1のドレインソース間を流れる。その結果、画素回路40(1)では有機EL素子OLED(R)が発光し、画素回路40(2)では有機EL素子OLED(G)が発光し、画素回路40(3)では有機EL素子OLED(B)が発光する。エミッションドライバは、ほぼ1フレーム期間、第1エミッション線EM1(1)を選択状態で維持する。以上のような動作が2~n行目において順次に行われる。

[0098] 以上より、1つのグループに含まれる3個の画素回路40(1)~40(3)内の有機EL素子OLEDについての発光状態の推移は以下ようになる(図24参照)。画素回路40(1)では、赤色用の有機EL素子OLED(R)のみが発光状態となる。画素回路40(2)では、緑色用の有機EL素子OLED(G)のみが発光状態となる。画素回路40(3)では、青

色用の有機EL素子OLED（B）のみが発光状態となる。すなわち、表示モードが低解像度モードである時には、表示モードが高解像度モードである時とは異なり、各画素回路40において複数の色用の有機EL素子OLEDが順次が発光することがない。以上より、1個の画素が1つのグループに含まれる3個の画素回路40（1）～40（3）で形成されているという状態の画像すなわち1個の画素が9個のサブ画素（但し、3個のサブ画素のみが点灯）で形成されているという状態の画像が表示部500に表示される。

[0099] 図25に示すように、高解像度モードにおける1画素は低解像度モードにおける1サブ画素に相当し、低解像度モードにおける1画素は高解像度モードにおける3画素に相当する。このように、低解像度モードの際には、高解像度モードの際に表示される画像の3分の1の解像度の画像が表示部500に表示される。

[0100] ところで、仮に第1エミッション線EM1、第2エミッション線EM2、および第3エミッション線EM3のうち低解像度モードの際に選択状態となるエミッション線EMが常に同じであれば、画素回路40内でトランジスタの劣化や有機EL素子の劣化の程度に偏りが生じ得る。そこで、本実施形態においては、低解像度モードの際に選択状態となるエミッション線EMを図26に示すように一定期間毎に変更する構成が採用されている。図26から把握されるように、時点t11～時点t12の間には第1エミッション線EM1が選択状態となり、時点t12～時点t13の間には第2エミッション線EM2が選択状態となり、時点t13～時点t14の間には第3エミッション線EM3が選択状態となる。

[0101] 図26における時点t11～時点t12の期間の各フレーム期間には、図23に示したように走査信号線SLおよびエミッション線EMが駆動される。このとき、第1～第3エミッション線EM1～EM3のうち第1エミッション線EM1のみが選択状態となるので、各グループにおいて、画素回路40（1）では有機EL素子OLED（R）のみが発光状態となり、画素回路40（2）では有機EL素子OLED（G）のみが発光状態となり、画素回

路40(3)では有機EL素子OLED(B)のみが発光状態となる。従って、走査信号線SLが延びる方向に隣接する2つのグループ(すなわち18サブ画素)に着目すると、時点t11~時点t12の間には図27に示すような発光状態となる。

[0102] 図26における時点t12~時点t13の期間の各フレーム期間には、図28に示すように走査信号線SLおよびエミッション線EMが駆動される。このとき、第1~第3エミッション線EM1~EM3のうち第2エミッション線EM2のみが選択状態となるので、各グループにおいて、画素回路40(1)では有機EL素子OLED(G)のみが発光状態となり、画素回路40(2)では有機EL素子OLED(B)のみが発光状態となり、画素回路40(3)では有機EL素子OLED(R)のみが発光状態となる。従って、時点t12~時点t13の間には図29に示すような発光状態となる。同様に、図26における時点t13~時点t14の期間の各フレーム期間には、第1~第3エミッション線EM1~EM3のうち第3エミッション線EM3のみが選択状態となるので、図30に示すような発光状態となる。

[0103] 以上より、低解像度モードの際には、図27に示すような発光状態、図29に示すような発光状態、および図30に示すような発光状態が所定期間ずつ順次に現れる。これにより、画素回路40内でトランジスタの劣化や有機EL素子の劣化の程度に偏りが生じることが防止されている。

[0104] <1.5. 効果>

時分割駆動が行われる従来の構成によれば、1回の垂直走査において、表示部全体でいずれか1つの色用の有機EL素子のみを発光状態にすることが可能となっている。このため、駆動周波数を低下させた場合、視聴者の目に違和感を与えることなく所望のカラー画像を表示することはできない。この点、本実施形態においては、それぞれが赤色用の有機EL素子OLED(R)、緑色用の有機EL素子OLED(G)、および青色用の有機EL素子OLED(B)を含む3個の画素回路40(1)~40(3)によって1つのグループが形成される。そして、各グループに含まれる3個の画素回路40

(1) ~ 40 (3) において互いに異なる発光色の有機EL素子OLEDを同時に発光状態にすることが可能なよう、それら3個の画素回路40 (1) ~ 40 (3) が構成されている。このため、1回の垂直走査によって、時分割駆動が行われている時の3分の1の解像度のカラー画像を表示することができる。より詳しくは、時分割駆動が行われている時の3分の1の解像度のカラー画像であれば、時分割駆動が行われている時の3分の1の駆動周波数で表示することが可能となる。このように、本実施形態によれば、時分割駆動を採用している有機EL表示装置において、駆動周波数を低下させつつ低解像度のカラー画像を表示することが可能となる。従って、表示画像の精細さについての要求度合などに応じて高解像度モードによる画像表示と低解像度モードによる画像表示とを切り替えることによって、常に時分割駆動で画像表示を行う場合と比べて消費電力が低減される。また、低解像度モードの際には有機EL素子の瞬時輝度を時分割駆動が行われている時のように高くする必要がないので、有機EL素子の短寿命化が抑制される。

[0105] ここで、仮に画素の配列が図9に示したような従来の構成における配列になっていれば、低解像度モードの際には図31に示すような発光状態となる。この場合、発光状態となる有機EL素子に対応するサブ画素（以下「点灯サブ画素」という。）の間隔（走査信号線SLが延びる方向についての間隔）に着目すると、図31から把握されるように、BとRとの間隔W13は、RとGとの間隔W11やGとBとの間隔W12よりも狭くなっている。このように点灯サブ画素の間隔が一定ではないため、表示ムラや縦すじ（図31の例の場合、緑色と紫色のすじ）が視認されることがある。この点、本実施形態によれば、低解像度モードの際には図32に示すような発光状態となる。図32から把握されるように、RとGとの間隔W21、GとBとの間隔W22、およびBとRとの間隔W23は等しくなっている。すなわち、本実施形態においては、走査信号線SLが延びる方向について点灯サブ画素の間隔は一定となっている。このため、表示ムラ（色ムラ）や縦すじの発生が防止され、視聴者にとって違和感のないカラー画像が表示される。



[0106] 以上より、本実施形態によれば、時分割駆動を採用している有機EL表示装置において、表示不良を引き起こすことなく、素子の短寿命化を抑制しつつ従来よりも消費電力を低減することが可能となる。

[0107] また、本実施形態においては、低解像度モードの際に選択状態となるエミッション線EMが図26に示すように一定期間毎に変更される。このため、各画素回路40において、オン状態にされるトランジスタおよび発光状態にされる有機EL素子が一定期間毎に切り替えられる。これにより、画素回路40内でトランジスタの劣化や有機EL素子の劣化の程度に偏りが生じることが防止される。

[0108] <1.6. 変形例>

以下、上記第1の実施形態の変形例について説明する。

[0109] <1.6.1 第1の変形例>

上記第1の実施形態においては、走査信号線SLが延びる方向に並んで配置されている3個の画素回路40によって1つのグループが形成されて低解像度モードの際には各グループに含まれる3個の画素回路40によって1つの画素が形成されることを前提に説明していた。しかしながら、本発明はこれに限定されず、低解像度モードの際にデータ線DLが延びる方向に連続するk行に対応する $k \times 3$ 個の画素回路40によって1つの画素が形成されるようにしても良い。これについて以下に説明する。

[0110] 上記第1の実施形態においては、低解像度モードにおける1つの画素は、図33で符号71で示すように、1つの行の3個の画素回路40によって形成されていた。しかしながら、低解像度モードにおける1つの画素を以下のように形成しても良い。例えば、図33で符号72で示すように、データ線DLが延びる方向に連続する2つの行に含まれる6個の画素回路40によって1つの画素を形成しても良い。この場合、図34に示すように、低解像度モードにおける1画素は高解像度モードにおける6画素に相当する。これにより、低解像度モードのときには、高解像度モードのときに表示される画像の6分の1の解像度の画像が表示部500に表示される。また、例えば、図

33で符号73で示すように、データ線DLが延びる方向に連続する3つの行に含まれる9個の画素回路40によって1つの画素を形成しても良い。この場合、図35に示すように、低解像度モードにおける1画素は高解像度モードにおける9画素に相当する。これにより、低解像度モードのときには、高解像度モードのときに表示される画像の9分の1の解像度の画像が表示部500に表示される。なお、図35に示す例では、3つの行に含まれる9個の画素回路40によって1つの画素が形成されるときに、画素の形状が正方形になっている。このように低解像度モードのときの画素の形状を正方形にすることによって、より自然な画像が低解像度モードの際に表示部500に表示される。

[0111] ところで、データ線DLが延びる方向に連続するk行に対応する $k \times 3$ 個の画素回路40によって1つの画素を形成した場合、低解像度モードの際の各フレーム期間において、k本の走査信号線SLが順次に選択状態とされる期間中、ソースドライバ200は各データ線DLに印加するデータ電圧を変化させる必要がない。例えば、データ線DLが延びる方向に連続する2つの行に含まれる6個の画素回路40によって1つの画素を形成した場合、ソースドライバ200は、図36に示すように、2本の走査信号線SLが選択される毎に各データ線DLに印加するデータ電圧の大きさを変化させれば良い。これにより、表示モードが低解像度モードである時のソースドライバ200の消費電力を低減することができる。

[0112] <1.6.2 第2の変形例>

上記第1の実施形態においては、各画素回路40には3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)が含まれていたが(すなわち、高解像度モードにおける1個の画素は3個のサブ画素によって形成されていたが)、本発明はこれに限定されない。それぞれ異なる色の発光を行うための4個以上の有機EL素子が各画素回路40に含まれていても良い。ここでは、各画素回路40に4個の有機EL素子が含まれている例について説明する。

[0113] 図37は、本変形例における画素の配列を示す模式図である。図37に示すように、本変形例においては、「Wサブ画素、Bサブ画素、Rサブ画素、Gサブ画素、Bサブ画素、Rサブ画素、Gサブ画素、Wサブ画素、Gサブ画素、Wサブ画素、Bサブ画素、Rサブ画素、Rサブ画素、Gサブ画素、Wサブ画素、Bサブ画素」という順序で並べられたサブ画素が、走査信号線SLが延びる方向に繰り返し設けられている。なお、Wサブ画素は、白色を表示するサブ画素である。データ線DLが延びる方向については、上記第1の実施形態と同様、同じ色用のサブ画素が繰り返し設けられている。以上のような構成において、走査信号線SLが延びる方向に並んで配置されている4個の画素（16個のサブ画素）が1つのグループとされる。すなわち、4個の画素回路40が1つのグループとされる。そして、表示モードが低解像度モードである時には、各グループに含まれる4個の画素回路40によって1個の画素が形成され、表示モードが高解像度モードである時には、1個の画素回路40によって1個の画素が形成される。

[0114] 本変形例においては、1つのグループを形成するサブ画素群の構成は図38に示すようなものとなる。但し、図38に示す構成には限定されない。1つのグループを形成する各サブ画素に図39に示すように符号を付したときに、サブ画素A1、B1、C1、およびD1がそれぞれ異なる色用のサブ画素に対応付けられ、かつ、サブ画素A2、B2、C2、およびD2がそれぞれ異なる色用のサブ画素に対応付けられ、かつ、サブ画素A3、B3、C3、およびD3がそれぞれ異なる色用のサブ画素に対応付けられ、かつ、サブ画素A4、B4、C4、およびD4がそれぞれ異なる色用のサブ画素に対応付けられていれば良い。但し、「サブ画素A1～A4」、「サブ画素B1～B4」、「サブ画素C1～C4」、および「サブ画素D1～D4」は、いずれも4色のサブ画素を構成しているものとする。

[0115] なお、本変形例においては、各画素回路40に4個の有機EL素子OLEDが含まれているので、エミッション線EMとして第1～第4エミッション線EM1～EM4が表示部500に配設されている。また、これに伴い、エ

ミッションドライバとして第1～第4エミッションドライバが設けられている。

[0116] 図40は、本変形例における1個の画素回路40の構成を示す回路図である。図41は、本変形例において、1つのグループに含まれる4個の画素回路40(1)～40(4)に含まれるトランジスタT3～T6のゲート端子と第1～第4エミッション線EM1～EM4との接続関係について説明するための図である。なお、図40には、図41における画素回路40(1)の構成を示している。各画素回路40には、4個の有機EL素子OLED(R)、OLED(G)、OLED(B)、およびOLED(W)が含まれている。有機EL素子OLED(W)は、白色光を発する電気光学素子として機能する。また、各画素回路40には、トランジスタT3～T5に加えて、有機EL素子OLED(W)への駆動電流の供給を制御して発光の制御を行う発光制御トランジスタとしてトランジスタT6が設けられている。

[0117] 各画素回路40に着目すると、トランジスタT3～T6のゲート端子は互いに異なるエミッション線EMに接続されている。また、4つの画素回路40(1)～40(4)と第1～第4エミッション線EM1～EM4とに着目したとき、各エミッション線EMは、4つの画素回路40(1)～40(4)において互いに異なる発光色の有機EL素子OLEDに対応する発光制御トランジスタのゲート端子に接続されている。

[0118] 以上のような構成において上記第1の実施形態と同様にして表示画像の精細さについての要求度合などに応じて高解像度モードによる画像表示と低解像度モードによる画像表示とを切り替えることによって、各画素回路40に4個の有機EL素子OLED(R)、OLED(G)、OLED(B)、およびOLED(W)が含まれる構成の有機EL表示装置においても、素子の短寿命化を抑制しつつ従来よりも消費電力を低減することが可能となる。

[0119] なお、上記第1の変形例と同様にして、低解像度モードの際、データ線DLが延びる方向に連続するk行に対応するk×4個の画素回路40によって1つの画素が形成されるようにしても良い。更に一般化すると、連続するk

行（ $k$ は2以上の整数）に対応する $k$ 個のグループに含まれる $k \times j$ 個（ $j$ は3以上の整数）の画素回路40によって1つの画素が形成されるようにしても良い。この場合、表示モードが高解像度モードである時に表示部500に表示される画像の（ $k \times j$ ）分の1の解像度の画像が表示部500に表示される。

[0120] また、1つのグループを形成するサブ画素群の構成に関し、以下のように一般化することができる。各グループに含まれる $j$ 個（ $j$ は3以上の整数）の画素回路40のそれぞれにおいて走査信号線SLが延びる方向について $p$ 番目（ $p$ は1以上 $j$ 以下の任意の整数）に配置されている有機EL素子OLEDに着目したときに、各グループにおいて着目した $j$ 個の有機EL素子OLEDが互いに異なる発光色の有機EL素子OLEDとなるように、サブ画素群が構成されていれば良い。但し、各画素回路40には互いに異なる発光色の $j$ 個の有機EL素子OLEDが含まれているものとする。

[0121] <1. 6. 3 第3の変形例>

上記第1の実施形態においては、画素回路40内でトランジスタの劣化や有機EL素子の劣化の程度に偏りが生じることを防止するために、低解像度モードの際に選択状態にするエミッション線EMを一定期間毎に変更していた。しかしながら、本発明はこれに限定されない。例えば、表示モードが高解像度モードから低解像度モードに切り替えられる都度、低解像度モードの際に選択状態にするエミッション線EMを変更するようにしても良い。また、例えば、装置の電源オンの都度、低解像度モードの際に選択状態にするエミッション線EMを変更するようにしても良い。

[0122] <2. 第2の実施形態>

<2. 1 概要>

本発明の第2の実施形態について説明する。近年、表示装置の低消費電力化を図るために、「リフレッシュ期間（書き込み期間）とリフレッシュ期間（書き込み期間）の間に全ての走査信号線を非選択状態にして画像データの書き込み動作を休止する休止期間を設ける」という駆動方法の開発が進めら

れている。このような駆動方法は「休止駆動」などと呼ばれている。休止駆動を採用する表示装置では、休止期間には周辺ドライバの動作を停止させることができるので、消費電力が低減される。有機EL表示装置においても、このような休止駆動が採用されつつある。そこで、休止駆動を採用する有機EL表示装置を本発明の第2の実施形態として説明する。なお、全体構成（図2参照）、画素の配列（図1参照）、画素回路の構成（図13参照）などについては、上記第1の実施形態と同様であるので、説明を省略する。

[0123] <2.2 駆動方法>

図42は、本実施形態における駆動方法の概要について説明するための図である。本実施形態に係る有機EL表示装置1においても、高解像度モードと低解像度モードとの間で表示モードの切り替えが行われる。本実施形態においては、表示モードが高解像度モードである時には上記第1の実施形態と同様に時分割駆動が行われるが、表示モードが低解像度モードである時には上述した休止駆動が行われる。

[0124] 通常時の表示モードは高解像度モードに設定される。高解像度モードの際には、1フレーム期間を3つのサブフレームSF1～SF3に分割する時分割駆動を行うことによって、動画表示もしくは静止画表示が行われる。時分割駆動で動作しているときに或る定められた期間以上の期間を通じて画像の内容に変化がなかった場合、表示モードが高解像度モードから低解像度モードに切り替えられる（すなわち、時分割駆動から休止駆動に切り替えられる）。

[0125] 低解像度モードの際には、画素回路40への画像データの書き込みが行われるリフレッシュ期間と画素回路40への画像データの書き込みが休止状態にされる休止期間とが繰り返される。例えば、リフレッシュレート（駆動周波数）が60Hzである一般的な表示装置における1フレーム期間（1フレーム期間は16.67msである。）に相当する長さのリフレッシュ期間と59フレーム期間に相当する長さの休止期間とが交互に現れる。このようにして、低解像度モードの際には、リフレッシュ期間における画像データの書

き込みに基づいて、高解像度モード（時分割駆動）のときよりも低いリフレッシュレートで表示部500への静止画の表示が行われる。

[0126] 図43は、本実施形態において、表示モードが低解像度モードである時の走査信号および発光制御信号の波形を示すタイミングチャートである。なお、表示モードが高解像度モードである時の動作については、上記第1の実施形態と同様であるので、説明を省略する。図43に示すように、低解像度モードの際には、リフレッシュ期間と休止期間とが繰り返される。

[0127] リフレッシュ期間が開始すると、エミッションドライバは、まず1行目に対応する全てのエミッション線EMを非選択状態にする。これにより、1行目の画素回路40に含まれる全ての有機EL素子OLEDが消灯状態となる。その後、1行目に関し、エミッションドライバは、第1エミッション線EM1(1)を選択状態にし、かつ、第2エミッション線EM2(1)および第3エミッション線EM3(1)を非選択状態で維持する。また、ゲートドライバ300は、走査信号線SL(1)を選択状態にする。これにより、1行目の各画素回路40において、データ線DLに印加されているデータ電圧に基づいてコンデンサCstが充電される。ゲートドライバ300が走査信号線SL(1)を非選択状態にすると、1行目の各画素回路40において、トランジスタT2がオフ状態となる。そして、1行目の各画素回路40では、ゲートソース間電圧Vgsの大きさに応じた駆動電流がトランジスタT1のドレインソース間を流れる。その結果、上記第1の実施形態と同様、画素回路40(1)では有機EL素子OLED(R)が発光し、画素回路40(2)では有機EL素子OLED(G)が発光し、画素回路40(3)では有機EL素子OLED(B)が発光する。その後、エミッションドライバは、第1エミッション線EM1(1)を選択状態で維持する。以上のような動作が2～n行目において順次に行われる。これにより、表示部500に画像が表示される。

[0128] 休止期間には、エミッションドライバは、全ての第1エミッション線EM1(1)～EM1(n)を選択状態で維持し、全ての第2エミッション線E

M2 (1) ~ EM2 (n) および全ての第3エミッション線EM3 (1) ~ EM3 (n) を非選択状態で維持する。これにより、画素回路40 (1) ではトランジスタT3がオン状態で維持され、画素回路40 (2) ではトランジスタT4がオン状態で維持され、画素回路40 (3) ではトランジスタT5がオン状態で維持される。このため、各画素回路40内の有機EL素子OLEDは、リフレッシュ期間と同様の発光状態を維持する。すなわち、リフレッシュ期間と同様、画素回路40 (1) では有機EL素子OLED (R) が発光し、画素回路40 (2) では有機EL素子OLED (G) が発光し、画素回路40 (3) では有機EL素子OLED (B) が発光する。以上より、リフレッシュ期間に表示された画像が引き続き休止期間にも表示される。

[0129] 以上より、1つのグループに含まれる3つの画素回路40 (1) ~ 40 (3) 内の有機EL素子OLEDについての発光状態の推移は以下ようになる (図44参照)。画素回路40 (1) では、一時的に全ての色用の有機EL素子OLEDが消灯状態になった後、リフレッシュ期間および休止期間を通じて、赤色用の有機EL素子OLED (R) のみが発光状態となる。画素回路40 (2) では、一時的に全ての色用の有機EL素子OLEDが消灯状態になった後、リフレッシュ期間および休止期間を通じて、緑色用の有機EL素子OLED (G) のみが発光状態となる。画素回路40 (3) では、一時的に全ての色用の有機EL素子OLEDが消灯状態になった後、リフレッシュ期間および休止期間を通じて、青色用の有機EL素子OLED (B) のみが発光状態となる。以上のような状態が、表示モードが低解像度モードになっている期間に繰り返される。すなわち、表示モードが低解像度モードである時には、表示モードが高解像度モードである時とは異なり、各画素回路40において複数の色用の有機EL素子OLEDが順次に発光することがない。以上より、1個の画素が1つのグループに含まれる3個の画素回路40 (1) ~ 40 (3) で形成されているという状態の画像すなわち1個の画素が9個のサブ画素 (但し、3個のサブ画素のみが点灯) で形成されているという状態の画像が表示部500に表示される。



[0130] ところで、休止期間には、全ての走査信号線SL(1)～SL(n)は非選択状態で維持される。また、休止期間には、ソースドライバ200からデータ線DLにデータ電圧は印加されない。すなわち、休止期間には、ゲートドライバ300およびソースドライバ200は休止状態となる。このため、休止期間中におけるゲートドライバ300およびソースドライバ200での消費電力はゼロとなる。

[0131] なお、上述の例では、リフレッシュ期間および休止期間に第1エミッション線EM1のみが選択状態にされているが、本発明はこれに限定されない。リフレッシュ期間および休止期間に第2エミッション線EM2のみが選択状態にされても良いし、リフレッシュ期間および休止期間に第3エミッション線EM3のみが選択状態にされても良い。また、選択状態となるエミッション線EMを一定期間毎に変更する構成を採用することによって、画素回路40内でトランジスタの劣化や有機EL素子の劣化の程度に偏りが生じることを防止することもできる。

[0132] <2.3 効果>

本実施形態によれば、上記第1の実施形態と同様、時分割駆動を採用している有機EL表示装置において、表示不良を引き起こすことなく、素子の短寿命化を抑制しつつ従来よりも消費電力を低減することが可能となる。ここで、本実施形態においては、低解像度モードの際に休止駆動が行われるので、消費電力の低減に関して極めて顕著な効果が得られる。これについて、以下に説明する。

[0133] 休止駆動が行われているとき、リフレッシュ期間および休止期間における各構成要素の状態は図45に示すようなものとなる。図45から把握されるように、リフレッシュ期間には、ソースドライバ200の動作、ゲートドライバ300の走査動作（走査信号線SLを1本ずつ順次に選択状態にする動作）、およびエミッションドライバの走査動作（エミッション線EMを1本ずつ順次に選択状態にする動作）がオン状態となっている。但し、リフレッシュ期間における駆動周波数は、時分割駆動中の駆動周波数の3分の1にな

っている。また、休止期間には、ソースドライバ200の動作、ゲートドライバ300の走査動作、およびエミッションドライバの走査動作がオフ状態となっている。以上より、図46に示すように、仮に時分割駆動中の周辺ドライバの消費電力の大きさを「9」（単位は任意単位である）とすると、休止駆動中のリフレッシュ期間における周辺ドライバの消費電力の大きさは「3」となり、休止駆動中の休止期間における周辺ドライバの消費電力の大きさはほぼ「0」となる。図47は、時分割駆動中の周辺ドライバの駆動周波数および消費電力と、休止駆動中の休止期間における周辺ドライバの駆動周波数および消費電力とを示す図である。時分割駆動中は一般的駆動を採用している場合に比べて消費電力が3倍になるが、図47より、休止駆動を採用することによって周辺ドライバの消費電力を大きく低減できることが把握される。なお、第1エミッションドライバ401については、リフレッシュ期間および休止期間には全ての第1エミッション線EM1(1)～EM1(n)を選択状態で維持するので直流電流による電力のみが消費される。以上のように、本実施形態によれば、時分割駆動を採用する有機EL表示装置において、従来よりも消費電力を大きく低減することが可能となる。

[0134] また、以下に説明するように、画素回路40内のトランジスタにIn-Ga-Zn-O-TFTなどの酸化物TFT（酸化物半導体をチャネル層に用いた薄膜トランジスタ）を採用していることによっても、消費電力の低減に関して極めて顕著な効果が得られる。酸化物TFTは、低温ポリシリコンやアモルファスシリコンなどをチャネル層に用いた薄膜トランジスタに比べてオフリーク電流（オフ状態時に流れる電流）が極めて小さい。例えば、In-Ga-Zn-O-TFTにおけるオフリーク電流はLTFS-TFT（低温ポリシリコンをチャネル層に用いた薄膜トランジスタ）におけるオフリーク電流の1000分の1以下である。このため、In-Ga-Zn-O-TFTなどの酸化物TFTを採用する本実施形態によれば、駆動トランジスタ（図13などにおけるトランジスタT1）のゲートソース間電圧Vgsを従来よりも長時間保持することが可能である。従って、休止駆動中の休止期

間の長さを長くしてリフレッシュレートを低くすることにより、消費電力を従来よりも大幅に低減することが可能となる。

[0135] <2. 4 変形例>

本実施形態についても、上記第1の実施形態の第1の変形例のように、低解像度モードの際にデータ線DLが延びる方向に連続するk行に対応するk×3個の画素回路40によって1つの画素が形成されるようにしても良い。また、上記第1の実施形態の第2の変形例のように、各画素回路40に、それぞれ異なる色の発光を行うための4個以上の有機EL素子OLEDが含まれていても良い。

[0136] <3. その他>

本発明は、上述の各実施形態および各変形例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上述の各実施形態および各変形例においては有機EL表示装置を例に挙げて説明したが、電流で駆動される自発光型表示素子を備えた表示装置であれば、有機EL表示装置以外の表示装置にも本発明を適用することができる。

[0137] また、上述の各実施形態および各変形例では、画素回路40内のトランジスタとしてnチャネル型のトランジスタを使用しているが、pチャネル型のトランジスタを使用しても良い。

### 符号の説明

- [0138] 1…有機EL表示装置  
7…有機ELパネル  
40, 40(1)~40(3)…画素回路  
45…駆動電流制御部  
100…表示制御回路  
110…表示モード切替制御回路  
120…解像度切替制御回路  
130…ソース制御回路

140…ゲート制御回路  
200…ソースドライバ  
300…ゲートドライバ  
401～403…第1～第3エミッションドライバ  
500…表示部  
T1…駆動トランジスタ  
T2…入力トランジスタ  
T3～T6…発光制御トランジスタ  
Cst…コンデンサ  
OLED (R) …赤色用の有機EL素子 (電気光学素子)  
OLED (G) …緑色用の有機EL素子 (電気光学素子)  
OLED (B) …青色用の有機EL素子 (電気光学素子)  
OLED (W) …白色用の有機EL素子 (電気光学素子)  
DL, DL (1) ～DL (m) …データ線  
SL, SL (1) ～SL (n) …走査信号線  
EM…エミッション線  
EM1, EM1 (1) ～EM1 (n) …第1エミッション線  
EM2, EM2 (1) ～EM2 (n) …第2エミッション線  
EM3, EM3 (1) ～EM3 (n) …第3エミッション線  
ELVDD…ハイレベル電源電圧、ハイレベル電源線  
ELVSS…ローレベル電源電圧、ローレベル電源線

## 請求の範囲

- [請求項1] 複数の行および複数の列を構成するようにマトリクス状に配置された複数の画素回路と、前記複数の行と1対1で対応するように設けられた複数の走査信号線と、前記複数の列と1対1で対応するように設けられた複数のデータ線とを含む表示部を備えた表示装置であって、
- 前記複数の画素回路は、比較的低い解像度の画像を前記表示部に表示する低解像度モードによる表示が行われているときに各単位フレームにおいて発光状態となる複数の電気光学素子の間隔が前記複数の走査信号線が延びる方向に関して等間隔になるように、構成されていることを特徴とする、表示装置。
- [請求項2] 各画素回路は、互いに異なる発光色の $j$ 個（ $j$ は2以上の整数）の電気光学素子を含み、
- 前記低解像度モードと比較的高い解像度の画像を前記表示部に表示する高解像度モードとの間で、表示モードが切り替え可能に構成され、
- 表示モードが前記高解像度モードであるときには、1画面分の画像の表示が行われる期間である単位フレームを $j$ 個のサブフレームに分割して、各画素回路においてサブフレーム毎に異なる発光色の電気光学素子を発光状態にすることによって、前記表示部への画像の表示が行われ、
- 表示モードが前記低解像度モードであるときには、前記複数の走査信号線が延びる方向に連続して配置されている $j$ 個の画素回路を1つのグループとし、単位フレーム中に各画素回路において前記 $j$ 個の電気光学素子のうちの1つを発光状態にし、かつ、単位フレーム中に各グループに含まれる $j$ 個の画素回路において互いに異なる発光色の電気光学素子を発光状態にすることによって、前記表示部への画像の表示が行われることを特徴とする、請求項1に記載の表示装置。
- [請求項3] 表示モードが前記低解像度モードであるときには、前記複数の画素

回路への画像データの書き込みを行うリフレッシュ期間と前記複数の画素回路への画像データの書き込みを休止状態にする休止期間とを繰り返すことによって、表示モードが前記高解像度モードであるときよりも低いリフレッシュレートで前記表示部への静止画像の表示が行われ、

前記休止期間には、前記複数の走査信号線および前記複数のデータ線の駆動が停止されることを特徴とする、請求項2に記載の表示装置。

[請求項4]

各画素回路は、

前記  $j$  個の電気光学素子と1対1で対応するように設けられた  $j$  個の発光制御トランジスタと、

前記  $j$  個の電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部と  
を更に含み、

前記表示部は、各行につき  $j$  本ずつ設けられた複数の発光制御線を含み、

各画素回路において、

前記  $j$  個の発光制御トランジスタの制御端子は、互いに異なる発光制御線に接続され、

前記  $j$  個の発光制御トランジスタの第1導通端子は、前記駆動電流制御部に接続され、

前記  $j$  個の発光制御トランジスタの第2導通端子は、それぞれ対応する電気光学素子に接続され、

各グループに含まれる  $j$  個の画素回路と当該  $j$  個の画素回路に対応する  $j$  本の発光制御線とに着目したとき、着目した  $j$  本の発光制御線の各々は、着目した  $j$  個の画素回路において互いに異なる発光色の電気光学素子に対応する発光制御トランジスタの制御端子に接続され、

表示モードが前記高解像度モードであるときには、各行について前

記 j 本の発光制御線がサブフレーム毎に順次に選択状態とされ、

表示モードが前記低解像度モードであるときには、単位フレーム中に各行について前記 j 本の発光制御線のうちの 1 本のみが選択状態とされることを特徴とする、請求項 2 に記載の表示装置。

[請求項5] 各行に対応する j 本の発光制御線に着目したとき、表示モードが前記低解像度モードであるときに選択状態とされる発光制御線が適宜変更されることを特徴とする、請求項 4 に記載の表示装置。

[請求項6] 表示モードが前記高解像度モードから前記低解像度モードに切り替わる毎に、表示モードが前記低解像度モードであるときに選択状態とされる発光制御線が変更されることを特徴とする、請求項 5 に記載の表示装置。

[請求項7] 前記複数の画素回路にハイレベルの定電圧を供給する、前記表示部に配設された第 1 電源線と、

前記複数の画素回路にローレベルの定電圧を供給する、前記表示部に配設された第 2 電源線と、

前記複数の走査信号線を駆動する走査信号線駆動回路と、

前記複数のデータ線を駆動するデータ線駆動回路と、

前記複数の発光制御線を駆動する発光制御線駆動回路と

を更に備え、

前記駆動電流制御部は、

前記第 1 電源線と前記第 2 電源線との間に前記 j 個の発光制御トランジスタの各々と直列になるように設けられ、前記駆動電流を制御するための駆動トランジスタと、

対応するデータ線と前記駆動トランジスタの制御端子との間に設けられ、対応する走査信号線が前記走査信号線駆動回路によって選択状態にされたときに、対応するデータ線と前記駆動トランジスタの制御端子とを電氣的に接続する入力トランジスタと、

前記駆動トランジスタの制御端子と前記駆動トランジスタの一方

の導通端子との間に設けられたコンデンサと  
を含み、

表示モードが前記低解像度モードであるときには、前記複数の画素回路への画像データの書き込みを行うリフレッシュ期間と前記複数の画素回路への画像データの書き込みを休止状態にする休止期間とを繰り返すことによって、表示モードが前記高解像度モードであるときよりも低いリフレッシュレートで前記表示部への静止画像の表示が行われ、

前記リフレッシュ期間には、

前記発光制御線駆動回路は、各行について前記  $j$  本の発光制御線のうちの 1 本のみを選択状態とし、

前記走査信号線駆動回路は、前記複数の走査信号線を順次に選択状態とし、

前記データ線駆動回路は、各走査信号線が選択状態になるのに応じて、表示モードが前記低解像度モードであるときに前記表示部に表示されるべき静止画像に応じたデータ電圧を前記複数のデータ線に印加し、

前記休止期間には、

前記発光制御線駆動回路は、前記リフレッシュ期間に選択状態にした発光制御線を選択状態で維持するとともにそれ以外の発光制御線を非選択状態で維持し、

前記走査信号線駆動回路および前記データ線駆動回路は、休止状態となることを特徴とする、請求項 4 に記載の表示装置。

[請求項 8]

前記発光制御線駆動回路は、前記リフレッシュ期間には、各行を構成する画素回路への画像データの書き込みが行われる直前の期間に、当該各行に対応する  $j$  本の発光制御線の全てを非選択状態にすることを特徴とする、請求項 7 に記載の表示装置。

[請求項 9]

前記駆動トランジスタ、前記入力トランジスタ、および前記  $j$  個の



発光制御トランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタであることを特徴とする、請求項7に記載の表示装置。

[請求項10] 前記酸化物半導体の主成分は、インジウム ( $In$ )、ガリウム ( $Ga$ )、亜鉛 ( $Zn$ )、および酸素 ( $O$ ) から成ることを特徴とする、請求項9に記載の表示装置。

[請求項11] 表示モードが前記低解像度モードであるときには、1つのグループに含まれる  $j$  個の画素回路によって1つの画素が形成され、表示モードが前記高解像度モードであるときに前記表示部に表示される画像の  $j$  分の1の解像度の画像が前記表示部に表示されることを特徴とする、請求項2に記載の表示装置。

[請求項12] 表示モードが前記低解像度モードであるときには、連続する  $k$  行 ( $k$  は2以上の整数) に対応する  $k$  個のグループに含まれる  $k \times j$  個の画素回路によって1つの画素が形成され、表示モードが前記高解像度モードであるときに前記表示部に表示される画像の ( $k \times j$ ) 分の1の解像度の画像が前記表示部に表示されることを特徴とする、請求項2に記載の表示装置。

[請求項13] 前記  $k$  の値は、表示モードが前記低解像度モードであるときの各画素の形状が正方形となるように定められていることを特徴とする、請求項12に記載の表示装置。

[請求項14] 各画素回路に含まれる前記  $j$  個の電気光学素子は、赤色の発光色、緑色の発光色、および青色の発光色を有する3個の有機エレクトロルミネッセンス素子であることを特徴とする、請求項2に記載の表示装置。

[請求項15] 各画素回路に含まれる前記  $j$  個の電気光学素子は、赤色の発光色、緑色の発光色、青色の発光色、および白色の発光色を有する4個の有機エレクトロルミネッセンス素子であることを特徴とする、請求項2に記載の表示装置。

[請求項16] 各グループに含まれる  $j$  個の画素回路のそれぞれにおいて前記複数の走査信号線が延びる方向について  $p$  番目 ( $p$  は 1 以上  $j$  以下の任意の整数) に配置されている電気光学素子に着目したとき、各グループにおいて着目した  $j$  個の電気光学素子は互いに異なる発光色の電気光学素子であることを特徴とする、請求項 2 に記載の表示装置。

[請求項17] 各画素回路は、互いに異なる発光色の  $j$  個 ( $j$  は 2 以上の整数) の電気光学素子を含み、

任意の画素回路と、前記複数の走査信号線が延びる方向に前記任意の画素回路の 1 個隣に配置されている画素回路とでは、前記  $j$  個の電気光学素子についての発光色の並びが異なり、

任意の画素回路と、前記複数の走査信号線が延びる方向に前記任意の画素回路の  $j$  個隣に配置されている画素回路とでは、前記  $j$  個の電気光学素子についての発光色の並びが同じであることを特徴とする、請求項 1 に記載の表示装置。

[請求項18] 複数の行および複数の列を構成するようにマトリクス状に配置され互いに異なる発光色の  $j$  個 ( $j$  は 2 以上の整数) の電気光学素子をそれぞれが含む複数の画素回路と、前記複数の行と 1 対 1 で対応するように設けられた複数の走査信号線と、前記複数の列と 1 対 1 で対応するように設けられた複数のデータ線とを含む表示部を備えた表示装置の駆動方法であって、

比較的高い解像度の画像を前記表示部に表示する高解像度表示ステップと、

比較的低い解像度の画像を前記表示部に表示する低解像度表示ステップと

を含み、

前記高解像度表示ステップでは、1 画面分の画像の表示が行われる期間である単位フレームを  $j$  個のサブフレームに分割して、各画素回路においてサブフレーム毎に異なる発光色の電気光学素子を発光状態

にすることによって、前記表示部への画像の表示が行われ、

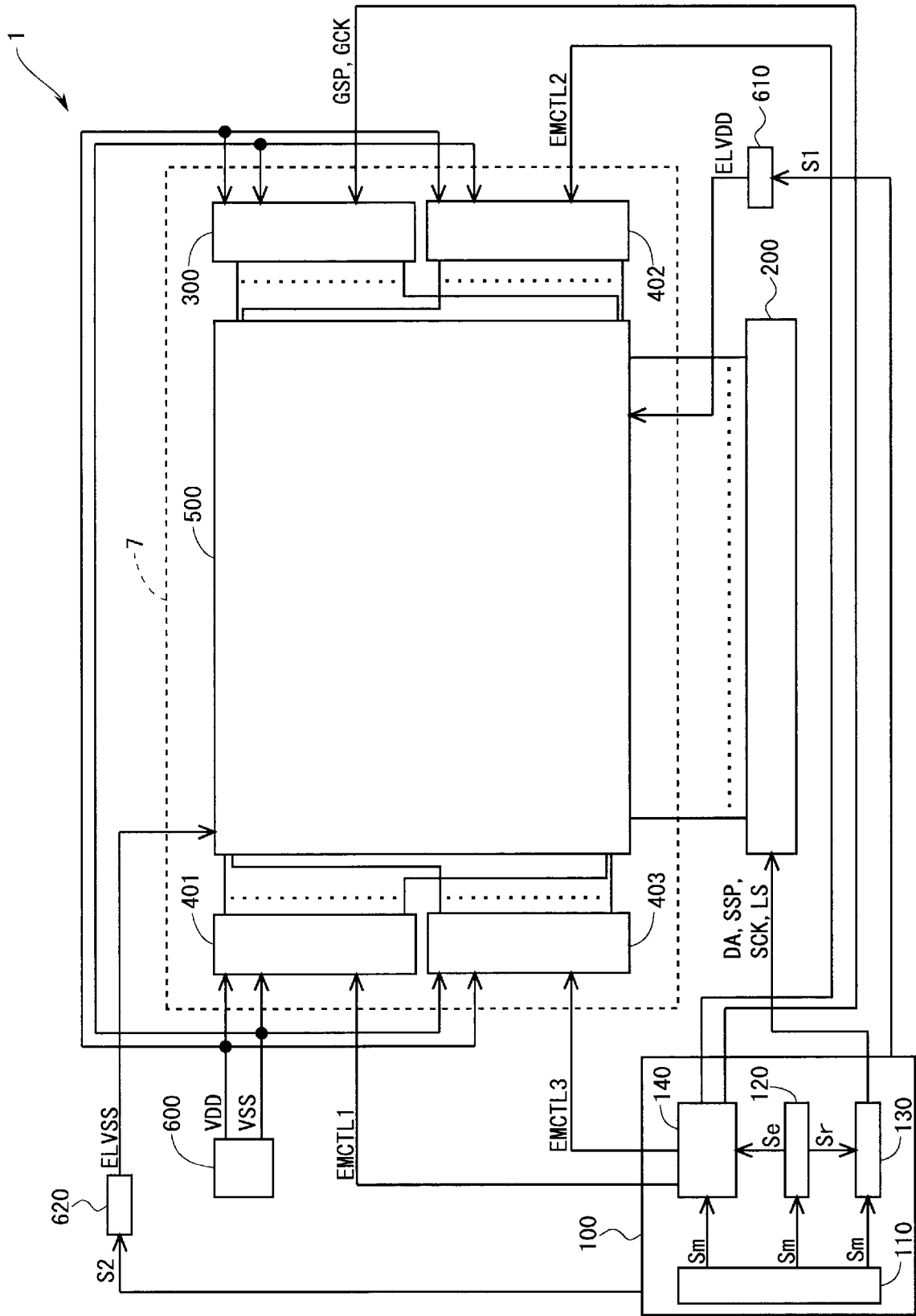
前記低解像度表示ステップでは、前記複数の走査信号線が延びる方向に連続して配置されている  $j$  個の画素回路を1つのグループとし、単位フレーム中に各画素回路において前記  $j$  個の電気光学素子のうちの1つを発光状態にし、かつ、単位フレーム中に各グループに含まれる  $j$  個の画素回路において互いに異なる発光色の電気光学素子が発光状態にすることによって、前記表示部への画像の表示が行われ、

前記複数の画素回路は、表示モードが前記低解像度モードであるときに各単位フレームにおいて発光状態となる複数の電気光学素子の間隔が前記複数の走査信号線が延びる方向に関して等間隔になるように、構成されていることを特徴とする、駆動方法。

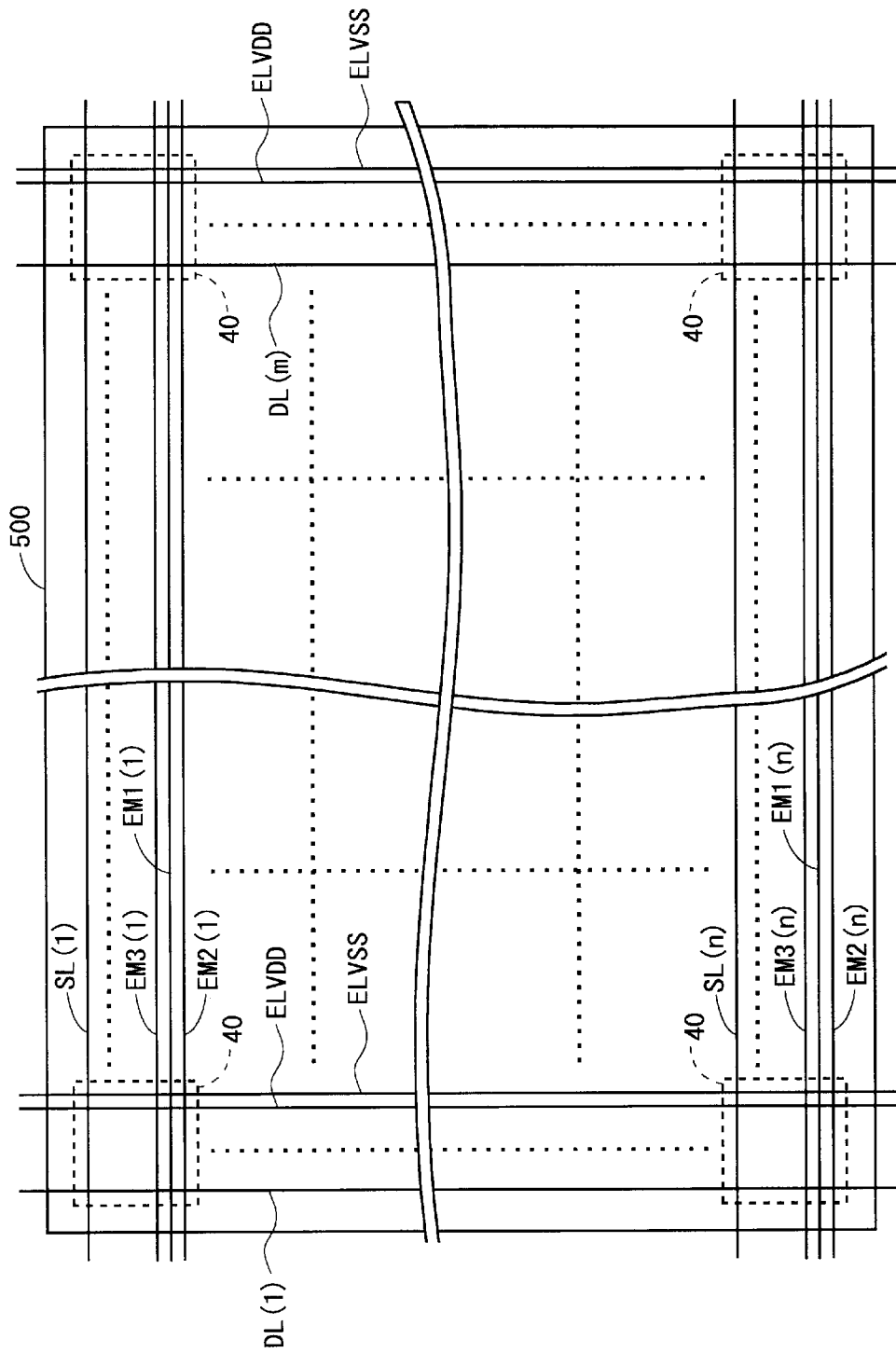
[図1]



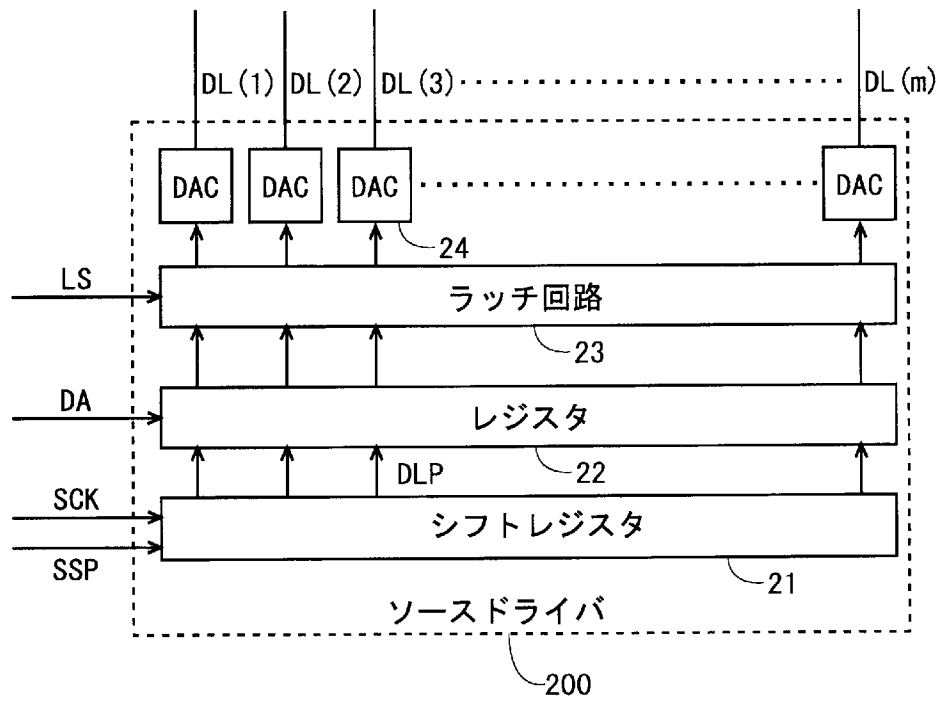
[図2]



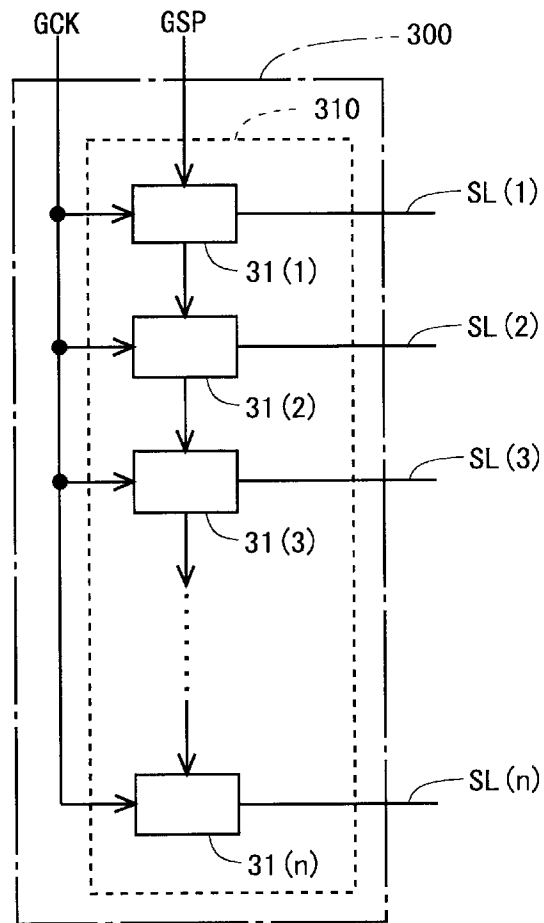
[図3]



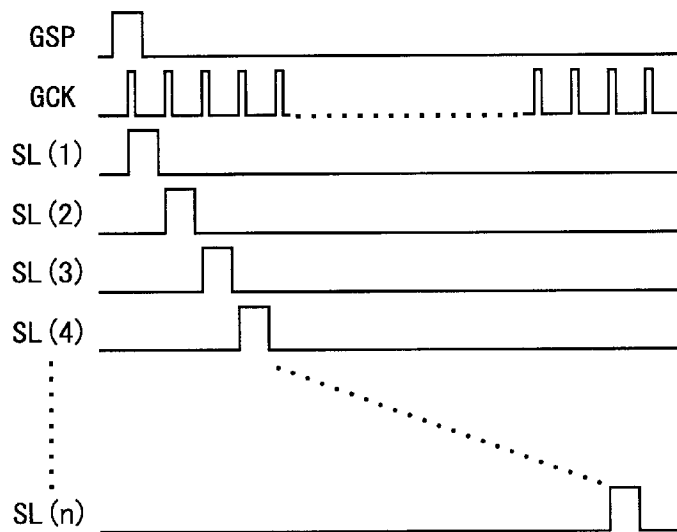
[図4]



[図5]

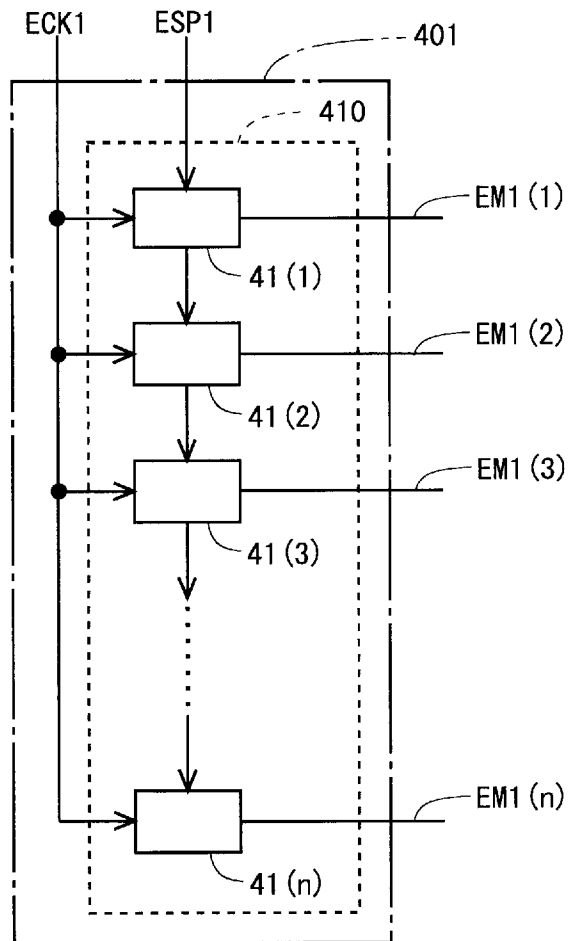


[図6]

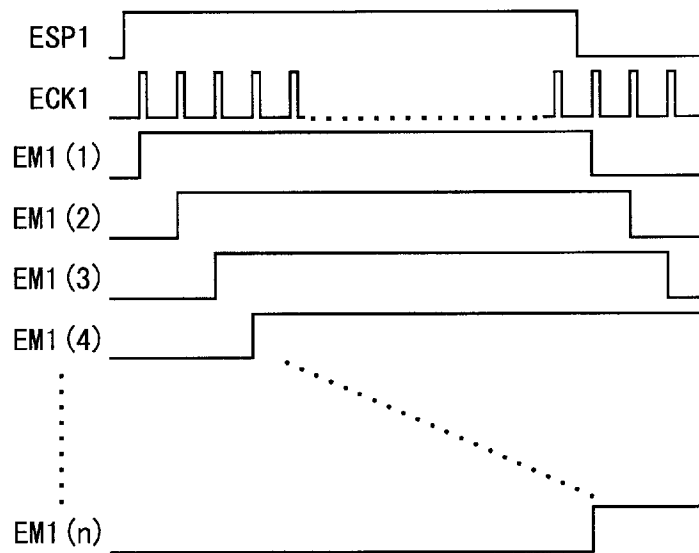




[図7]



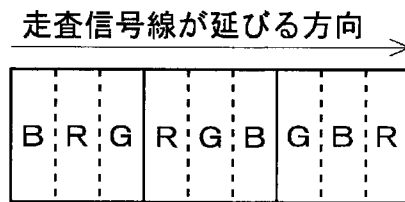
[図8]



[図9]



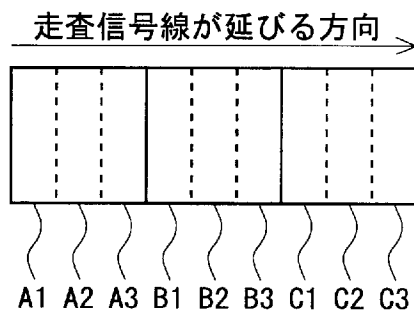
[図10]



[図11]

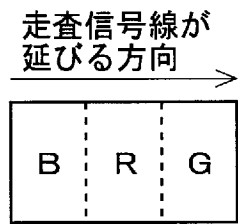


[図12]

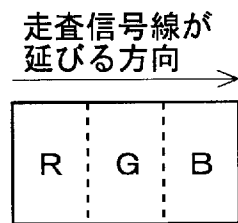




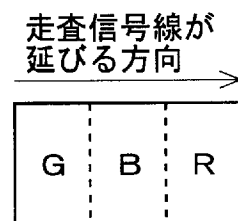
[図14]



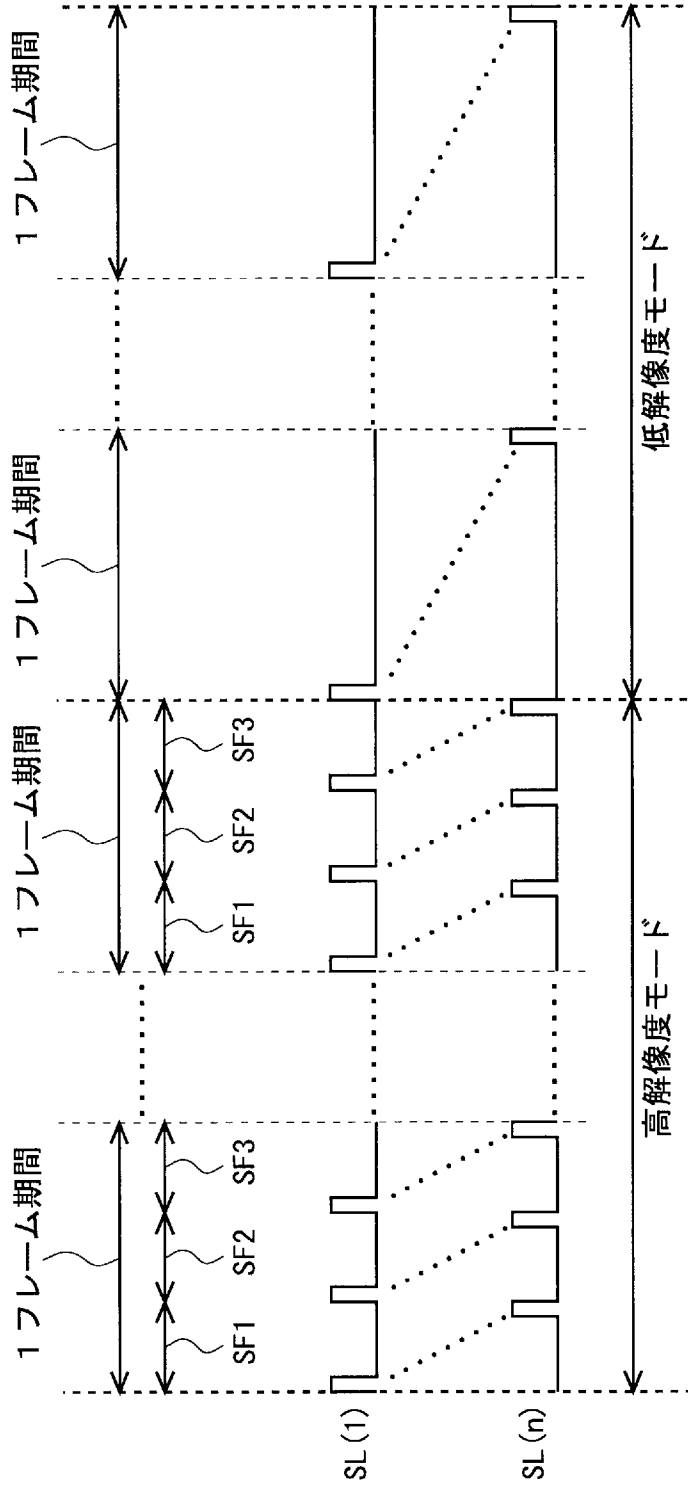
[図15]



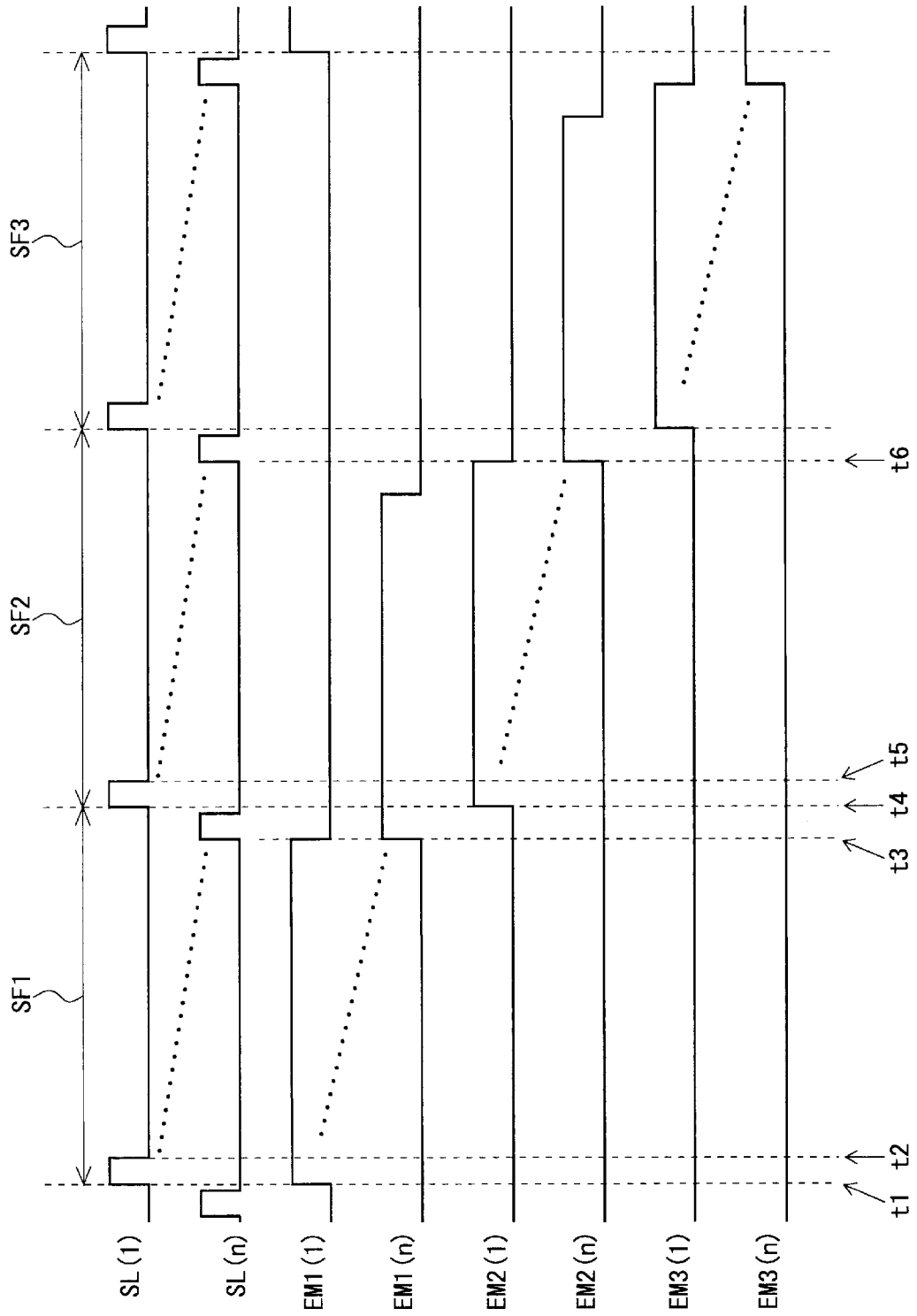
[図16]



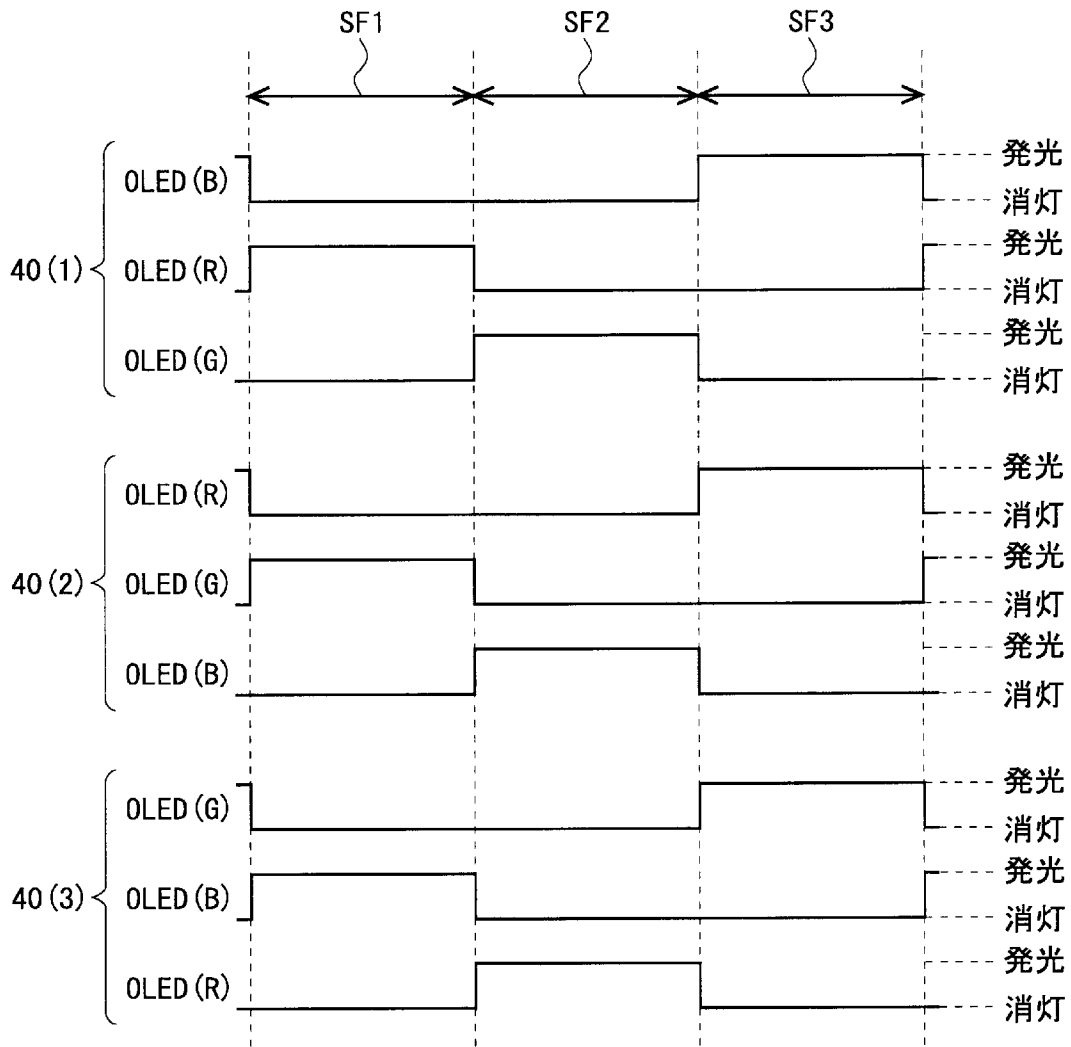
[図17]



[圖18]



[図19]





[図20]

R	G	B	R	G	B
R	G	B	R	G	B
R	G	B	R	G	B

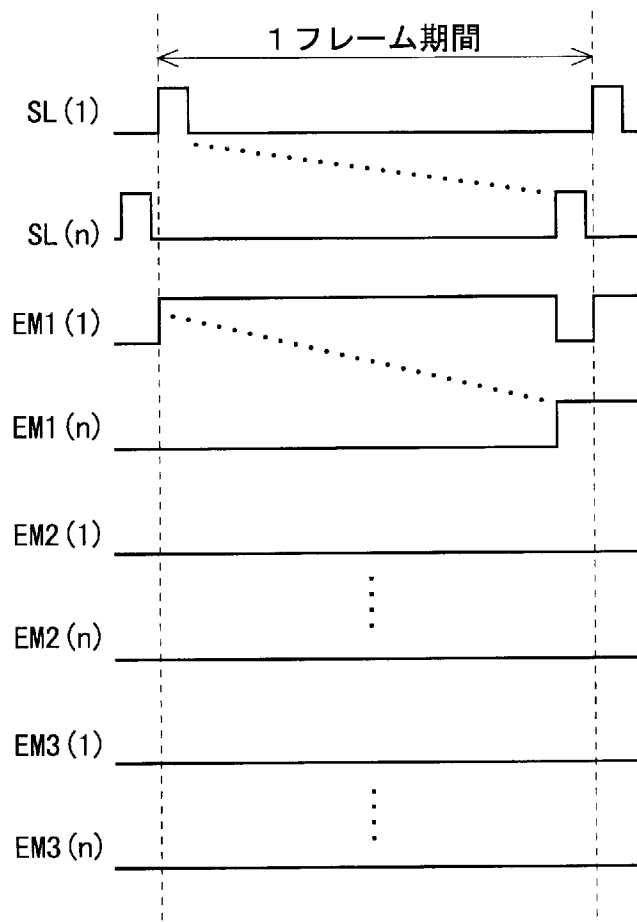
[図21]

G	B	R	G	B	R
G	B	R	G	B	R
G	B	R	G	B	R

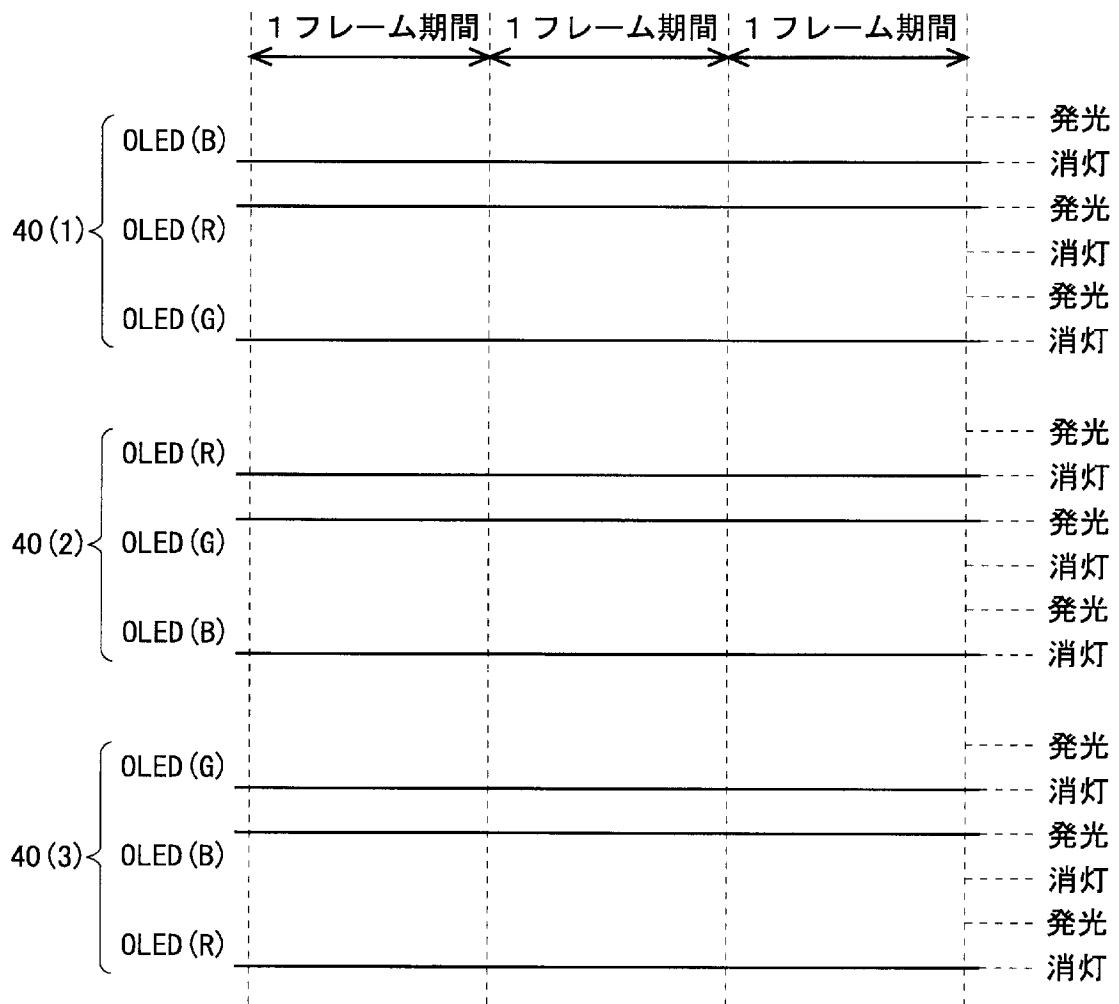
[図22]

B	R	G	B	R	G
B	R	G	B	R	G
B	R	G	B	R	G

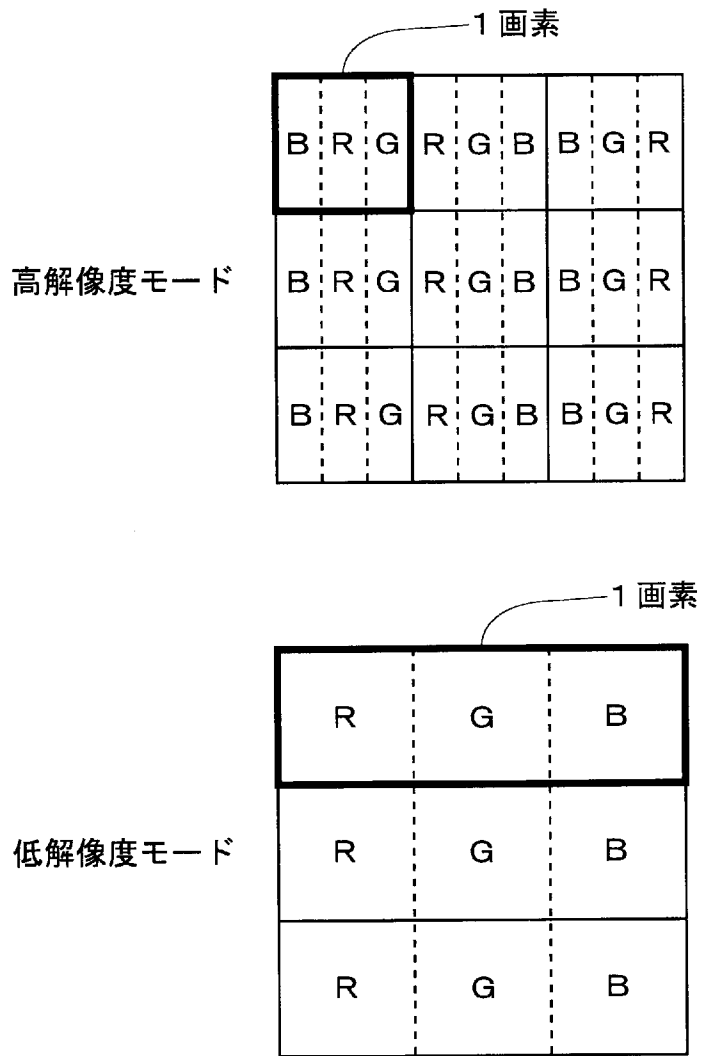
[図23]



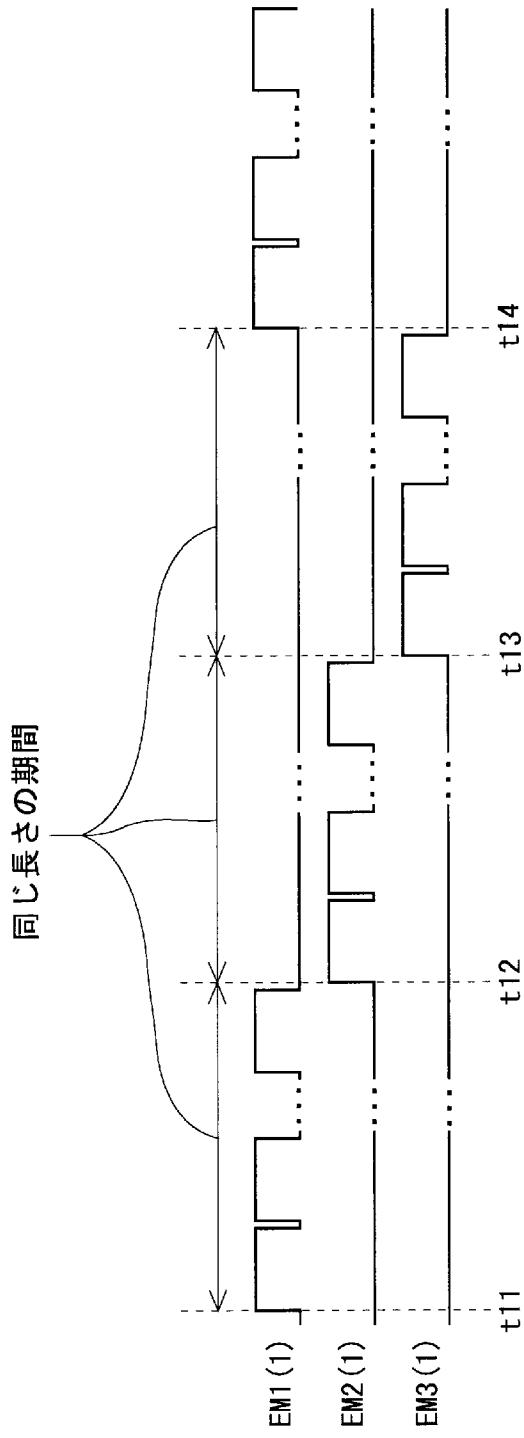
[図24]



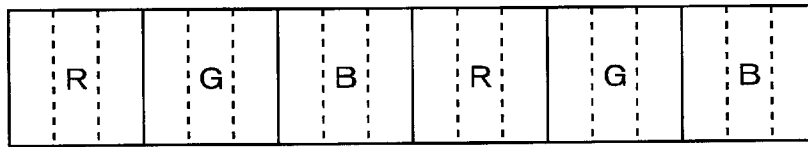
[図25]



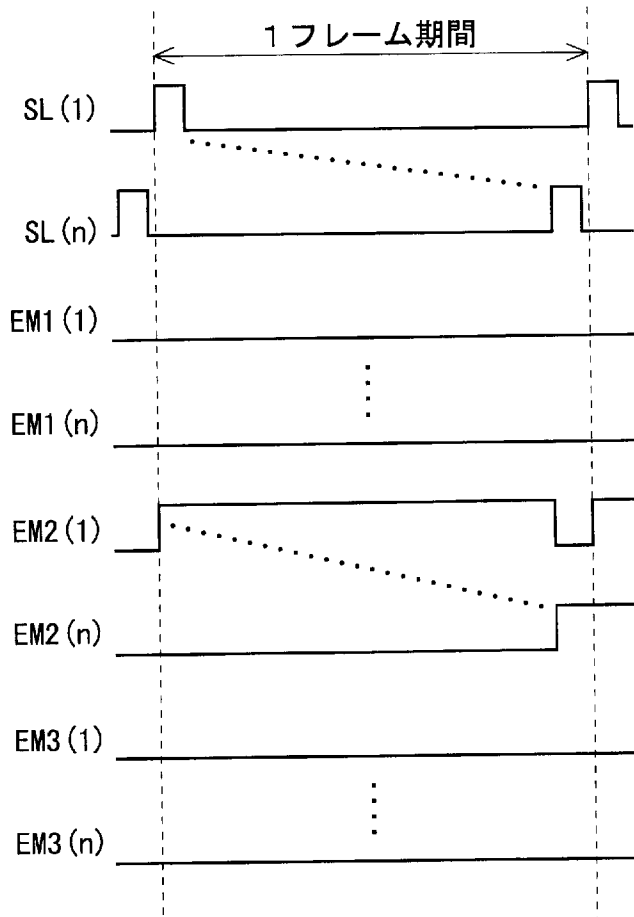
[図26]



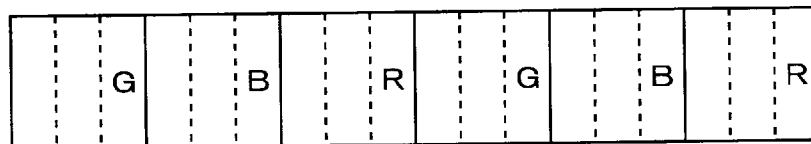
[図27]



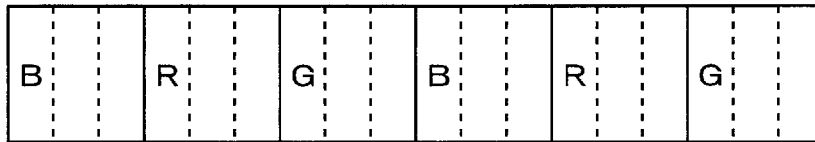
[図28]



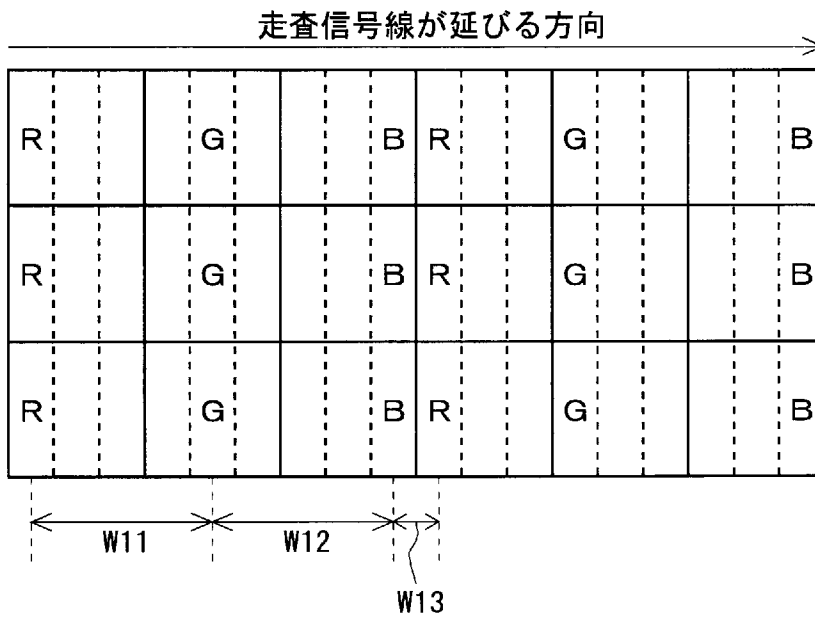
[図29]



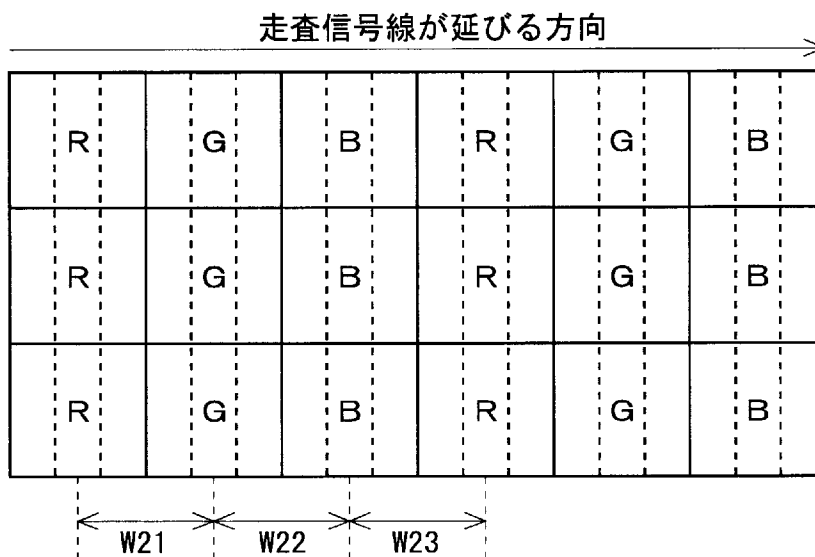
[図30]



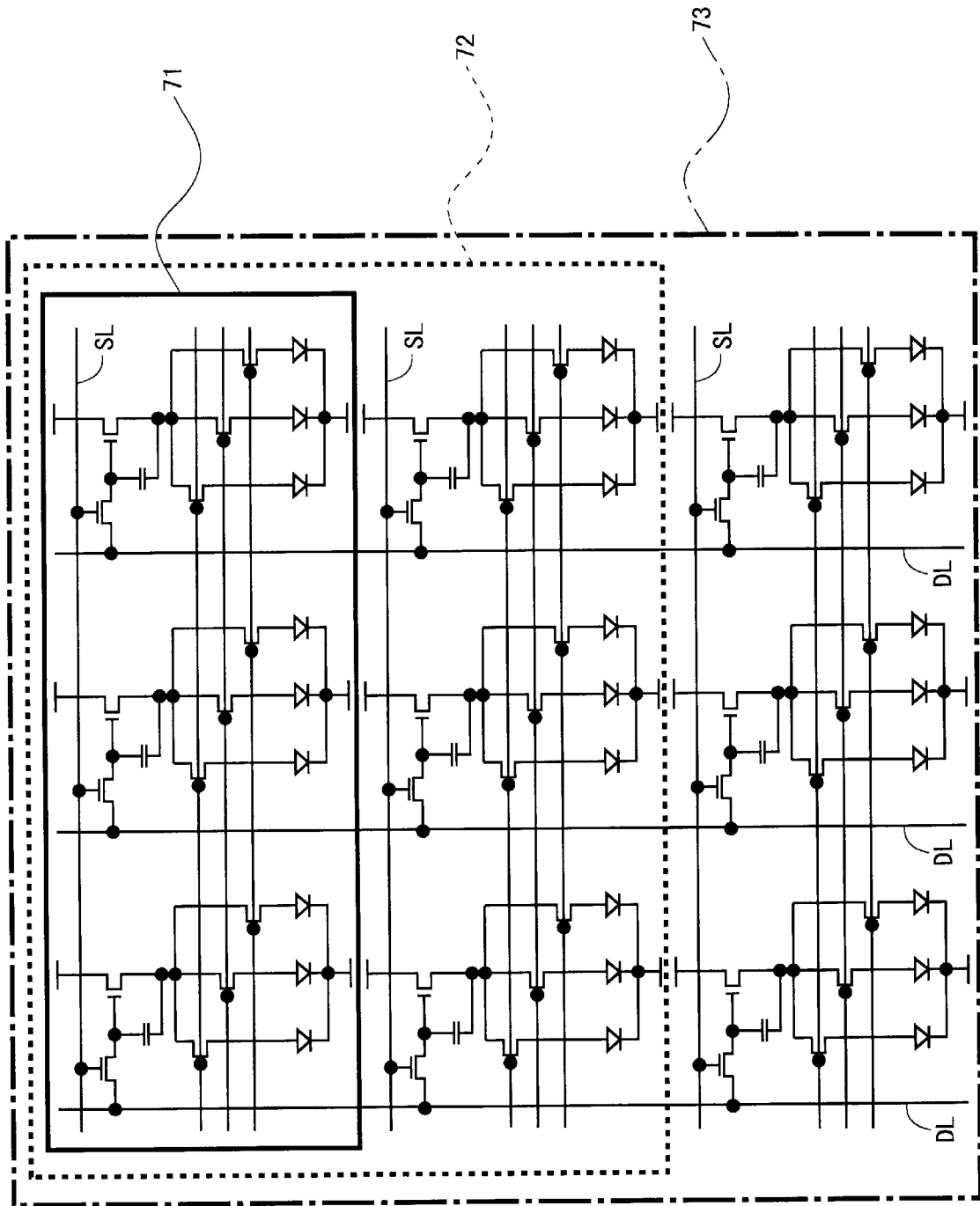
[図31]



[図32]

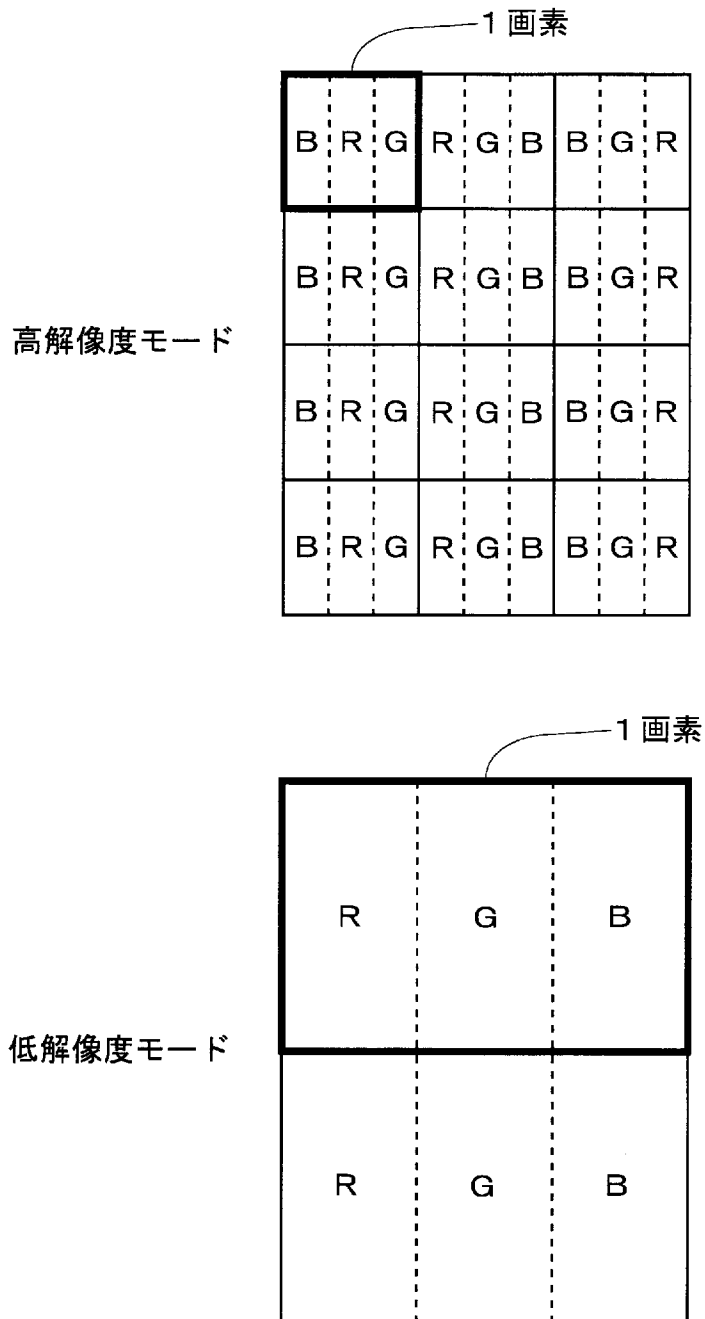


[図33]

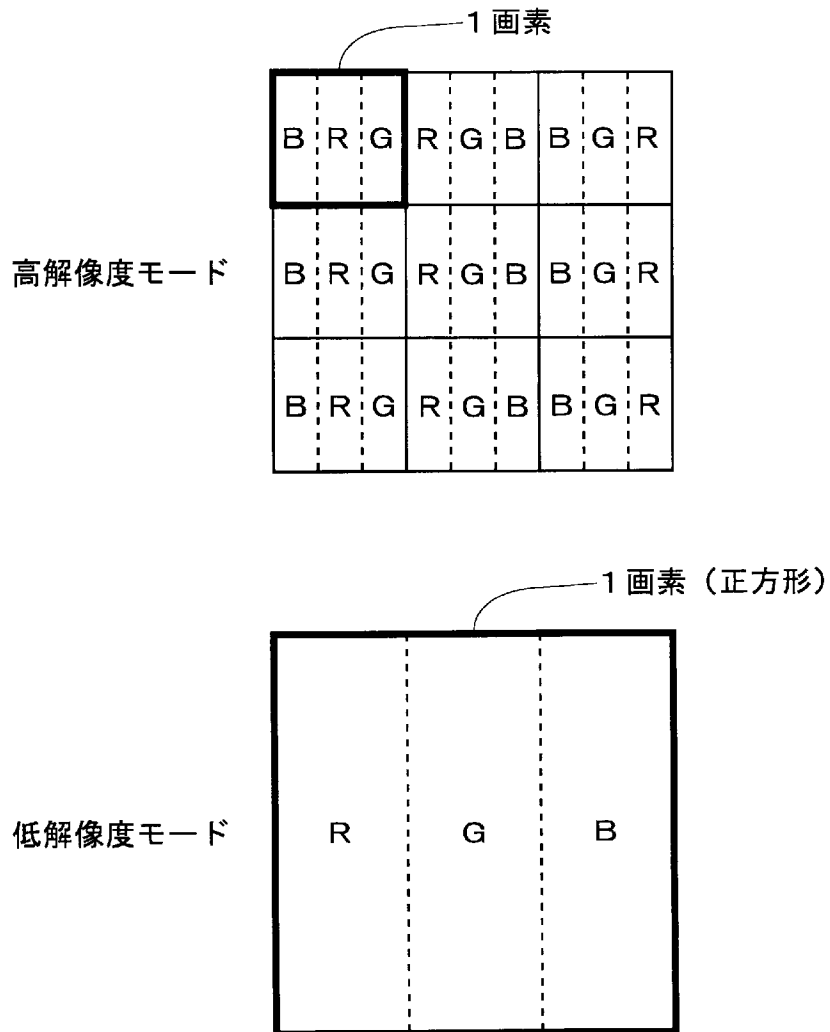




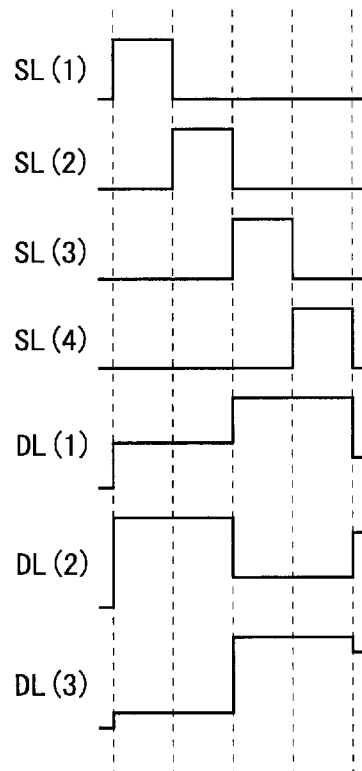
[図34]



[図35]



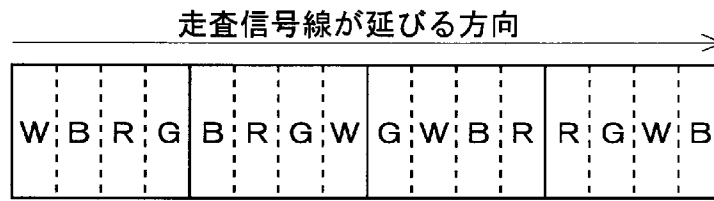
[図36]



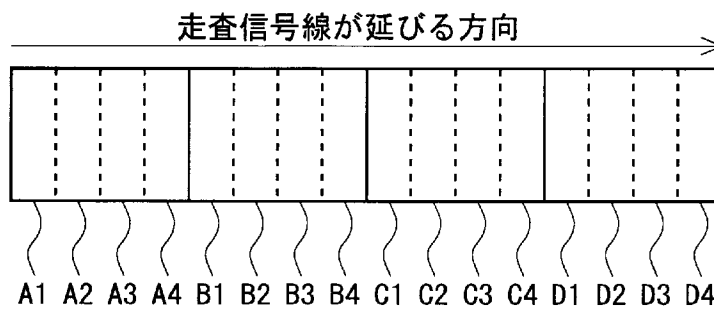
[図37]



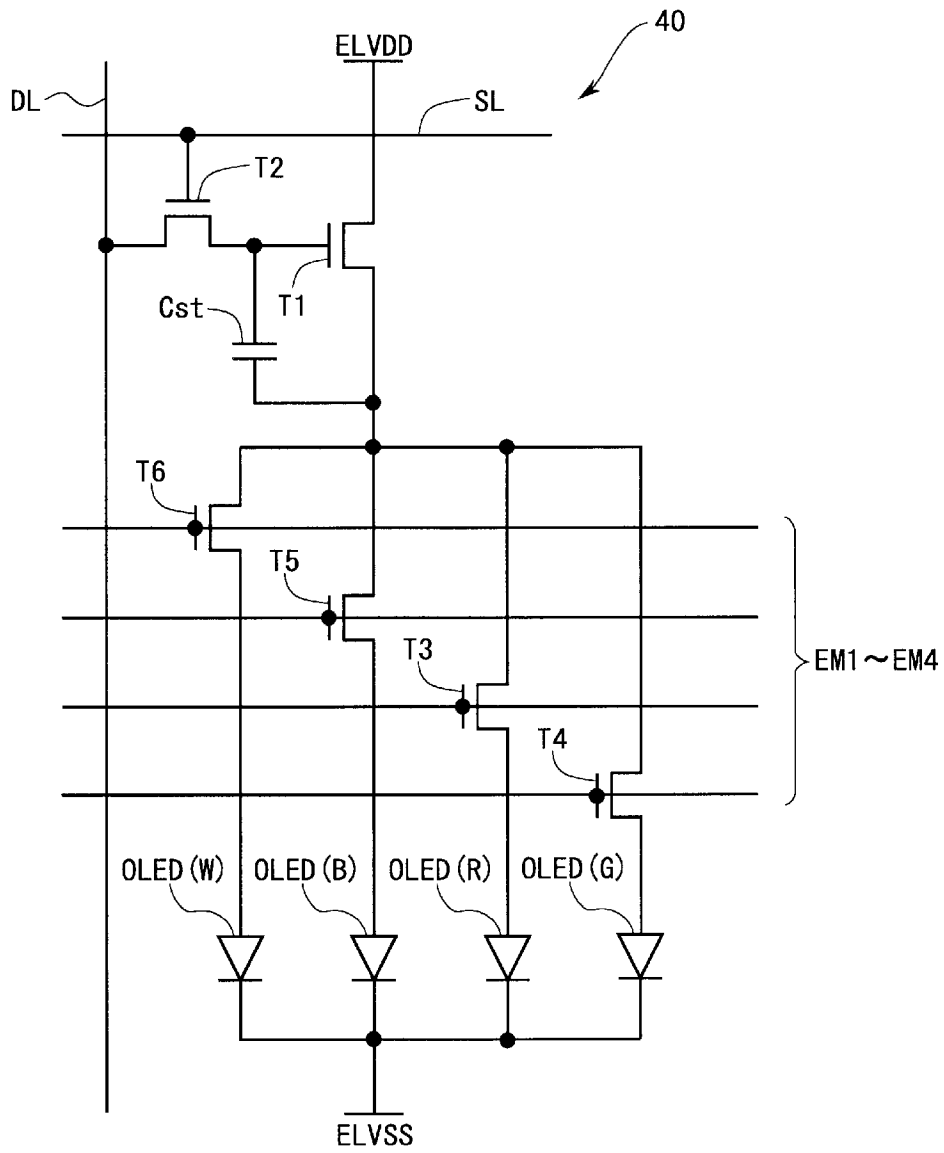
[図38]



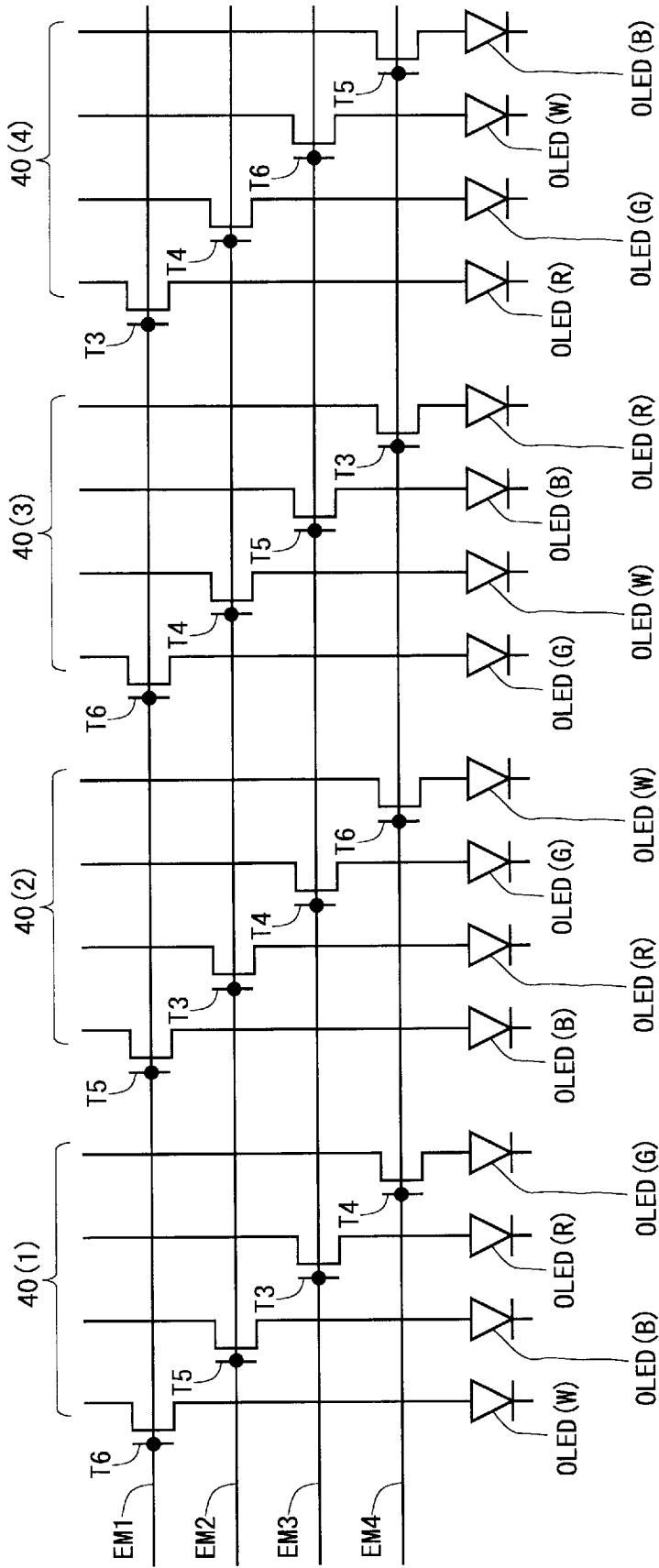
[図39]



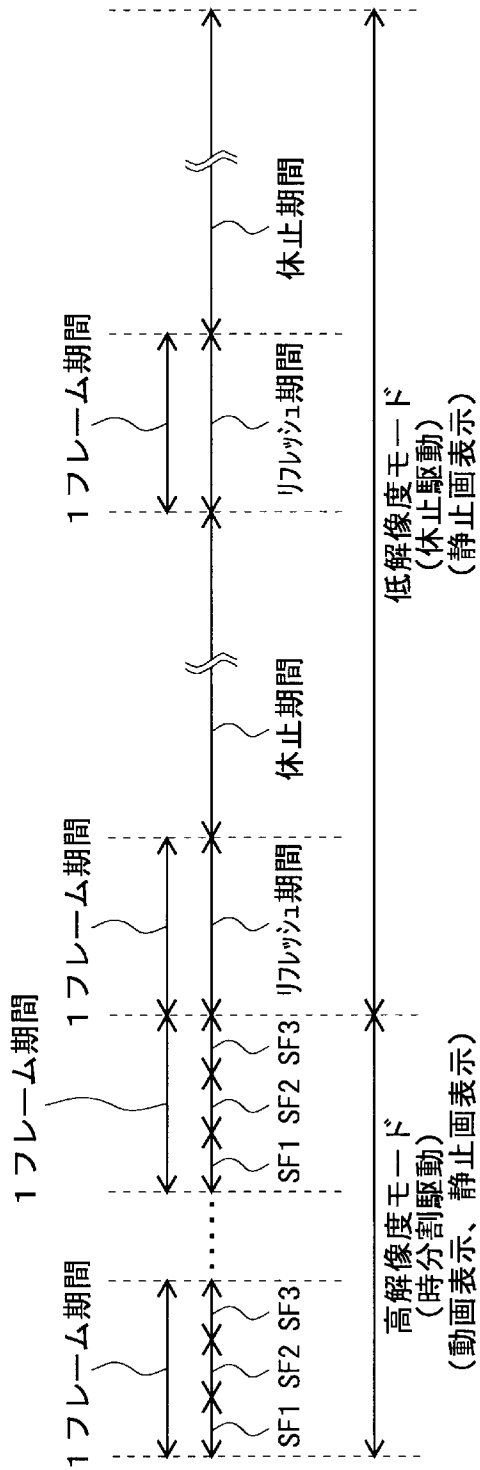
[図40]



[図41]

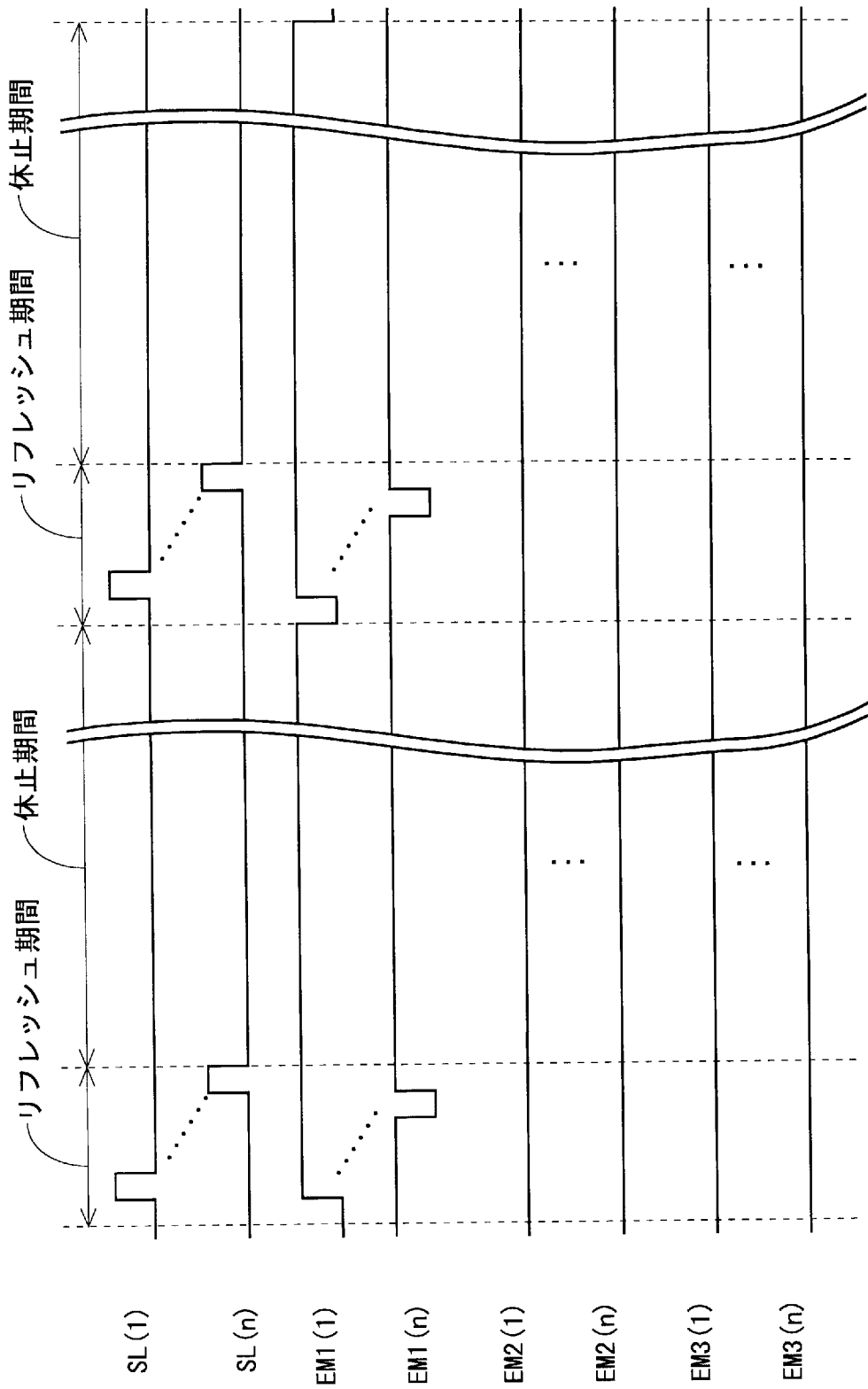


[図42]

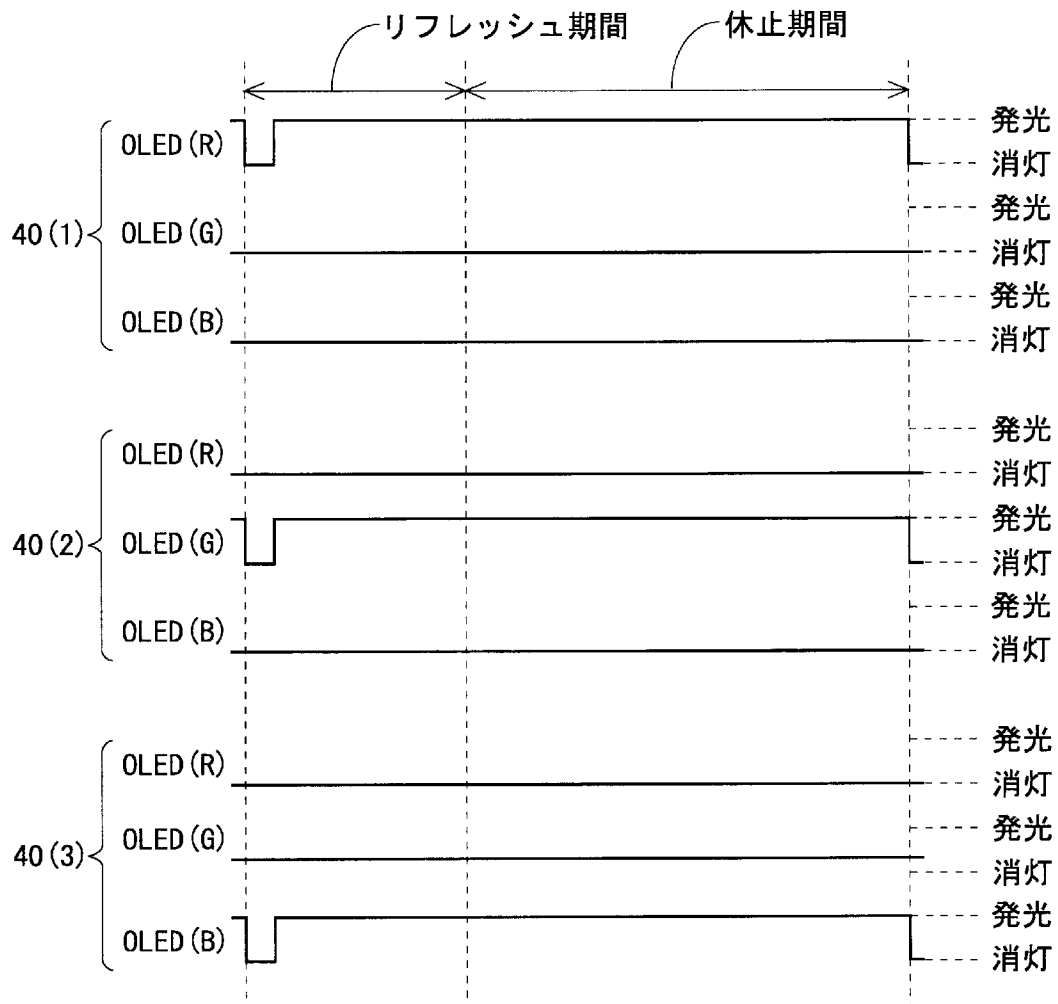




[図43]



[図44]

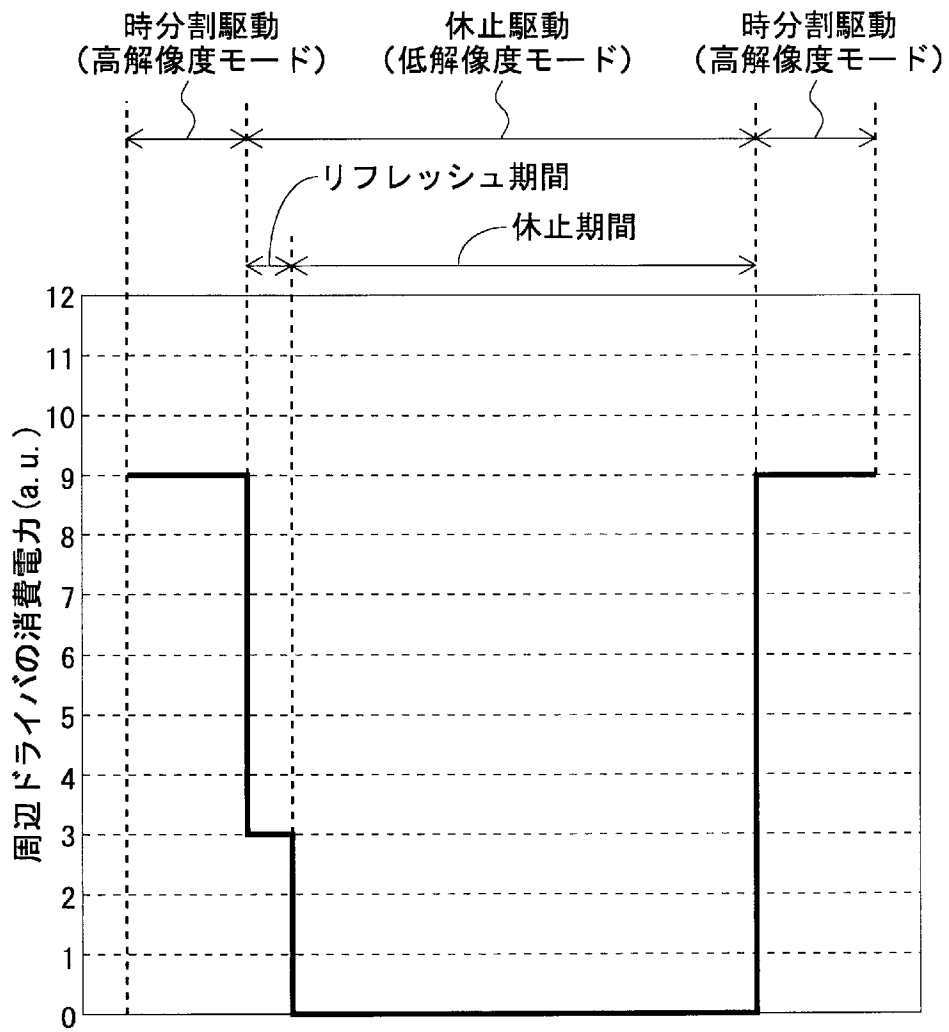


[図45]

	リフレッシュ期間	休止期間
画素回路40(1)	R発光	R発光
画素回路40(2)	G発光	G発光
画素回路40(3)	B発光	B発光
ELVDD	ON	ON
ELVSS	ON	ON
ソースドライバ	ON	OFF
ゲートドライバ (走査動作)	ON	OFF
エミッタードライバ (走査動作)	ON	OFF
EM1	選択状態	選択状態
EM2	非選択状態	非選択状態
EM3	非選択状態	非選択状態

例え、16.6ms (リフレッシュ期間)  
 例え、1s (休止期間)

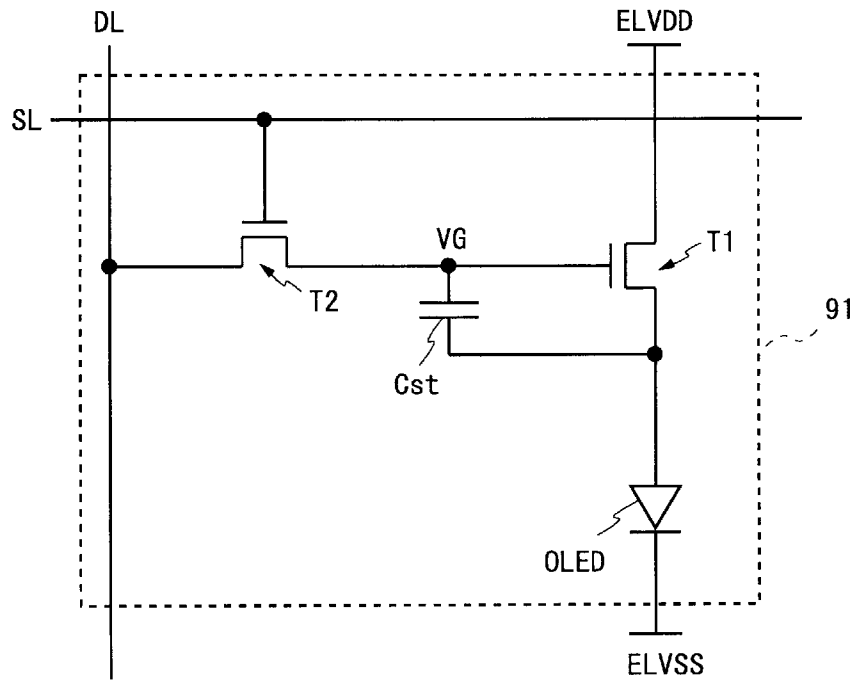
[図46]



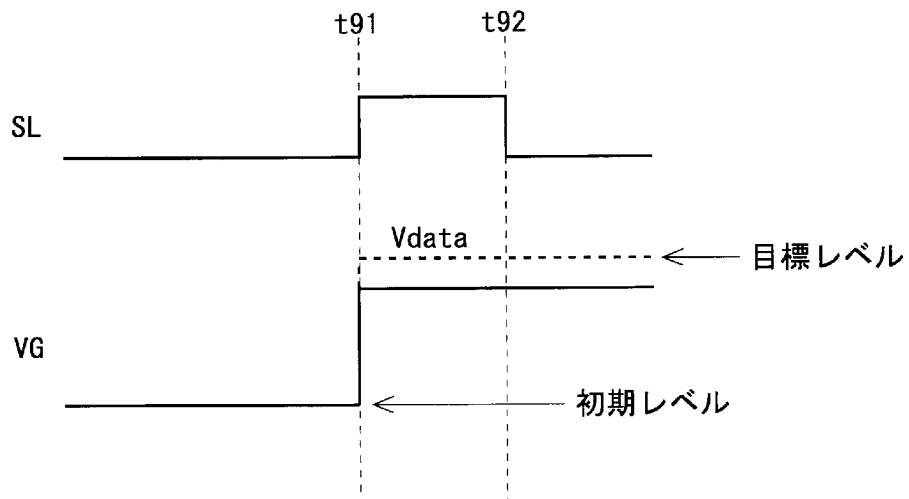
[図47]

	時分割駆動		休止駆動 (休止期間)	
	駆動周波数(Hz)	消費電力(W)	駆動周波数(Hz)	消費電力(W)
ドライバ				
ゲートドライバ	$3 \times f_1$	$3 \times C1(V1)^2 f_1$	0	0
第1エミションドライバ	$3 \times f_2$	$3 \times C2(V2)^2 f_2$	0	直流電流成分のみ
第2エミションドライバ	$3 \times f_3$	$3 \times C3(V3)^2 f_3$	0	0
第3エミションドライバ	$3 \times f_4$	$3 \times C4(V4)^2 f_4$	0	0
ソースドライバ	$3 \times f_5$	$3 \times C5(V5)^2 f_5$	0	0

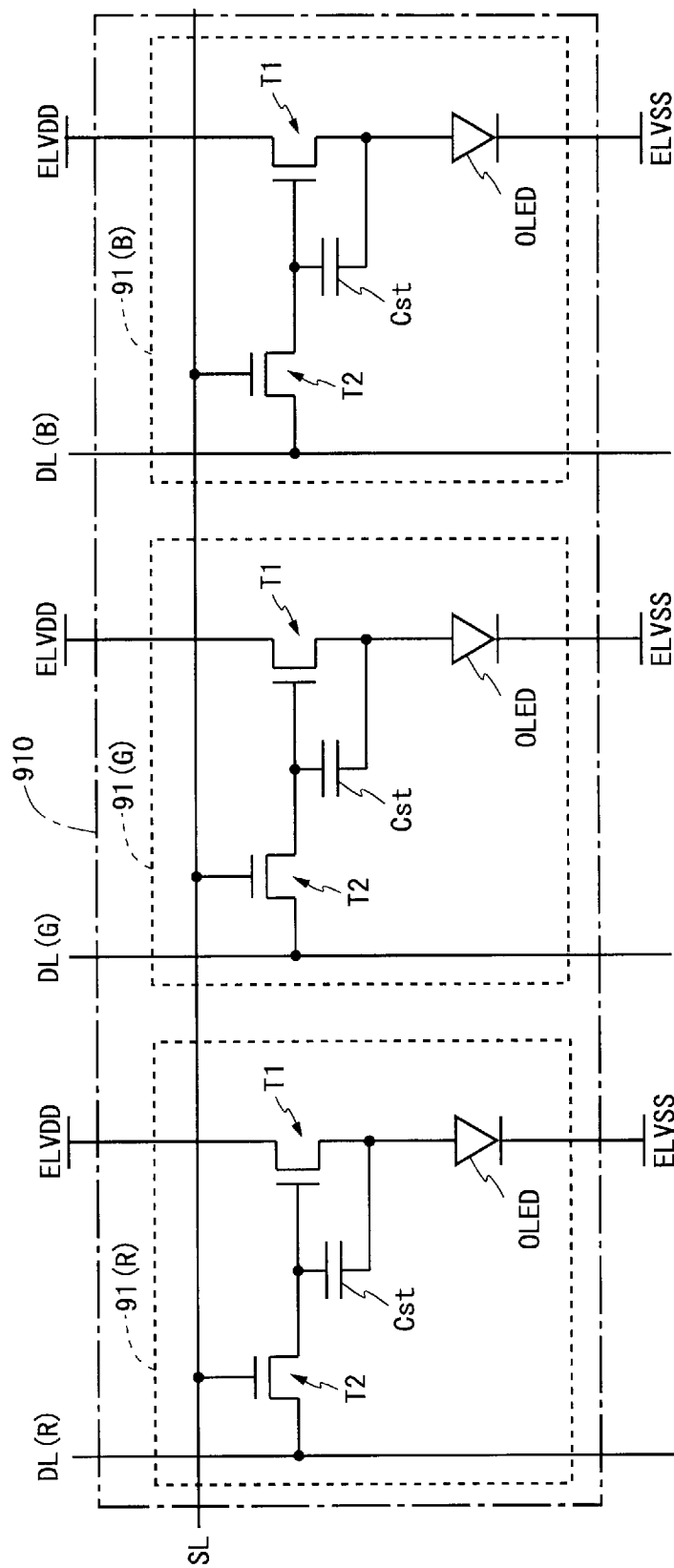
[図48]



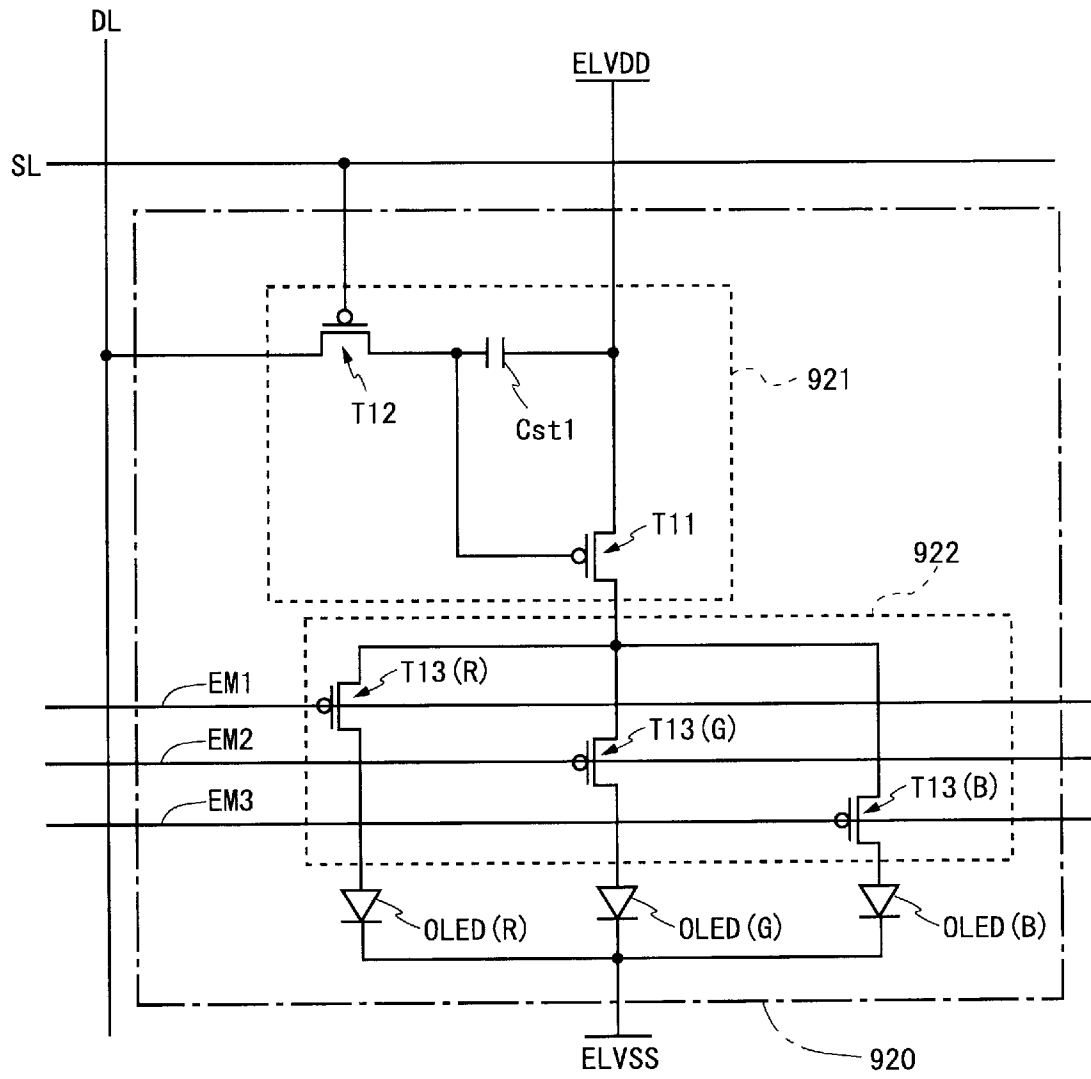
[図49]



[図50]

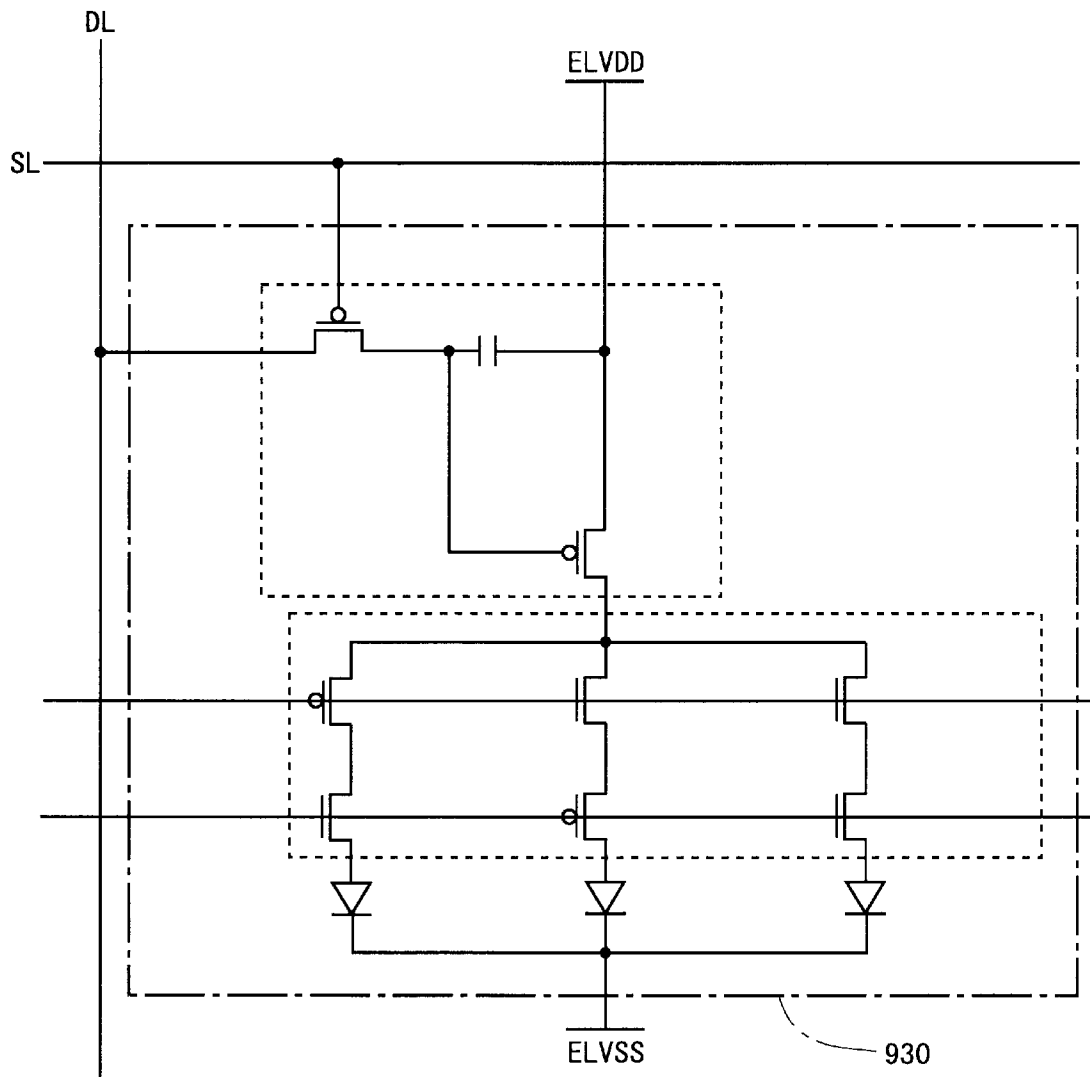


[図51]





[図52]



[図53]

		1フレーム期間					
		第1サブフレーム		第2サブフレーム		第3サブフレーム	
帰線期間		帰線期間		帰線期間		帰線期間	
発光期間		発光期間		発光期間		発光期間	
点灯状態	全て消灯	R 発光	全て消灯	G 発光	全て消灯	B 発光	
駆動電流	OFF	ON	OFF	ON	OFF	ON	ON
ELVDD	ON	ON	ON	ON	ON	ON	ON
ELVSS	ON	ON	ON	ON	ON	ON	ON
ソースドライバ	OFF	ON	OFF	ON	OFF	ON	ON
ゲートドライバ (走査動作)	OFF	ON	OFF	ON	OFF	ON	ON
エミッションドライバ (走査動作)	OFF	ON	OFF	ON	OFF	ON	ON
EM1	非選択状態	選択状態	非選択状態	非選択状態	非選択状態	非選択状態	非選択状態
EM2	非選択状態	非選択状態	非選択状態	選択状態	非選択状態	非選択状態	非選択状態
EM3	非選択状態	非選択状態	非選択状態	非選択状態	非選択状態	選択状態	選択状態

[図54]

	一般的駆動					時分割駆動	
	周波数(HZ)	電圧振幅(V)	寄生容量(F)	電力(W)	周波数(HZ)	電力(W)	
ドライバ							
ゲートドライバ	f1	V1	C1	$C1(V1)^2 f1$	$3 \times f1$	$3 \times C1(V1)^2 f1$	
第1エミッションドライバ	f2	V2	C2	$C2(V2)^2 f2$	$3 \times f2$	$3 \times C2(V2)^2 f2$	
第2エミッションドライバ	f3	V3	C3	$C3(V3)^2 f3$	$3 \times f3$	$3 \times C3(V3)^2 f3$	
第3エミッションドライバ	f4	V4	C4	$C4(V4)^2 f4$	$3 \times f4$	$3 \times C4(V4)^2 f4$	
ソースドライバ	f5	V5	C5	$C5(V5)^2 f5$	$3 \times f5$	$3 \times C5(V5)^2 f5$	

**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2015/069597

**A. CLASSIFICATION OF SUBJECT MATTER**  
G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G09G3/30, G09G3/20, H01L51/50, H05B33/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-230079 A (Toshiba Corp.), 08 October 2009 (08.10.2009), paragraphs [0008] to [0041]; fig. 1 to 10 (Family: none)	1 2-18
X A	JP 2004-198809 A (Rohm Co., Ltd.), 15 July 2004 (15.07.2004), paragraphs [0037] to [0041]; fig. 9 to 10 (Family: none)	1 2-18
A	JP 2002-175045 A (Seiko Epson Corp.), 21 June 2002 (21.06.2002), paragraphs [0110] to [0138]; fig. 1 to 4 & US 2002/0041278 A1 & EP 1193675 A2 & KR 10-2002-0025836 A & CN 1360294 A & CN 1553425 A	1-18

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 September 2015 (14.09.15)	Date of mailing of the international search report 29 September 2015 (29.09.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069597

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-41221 A (Funai Electric Co., Ltd.), 15 February 2007 (15.02.2007), entire text; all drawings (Family: none)	1-18
A	JP 2005-157258 A (Samsung SDI Co., Ltd.), 16 June 2005 (16.06.2005), paragraphs [0043] to [0064]; fig. 1 to 9 & US 2005/0110723 A1 & EP 1536406 A1 & EP 1837851 A2 & KR 10-2005-0050484 A & CN 1622723 A	1-18
A	JP 2006-163371 A (Samsung SDI Co., Ltd.), 22 June 2006 (22.06.2006), entire text; all drawings & US 2006/0139257 A1 & KR 10-2006-0065084 A	1-18
P,A	WO 2014/162792 A1 (Sharp Corp.), 09 October 2014 (09.10.2014), entire text; all drawings (Family: none)	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/08(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20, H01L51/50, H05B33/08		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2009-230079 A (株式会社東芝) 2009.10.08, 段落 [0008] - [0041], [図1] - [図10] (ファミリーなし)	1 2-18
X A	JP 2004-198809 A (ローム株式会社) 2004.07.15, 段落 [0037] - [0041], [図9] - [図10] (ファミリーなし)	1 2-18
A	JP 2002-175045 A (セイコーエプソン株式会社) 2002.06.21, 段落 [0110] - [0138], [図1] - [図4] & US 2002/0041278 A1 & EP 1193675 A2 & KR 10-2002-0025836 A & CN 1360294 A & CN	1-18
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 14.09.2015	国際調査報告の発送日 29.09.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 電話番号 03-3581-1101 内線 3226	2G 9308

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	1553425 A	
A	JP 2007-41221 A (船井電機株式会社) 2007.02.15, 全文, 全図 (ファミリーなし)	1-18
A	JP 2005-157258 A (三星エスディアイ株式会社) 2005.06.16, 段落 [0043] - [0064], [図1] - [図9] & US 2005/0110723 A1 & EP 1536406 A1 & EP 1837851 A2 & KR 10-2005-0050484 A & CN 1622723 A	1-18
A	JP 2006-163371 A (三星エスディアイ株式会社) 2006.06.22, 全文, 全図 & US 2006/0139257 A1 & KR 10-2006-0065084 A	1-18
P, A	WO 2014/162792 A1 (シャープ株式会社) 2014.10.09, 全文, 全図 (ファミリーなし)	1-18