

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4700184号
(P4700184)

(45) 発行日 平成23年6月15日 (2011.6.15)

(24) 登録日 平成23年3月11日 (2011.3.11)

(51) Int.Cl.		F I			
H03H	9/64	(2006.01)	H03H	9/64	Z
H03H	7/01	(2006.01)	H03H	7/01	A
H03H	7/38	(2006.01)	H03H	7/38	Z

請求項の数 6 (全 10 頁)

(21) 出願番号	特願2000-330019 (P2000-330019)	(73) 特許権者	504199127
(22) 出願日	平成12年10月30日 (2000.10.30)		フリースケール セミコンダクター イン
(65) 公開番号	特開2001-185990 (P2001-185990A)		コーポレイテッド
(43) 公開日	平成13年7月6日 (2001.7.6)		アメリカ合衆国 78735 テキサス州
審査請求日	平成19年10月26日 (2007.10.26)		オースティン ウィリアム キャノン
(31) 優先権主張番号	436428		ドライブ ウェスト 6501
(32) 優先日	平成11年11月9日 (1999.11.9)	(74) 代理人	100116322
(33) 優先権主張国	米国 (US)		弁理士 桑垣 衛
		(72) 発明者	ワン・チャン・エー・グ
			アメリカ合衆国アリゾナ州スコッツデール
			、ノース・68ス・ストリート16016
		(72) 発明者	リチャード・ステファン・コムラッシ
			アメリカ合衆国アリゾナ州ファウンテン・
			ヒルズ、イースト・スコピオン・ドライ
			ブ15531

最終頁に続く

(54) 【発明の名称】 改良された I / O 整合を有する集積フィルタおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

改良された I / O 整合を有する集積フィルタ回路であって、

入力寄生シャント・インピーダンスを持つ入力端子 (66) と、出力寄生シャント・インピーダンスを持つ出力端子 (68) とを有する集積フィルタ (50) であって、複数のフィルタ・セクション (52 ~ 55) を含み、前記複数のフィルタ・セクションの各々は、表面弾性波共振器 (56) 、電圧可変コンデンサ (57) 、および多層セラミック内に形成された誘導コイル (58) を含み、複数の前記フィルタ・セクションの複数の前記表面弾性波共振器は互いに結合される、前記集積フィルタと、

前記入力端子と接続されて、前記入力寄生シャント・インピーダンスを低減する入力電気部材 (65) と、

前記出力端子と接続されて、前記出力寄生シャント・インピーダンスを低減する出力電気部材 (67) と、

前記入力電気部材および前記出力電気部材との間に配置されて、相互結合を低減する層間格子状接地壁 (70) とを備え、

前記各フィルタ・セクションの前記電圧可変コンデンサおよび前記誘導コイルと、前記出力電気部材および前記入力電気部材とは、前記結合された表面弾性波共振器の周りに配置され、

前記出力電気部材および前記入力電気部材は、前記層間格子状接地壁を介して隣接配置されることを特徴とする集積フィルタ回路。

10

20

【請求項 2】

前記入力電気部材および出力電気部材は、前記集積フィルタ回路に集積化される、請求項 1 に記載の集積フィルタ回路。

【請求項 3】

前記入力および出力電気部材は各々、誘導コイルと、伝送路の 1 セクションと、直列同調回路における可変容量および誘導コイルと、並列同調回路における可変容量および誘導コイルとの一つを含む、請求項 2 に記載の集積フィルタ回路。

【請求項 4】

前記複数のフィルタ・セクションの各々は、隣接するセクション間の中間寄生シャント・インピーダンスを含み、前記集積フィルタ回路は、前記隣接するセクション間に接続される中間電気部材を更に含んで、前記中間寄生シャント・インピーダンスを低減する、請求項 1 に記載の集積フィルタ回路。

10

【請求項 5】

改良された I/O 整合を有する集積フィルタ回路を製造する方法であって、

入力寄生シャント・インピーダンスを持つ入力端子 (66) と、出力寄生シャント・インピーダンスを持つ出力端子 (68) とを有する集積フィルタ (50) を形成する段階であって、複数のフィルタ・セクション (52 ~ 55) を含み、前記複数のフィルタ・セクションの各々は、表面弾性波共振器 (56) , 電圧可変コンデンサ (57) , および多層セラミック内に形成された誘導コイル (58) を含み、複数の前記フィルタ・セクションの複数の前記表面弾性波共振器は互いに結合される、前記形成する段階と、

20

前記入力端子と接続されて、前記入力寄生シャント・インピーダンスを低減する入力電気部材 (65) を形成する段階と、

前記出力端子と接続されて、前記出力寄生シャント・インピーダンスを低減する出力電気部材 (67) を形成する段階と、

相互結合を低減するために、前記入力電気部材および前記出力電気部材との間に層間格子状接地壁 (70) を配置する段階とを備え、

前記各フィルタ・セクションの前記電圧可変コンデンサおよび前記誘導コイルと、前記出力電気部材および前記入力電気部材とは、結合された表面弾性波共振器の周りに配置され、

前記出力電気部材および前記入力電気部材は、前記層間格子状接地壁を介して隣接配置されることを特徴とする方法。

30

【請求項 6】

改良された I/O 整合を有する集積フィルタ回路であって、

入力端子 (66) において入力インピーダンスを、出力端子 (68) において出力インピーダンスを有する集積フィルタ (50) であって、複数のフィルタ・セクション (52 ~ 55) を含み、前記複数のフィルタ・セクションの各々は、表面弾性波共振器 (56) , 電圧可変コンデンサ (57) , および多層セラミック内に形成された誘導コイル (58) を含み、複数の前記フィルタ・セクションの複数の前記表面弾性波共振器は互いに結合される、前記集積フィルタと、

前記入力端子と接続される電源インピーダンスを有する入力回路と、

40

前記出力端子と接続される負荷インピーダンスを有する出力回路と、

前記入力端子と接続されて、前記入力回路の前記電源インピーダンスを、前記入力端子における前記集積フィルタの前記入力インピーダンスと整合させる入力電気部材 (65) と、

前記出力端子と接続されて、前記出力回路の前記負荷インピーダンスを、前記出力端子における前記集積フィルタの前記出力インピーダンスと整合させる出力電気部材 (67) と、

前記入力電気部材および前記出力電気部材との間に配置されて、相互結合を低減する層間格子状接地壁 (70) とを備え、

前記各フィルタ・セクションの前記電圧可変コンデンサおよび前記誘導コイルと、前記

50

出力電気部材および前記入力電気部材とは、前記結合された表面弾性波共振器の周りに配置され、

前記出力電気部材および前記入力電気部材は、前記層間格子状接地壁を介して隣接配置されることを特徴とする集積フィルタ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は超小型集積回路に関し、さらに詳しくは集積フィルタに関する。

【0002】

【従来の技術】

周波数選択フィルタは、3つの重要な機能、すなわち、所望の周波数で電気信号を伝える、他の周波数を排除する、および電源インピーダンスと負荷インピーダンスの両方を整合させる役割を果たす。集積による小型化が進んでいる現在の動向は、フィルタ整合回路の設計では問題となっていて、この設計では寄生シャント・キャパシタンス (parasitic shunt capacitance) によって、フィルタがそのソースおよび負荷と整合されるのを妨げられるほか、フィルタの阻止帯域分離設計においても問題となっており、フィルタの入出力 (I/O) セクション間の結合が、フィルタの阻止帯域排除性能を損なわせている。

【0003】

従来のフィルタ設計では、寄生シャント・キャパシタンスが小さく、それが整合回路の性能に与える影響もごく軽微である。また、従来のフィルタ設計では、フィルタ入出力セクション間の結合は、これらの2セクションを物理的に分離することによって低減され、フィルタの阻止帯域排除性能への影響を軽微にすることができる。しかしながら、回路設計が、多層セラミック集積回路 (MCIC) または多層プリント回路板 (MPCB) および高密度相互接続 (HDI) などの高度な集積回路に向かうにつれ、寄生シャント・キャパシタンスが、整合回路の性能に悪影響を与えている。これは、近代的な集積フィルタ設計においては、比較的新しく、かつ難しい問題であり、フィルタ素子間の間隔を広げ、グラウンド・プレーンを使用する先行技術の方式は、集積フィルタの設計において実行可能な解決策ではない。

【0004】

【発明が解決しようとする課題】

そのため、これらの問題を克服し、かつ装置が安価で、設置および使用が容易な装置および製造方法を提供することが極めて望ましい。

【0005】

【実施例】

ここで図面、特に図1を見ると、本発明による改良型の入出力 (I/O) 整合を有する集積フィルタ回路10の回路図が示される。回路10は、入力寄生シャント・インピーダンス (図示せず) を有する入力端子12と、出力寄生シャント・インピーダンス (図示せず) を有する出力端子13を有する集積フィルタ11を含む。集積フィルタ11は、多層セラミック集積回路 (MCIC)、多層プリント回路板 (MPCB) および高密度相互接続 (HDI) などの技術により構築されるような近代的高集積フィルタの任意のものであり、入力と出力の寄生シャント・インピーダンスは固有のものであり、整合回路の性能に悪影響を与える。当業者には理解されるように、入力および出力の寄生シャント・インピーダンスは一般に、分散型シャント・キャパシタンスであるが、静電容量、インダクタンス、抵抗、またはその3つの組合せのいずれかにすることができ、特定の端子において、集中部材または離散部材の外観をとる。さらに、集積フィルタ11は、便宜上、この具体的な実施例では、単純なブロックとして示される。

【0006】

入力回路14は、便宜上ブロック形状で示され、入力端子13と結合される。入力回路14は、特定のインピーダンスを有し、以後、これを電源インピーダンスという。また、出力回路15も、便宜上ブロック形状で示され、出力端子13と結合される。出力回路15

10

20

30

40

50

は、特定のインピーダンスを有し、以後、これを負荷インピーダンスという。フィルタ回路 10 の入力および出力の寄生シャント・インピーダンスは、フィルタの入力および出力インピーダンスに影響を与える。当業者には理解されるように、入力回路 14, フィルタ回路 10 および出力回路 15 は、入力回路 14 の電源インピーダンスが、フィルタ回路 10 の入力インピーダンスと整合し、かつ、フィルタ回路 10 の出力インピーダンスが、出力回路 15 の負荷インピーダンスと整合するときに、最も効率良く動作する。しかしながら、フィルタ回路 10 が、多層セラミック集積回路 (MCIC), 多層プリント回路板 (MPCB) および高密度相互接続 (HDI) などの技術によって作成されるほとんどの例では、入力および出力インピーダンスは、入力および出力の寄生シャント・インピーダンスによって実質的に変化する。

10

【0007】

入力電気部材は、この具体的実施例では誘導コイル 17 であり、1つの端部が、フィルタ 11 の入力端子 12 と接続されており、もう1つの端部は、接地など、共通電位に接続される。誘導コイル 17 は基本的に、入力寄生シャント・インピーダンスと並列に接続されて、入力寄生シャント・インピーダンスを低減する。同様に、出力電気部材は、この具体的実施例では、誘導コイル 19 であり、1つの端部が、フィルタ 11 の出力端子 13 と接続され、もう1つの端部は、接地など、共通電位と接続される。誘導コイル 19 は基本的に、出力寄生シャント・インピーダンスと並列に接続されて、出力寄生シャント・インピーダンスを低減する。理解いただけるように、誘導コイル 17, 19 は、入力寄生シャント・キャパシタンスを低減または取り消すのに最も効率が良く、一般に、入力寄生シャント・インピーダンスが静電容量である集積フィルタ回路内で使用される。さらに、入力および出力誘導コイル 17, 19 は、例えば、多層セラミック集積回路 (MCIC), 多層プリント回路板 (MPCB) および高密度相互接続 (HDI) などの中に形成される集積誘導コイルとして、集積フィルタ回路 10 に集積されるのに便利である。

20

【0008】

ここで図 2 を見ると、本発明により I/O 整合が改良された集積フィルタ回路 20 の回路図が示される。回路 20 は、集積フィルタ 21 を含み、このフィルタは、入力寄生シャント・インピーダンス (図示せず) を持つ入力端子 22 と、出力寄生シャント・インピーダンス (図示せず) を持つ出力端子 23 とを有する。上記の説明のように、集積フィルタ 21 は、任意の近代的な高集積フィルタであり、入力および出力寄生シャント・インピーダンスは固有のものであり、整合回路の性能に悪影響を及ぼし、入力および出力寄生シャント・インピーダンスは静電容量, インダクタンス, 抵抗, またはその 3 つの任意の組み合わせのいずれかであり、特定の端子において、集中部材または離散部材としての外観をとる。また、集積フィルタ 21 は、入力回路 24 および出力回路 25 とともに、この具体的実施例では、便宜上、単純なブロックとして示される。

30

【0009】

入力電気部材は、この具体的実施例では、伝送路要素 27 であり、1つの端部が、フィルタ 21 の入力端子 22 と接続されており、もう1つの端部が、接地など、共通電位と接続される。伝送路要素 27 は基本的に、入力寄生シャント・インピーダンスと並列に接続されて、入力寄生シャント・インピーダンスを低減する。同様に、出力電気部材は、この具体的実施例では伝送路要素 29 であり、1つの端部が、フィルタ 21 の出力端子 23 と接続されており、もう1つの端部が、接地など、共通電位と接続される。伝送路要素 29 は基本的に、出力寄生シャント・インピーダンスと並列に接続されて、出力寄生シャント・インピーダンスを低減する。

40

【0010】

理解頂けるように、伝送路要素 27, 29 は、誘導性または容量性インピーダンスを生じて、入力寄生シャント・インダクタンスおよび/またはキャパシタンスを低減または取り消す長さを有するように具体的に設計でき、一般に、入力寄生シャント・インピーダンスが、静電容量またはインダクタンスである集積フィルタ回路で使用される。さらに、入力および出力伝送路要素 27, 29 は、例えば、多層セラミック集積回路 (MCIC), 多

50

層プリント回路板（MPCB）および高密度相互接続（HDI）などの中に形成することによって、集積フィルタ回路20の中に集積されるのに便利である。

【0011】

ここで図3を見ると、本発明による改良されたI/O整合を有する集積フィルタ回路30の回路図が示される。回路30は、集積フィルタ31を含み、このフィルタは、入力寄生シャント・インピーダンス（図示せず）を持つ入力端子32と、出力寄生シャント・インピーダンス（図示せず）を持つ出力端子33を有する。上記の説明のように、集積フィルタ31は、任意の近代的な高集積フィルタであり、入力および出力寄生シャント・インピーダンスは固有のものであり、整合回路の性能に悪影響を及ぼし、入力および出力寄生シャント・インピーダンスは静電容量，インダクタンス，抵抗，またはその3つの任意の組み合わせのいずれかであり、特定の端子において、集中部材または離散部材としての外観をとる。また、集積フィルタ31は、入力回路34および出力回路35とともに、この具体的実施例では、便宜上、単純なブロックとして示される。

10

【0012】

入力電気部材は、この具体的実施例では、可変容量36と誘導コイル37とを含む並列同調回路であり、1つの端部は、フィルタ31の入力端子32と接続されており、もう1つの端部は、接地など、共通電位と接続される。並列同調回路は基本的に、入力寄生シャント・インピーダンスと並列に接続されて、入力寄生シャント・インピーダンスを低減する。同様に、出力電気部材は、この具体的実施例では、可変容量38と誘導コイル39とを含む並列同調回路であり、1つの端部が、フィルタ31の出力端子33と接続され、もう1つの端部が、接地など、共通電位と接続される。並列同調回路は基本的に、出力寄生シャント・インピーダンスと並列に接続されて、出力寄生シャント・インピーダンスを低減する。

20

【0013】

図4を参照して、本発明によるI/O整合が改良された集積フィルタ回路40の回路図が示される。回路40は、集積フィルタ41を含み、入力寄生シャント・インピーダンス（図示せず）を持つ入力端子42と、出力寄生シャント・インピーダンス（図示せず）を持つ出力端子43とを有する。入力電気部材は、この具体的実施例では、直列同調回路であり、可変容量46と誘導コイル47とを含み、1つの端部が、フィルタ41の入力端子42と接続され、もう1つの端部が、接地など、共通電位と接続される。同様に、出力電気部材は、この具体的実施例では、可変容量48と誘導コイル49とを含む直列同調回路であり、1つの端部が、フィルタ41の出力端子43と接続され、もう1つの端部は、接地など、共通電位と接続される。入力および出力の直列同調回路は基本的に、それぞれ、入力および出力寄生シャント・インピーダンスと並列に接続されて、出力寄生シャント・インピーダンスを低減する。

30

【0014】

ここで、入力および出力の並列同調回路と直列同調回路は、静電容量と誘導コイルの一方または両方を変化させることによって、同調させることができることに注意されたい。しかしながら、バラクタまたは電圧可変コンデンサ（VVC）などの電子装置は、可変コンデンサとして使用でき、しかも回路に集積しやすいので、可変コンデンサを使用することが望ましい。また、バラクタまたはVVCは、単に適切な電圧を印加することによって、同調または変化させることができる。一般に、並列同調回路と直列同調回路は、誘導性，容量性および/または抵抗性を問わず、入力および出力寄生シャント・インピーダンスを低減するように同調でき、そのため、設計により柔軟性を提供し、性能の向上に導く。

40

【0015】

ここで図5を見ると、本発明により、多層セラミック集積回路（MCIC）内に実装された送受切換器のチューナブル送信集積フィルタ回路50の回路図が示される。フィルタ回路50は、集積フィルタ（全体に51と番号を付される）を含み、これは、直列に接続された4つのセクション52，53，54，55を含む。52から55までの各セクションは、表面弾性波（SAW）共振器56，電圧可変コンデンサ57，および多層セラミック

50

内に形成された誘導コイル 5 8 を含む。集積フィルタ 5 1 は、性能、寸法、費用上の考慮要件のため、M C I C 内に実装される。しかしながら、小型の実装のため、フィルタの隣接しあうセクションの入出力間の結合が避けられず、この結合は、容量結合、誘導結合の一方または両方の可能性がある。さらに、フィルタ 5 1 の阻止帯域排除は、例えば、0 . 1 p F (静電容量) および 1 . 0 n H (インダクタンス) のごくわずかな結合の場合でも、大きな痛手を受ける。

【 0 0 1 6 】

この具体例では、S A W 共振器 5 6 は、静電容量 6 1 , 6 2 , 6 3 と、容量結合される。浮遊容量 (stray capacitance) または寄生容量は、6 0 から 6 4 として発生する可能性があり、これらは集中部材として示される。一般に、セクション間の寄生容量 6 1 , 6 2 , 6 3 は、集積フィルタ 5 1 の設計に組み入れることができるが、入力寄生容量 6 0 と出力寄生容量 6 4 は、設計に組み入れることができない。入力寄生容量 6 0 と出力寄生容量 6 4 は、それぞれ約 0 . 5 p F であり、その結果、集積フィルタ 5 1 の反射減衰量 (return loss) は、通過帯域の初めに、わずか 7 d B となる。

【 0 0 1 7 】

入力電気部材 6 5 は、この具体的実施例では、誘導コイルであるが、誘導コイル、伝送路の 1 セクション、直列同調回路および並列同調回路のうち任意の 1 つとすることができ、1 つの端部は、フィルタ回路 5 0 の入力端子 6 6 と接続され、もう 1 つの端部は、接地など、共通電位に接続される。同様に、出力電気部材 6 7 は、この具体的実施例では、誘導コイルであるが、誘導コイル、伝送路の 1 セクション、直列同調回路および並列同調コイルのうち任意の 1 つとすることができ、1 つの端部は、フィルタ回路 5 0 の出力端子 6 8 と接続され、もう 1 つの端部は、接地など、共通電位と接続される。入力および出力電気部材 6 5 , 6 7 は、入力および出力寄生シャント・キャパシタンス 6 0 , 6 4 とそれぞれ並列に接続されて、入力および出力寄生シャント・キャパシタンスを低減する。入力および出力電気部材 6 5 , 6 7 を組み込む結果、フィルタ回路 5 0 の反射減衰量は、通過帯域内で少なくとも 1 6 d B に向上される。ここで、必要な場合、上記のものと同様の追加電気部材が、寄生シャント・キャパシタンス (または他の寄生シャント・要素) を低減するのに使用できることに注意されたい。

【 0 0 1 8 】

ここで図 6 を見ると、図 5 のチューナブル送信集積フィルタ回路の配置が示される。理解しやすくするための便宜上、同様の部材には、同様の番号が付される。特に、入力および出力電気部材 6 5 , 6 7 は、この具体的実施例では、入力および出力誘導コイルであり、許容可能な距離、すなわち、M C I C パッケージの幅だけ、物理的に分離できることに注意されたい。しかしながら、物理的分離によって達成できる減結合の量は極めて限られ、その結果、集積回路の実装に失敗したり、または不適切な減結合を生じるおそれがある。例えば、図 6 に示される最大許容物理分離でも依然、入力電気部材 6 5 と出力電気部材 6 7 との間の結合をもたらす、その結果、フィルタ回路 5 0 の阻止帯域排除がわずか 2 6 d B となり、これは決して許容できない値である。

【 0 0 1 9 】

ここで図 7 を見ると、本発明による図 5 のチューナブル送信集積フィルタ回路の配置が示される。理解しやすくするための便宜上、ここでも同様の部材には同様の番号が付される。特に、この具体的実施例の入力電気部材 6 5 と出力電気部材 6 7 は、入力および出力誘導コイルであり、これらは以後それぞれ 6 5 , 6 7 と番号が付されることに注意されたい。2 つの異なる方法および装置が、図 7 の構造において使用され、入力誘導コイル 6 5 と出力誘導コイル 6 7 の間で必要な減結合量を提供する。これらの 2 つの方法と装置は、理解しやすくするための便宜上、別途に説明されるが、各用途において、必要に応じて、別個にまたは一緒に使用できることを理解されたい。

【 0 0 2 0 】

第 1 の方法において、入力および出力誘導コイル 6 5 , 6 7 は、強めあう結合または弱めあう結合を生じるように配置できることを理解されたい。ついで磁氣的に結合されたコイ

10

20

30

40

50

ルの間隔が調整されると、これにより容量結合が調整されて、入力誘導コイル 65 と出力誘導コイル 67 の間の仮想接地の最終結果を有する形で、阻止帯域周波数における誘導結合を取り消す。この調整は、コイルの間隔を物理的に設定するのとは実質的に異なり、いかなる種類の結合も低減して、その結果、コイルの間隔が実質的に近づけられる。この方法を用いることにより、大幅に改良された阻止帯域性能が得られる。

【0021】

第2の方法および装置（特に図7に示される）において、入力誘導コイル 65 と出力誘導コイル 67 は、互いに実質的に隣接して配置され、格子状（gridded）接地壁 70 が、その間に配置される。格子状接地壁 70 は、MCICパッケージ内に形成され、接地などの共通電位に付着されて、入力誘導コイル 65 と出力誘導コイル 67 の間の電磁結合を実質的に停止する。図8に示されるように、プリント金属トレース（trace）71, 72, 73, 74などが、MCICまたはMPCBの各層の上に形成され、バイア75が、相互接続として形成される。そのため、プリント金属トレース71, 72, 73, 74などのうち少なくとも1つは接地に直接接続され、バイア75は、残りのプリント金属トレースのすべてを接地に接続する。トレースと、バイアまたはポストは、グリッドまたは格子状壁を設け、これは、電磁結合を停止するように特に設計される。例えば、格子状壁内の開口部は、動作周波数の波長の約1/20以下である。図7に示される実施例では、例えば、入力誘導コイル 65 と出力誘導コイル 67 が、図6の場合よりも大幅に近接して配置されているにもかかわらず、46dBの阻止帯域排除性能が達成された。

【0022】

このため、I/O整合が改良された集積フィルタ回路が開示された。集積フィルタ回路は、寄生シャント・インピーダンスを取り消して、フィルタ性能が大幅に向上するようにさせる電気部材を含む。さらに、フィルタの入力セクションと出力セクションとの間の結合は、フィルタの阻止帯域排除性能を損なわせる。2つの異なる方法と装置が、フィルタの阻止帯域分離を改善するために記載され、その方法と装置は、フィルタのI/Oセクションを、格子状接地壁によって電氣的に分離する段階、またはI/Oセクション間の結合を電磁氣的に取り消す段階を含む。個々の用途では、両方の限定的な実施例を提供することも可能、または便利であることがある。

【0023】

これまで、本発明の具体的な実施例を示して説明してきたが、さらなる変形および改良も当業者は考えよう。そのため、本発明は、ここに示される特定の形態に限定されないことを理解されたい。また、添付請求の範囲内に、本発明の意図および範囲を逸脱しないすべての変形が包含されることを意図する。

【図面の簡単な説明】

【図1】 本発明による種々の集積回路の回路図である。

【図2】 本発明による種々の集積回路の回路図である。

【図3】 本発明による種々の集積回路の回路図である。

【図4】 本発明による種々の集積回路の回路図である。

【図5】 本発明による多層セラミック集積回路（MCIC）内に実装された、送受切換器のチューナブル送信集積フィルタ回路の回路図である。

【図6】 MCICパッケージ内での許容可能な距離だけ分離された入出力コイルを有する図5のチューナブル送信集積フィルタ回路の配置を上面図で示す。

【図7】 本発明により分離された入出力コイルを有する図5のチューナブル送信集積フィルタ回路の配置を上面図で示す。

【図8】 本発明による格子状接地壁の拡大等角図である。

【符号の説明】

10, 20, 30, 40 集積フィルタ回路

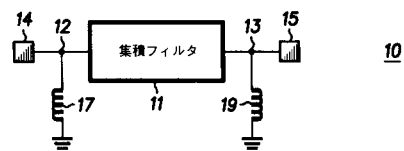
11, 21, 31, 41 集積フィルタ

12, 22, 32, 42 入力端子

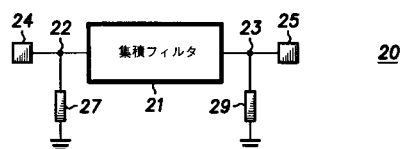
13, 23, 33, 43 出力端子

1 4 , 2 4 , 3 4 , 4 4 入力回路
 1 5 , 2 5 , 3 5 , 4 5 出力回路
 1 7 , 1 9 誘導コイル
 2 7 , 2 9 伝送路要素
 3 7 , 3 9 , 4 7 , 4 9 コイル
 3 6 , 3 8 , 4 6 , 4 8 可変容量

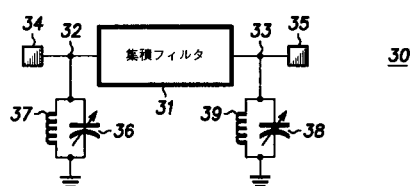
【図 1】



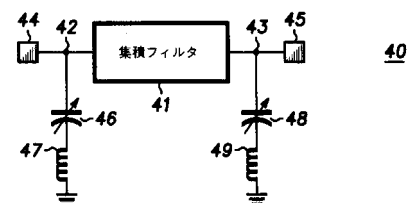
【図 2】



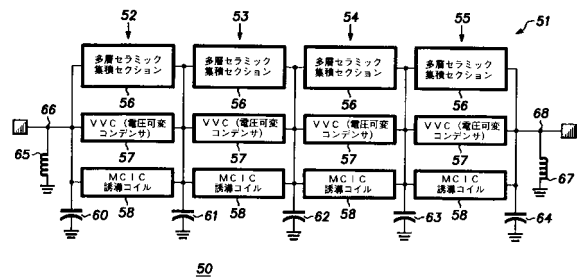
【図 3】



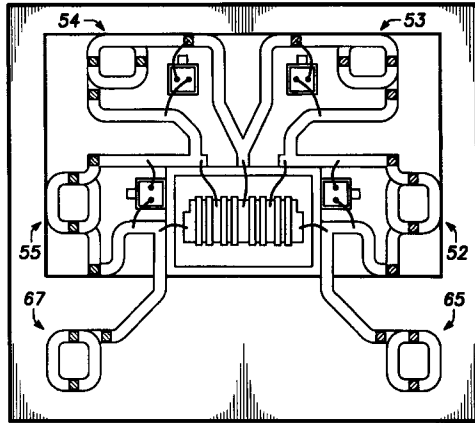
【図 4】



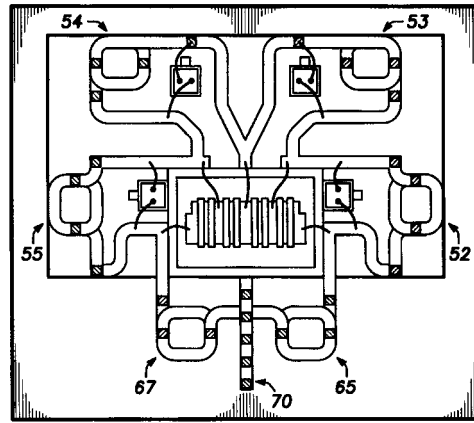
【図 5】



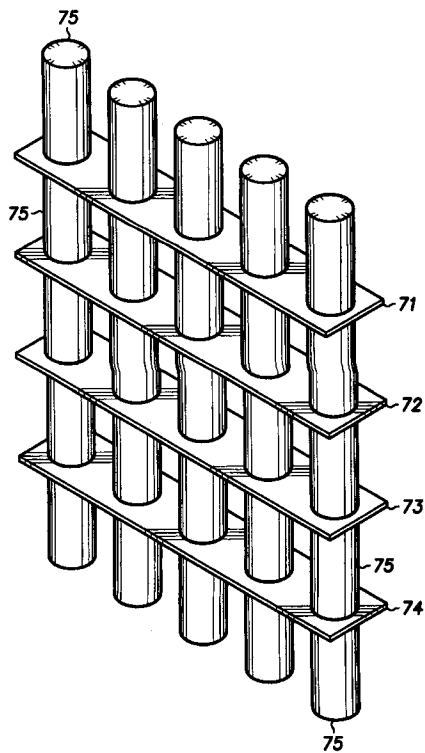
【図 6】



【図 7】

50

【図 8】



フロントページの続き

審査官 崎間 伸洋

- (56)参考文献 特開平08-051334(JP,A)
特開平09-098056(JP,A)
特開平02-237211(JP,A)
特開平03-165058(JP,A)
特開平10-209374(JP,A)
国際公開第99/023757(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
H03H3/007-H03H3/10、H03H9/00-9/76、H03H7/01、H03H7/38