



(12)发明专利

(10)授权公告号 CN 103515221 B

(45)授权公告日 2017.09.01

(21)申请号 201310246489.6

H01L 23/522(2006.01)

(22)申请日 2013.06.20

(56)对比文件

(65)同一申请的已公布的文献号

JP 特开2011-109036 A, 2011.06.02, 说明书第0051-0064、0076、0080-0100、0117-0118段, 附图1-2、4-8.

申请公布号 CN 103515221 A

JP 特开2011-109036 A, 2011.06.02, 说明书第0051-0064、0076、0080-0100、0117-0118段, 附图1-2、4-8.

(43)申请公布日 2014.01.15

CN 102379036 A, 2012.03.14, 说明书第0104、0119-0120、0135段.

(30)优先权数据

2012-139456 2012.06.21 JP

JP 特开2003-273216 A, 2003.09.26, 说明书第0012段, 附图1.

(73)专利权人 瑞萨电子株式会社

JP 特开2010-232538 A, 2010.10.14, 全文.
US 2011/0115094 A1, 2011.05.19, 全文.
US 8124522 B1, 2012.02.28, 全文.

地址 日本东京

审查员 田丽娟

(72)发明人 铃村直仁 冈好浩

权利要求书3页 说明书26页 附图31页

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 申发振

(51)Int.Cl.

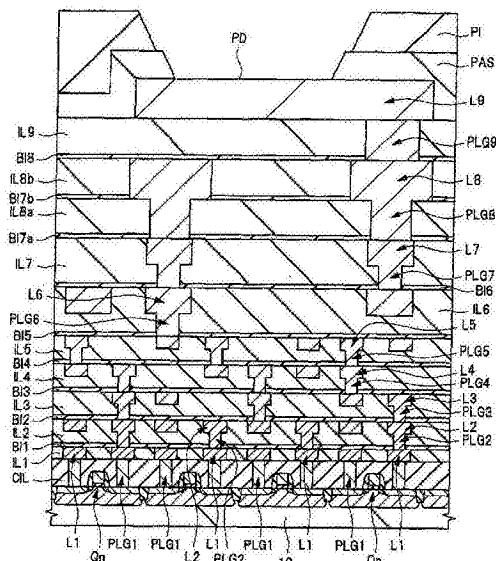
H01L 21/31(2006.01)

(54)发明名称

半导体器件及其制造方法

(57)摘要

本公开涉及半导体器件及其制造方法。通过改善作为半导体器件的特征的EM特征、TDD特征、以及耐压,改善该半导体器件的可靠性。使得下层绝缘层中的第一空孔的平均直径小于上层绝缘层中的第二空孔的平均直径,由此增加了所述下层绝缘层中的弹性模数,所述下层绝缘层配置多孔低介电常数膜的层间绝缘膜,用于在其中嵌入布线。此外,侧壁绝缘层形成在层间绝缘膜的暴露于布线槽的侧壁的表面上,所述侧壁绝缘层是包括具有小于所述第二空孔的平均直径的第一空孔的致密层。



1.一种半导体器件,包括:

层间绝缘膜,所述层间绝缘膜形成在衬底之上并且包括第一膜和形成在所述第一膜之上的第二膜;

第一布线,所述第一布线嵌入在形成于所述层间绝缘膜的上表面中的布线槽中;

通路,所述通路形成在穿过所述第一布线下方的所述层间绝缘膜的通路孔中并且与所述第一布线的底面耦合;以及

第二布线,所述第二布线形成在所述层间绝缘膜的下方并且与所述通路的底面耦合,其中

在所述第一膜中形成有多个第一空孔,

在所述第二膜中形成有多个第二空孔,所述多个第二空孔的平均直径大于所述多个第一空孔的平均直径,并且

所述第一膜和所述第二膜之间的接口位于比所述第一布线的下表面高的位置处。

2.根据权利要求1的半导体器件,其中,所述第一膜具有比所述第二膜高的介电常数。

3.根据权利要求1的半导体器件,其中,所述第一膜比所述第二膜致密。

4.根据权利要求1的半导体器件,其中,所述布线槽的底面形成在抵达所述第一膜的位置处。

5.根据权利要求1的半导体器件,其中,

在所述第一膜和所述第二布线之间形成有包括SiCN膜和形成在所述SiCN膜上的SiCO膜的阻挡绝缘膜,并且

所述SiCO膜是具有比所述第一膜高的介电常数和低的弹性模数的膜。

6.根据权利要求1的半导体器件,其中,在所述第二膜的暴露在所述布线槽中的表面之上形成有第三膜,所述第三膜包括具有比所述第二空孔小的平均直径的多个第三空孔并且比所述第二膜致密。

7.根据权利要求6的半导体器件,其中,所述第三膜具有比所述第二膜高的介电常数。

8.一种半导体器件,包括:

第一层间绝缘膜,所述第一层间绝缘膜形成在衬底之上并且包括第一膜和形成在所述第一膜之上的第二膜;

多个第一布线,所述多个第一布线嵌入在形成于所述第一层间绝缘膜的上表面中的多个第一布线槽的每一个中;

多个通路,所述多个通路形成在穿过所述第一布线下方的所述第一层间绝缘膜的通路孔中并且与所述第一布线的底面耦合;以及

第二布线,所述第二布线形成在所述第一层间绝缘膜的下方并且与所述通路的底面耦合,其中

在所述第一膜中形成有多个第一空孔,

在所述第二膜中形成有多个第二空孔,所述多个第二空孔的平均直径大于所述多个第一空孔的平均直径,

所述第一膜形成在所述通路之间的整个区域中,

所述第二布线的上表面由所述第一膜覆盖,并且

所述第一膜和所述第二膜之间的接口位于比所述多个第一布线的下表面高的位置处。

9. 根据权利要求8的半导体器件，其中，

所述第二布线形成在所述第一层间绝缘膜的下方并且嵌入在第二布线槽中，所述第二布线槽形成在包括第四膜和形成在所述第四膜之上的第五膜的第二层间绝缘膜的上表面上，

在所述第四膜中形成有多个第三空孔，并且

在所述第五膜中形成有多个第四空孔，所述多个第四空孔的平均直径大于所述多个第三空孔的平均直径。

10. 一种用于制造半导体器件的方法，包括以下步骤：

(a) 在衬底上形成第二层间绝缘膜；

(b) 在所述第二层间绝缘膜的上表面中形成第二布线槽，以通过将第二布线嵌入在所述第二布线槽中来形成所述第二布线；

(c) 提供包括致孔剂的源气体以在所述第二层间绝缘膜上形成第一层间绝缘膜，以便覆盖所述第二布线；

(d) 通过执行UV固化从所述第一层间绝缘膜中去除致孔剂；

(e) 在所述步骤(d)之后，形成穿过所述第一层间绝缘膜的通路孔；

(f) 在所述步骤(d)之后，在所述第一层间绝缘膜的上表面中形成第一布线槽；以及

(g) 在所述通路孔中形成通路并且通过将第一布线嵌入在所述第一布线槽中来形成所述第一布线，其中，

所述步骤(c)通过在所述第一层间绝缘膜的形成步骤期间增大致孔剂流速形成具有第一膜和第二膜的所述第一层间绝缘膜，所述第二膜包括比所述第一膜多的致孔剂，

所述步骤(d)通过去除所述致孔剂在所述第一膜中形成多个第一空孔并且在所述第二膜中形成多个第二空孔，所述多个第二空孔具有比所述多个第一空孔大的平均直径，并且

所述第一膜和所述第二膜之间的接口位于比所述第一布线的下表面高的位置处。

11. 根据权利要求10的制造半导体器件的方法，

其中，所述步骤(f)，通过利用等离子体蚀刻形成所述第一布线槽，在所述第一布线槽的侧壁上形成第三膜，所述第三膜包括平均直径比所述第二空孔小的多个第二空孔。

12. 根据权利要求10的制造半导体器件的方法，

其中，所述第二布线在沿着所述衬底的方向上延伸，并且所述第一膜覆盖所述第二布线的上表面。

13. 根据权利要求10的制造半导体器件的方法，其中

所述步骤(g)形成多个所述第一布线和多个所述通路，并且

所述第一膜形成在所述通路之间的整个区域中。

14. 根据权利要求10的制造半导体器件的方法，其中

所述步骤(a)包括以下步骤：

(c1) 提供包括致孔剂的源气体，以形成所述第二层间绝缘膜，以及

(d1) 通过执行UV固化从所述第二层间绝缘膜中去除致孔剂；

所述步骤(c1)通过在所述第二层间绝缘膜的形成步骤期间增大致孔剂流速形成具有第四膜和第五膜的所述第二层间绝缘膜，所述第五膜包括比所述第四膜多的致孔剂，并且

所述步骤(d1)通过去除所述致孔剂在所述第四膜中形成多个第四空孔并且在所述第

五膜中形成多个第五空孔，所述多个第五空孔具有比所述多个第四空孔大的平均直径。

半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 通过引用将2012年6月21日提交的日本专利申请号2012-139456的公开(包括说明书、附图、以及摘要)全部并入在本申请中。

技术领域

[0003] 本发明涉及一种半导体器件及其制造方法,具体地,涉及一种被有效地应用于具有低的相对介电常数的膜的半导体器件的技术。

背景技术

[0004] 在前沿的先进系统LSI(大规模集成)以及元件微型化的过程中,出现了线路延迟(RC(电阻-电容)延迟)增加的问题,该线路延迟与布线电阻和布线寄生电容的乘积成比例。作为该问题的应对措施,通过使用铜(Cu)布线来降低布线电阻,并且还经常地采用一种通过使用具有不低于2.5且不高于3.1的相对介电常数k的绝缘膜(低k膜)作为层间绝缘膜来降低寄生电容的方法。近来,作为一种具有更低的相对介电常数的材料,已经研发出了一种多孔低介电常数膜,该多孔低介电常数膜是通过在低介电常数膜中引入空孔(vacancy)获得的。

[0005] 专利文献1(日本专利公开号2010-182946)描述了:在包括具有低空孔率区域的绝缘膜和具有高空孔率区域的绝缘膜的膜中形成多个布线槽,并且在每一个布线槽中形成Cu布线,其中,该低空孔率区域具有低的空孔率,该高空孔率区域具有比该低空孔率区域高的空孔率。此外,描述了,在相应的布线之间的绝缘膜中,具有低空孔率区域的绝缘膜形成在每个布线槽的侧壁的边缘部分中,而具有较高的空孔密度的区域形成在绝缘膜的除了每个布线槽的侧壁的边缘部分以外的区域中。

[0006] 专利文献2(日本专利公开号2010-171072)和专利文献3(日本专利公开号2011-109036)描述了:通过在绝缘膜的膜形成过程期间增加致孔剂(porogen)流速在膜的厚度方向上改变绝缘膜中每单位体积的空孔占有率。专利文献3描述了:在膜的厚度方向上,尤其在绝缘膜的中央部分,空孔直径增大。

发明内容

[0007] 在多孔低介电常数膜用于其中嵌入有布线、通路等等的层间绝缘膜的情况下,当空孔直径在该多孔低介电常数中增大时,能够降低该绝缘膜的介电常数并且降低布线的寄生电容。然而,当空孔直径增大时,会出现如下问题,即,包括插头(通路)的布线的EM(电迁移)寿命将变短。此外,当空孔直径增大时,可能会出现如下问题,即,在多孔低介电常数膜中并行布置的布线之间,线间TDDDB(时间相关的电介质击穿)将变短。

[0008] 具体地,当多孔低介电常数膜内的下层中的空孔直径增大时,在嵌入在该多孔低介电常数膜中的通路(耦合部分)中,EM特征和TDDDB特征明显地劣化,该通路(耦合部分)耦合形成于该多孔低介电常数膜的上表面的布线槽中的布线和该多孔低介电常数膜的下层

中的布线。当按照这种方式在多孔低介电常数膜内的通路中引起EM特征和TDDB特征的劣化时，半导体器件的可靠性下降。

[0009] 根据本说明书和附图的描述，其它问题和新的特征将变得清晰。

[0010] 在本申请所公开的实施例中，将如下简要地说明一个代表性实施例的概述。

[0011] 在根据一个实施例的半导体器件中，多孔低介电常数膜的层间绝缘膜具有双层结构，该双层结构配置有第一膜和第二膜，该第一膜包括多个空孔，该第二膜形成在该第一膜之上并且包括平均直径大于该第一膜中的多个空孔的平均直径的多个空孔，该层间绝缘膜形成为其中嵌入有布线和通路。

[0012] 此外，作为另一个实施例，一种用于制造半导体器件的方法增加 在形成多孔低介电常数膜的层间绝缘膜的薄膜形成过程期间连同源气体一起提供的致孔剂的流速，然后从该层间绝缘膜的内部去除该致孔剂。由此，该层间绝缘膜具有双层结构，该双层结构配置有第一膜和第二膜，该第一膜包括多个空孔，该第二膜形成在该第一膜上并且包括平均直径大于该第一膜中的多个空孔的平均直径的多个空孔，该层间绝缘膜中嵌入有布线和通路。

[0013] 根据本申请公开的实施例，能够改善半导体器件的可靠性。

附图说明

[0014] 图1是示出本发明的一个实施例中的半导体器件的剖视图；

[0015] 图2是示出图1所示的半导体器件的一部分的放大的剖视图；

[0016] 图3是示出图2所示的半导体器件的一部分的放大的剖视图；

[0017] 图4是示出本发明的一个实施例中的制造半导体器件的方法的剖视图；

[0018] 图5是示出图4之后制造半导体器件的方法的剖视图；

[0019] 图6是示出图5之后制造半导体器件的方法的剖视图；

[0020] 图7是示出图6之后制造半导体器件的方法的剖视图；

[0021] 图8是示出图7之后制造半导体器件的方法的剖视图；

[0022] 图9是示出图8之后制造半导体器件的方法的剖视图；

[0023] 图10是示出图9之后制造半导体器件的方法的剖视图；

[0024] 图11是示出图10之后制造半导体器件的方法的剖视图；

[0025] 图12是示出图11之后制造半导体器件的方法的剖视图；

[0026] 图13是具体地说明利用图12说明的过程的放大的剖视图；

[0027] 图14是具体地说明利用图12说明的过程的放大的剖视图；

[0028] 图15是示出图12之后制造半导体器件的方法的剖视图；

[0029] 图16是示出图15之后制造半导体器件的方法的剖视图；

[0030] 图17是示出图16之后制造半导体器件的方法的剖视图；

[0031] 图18是示出图17之后制造半导体器件的方法的剖视图；

[0032] 图19是示出图18之后制造半导体器件的方法的剖视图；

[0033] 图20是具体地说明利用图19说明的过程的放大的剖视图；

[0034] 图21是示出图19之后制造半导体器件的方法的剖视图；

[0035] 图22是示出图21之后制造半导体器件的方法的剖视图；

[0036] 图23是示出图22之后制造半导体器件的方法的剖视图；

- [0037] 图24是示出图23之后制造半导体器件的方法的剖视图；
- [0038] 图25是示出图24之后制造半导体器件的方法的剖视图；
- [0039] 图26是示出图25之后制造半导体器件的方法的剖视图；
- [0040] 图27是示出图26之后制造半导体器件的方法的剖视图；
- [0041] 图28是示出图27之后制造半导体器件的方法的剖视图；
- [0042] 图29是示出图28之后制造半导体器件的方法的剖视图；
- [0043] 图30是示出图29之后制造半导体器件的方法的剖视图；
- [0044] 图31是示出图30之后制造半导体器件的方法的剖视图；
- [0045] 图32是示出图31之后制造半导体器件的方法的剖视图；
- [0046] 图33是示出图32之后制造半导体器件的方法的剖视图；
- [0047] 图34是示出图33之后制造半导体器件的方法的剖视图；
- [0048] 图35是示出图34之后制造半导体器件的方法的剖视图；
- [0049] 图36是示出致孔剂流速和EM寿命之间的关系的图表；
- [0050] 图37是示出致孔剂流速和布线间耐压之间的关系的图表；
- [0051] 图38是示出致孔剂流速和线间TDDDB寿命之间的关系的图表；
- [0052] 图39是示出致孔剂流速和EM寿命之间的关系的图表；
- [0053] 图40是示出致孔剂流速和布线间耐压之间的关系的图表；
- [0054] 图41是示出致孔剂流速和线间TDDDB寿命之间的关系的图表；
- [0055] 图42是示出致孔剂流速和层间绝缘膜的电容之间的关系的图表；
- [0056] 图43是层间绝缘膜的分子结构图；
- [0057] 图44是层间绝缘膜的分子结构图；
- [0058] 图45是作为比较示例示出的半导体器件的剖视图；
- [0059] 图46是作为比较示例示出的半导体器件的剖视图；以及
- [0060] 图47是作为比较示例示出的半导体器件的剖视图。

具体实施方式

[0061] 以下，根据附图将详细地描述实施例。注意，在用于说明实施例的所有附图中，具有相同功能的部件被赋予相同的附图标记，并且省略对其的重复说明。此外，在以下实施例中，除非特别需要，否则基本上不会重复对相同或类似部分的说明。

[0062] 本实施例的半导体器件是通过如下方式获得的，即，以多孔低介电常数膜形成层间绝缘膜并且控制包括在该层间绝缘膜内的多个空孔的直径，其中，与半导体衬底上的半导体元件等电耦合的上层布线以及耦合通路等嵌入在该层间绝缘膜中。在下文中，将利用图1说明根据本实施例的半导体器件的示例。图1是示出半导体器件的一部分的剖视图，该半导体器件具有位于半导体衬底之上的作为场效应晶体管的MISFET(金属绝缘体半导体场效应晶体管)和形成在该MISFET上的多个布线层。

[0063] 如图1所示，在配置有单晶硅的半导体衬底1S上形成多个MISFETs Qn。例如，MISFETs Qn形成在由元件隔离区隔离的有源区中，并且按照如下所示的方式配置。具体地，在由元件隔离区隔离的有源区中形成阱，并且在该阱上形成MISFET Qn。在半导体衬底1S的主要表面上，例如，MISFET Qn具有栅绝缘膜和形成在该栅绝缘膜上的栅电极，该栅绝缘膜由

氧化硅膜配置,该栅电极由多晶硅膜和设置在该多晶硅膜上的硅化物膜(诸如,镍硅化物膜)的层叠膜配置。注意,在图1中没有示出硅化物膜。

[0064] 在该栅电极的两侧的侧壁中的每个侧壁处,形成由例如氧化硅膜配置的侧壁,并且与该栅电极对齐地在该侧壁下方的半导体衬底中形成浅的杂质扩散区域。然后,在该浅的杂质扩散区域外部,与该侧壁对齐地形成深的杂质扩散区域。分别由该浅的杂质区域和深的杂质区域的对形成该MISFET Qn的源区和漏区。如上所述,在半导体衬底1S上形成具有该栅电极和该源区和漏区的MISFET Qn。

[0065] 接着,如图1所示,在形成有MISFETs Qn的半导体衬底1S上形成接触层间绝缘膜CIL。例如,该接触层间绝缘膜CIL是由臭氧TEOS 膜(氧化硅膜)和等离子体TEOS膜(氧化硅膜)的层叠膜形成的,该臭氧TEOS膜是利用臭氧和TEOS(正硅酸乙酯)作为源通过热化学汽相沉积法形成的,该等离子体TEOS膜设置在该臭氧TEOS膜上并且是利用TEOS作为源通过等离子体化学汽相沉积法形成的。

[0066] 然后,形成多个插头PLG1,该多个插头PLG1穿过该接触层间绝缘膜CIL抵达MISFET Qn的源区、漏区、等等。例如,通过将阻挡导体膜以及形成在该阻挡导体膜上的钨膜嵌入至接触孔中形成该插头PLG1,所述阻挡导体膜由钛/氮化钛膜(以下,钛/氮化钛膜指示由钛和设置在该钛上的氮化钛形成的膜)配置。

[0067] 该钛/氮化钛膜是被设置用于防止形成钨膜的钨扩散至硅中的膜,以及用于防止在化学汽相沉积法中对该接触层间绝缘膜CIL和半导体衬底1S发生氟化物侵蚀(attack)并且防止对该接触层间绝缘膜CIL和半导体衬底1S造成损害的膜,该化学汽相沉积法在形成钨膜时在WF6(氟化钨)上执行还原处理。注意,该接触层间绝缘膜CIL可以由氧化硅膜(SiO₂膜)、SiOF膜、以及氮化硅膜中的任何膜形成。

[0068] 接下来,在该接触层间绝缘膜CIL上形成多个第一层布线L1。具体地,形成第一层布线L1,以嵌入至形成在接触层间绝缘膜CIL上的层间绝缘膜IL1中,插头PLG1形成在该接触层间绝缘膜CIL中,并且该第一层布线L1形成为与层间绝缘膜IL1接触。

[0069] 该层间绝缘膜IL1例如是由具有比形成在半导体衬底1S的上层中的钝化膜PAS低的相对介电常数的低介电常数膜配置的,并且例如是由SiOC膜配置的。也就是说,该第一层布线L1是通过将主要包含铜的膜(以下,描述为铜膜)嵌入在布线槽中形成的,该布线槽穿过层间绝缘膜IL1并且在底部暴露插头PLG1。这里,在本说明书中,包括第一层布线L1和与该第一层布线L1位于相同的层的层间绝缘膜IL1的层有时被称为第一精细层(fine layer)。

[0070] 接着,在其中形成有第一层布线L1的层间绝缘膜IL1上形成层间绝缘膜IL2和与该层间绝缘膜IL2接触的多个第二层布线L2。具体地,在其中形成有第一层布线L1的层间绝缘膜IL1上形成阻挡绝缘膜BI1,并且层间绝缘膜IL2形成在该阻挡绝缘膜BI1上。例如,该阻挡绝缘膜BI1是由SiCN膜和设置在该SiCN膜上的SiCO膜配置的,并且该层间绝缘膜IL2是由内部具有多个空孔的SiOC膜形成的。例如,配置该阻挡绝缘膜BI1的SiCN膜和SiCO膜的各自膜厚度是大约10至20纳米,并且SiCO膜的相对介电常数是4。

[0071] 这里,作为本实施例的半导体器件的一个特征,包括在层间绝缘膜IL2内的空孔的尺寸(直径)在该层间绝缘膜IL2的上部和下部是不同的。以下将利用图3详细地描述层间绝缘膜IL2中的空孔的尺寸(直径)。

[0072] 作为镶嵌布线的多个第二层布线L2以及多个插头(通路)PLG2形成在该阻挡绝缘膜BI1和该层间绝缘膜IL2中以被嵌入其中。第二层布线L2经由插头PLG2与第一层布线L1电耦合。例如,第二层布线L2和插头PLG2是由主要含有铜的金属膜形成的。阻挡绝缘膜形成在主要含有铜的金属布线(例如,第一层布线L1)和层间绝缘膜(例如,层间绝缘膜IL2)之间,并且阻挡绝缘膜是具有防止金属布线中的金属离子扩散至层间绝缘膜的功能的膜。

[0073] 然后,如同第二层布线L2的情况,第三层布线L3至第五层布线L5形成在第二层布线L2上。该第三层布线L3至该第五层布线L5被形成为分别与接触层间绝缘膜IL3至IL5接触。具体地,在该层间绝缘膜IL2和该第二层布线L2上,形成与该层间绝缘膜IL2和该第二层布线L2接触的阻挡绝缘膜BI2。层间绝缘膜IL3形成在阻挡绝缘膜BI2上,并且第二层布线L2和层间绝缘膜IL2各自的上表面与阻挡绝缘膜BI2接触。

[0074] 例如,阻挡绝缘膜BI2是由SiCN膜和设置在该SiCN膜上的SiCO膜的层叠膜形成的。例如,如同层间绝缘膜IL2的情况,层间绝缘膜IL3是由具有空孔的SiOC膜形成的。形成第三层布线L3和插头(通路)PLG3以被嵌入在阻挡绝缘膜BI2和层间绝缘膜IL3中。第三层布线L3经由插头PLG3与第二层布线L2电耦合。例如,第三层布线L3和插头PLG3是由铜膜形成的。

[0075] 这里,配置层间绝缘膜IL2等的SiOC膜与配置阻挡绝缘膜BI2等的SiCO膜彼此不同。具体地,在配置层间绝缘膜IL2等的SiOC膜中形成空孔,但是不在SiCO膜中形成空孔。相应地,SiOC膜具有大约2.45至3.0的相对介电常数,而SiCO膜具有大约4的相对介电常数,其高于SiOC膜。此外,与SiOC膜相比,SiCO膜具有致密坚硬的膜质量,因为杨氏模数高,弹性模数低。

[0076] 此外,SiOC膜包括仅甲基(CH₃)中的碳(C),该甲基配置SiOC膜的分子。另一方面,SiCO膜还具有比SiOC膜高的碳(C)硅(Si)结合率,除了甲基(CH₃)中的碳,并且包括SiC的形式中的碳(C),因此SiCO膜具有比SiOC膜大的碳含量。然而,SiCO膜具有比SiOC膜少的甲基(CH₃)含量。相应地,在本实施例中,下层绝缘层PB2和配置该阻挡导体膜的SiCO膜彼此不同,该下层绝缘层PB2具有小的内部空孔直径和较高的弹性模数。

[0077] 接下来,在层间绝缘膜IL3和第三层布线L3之上,形成与层间绝缘膜IL3和第三层布线L3接触的阻挡绝缘膜BI3,并且层间绝缘膜IL4形成在阻挡绝缘膜BI3之上。该阻挡绝缘膜BI3是由例如SiCN膜和设置在该SiCN膜上的SiCO膜的层叠膜配置的,并且该层间绝缘膜IL4是由例如包括空孔的SiOC膜形成的。第四层布线L4和插头(插头)PLG4形成在该阻挡绝缘膜BI3和该层间绝缘膜IL4中以被嵌入其中。第四层布线L4经由插头PLG4与第三层布线L3电耦合。例如,第四层布线L4和插头PLG4是由铜膜形成的。

[0078] 此外,在层间绝缘膜IL4和第四层布线L4之上,形成与层间绝缘膜IL4和第四层布线L4接触的阻挡绝缘膜BI4,并且层间绝缘膜IL5形成在阻挡绝缘膜BI4之上。该阻挡绝缘膜BI4是由例如SiCN膜和设置在该SiCN膜上的SiCO膜的层叠膜配置的,并且该层间绝缘膜IL5是由例如具有空孔的SiOC膜形成的。第五层布线L5和插头(插头)PLG5形成在该阻挡绝缘膜BI4和该层间绝缘膜IL5中以被嵌入其中。

[0079] 第五层布线L5经由插头PLG5与第四层布线L4电耦合。例如,第五层布线L5和插头PLG5是由铜膜形成的。这里,在本说明书中,第二层布线L2至第五层布线L5和分别与第二层布线L2至第五层布线L5形成在相同层中的层间绝缘膜IL2至IL5有时总体上被称为第二精细层。在作为第二精细层的层间绝缘膜IL2至IL5中的每个中,形成多个布线。

[0080] 接着,在层间绝缘膜IL5和第五层布线L5之上,形成与层间绝缘膜IL5和第五层布线L5接触的阻挡绝缘膜BI5,并且层间绝缘膜IL6形成在阻挡绝缘膜BI5之上。该阻挡绝缘膜BI5是由例如SiCN膜和设置在该SiCN膜上的SiCO膜的层叠膜形成的,并且该层间绝缘膜IL6是由例如SiOC膜形成的。第六层布线L6和插头(通路)PLG6形成在该阻挡绝缘膜BI5和该层间绝缘膜IL6中以被嵌入其中。第六层布线L6经由插头PLG6与第五层布线L5电耦合。例如,第六层布线L6和插头PLG6是由铜膜形成的。

[0081] 接下来,在层间绝缘膜IL6之上形成阻挡绝缘膜BI6,并且在阻挡绝缘膜BI6之上形成层间绝缘膜IL7。该阻挡绝缘膜BI6是由例如SiCN膜和设置在该SiCN膜上的SiCO膜的层叠膜形成的,并且该层间绝缘膜IL7是由例如SiOC膜形成的。第七层布线L7和插头(通路)PLG7形成在该阻挡绝缘膜BI6和该层间绝缘膜IL7中以被嵌入其中。第七层布线L7经由插头PLG7与第六层布线L6电耦合。例如,第七层布线L7和插头PLG7是由铜膜形成的。这里,在本说明书中,第六层布线L6和第七层布线L7有时总体上被称为半全局层。

[0082] 此外,在层间绝缘膜IL7之上形成阻挡绝缘膜BI7a,并且在阻挡绝缘膜BI7a之上形成层间绝缘膜IL8a。然后,在层间绝缘膜IL8a之上形成蚀刻终止绝缘膜BI7b,并且在该蚀刻终止绝缘膜BI7b之上形成层间绝缘膜IL8b。该阻挡绝缘膜BI7a是由例如SiCN膜和SiCO膜的层叠膜形成的,并且该蚀刻终止绝缘膜BI7b是由例如SiCN膜、SiC膜、和SiN膜中的任何一个形成的。

[0083] 例如,层间绝缘膜IL8a和层间绝缘膜IL8b中的每一个是由氧化硅膜(SiO₂膜)、SiOF膜或TEOS膜形成的。插头(通路)PLG8形成在阻挡绝缘膜BI7a和层间绝缘膜IL8a中以被嵌入其中,并且第八层布线L8形成在蚀刻终止绝缘膜BI7b和层间绝缘膜IL8b中以被嵌入其中。第八层布线L8经由插头PLG8与第七层布线L7电耦合。例如,第八层布线L8和插头PLG8是由铜膜形成的。这里,在本说明书中,第八层布线L8有时被称为全局层。

[0084] 接着,在层间绝缘膜IL8b上形成阻挡绝缘膜BI8,并且在阻挡绝缘膜BI8之上形成层间绝缘膜IL9。例如,阻挡绝缘膜BI8是由SiCN膜和SiCO膜的层叠膜形成的。例如,层间绝缘膜IL9是由氧化硅膜(SiO₂膜)、SiOF膜或TEOS膜形成的。插头PLG9形成在阻挡绝缘膜BI8和层间绝缘膜IL9中以被嵌入其中。然后,在层间绝缘膜IL9之上形成第九层布线L9。第九层布线L9经由插头PLG9与第八层布线L8电耦合。例如,插头PLG9和第九层布线L9是由铝膜形成的。

[0085] 在第九层布线L9之上,形成钝化膜PAS作为表面保护膜,并且第九层布线L9的一部分通过形成在该钝化膜PAS中的开口被暴露。第九层布线L9的该暴露区域成为焊盘PD。钝化膜PAS具有保护半导体器件免遭杂质侵扰的功能,并且例如,该钝化膜PAS是由氧化硅膜和设置在该氧化硅膜上的氮化硅膜形成的。

[0086] 然后,在该钝化膜PAS之上形成聚酰亚胺膜PI。该聚酰亚胺PI膜在形成焊盘PD的区域中也具有开口。焊盘PD是成为包括图1所示的半导体器件的半导体芯片的电极的区域,并且还是在安装半导体芯片的封装中经由金属布线等等与另一个导体部件电耦合的区域。

[0087] 阻挡绝缘膜BI1到BI6、BI7a、以及BI8中的每一个均是具有防止与该阻挡绝缘膜下部表面接触的铜膜中的Cu(铜)扩散至该阻挡绝缘膜上的层间绝缘膜等中的功能的衬膜(liner film),并且当通路孔形成在该阻挡绝缘膜上的层间绝缘膜中时还充当蚀刻终止膜。

[0088] 接下来,在图2中示出了第一、第二和第三布线层的放大的剖视图,包括图1所示的第一层布线L1、第二层布线L2、和第三层布线L3。图2示出了第一精细层的第一层布线L1,以及形成在该第一层布线L1上的第二精细层的第二层布线L2和第三层布线L3。在图2中,例如,第一层布线L1形成在布线槽WD1中,该布线槽WD1穿过由SiOC膜配置的层间绝缘膜IL1。

[0089] 具体地,第一层布线L1由形成在布线槽WD1的底面和侧壁上的钽/氮化钽膜(以下,钽/氮化钽膜指示由一氮化钽和形成在该氮化钽上的钽配置的膜)、钛/氮化钛膜、等等的阻挡导体膜BM1配置,并且还由形成在该阻挡导体膜BM1上的铜膜Cu1配置,以填充布线槽。

[0090] 不直接将铜膜形成在多个布线槽WD1(该多个布线槽WD1形成在层间绝缘膜IL1中)中却以这种方式形成阻挡导体膜BM1的原因是:防止热处理时配置该铜膜的铜扩散至配置半导体衬底1S的硅或诸如该层间绝缘膜IL1的层间绝缘膜中。由于铜原子至硅中的扩散常数相对大,扩散至层间绝缘膜中的铜原子也容易扩散至配置半导体衬底1S的硅中。在这种情况下,由于诸如MISFET Qn的半导体元件形成在半导体衬底1S中,因此至这种形成区域中的铜原子扩散导致半导体元件中的特征劣化(以耐压失效为代表)。

[0091] 也就是说,铜原子以高的扩散常数扩散至层间绝缘膜中,由此引起线间TDDDB的特征劣化。因此,设置阻挡导体膜BM1,以防止铜原子从配置第一层布线的铜膜中扩散。也就是说,阻挡导体膜BM1是具有防止铜原子扩散的功能的膜。注意,作为阻挡导体膜的材料,除了钛或钽,可以使用钌(Ru)、锰(Mn)、或者它们的化合物等等。线间TDDDB特征是指如下特征,即,当持续向氧化物膜(在本实施例中对应于图1所示的层间绝缘膜IL2至IL5中的每一个)施加电压时,随着时间的推移,该氧化物膜的击穿速度(breakdown rate)增加。在下文中,线间TDDDB特征有时简单地称作TDDDB特征。此外,直至绝缘击穿由于线间TDDDB而变得显著的时间被称作TDDDB寿命。

[0092] 此外,如图2所示,在其中形成有第一层布线L1的层间绝缘膜IL1上形成阻挡绝缘膜BI1,并且层间绝缘膜IL2形成在该阻挡绝缘膜BI1上。在这种情况下,该阻挡绝缘膜BI1是由例如SiCN膜和SiCO膜的层叠膜配置的,并且该层间绝缘膜IL2是由例如内部具有多个空孔的SiOC膜形成的。第二层布线L2和插头PLG2分别嵌入在布线槽WD2和通路孔V1中,该布线槽WD2抵达层间绝缘膜IL2的中间深度处,该通路孔V1穿过该阻挡绝缘膜BI1和该层间绝缘膜IL2抵达第一层布线L1的上表面。

[0093] 如同层间绝缘膜IL2的情况,层间绝缘膜IL3形成在阻挡绝缘膜BI2之上。在这种情况下,该阻挡绝缘膜BI2是由例如SiCN膜和SiCO膜的层叠膜配置的,并且该层间绝缘膜IL3是由例如内部具有多个空孔的SiOC膜配置的。第三层布线L3和插头PLG3分别嵌入在布线槽WD3和通路孔V2中,该布线槽WD3抵达层间绝缘膜IL3的中间深度处,该通路孔V2穿过该阻挡绝缘膜BI2和该层间绝缘膜IL3抵达第二层布线L2的上表面。形成阻挡绝缘膜BI3,以覆盖层间绝缘膜IL3和第三层布线L3的每个上表面。

[0094] 这里,层间绝缘膜IL2在其内部包括:形成在该阻挡绝缘膜BI1上的下层绝缘层(第一绝缘层)PB2、上层绝缘层(第二绝缘层)PT2、以及侧壁绝缘层PS2。下层绝缘层PB2形成在层间绝缘膜IL2的整个下表面上,并且覆盖阻挡绝缘膜BI1的上表面以及第一层布线L1的上表面的一部分。上层绝缘层PT2形成在下层绝缘层PB2之上,以便覆盖该下层绝缘层PB2的上表面,并且形成在该层间绝缘膜IL2的整个上表面上。

[0095] 也就是说,层间绝缘膜IL2具有包括该下层绝缘层PB2和位于该下层绝缘层PB2之

上的该上层绝缘层PT2的双层结构。侧壁绝缘层PS2在上层绝缘层PT2和第二层布线L2之间的区域中形成在该下层绝缘层PB2之上。相应地,形成由布线槽WD2和通路孔V1配置的貫通路,以穿过该侧壁绝缘层PS2、该下层绝缘层PB2、该上层绝缘层PT2、以及该阻挡绝缘膜BI1。由此,形成侧壁绝缘层PS2,以便在布线槽WD2的侧壁处被暴露,并且该下层绝缘层PB2在布线槽WD2的底部以及通路孔V1的侧壁处被暴露。

[0096] 下层绝缘层PB2形成在具有与通路孔V1相同的高度的区域中。换句话说,下层绝缘层PB2形成在彼此相邻的多个插头PLG2之间。上层绝缘层PT2形成在下层绝缘层PB2之上,并且形成在彼此相邻的第二层布线L2之间。也就是说,上层绝缘层PT2形成在比第二层布线L2的下表面高的部分中,而下层绝缘层PB2形成在比第二层布线L2的下表面低的部分中。相应地,下层绝缘层PB2在层间绝缘膜IL2的下表面处被暴露,而上层绝缘层PT2在层间绝缘膜IL2的上表面处被暴露。

[0097] 然而,该上层绝缘层PB2和该下层绝缘层PT2之间的接口不必具有与第二层布线L2的下表面(也就是,第二层布线L2和插头PLG2之间的接口)相同的高度。如图2所示,该下层绝缘层PB2和该上层绝缘层PT2之间的接口可以位于比第二层布线L2的下表面高的位置处。当按照这种方式布线槽WD2的底表面抵达该下层绝缘层PB2上表面时,在与层间绝缘膜IL2接触的区域中插头的整个侧壁由下层绝缘层PB2覆盖。由此,如将要描述的,可以获得改善插头PLG2中的EM特征、TDBD特征、和耐压特征的效果,并且可以提高半导体器件的可靠性。

[0098] 如同上述结构的情况,层间绝缘膜IL3包括下层绝缘层PB3、形成在该下层绝缘层PB3之上的上层绝缘层PT3、以及形成在布线槽WD3的侧壁上的侧壁绝缘层PS3。下层绝缘层PB2和PB3、上层绝缘层PT2和PT3、以及侧壁绝缘层PS2和PS3中的每一个在其内部均包括空孔。侧壁绝缘层PS2和PS3是如下的层,即,在该层中,通过等离子体处理使得上层绝缘层PT2和PT3的侧壁区域中的绝缘膜致密,内部空孔的尺寸减小,并且使绝缘膜的硬度高于上层绝缘层PT2和PT3的硬度。

[0099] 这里,本说明书中使用的“致密”意指用于配置膜的材料是压缩的并且相比于要比较的膜来说具有高密度。

[0100] 注意,虽然在图2中下层绝缘层PB2和上层绝缘层PT2被示出为不同的层,但是下层绝缘层PB2、上层绝缘层PT2以及侧壁绝缘层PS2整体地形成,以配置单个的层间绝缘膜IL2。如以下将要描述的,下层绝缘层PB2和上层绝缘层PT2是以连续的过程形成的。相应地,例如,下层绝缘层PB2、上层绝缘层PT2、以及侧壁绝缘层PS2是由相同的SiOC膜配置的。如以下将要描述的,下层绝缘层PB2、上层绝缘层PT2、以及侧壁绝缘层PS2就形成在它们各自中的空孔的尺寸(直径)来讲彼此不同。

[0101] 这里,侧壁绝缘层PS2具有例如相对介电常数3,下层绝缘层PB2具有例如相对介电常数2.7,上层绝缘层PT2具有例如相对介电常数2.45。

[0102] 如图2所示,如同第一层布线L1的情况,第二层布线L2和插头PLG2中的每一个均是由阻挡导体膜BM2和铜膜Cu2的层叠膜形成的。如同第一层布线L1的情况,第二层布线L2是嵌入在多个布线槽WD2的相应内部中的多个镶嵌布线,布线槽WD2形成在层间绝缘膜IL2的上表面中,并且阻挡导体膜BM2形成在第二层布线L2和层间绝缘膜IL2之间。

[0103] 此外,第三层布线L3和插头PLG3分别嵌入在多个布线槽WD3和通路孔V3中,该多个布线槽WD3抵达层间绝缘膜IL3的中间深度处,该通路孔V2穿过该阻挡绝缘膜BI2和该层间

绝缘膜IL3抵达第二层布线L2的上表面。第三层布线L3和插头PLG3也是由阻挡导体膜BM3和铜膜Cu3形成的。

[0104] 这里,包括多个第六层布线L6和第七层布线L7的层被称为半全局层,该层中,布线以大于如图1所示的第二层布线L2之间的最小间隔(布线间距)、第三层布线L3之间的最小间隔、第四层布线L4之间的最小间隔、以及第五层布线L5之间的最小间隔(布线间距)的间隔布置。此外,包括第一层布线L1至第五层布线L5的层被称为精细层,该第一层布线L1至该第五层布线L5中的每一个具有比半全局层窄的布线间距。具体地,包括多个第一层布线L1的层被称为第一精细层,包括第二层布线L2至第五层布线L5的层被称为第二精细层。

[0105] 由于相比于半全局层,第二精细层中的布线间距窄,因此重要的是:第二精细层中的层间绝缘膜具有比半全局层中的层间绝缘膜低的相对介电常数。此外,由于相比于半全局层,第二精细层中的布线间距窄,因此有必要通过抑制第二精细层中层间绝缘膜中的相对介电常数的变化、抑制该层间绝缘膜中由过程中的损坏所引起的相对介电常数的增加等等来防止该层间绝缘膜的可靠性劣化。

[0106] 图2示出了在沿图2的截面方向延伸并且在上表面上不接触插头PLG3的区域中的第二层布线L2,作为第二层布线L2中嵌入在层间绝缘膜IL2的上表面中的布线槽WD2中的一个第二层布线L2。也就是说,第二层布线L2的上表面具有不与插头PLG3接触并且由层间绝缘膜IL3覆盖的区域,在许多第二层布线L2中大部分的上表面由层间绝缘膜IL3覆盖。这里,由于层间绝缘膜IL3内部的整个下部由包括小直径的空孔9的下层绝缘层PB3配置,因此没有形成插头PLG3的整个区域(就是说,直接位于多个插头PLG3之间的区域下方的第二层布线L2的整个上表面)由下层绝缘层PB3覆盖。

[0107] 这里,图3示出了对图2中包括层间绝缘膜IL2和IL3、第二层布线L2、第三层布线L3、以及插头PLG2和PLG3的区域进行放大的剖视图。如图3所示,多个空孔10以及多个空孔9形成在层间绝缘膜IL2中,该多个空孔9的平均直径小于该多个空孔10的平均直径。在层间绝缘膜IL2中,在上层绝缘层PT2中没有形成空孔9但是形成了空孔10,在侧壁绝缘层PS2和下层绝缘层PB2中没有形成空孔10但是形成了空孔9。

[0108] 也就是说,层间绝缘膜IL2内部包括多个空孔,在这些空孔中,位于层间绝缘膜内的下部中的空孔小于位于层间绝缘膜IL2内的上部的空孔。此外,在层间绝缘膜IL2的上部的空孔中,形成在暴露于布线槽WD2的内部的侧壁中的空孔小于位于层间绝缘膜IL2的上部的其它空孔,该布线槽WD2在层间绝缘膜中开口。注意,这里,虽然假定包括在侧壁绝缘层PS2和下层绝缘层PB2中的空孔的平均直径大约相同,但是包括在侧壁绝缘层PS2和下层绝缘层PB2中的空孔的平均直径中的一个可以大于另一个。

[0109] 层间绝缘膜IL3内部的结构与层间绝缘膜IL2内部的结果相同,并且上层绝缘层PT3中的空孔10具有比侧壁绝缘层PS3和下层绝缘层PB3中的空孔的平均直径大的平均直径。

[0110] 图3中所示的空孔9和10是通过利用如下将要描述的等离子体化学汽相沉积法等形成具有包括致孔剂气体的多个空孔的绝缘膜然后从该绝缘膜去除该致孔剂而在已经形成有致孔剂的位置形成的空隙。

[0111] 在本实施例中,其中形成有空孔9或10的层间绝缘膜(例如,层间绝缘膜IL2或IL3)被定义为多孔低介电常数膜。例如,该多孔低介电常数膜配置作为第二精细层的层间绝缘

膜IL2至IL5(参考图1)。也就是说，层间绝缘膜IL2至IL5中的每一个在其内部包括多个空孔。该多孔低介电常数膜是相比于内部不包括空孔的绝缘膜(例如，氧化硅膜)其中通过形成内部空孔而使介电常数降低的绝缘膜。由此，具有高空孔密度(空孔占有率)的多孔低介电常数膜相比于具有低空孔密度的层间绝缘膜具有低的介电常数和低的弹性模数。

[0112] 空孔形成在第二精细层的层间绝缘膜中并且按照这种方式其介电常数降低的原因是：图1所示的第二精细层中的布线是以比诸如第六层布线L6或第七层布线L7的半全局层中的布线间距窄的布线间距(布线间的最小间隔)布置的。也就是说，在具有小的布线间距的第二精细层中，层间绝缘膜优选地具有比半全局层中的层间绝缘膜低的相对介电常数。在该精细层中，可以通过利用具有低的相对介电常数的层间绝缘膜来防止线路延迟的产生，该线路延迟与半导体器件中布线电阻和布线寄生电容的乘积成比例。此外，例如，可以通过利用具有低的相对介电常数的层间绝缘膜增加第二层布线L2之间的耐压。

[0113] 注意，在图3中，例如，阻挡绝缘膜BI1至BI3中的每一个的膜厚度是40纳米。此外，例如，层间绝缘膜IL2和IL3中的每一个的膜厚度是150纳米。此外，例如，布线槽WD2和WD3的每个中的深度(就是说，第二层布线L2和第三层布线L3中的每个中的厚度)是100纳米。例如，布线下方的插头PLG2和PLG3的每个中的膜厚度(长度)是90纳米。相应地，在层间绝缘膜IL2的膜厚度方向中，例如，下层绝缘层PB2具有大约50纳米的高度，上层绝缘层PT2和侧壁绝缘层PS2中的每一个具有大约100纳米的高度。

[0114] 此外，图1所示的层间绝缘膜IL3和层间绝缘膜IL4和IL5中的每一个具有与层间绝缘膜IL2的结构相同的结构，该层间绝缘膜IL2是图3所示的多孔低介电常数膜。也就是说，图3所示的空孔9和10形成在作为第二精细层的层间绝缘膜IL4和IL5和层间绝缘膜IL3的每一个中。也就是说，层间绝缘膜IL3至IL5中的每一个具有与图3所示的下层绝缘层PB2、上层绝缘层PT2、和侧壁绝缘层PS2的结构相同的结构。

[0115] 此外，可以设想到，具有小于空孔10的平均直径的空孔形成在层间绝缘膜IL1和层间绝缘膜IL6和IL7中的每一个中，该层间绝缘膜IL1是第一精细层，该层间绝缘膜IL6和IL7是半全局层。虽然在此假定空孔不形成在层间绝缘膜IL1、IL6和IL7中的每一个中，但是空孔可以形成在层间绝缘膜IL1、IL6和IL7中的每一个中。

[0116] 这里，存在如下可能，即，多个空孔彼此接触，并且形成很多在层间绝缘膜中均具有变形形状的空孔。相应地，本申请中所提及的空孔的平均直径被认为是指示当层间绝缘膜中的多个空孔被假定为是具有其相应的体积的球体时这些球体的平均直径值。这里，图3所示的空孔10的平均直径不小于1.0纳米，而空孔9的平均直径小于1.0纳米。

[0117] 作为平均空孔直径的测量方法，存在一种使用正电子-正电子素寿命测量系统的方法，该系统利用慢的正电子束。该测量方法通过形成正电子素并且测量直至该正电子素消除的时间来测量空孔直径，该正电子素是通过利用正电子束照射层间绝缘膜中的空孔形成的，并且当空孔直径较大时，直至该正电子素消除的时间变得更长。针对上述测量设备，例如，日本专利公开号2008-232759中公开了一种利用慢的正电子束的测量设备。

[0118] 当层间绝缘膜由多孔低介电常数膜形成时，存在如下思路，即，诸如空孔10之类的具有相对较大的平均直径的空孔分布在层间绝缘膜的整个区域中，并且在该层间绝缘膜中空孔的占有率增加，以便减小层间绝缘膜的介电常数。另一方面，本实施例的层间绝缘膜具有一种特征，使得下层绝缘层PB2包括多个具有相对小的平均直径的空孔9，上层绝缘层PT2

包括具有相对大的平均直径的多个空孔10,以及侧壁绝缘层PS2包括具有相对小的平均直径的多个空孔9,如同图2所示的层间绝缘膜IL2的情况。也就是说,在层间绝缘膜IL2的整个区域中不形成具有大约相同的直径的空孔,而是在层间绝缘膜IL2中,使形成在多个通路孔V1之间以及布线槽的侧壁中的空孔9的平均直径小于其它区域中的空孔10的平均直径。

[0119] 这里,相比于侧壁绝缘层PS2或下层绝缘层PB2,上层绝缘层PT2是具有较大的空孔平均直径和较大的空孔占有率(空孔占有率)的低密度层。相应地,相比于侧壁绝缘层PS2或下层绝缘层PB2,上层绝缘层PT2具有较低的介电常数和较低的弹性模数。也就是说,侧壁绝缘层PS2或下层绝缘层PB2是具有比上层绝缘层PT2高的弹性模数和大的内应力的层。

[0120] 在下文中,将说明本实施例的半导体器件的效果。

[0121] 当在层间绝缘膜中形成多个空孔时,存在如下思路,即多个具有相同的直径的空孔形成在层间绝缘膜的整个区域中,在该层间绝缘膜中,为了降低布线之间产生的电容以及其他原因,嵌入有布线,并且层间绝缘膜的介电常数被降低。在这种情况下,形成在层间绝缘膜中的空孔在该层间绝缘膜中具有较高的空孔占有率,由此当该空孔的直径变大时该层间绝缘膜的介电常数减小。

[0122] 然而,当具有与位于与布线相同高度处的层间绝缘膜(相邻布线之间的层间绝缘膜)中的空孔相同的直径的相对大的空孔形成在位于与通路相同高度处的层间绝缘膜(相邻通路之间的层间绝缘膜)中时,出现以下问题,即,包括该通路的金属布线中的EM特征(EM寿命)下降,并且进一步地金属布线之间的TDDDB特征(寿命)下降,其中该通路将上层布线和下层布线彼此耦合在一起。这里,EM(电子迁移)是以下现象,即,布线材料的金属原子通过从与电子碰撞的作用在电子流动方向上获得动量引起大量运输,并且通过这种EM(电子迁移)在金属布线等中形成空隙(void),同时导致该金属布线中的电阻值的增加、断开、等等。EM不仅发生在沿着半导体衬底的主表面的方向延伸的布线中,而且还发生在插头(通路)中。

[0123] 按照这种方式,通过增大形成在层间绝缘膜中的空孔的尺寸(直径),该空孔可以降低该层间绝缘膜的介电常数,并且还可以降低在嵌入在该层间绝缘膜中的布线之间产生的电容。另一方面,当增大相邻通路之间的层间绝缘膜中的空孔的直径时,显著地导致EM特征或TDDDB特征的劣化,出现了诸如包括该插头(通路)的金属布线的电阻值的增加之类的问题,并且半导体器件的可靠性下降。也就是说,当使得层间绝缘膜中的多个空孔在该层间绝缘膜中总体上较大时,尤其在插头(通路)的部分中容易产生空隙。

[0124] 引起这种问题的原因之一是:具有大的直径的空孔在通路孔或布线槽的侧表面上被暴露,由此阻挡导体膜和层间绝缘膜之间的粘合性下降,其中,在该布线槽中嵌入有金属线,在该通路孔中嵌入有通路,并且该阻挡导体膜覆盖该金属布线和通路的表面。当在该层间绝缘膜中形成该布线槽和该通路孔时,利用干刻蚀法通过处理该层间绝缘膜提供槽和贯通路,如以下将要描述的。这里,当在层间绝缘膜中形成多个空孔时,某些空孔的表面在该布线槽的侧壁和底面以及该通路孔的侧壁处被暴露,从而在那里形成不匀性,并且有时这些表面的平坦性劣化。

[0125] 当阻挡导体膜形成在这种侧壁上时,随着空孔直径变大,将难以均匀地形成该阻挡导体膜。也就是说,难以在如下空孔的表面之上形成阻挡导体膜,这些空孔在布线槽的侧壁和底面以及通路孔的侧壁上被暴露,并且存在如下可能性,即,形成在暴露的空孔的表面

上的阻挡导体膜的厚度变薄或者没有形成阻挡导体膜。在没有形成阻挡导体膜的区域中，金属布线和层间绝缘膜之间的粘合性下降，由此显著地引起EM。此外，如上所述，阻挡导体膜是具有防止主要配置金属布线的铜原子的扩散的功能的膜，因此铜原子扩散至没有形成阻挡绝缘膜的区域中的层间绝缘膜中，并且线间TDDDB特征劣化。

[0126] 此外，当相邻通路之间的层间绝缘膜中的空孔直径增大时EM特征显著劣化的另一个原因是：覆盖嵌入在下层层间绝缘膜的上部中的金属布线的上表面的上层层间绝缘膜中的空孔直径变大，并且由此上层层间绝缘膜的底面中的弹性模数减小。也就是说，当经由阻挡绝缘膜形成在金属布线上的层间绝缘膜的底面中的弹性模数减小时，该层间绝缘膜中的应力减小并且自上按压下层的金属布线的力减小，由此在该金属布线中生成由EM引起的空隙。

[0127] 在这种情况下，当电流在该金属布线中流动时，该金属布线中阴极侧的拉伸应力变大，并且当该拉伸引力超过临界应力时，在该金属布线中生成空隙。临界应力取决于形成在金属布线附近的层间膜的弹性模数，并且当该弹性模数较高时，临界应力增加，而且较少生成空隙。

[0128] 此外，作为另一个问题，存在如下问题，即，当在布线槽等的侧壁上存在没有形成阻挡导体膜的位置时，水很容易从这种位置进入层间绝缘膜中。当在布线槽的侧壁处暴露的层间绝缘膜的表面层不是致密的而且具有软状态时，出现如下问题，即，来自这种表面的水分吸附变得非常显著。

[0129] 当层间绝缘膜（多孔低介电常数膜）吸附水分时，出现以下可能性，即，邻近多孔低介电常数膜的金属布线（镶嵌布线）的表面被该多孔低介电常数膜中包括的水氧化，并且该镶嵌布线中的铜扩散至该多孔低介电常数膜中。由此，在并行地布置在该多孔低介电常数膜中的布线中，线间TDDDB寿命变短。

[0130] 此外，当邻近多孔低介电常数膜的镶嵌布线的表面被包括在该多孔低介电常数膜中的水氧化时，存在以下可能性，即镶嵌布线和多孔低介电常数膜或邻近该镶嵌布线的另一个绝缘膜之间的粘合性下降。在这种情况下，形成在多孔低介电常数膜中的镶嵌布线的EM寿命变短，并且该多孔低介电常数膜的可靠性降低。此外，由于多孔低介电常数膜包括水，因此很容易引起经由该多孔低介电常数膜布置的布线之间的耐压劣化，并且引起该多孔低介电常数膜的电特征劣化。

[0131] 在本实施例的半导体器件中，形成具有使金属布线和层间绝缘膜彼此粘附的功能的阻挡导体膜，以便覆盖暴露至布线槽和通路孔中的每一个的内部的侧壁，并且为了改善其可靠性，在侧壁处暴露的空孔的平均直径小于形成在层间绝缘膜内的上层中的空孔的平均直径。具体地，如图3所示，包括具有相对小的直径的空孔9的侧壁绝缘层PS2在如下区域中形成在层间绝缘膜的表面上，该区域在布线槽WD2的侧壁处被暴露。此外，包括具有相对小的直径的空孔9的下层绝缘层PB2形成在布线槽WD2的底面和通路孔V1的侧壁上。

[0132] 相应地，使层间绝缘膜IL2中的空孔直径小于上层绝缘层PT2中的空孔10的直径，由此可以增加插头PLG2和第二层布线L2的表面上的阻挡导体膜BM2的覆盖范围，该层间绝缘膜IL2在布线槽WD2和通路孔V1的侧壁处被暴露。也就是说，当阻挡导体膜BM2形成在空孔9的表面上时，可以防止发生如下问题，诸如，该阻挡导体膜BM2的膜厚度变薄或者没有形成该阻挡导体膜BM2，其中，空孔9在布线槽WD2和通路孔V1的侧壁上被暴露。

[0133] 按照这种方式,可以防止第二层布线L2和插头PLG2与层间绝缘膜IL2之间的粘合性的劣化并且防止发生EM,由此可以增加半导体器件的可靠性,该粘合性的劣化是由于没有成功地形成该阻挡导体膜BM2。此外,由于可以防止产生没有形成阻挡绝缘膜的区域,因此可以防止配置第二层布线L2和插头PLG2的铜原子扩散至层间绝缘膜IL2中,并且防止线间TDBD特征的劣化,由此可以改善半导体器件的可靠性。

[0134] 也就是说,虽然可以通过增加层间绝缘膜内的上部中的空孔占有率来降低介电常数,但是会出现如下问题,即,当空孔占有率过度地增大时,容易在层间绝缘膜内的下部中的插头(通路)的部分处生成空隙。相应地,在本实施例中,整个高度层(插头(通路)形成在此处),也就是,嵌入在层间绝缘膜IL2中的多个插头(通路)之间的整个层是由下层绝缘层PB2配置的,并且在该层中形成相对小的空孔9,由此可以将下层绝缘层PB2中的介电常数的增加抑制至最小值,并且还可以防止EM特征和TDBD特征的劣化。可以通过形成相同的结构在层间绝缘膜IL2上的层间绝缘膜IL3至IL5(参考图1)等的每一个中获得这些效果。

[0135] 注意,如果仅仅为了减小在布线槽和通路孔的侧壁上暴露的空孔的尺寸,那么可能没有必要减小层间绝缘膜中的空孔直径,除了在该布线槽和通路孔的侧壁处暴露的区域之外。然而,当层间绝缘膜内的下部中的空孔直径大时,层间绝缘膜内的下部中的内应力降低,由此难以像如上所述地按压经由阻挡绝缘膜等形成在层间绝缘膜下方的金属布线,并且出现如下问题,即,金属布线中的EM寿命缩短。

[0136] 相应地,在本实施例中,如图3所示,具有减小的内部空孔9的直 径的下层绝缘层PB2沿着层间绝缘膜IL2的整个下表面不仅形成在在通路孔V1的侧壁处暴露的区域的层间绝缘膜IL2中。这里,其上层中的层间绝缘膜IL3、层间绝缘膜IL4和IL5(参考图1)中的每一个具有与层间绝缘膜IL2相同的结构。例如,如图2所示,虽然沿着半导体衬底的上表面(在附图中未示出)延伸的第二层布线L2的上表面由层间绝缘膜IL3覆盖,但是,同样在除了与第二层布线L2的上表面接触的插头PLG3的附近以外的区域中,第二层布线L2的上表面由其中形成有相对小的空孔9(参考图3)的下层绝缘层PB3覆盖。

[0137] 当仅仅在层间绝缘膜中的通路孔的附近处减小空孔尺寸时,在除了该通路孔以外的区域中,由于覆盖该下层的金属布线的上表面的层间绝缘膜中的空孔变大,层间绝缘膜的该区域中的弹性模数减小,并且应力减小,由此该下层的金属布线中的EM特征劣化。

[0138] 另一方面,在本实施例中,包括相对小的空孔9的下层绝缘层PB3形成在具有与层间绝缘膜IL3中的通路孔V2相同的高度的整个层中,就是说,在包括层间绝缘膜IL3的整个下表面的区域中。换句话说,空孔10没有形成在该下层绝缘层PB3中。也就是说,穿过层间绝缘膜IL3的多个插头(通路)PLG3之间的整个层是由具有比上层绝缘层PT3小的内部空孔直径和高的弹性模数的下层绝缘层PB3配置的。

[0139] 作为层间绝缘膜IL3的一部分的下层绝缘层PB3中的弹性模数增大,并且第二层布线L2的上部中的层间绝缘膜IL3中的应力增大。当第二层布线L2上的下层绝缘层PB3中的弹性模数增大时,第二层布线L2中的临界应力增大,因此,即使由于第二层布线L2中的电流,第二层布线L2中的拉伸应力增大,该拉伸应力也不超过该临界应力,并且可以防止产生空隙。也就是说,通过借助下层绝缘层PB3的应力固定经由阻挡绝缘膜BI2形成在层间绝缘膜IL3的下表面上的第二层布线L2,可以防止第二层布线L2的EM特征的劣化,并且由此可以改善半导体器件的可靠性。

[0140] 此外,在本实施例中,不仅第二层布线L2上方的下层绝缘层PB3,而且第二层布线L2下方的下层绝缘层PB2,相比于上层绝缘层PT2具有高的弹性模数,由此可以进一步地增加第二层布线L2的临界应力,并且可以防止第二层布线L2中的EM特征的劣化。

[0141] 此外,对于水容易从布线槽等的侧壁进入层间绝缘膜的问题,在本实施例中,使得该表面层在暴露于布线槽等的侧壁处的层间绝缘膜中更加致密并且具有更高的硬度,由此可以防止从这种表面吸附水分。也就是说,通过在层间绝缘膜IL2的侧壁上形成相比于上层绝缘层PT2致密并且具有减小的平均空孔直径的侧壁绝缘层PS2,可以防止水从布线槽WD2的侧壁进入层间绝缘膜IL2,其中该层间绝缘膜IL2的侧壁暴露在布线槽WD2的侧壁处。

[0142] 注意,该侧壁绝缘层PS2是当在层间绝缘膜IL2的上表面中形成布线槽WD2时通过诸如如下将要描述的刻蚀过程之类的等离子体处理形成的层。虽然在附图中没有示出,但是类似地也在布线槽WD2的底面上形成比上层绝缘层PT2致密的层。此外,还在通路孔V1的侧壁上,类似地通过诸如刻蚀过程之类的等离子体处理形成更加致密的层。然而,相比于在通路孔V1的侧壁上,在布线槽WD2的侧壁上,更显著地使层间绝缘膜IL2的侧壁致密。如上所述,利用布线槽WD2和通路孔V1的更加致密的侧壁,可以防止层间绝缘膜IL2吸附水分,以防止EM特征和线间TDDDB特征的劣化,并且防止多孔低介电常数膜的电特征的劣化,由此可以改善半导体器件的可靠性。

[0143] 在下文中,利用图43和图44,将说明通过等离子体处理等减小空孔直径和使侧壁绝缘层PS2更加致密的原因。图43和图44是示出多孔低介电常数膜(层间绝缘膜)的化学式的分子结构图。

[0144] 例如,配置上层绝缘层PT2的SiOC膜(参考图3)具有如图43所示的分子结构。在该SiOC膜中,甲基(CH₃)与硅(Si)结合,并且当对SiOC膜执行等离子体处理时,硅(Si)和甲基(CH₃)之间的结合消除,并且氧(O)或OH基(羟基)与该硅(Si)结合,如图44中的分子结构。相应地,通过等离子体处理,在该上层绝缘层PT2的膜表面中进行Si-CH₃至Si-O或Si-OH的转换。

[0145] 也就是说,相比于图3所示的上层绝缘层PT2,在其中使得膜致密的侧壁绝缘层PS2中,Si-CH₃结合的数目减少,而Si-O或Si-OH结合的数目增加。由此,在侧壁绝缘层PS2中,相比于上层绝缘层PT2,碳(C)的数量减少,并且压缩膜结构使其致密,由此内部空孔9的平均直径也变得比空孔10的平均直径小,并且介电常数变得较高。

[0146] 注意,如图44所示,水(H₂O)很容易由OH组(羟基)吸附,因此,可以设想到,水被吸附至侧壁绝缘层PS2的表面上(参考图3)。

[0147] 接下来,利用图4至图35,将说明一种制造上述实施例的半导体器件的方法。图4至图12、图15至图19、以及图21至图35是示出制造本实施例中的包括MISFET Qn的半导体器件的方法的截面图。图13和图14是放大的截面图,用于详细地说明将利用图12阐述的过程。图20是放大的截面图,用于详细地说明将利用图19阐述的过程。注意,本实施例是与邻近金属布线的层间绝缘膜有关的技术,因此此处将省略对形成MISFET的过程的详细说明。

[0148] 首先,如图4所示,利用一种典型的半导体制造技术在半导体衬底1S上形成多个MISFETs Qn。接着,如图5所示,在形成有MISFETs Qn的半导体衬底1S上形成接触层间绝缘膜CIL。形成该接触层间绝缘膜CIL,以便覆盖MISFETs Qn。具体地,例如,该接触层间绝缘膜CIL是由臭氧TEOS膜和等离子体TEOS膜的层叠膜形成的,该臭氧TEOS膜是利用臭氧和TEOS

作为源通过热化学汽相沉积法形成的，该等离子体TEOS膜设置在该臭氧TEOS膜上并且是利用TEOS作为源通过等离子体化学汽相沉积法形成的。注意，例如，可以在臭氧TEOS膜的下层中形成由氮化硅膜配置的蚀刻终止膜。

[0149] 接下来，如图6所示，通过利用光刻技术和蚀刻技术在接触层间绝缘膜CIL中形成接触孔CH。对该接触孔CH进行处理，使得其穿过接触层间绝缘膜CIL抵达形成在半导体衬底1S上的MISFET Qn的源区或漏区。

[0150] 接下来，如图7所示，通过将金属膜嵌入至形成在该接触层间绝缘膜CIL中的接触孔CH中，形成插头PLG1。具体地，在形成有接触孔CH的接触层间绝缘膜CIL上，例如，利用溅射方法形成钛/氮化钛膜作为阻挡导体膜。然后，在该钛/氮化钛膜之上形成钨膜。由此，该钛/氮化钛膜形成在该接触孔CH的内壁(侧壁和底面)上，并且该钨膜形成在该钛/氮化钛膜之上，以填充该接触孔CH。然后，通过CMP方法，除去形成在该接触层间绝缘膜CIL之上的不必要的钛/氮化钛膜和钨膜。由此，可以仅仅在接触孔CH内部形成有嵌入的钛/氮化钛膜和钨膜配置的插头PLG1。

[0151] 接下来，如图8所示，层间绝缘膜IL1形成在其中形成有插头PLG1的接触层间绝缘膜CIL之上。例如，层间绝缘膜IL1是由SiOC膜形成的，并且是通过利用等离子体化学汽相沉积方法形成的，该SiOC膜是具有比图1所示的钝化膜PAS低的相对介电常数的低介电常数膜。

[0152] 然后，如图9所示，通过利用光刻技术和蚀刻技术在层间绝缘膜IL1中形成布线槽WD1。形成布线槽WD1，使得其穿过由SiOC膜配置的层间绝缘膜IL1并且在底面处抵达接触层间绝缘膜。由此，插头PLG1的表面在布线槽WD1的底部处被暴露。

[0153] 然后，如图10所示，在其中形成有布线槽WD1的层间绝缘膜IL1之上形成阻挡导体膜(铜扩散阻止膜)(在附图中未示出)。阻挡导体膜对应于图2所示的阻挡导体膜BM1。具体地，该阻挡导体膜是由钽(Ta)、钛(Ti)、钌(Ru)、钨(W)、锰(Mn)、它们的氮化物或硅氮化物、或者它们的层叠膜配置的，并且例如，是利用溅射方法形成的。

[0154] 接下来，例如，通过溅射方法在形成在层间绝缘膜IL1上的阻挡导体膜之上以及布线槽WD1的内部中形成由薄的铜膜配置的种子膜(seed film)。然后，利用该种子膜作为电极通过电解电镀方法形成铜膜Cu1。形成该铜膜Cu1，以便填充布线槽WD1。例如，该铜膜Cu1是由主要包含铜的膜形成的。也就是说，该铜膜Cu1主要地包含铜(Cu)或铜合金(铜(Cu)合金)。除了上述以外，该铜膜Cu1有时包含铝(Al)、镁(Mg)、钛(Ti)、锰(Mn)、铁(Fe)、锌(Zn)、锆(Zr)、铌(Nb)、钼(Mo)、钌(Ru)、钯(Pd)、银(Ag)、金(Au)、铟(In)、或镧系金属、锕系金属等的合金。此外，代替该铜膜Cu1，可以形成主要包含银或金的金属布线。注意，虽然此处利用电解电镀方法形成铜膜Cu1，但是可以利用化学汽相沉积法形成该铜膜Cu1。

[0155] 接下来，如图11所示，通过CMP方法，去除形成在层间绝缘膜IL1之上的不必要的阻挡导体膜和铜膜Cu1。由此，可以形成包括第一层布线L1的层(第一精细层)，其由嵌入在布线槽中的阻挡导体膜和铜膜Cu1配置。

[0156] 然后，对其中形成有第一层布线L1的层间绝缘膜IL1的表面执行氨等离子体处理，并且清洁层间绝缘膜IL1的表面和第一层布线L1的表面。接下来，如图12所示，在其中形成有第一层布线L1的层间绝缘膜IL1之上形成阻挡绝缘膜BI1。例如，阻挡绝缘膜BI1是由SiCN膜和SiCO膜的层叠膜配置的，并且例如，可以通过化学汽相沉积法形成该层叠膜。注意，在

本实施例中,在已经通过氨等离子体处理对其中形成有第一层布线L1的层间绝缘膜IL1的表面执行了清洁处理之后,形成阻挡绝缘膜BI1,由此改善了层间绝缘膜IL1和阻挡绝缘膜BI1之间的粘合性。

[0157] 然后,层间绝缘膜IL2形成在阻挡绝缘膜BI1之上。此外,在该层间绝缘膜IL2之上形成CMP保护膜CMP1。具体地,层间绝缘膜IL2是由多孔SiOC膜形成的,该多孔SiOC膜是通过利用致孔剂形成的,如以下将要描述的,并且多孔SiOC膜具有多个空孔。相应地,例如,层间绝缘膜IL2是具有比低介电常数膜低的相对介电常数的绝缘膜,该低介电常数膜配置层间绝缘膜IL1。例如,包括空孔的该SiOC膜可以是通过利用等离子体化学汽相沉积法形成的。此外,例如,CMP保护膜CMP1是由TEOS膜或氧化硅膜配置的。虽然在附图中没有示出,但是SiOC膜形成在作为多孔低介电常数膜的层间绝缘膜IL2和CMP保护膜CMP1之间。

[0158] 这里,利用图13和图14,将详细地描述上述层间绝缘膜IL2的形成方法。层间绝缘膜IL2是通过在等离子体化学汽相沉积装置中沉积SiOC膜形成的。该SiOC膜是内部包括多个空孔的多孔低介电常数膜,并且可以通过利用等离子体化学汽相沉积法形成包括致孔剂的绝缘膜然后从该绝缘膜消除该致孔剂来形成该SiOC膜。

[0159] 注意,致孔剂是用于在图13所示的层间绝缘膜IL2中形成多个空孔的空孔形成剂。在已经形成具有包含致孔剂气体的多个空孔的绝缘膜之后,通过执行从该绝缘膜消除(抽空)该致孔剂的固化(cure)过程形成不包括致孔剂的多个空孔,并且形成层间绝缘膜IL2。

[0160] 作为当半导体衬底(半导体晶圆)直径是200毫米时的膜形成条件,用于等离子体激励的RF功率是200至600W,等离子体化学汽相沉积装置中的气氛压力是600至1,000Pa,半导体衬底1S的温度是100至300°C。通过在这种条件下提供O₂(氧)、He(氦)、C₅H₁₄O₂Si(甲基二乙氧基硅烷)和致孔剂至等离子体化学汽相沉积装置中作为用于形成包括致孔剂的层间绝缘膜IL2(参考图13)的源,沉积层间绝缘膜IL2。

[0161] 这里,分别以0至50sccm(标准立方厘米/分钟)、0至5,000sccm、0.2克/分钟(g/min)、0.10至0.30g/min提供O₂(氧)、He(氦)、C₅H₁₄O₂Si(甲基二乙氧基硅烷)、以及致孔剂。这里,表示氧或氦流速的单位的sccm(标准立方厘米/分钟)是指在1atm(大气压)和0°C的条件下每单位时间流过的材料的体积。

[0162] 注意,上述致孔剂的供给量并不意味着,在0.10至0.30g/min范围中的任何值的流速在形成整个层间绝缘膜IL2时保持不变,而是意味着该流速在层间绝缘膜IL2的膜形成期间从0.10g/min到0.30g/min逐步地增大。也就是说,虽然致孔剂的流速在层间绝缘膜IL2的膜形成的开始处是0.10g/min,但是该致孔剂的流速在膜形成过程期间增大,并且将膜形成结束处的致孔剂的流速设定为0.30g/min。

[0163] 当然可以设想到致孔剂的流速在膜形成期间逐渐地增加,但是该致孔剂的流速可以在膜形成过程中的某个时间点相对急剧地增加。然而,从底面到顶面不断地执行层间绝缘膜IL2的膜形成,在途中不会因为改变致孔剂的流速或其它原因而中断该膜形成过程。也就是说,在正在形成层间绝缘膜IL2的同时,改变该致孔剂的流速。由此,可以配置成,氧化物膜等等没有形成在层间绝缘膜IL2的上层和下层之间的。

[0164] 具体地,在本实施例中,用于等离子体激励的RF功率被设定为380W,等离子体化学汽相沉积装置中的气氛压力被设定为800Pa,半导体衬底的温度被设定为250°C。然后,分别以12sccm(标准立方厘米/分钟)、470sccm、0.2g/min、0.10至0.30g/min提供O₂(氧)、He

(氦)、 $C_5H_{14}O_2Si$ (甲基二乙氧基硅烷)、以及致孔剂。

[0165] 相应地,在用于膜形成的供给气体中,当膜形成开始时致孔剂的流速是0.10g/min时,由该致孔剂占有的比率是大约27.9%,并且当之后该流速增加至0.30g/min时,该比率变为大约53.7%。

[0166] 注意,在上述供给至化学汽相沉积装置中的气体中,尽管甲基二乙氧基硅烷和致孔剂是配置包括致孔剂的层间绝缘膜IL2的主要源,氧也是配置包括致孔剂层间绝缘膜IL2的源气体。虽然氦是提供用于生成等离子体的气体,但是此处将提供至等离子体化学汽相沉积装置的所有气体(包括氦)定义为源气体。12sccm的氧流速可以转换成大约0.017g/min,470sccm的氦流速可以转换成大约0.042g/min。

[0167] 用于致孔剂的材料是具有不小于80且不大于150的分子量的CXHY(碳氢化物),并且例如,可以使用 α -萜品烯($C_{10}H_{16}$)、苧烯($C_{10}H_{16}$)、芳辛并、等等。相应地,当 α -萜品烯($C_{10}H_{16}$)用于该致孔剂时,在膜形成过程期间以从0.10g/min增加到0.30g/min的方式提供该 α -萜品烯($C_{10}H_{16}$)。

[0168] 此外,从层间绝缘膜IL2消除致孔剂的固化过程的例子包括UV(紫外线)照射、EB(电子束)照射、利用灯的热处理、利用等离子体的固化方法、等等。注意,在此提及的“固化”是指:通过借助上述紫外线照射、电子束照射、等等向层间绝缘膜中的致孔剂施加能量而从该层间绝缘膜中排出该致孔剂的过程。此外,该固化过程还具有增大层间绝缘膜IL2的强度的功能。

[0169] 也就是说,如图13所示,利用上述等离子体化学汽相沉积法,在膜形成过程中,在阻挡绝缘膜BI1之上,形成包括填充有致孔剂气体的多个空孔的层间绝缘膜IL2。然后,例如,朝向半导体衬底1S的主表面发射电子束(EB)(参考图12),并且从层间绝缘膜IL2排出(固化)该致孔剂,由此包括该致孔剂的多个空孔变成了不包括致孔剂的空孔9和10,并且可以如图13所示形成包括空孔9和10的多孔层间绝缘膜IL2。

[0170] 这里,在层间绝缘膜IL2的膜形成过程中,由于如上所述膜形成过程中致孔剂流速从0.10g/min增加至0.30g/min,内部所包括的多个致孔剂的每一个的体积(致孔剂气体体积)在层间绝缘膜IL2内的下部和层间绝缘膜IL2的上部之间是不同的,该下部是在膜形成过程的一个较早的阶段形成,而该上部是在此之后形成的。也就是说,在层间绝缘膜IL2的下层绝缘层PB2中,形成均包括相对少量的致孔剂的多个间隙,而爱层间绝缘膜IL2的上层绝缘层PT2中,形成均包括相对大量(体积)的致孔剂的多个空隙。

[0171] 当随后利用上述固化方法执行致孔剂消除过程时,致孔剂从下层绝缘层PB2和上层绝缘层PT2中去除,并且均具有相对小的平均直径的多个空孔9形成在下层绝缘层PB2中,均具有相对大的平均直径的多个空孔10形成在上层绝缘层PT2中。按照这种方式,本实施例具有如下特征,即,在层间绝缘膜IL2的形成(膜形成)过程期间致孔剂流速增加,并且小的空孔9形成在层间绝缘膜IL2内的下部,而大的空孔10形成在层间绝缘膜IL2内的上部。由此,层间绝缘膜IL2的下层绝缘层PB2具有低的空孔占有率,因此成为具有比上层绝缘层PT2高的弹性模数和大的内应力的层。

[0172] 接着,在利用图12说明的过程中,如图14所示,在层间绝缘膜IL2之上顺序地形成SiOC膜01和CMP保护膜CMP1。例如,由TEOS膜等配置的SiOC膜01和CMP保护膜CMP1是利用化学汽相沉积法形成的。

[0173] 接下来,如图15所示,在CMP保护膜CMP1上形成光致抗蚀剂膜FR1。然后,通过对该光致抗蚀剂膜FR1执行曝光和显影过程,使该光致抗蚀剂膜FR1图案化。执行图案化处理,以便使要形成通路孔的区域开口。然后,利用图案化的光致抗蚀剂膜FR1作为掩模,蚀刻CMP保护膜CMP1和层间绝缘膜IL2。由此,可以形成穿过CMP保护膜CMP1和层间绝缘膜IL2以暴露阻挡绝缘膜BI1的通路孔V1。按照这种方式,阻挡绝缘膜BI1在蚀刻过程中充当蚀刻终止器。

[0174] 此时,通过在形成通路孔V1的刻蚀过程中的等离子体处理,相比于层间绝缘膜IL2的上层绝缘层PT2(参考图13),通路孔V1的侧壁变得致密并且具有较高的硬度。

[0175] 接下来,如图16所示,通过等离子体灰化处理,去除该图案化的光致抗蚀剂膜FR1,然后清洁半导体衬底1S的主表面。然后,在CMP保护膜CMP1之上形成光致抗蚀剂膜FR2,并且通过对光致抗蚀剂膜FR2执行曝光和显影过程使光致抗蚀剂膜FR2图案化。执行光致抗蚀剂膜FR2的图案化处理,以便使要形成布线槽的区域开口。

[0176] 然后,如图17所示,利用图案化的光致抗蚀剂膜FR2作为掩模,通过各向异性刻蚀,蚀刻CMP保护膜CMP1。接下来,通过等离子体灰化处理,去除该图案化的光致抗蚀剂膜FR2,然后清洁半导体衬底1S的主表面。此时,虽然在图17中没有示出,图14所示的SiOC膜O1没有去除,并且具有如下状态,即SiOC膜O1的上表面从CMP保护膜CMP1被暴露。

[0177] 接下来,如图18所示,通过回蚀刻法,去除在通路孔V1的底部处被暴露的阻挡绝缘膜BI1。由此,第一层布线L1的表面在通路孔V1的底部处被暴露。通过此时的回蚀刻法,从图案化的CMP保护膜CMP1被暴露的SiOC膜O1(参考图14)和层间绝缘膜IL2的一部分被蚀刻,并且形成布线槽WD2。此时,通过在形成布线槽WD2的刻蚀过程中的等离子体处理,相比于层间绝缘膜IL2的上层绝缘层PT2(参考图13),布线槽WD2的侧壁和底面变得更致密并且具有较高的硬度。

[0178] 接下来,如图19所示,在其中形成有布线槽WD2和通路孔V1的层间绝缘膜IL2之上以及在CMP保护膜CMP1之上形成具有与阻挡导体膜BM1(参考图2)相同的结构的阻挡导体膜BM2(在附图中未示出)。

[0179] 接下来,例如,通过溅射方法,在阻挡导体膜和CMP保护膜CMP1之上形成由薄的铜膜配置的种子膜(在附图中未示出),该阻挡导体膜形成在布线槽WD2内部。然后,利用该种子膜作为电极通过电解电镀方法形成铜膜Cu2。形成该铜膜Cu2,以便填充布线槽WD2。例如,该铜膜Cu2是由主要包含铜的膜形成的。

[0180] 此时,在利用图18说明的过程中,如图20所示,相比于上层绝缘层PT2较致密且具有较高的硬度的侧壁绝缘层PS2形成在层间绝缘膜IL2的在布线槽WD2的侧壁处被暴露的表面上。侧壁绝缘层PS2是其中通过等离子体处理上层绝缘层PT2变得致密的层。虽然在形成布线槽WD2之前形成在侧壁绝缘层PS2中的空孔9具有与空孔10相同的平均直径,在形成布线槽WD2的同时形成较致密的侧壁绝缘层PS2,由此侧壁绝缘层PS2中的空孔9的平均直径变得小于空孔10的平均直径。

[0181] 注意,图20是在已经执行图19的过程之后的状态中在制造过程期间本实施例的半导体器件的放大的截面图。也就是说,图20是具体地说明利用图19说明的制造过程的放大的截面图。示出了形成在层间绝缘膜IL1之上的结构。这里,布线槽WD2的底面形成在上层绝缘层PT2和下层绝缘层PB2之间的边界的附近以及该边界下方的区域中。也就是说,形成具有与下层绝缘层PB2相同的高度的通路孔V1,并且形成具有与上层绝缘层PT2相同的高度的

布线槽WD2。

[0182] 出于以下目的进行这种配置,即,当布线槽WD2的底面到达下层绝缘层PB2时,插头PLG2的整个侧壁由与层间绝缘膜IL2接触的区域中的下层绝缘层PB2覆盖,并且可以获得改善插头PLG2中的EM特征、TDDDB特征、以及耐压特征的效果,还可以改善半导体器件的可靠性。然而,本实施例不局限于此,布线槽WD2的底面的位置可以定位在与边界相同的高度处。

[0183] 此外,虽然在附图中没有示出,但是还在布线槽WD2的底面以及通路孔的侧壁的每一个上,形成较致密的且具有较高的硬度的层,如同侧壁绝缘层PS2的情况。形成这种致密的层(包括侧壁绝缘层PS2)的等离子体处理不仅包括用于形成布线槽WD2和通路孔V1的等离子体蚀刻过程,还包括去除诸如光致抗蚀剂膜FR2(参考图16)的抗蚀膜的等离子体灰化处理,以及上述阻挡导体膜BM1和上述种子膜的形成过程中的等离子体处理。也就是说,在包括等离子体处理的过程中使得层间绝缘膜IL2的暴露表面更加致密。

[0184] 这里,当类似比较示例的图45所示的空孔10具有相对大的平均直径的空孔在布线槽WD2的侧壁处被暴露时,侧壁的平坦性消失,这使得难以在侧壁上形成阻挡导体膜,并且还存在如下可能性,即,铜膜Cu2和层间绝缘膜IL2a之间的粘合性劣化。注意,图45示出了比较示例的半导体器件的截面图。图45所示的层间绝缘膜IL2a具有下层绝缘层PB2和上层绝缘层PT2,如同图3所示的层间绝缘膜IL2的情况,但是不具有侧壁绝缘层PS2。也就是说,上层绝缘层PT2的侧壁暴露于形成在层间绝缘膜IL2a的上表面中的布线槽WD2,并且上层绝缘层PT2中的某些空孔的表面被暴露。在这种部分中,容易生成空隙(气隙),并且EM特征容易劣化。

[0185] 另一方面,在本实施例中,如图20所示,通过形成侧壁绝缘层PS2使得在布线槽WD2的侧壁处暴露的空孔的尺寸小。相应地,布线槽WD2的侧壁的粗糙度变小,由此可以改善阻挡导体膜的覆盖范围。也就是说,当在暴露于布线槽WD2和通路孔V1的空孔的表面上形成阻挡绝缘膜时,可以防止出现如下问题,即,阻挡绝缘膜的膜厚度变小或者没有形成阻挡绝缘膜。

[0186] 由此,可以防止在以下过程(参考图21)中形成的插头PLG2和第二层布线L2(参考图21)与层间绝缘膜IL2之间的粘合性劣化,该粘合性劣化是由没能成功地在布线槽WD2的侧壁上形成阻挡导体膜所引起的,并且防止发生EM,由此可以改善半导体器件的可靠性。此外,可以防止产生没有形成阻挡绝缘膜的区域,因此可以防止配置第二层布线L2和插头PLG2的铜原子扩散至层间绝缘膜IL2中,并且防止线间TDDDB特征的劣化,由此可以改善半导体器件的可靠性。

[0187] 接下来,如图21所示,通过CMP方法去除形成在CMP保护膜CMP1上的不必要的阻挡导体膜、SiOC膜O1(参考图14)和铜膜Cu2。由此,暴露层间绝缘膜IL2,并且可以形成由嵌入在布线槽WD2中的铜膜Cu2和阻挡导体膜配置的第二层布线L2以及由嵌入在通路孔V1中的阻挡导体膜和铜膜Cu2配置的插头PLG2。此时,在制造过程期间通过CMP方法提供CMP保护膜CMP1,以用于保护半导体器件免受抛光压力、划痕损坏等等。

[0188] 注意,在本实施例中,尽管如利用图15至图21所说明的,在形成第二层布线L2和插头PLG2的过程中在层间绝缘膜IL2中形成通路孔V1之后,第一通路制造方法用于形成布线槽WD2;但是可以在在层间绝缘膜IL2中形成布线槽WD2之后,使用第一槽制造方法来形成通路孔V1。此外,在这种情况下,侧壁绝缘层PS2(参考图13)形成在布线槽WD2的侧壁上。

[0189] 然后,如图22所示,在其中形成有第二层布线L2的层间绝缘膜IL2的表面上执行氨等离子体处理,并且清洁层间绝缘膜IL2的表面和第二层布线L2的表面。接下来,在其中形成有第二层布线L2的层间绝缘膜IL2上形成阻挡绝缘膜BI2。例如,阻挡绝缘膜BI2是由SiCN膜和SiCO膜的层叠膜配置的,并且例如,可以通过化学汽相沉积法形成该层叠膜。通过重复这种生产方法,形成第三层布线L3至第五层布线L5。由此,可以形成第二精细层(第二层布线L2至第五层布线L5)。

[0190] 此时,层间绝缘膜IL2至IL5中的每一个均是包括图3所示的空孔9和10的多孔低介电常数膜。也就是说,如同利用图13说明的层间绝缘膜IL2的情况,通过在膜形成过程期间使致孔剂流速从0.10g/min增加至0.30g/min,形成层间绝缘膜IL3至IL5。因此,层间绝缘膜IL2至IL5中的每一个具有包括在膜内的下部中具有相对小的平均直径的空孔的层,以及具有包括在膜内的上部中具有相对大的平均直径的空孔的层。由此,层间绝缘膜IL2至IL5中的每一个具有如下结构,即,膜内的下部具有上部高的弹性模数。

[0191] 接下来,将描述在第二精细层上形成半全局层的过程。如图23所示,在其中形成有第五层布线L5的层间绝缘膜IL5的表面上执行氨等离子体处理,并且清洁层间绝缘膜IL5的表面和第五层布线L5的表面。接下来,在其中形成有第五层布线L5的层间绝缘膜IL5上形成阻挡绝缘膜BI5。例如,阻挡绝缘膜BI5是由SiCN膜和SiCO膜的层叠膜配置的,并且例如,可以通过化学汽相沉积法形成该层叠膜。

[0192] 接下来,层间绝缘膜IL6形成在阻挡绝缘膜BI5之上。例如,层间绝缘膜IL6是由SiOC膜形成的,并且可以利用等离子体化学汽相沉积法来形成层间绝缘膜IL6。层间绝缘膜IL6是具有比氧化硅膜等低的介电常数的低介电常数膜。

[0193] 然后,如图24所示,通过利用光刻技术和蚀刻技术在层间绝缘膜IL6中形成布线槽WD4和通路孔V3。形成通路孔V3,使得其穿过由SiOC膜配置的层间绝缘膜IL6并且在底面处抵达第五层布线L5。由此,第五层布线L5的表面在通路孔V3的底表面处被暴露。

[0194] 然后,如图25所示,在其中形成有布线槽WD4和通路孔V3的层间绝缘膜IL6之上形成阻挡导体膜(铜扩散阻止膜)(在附图中未示出)。具体地,该阻挡导体膜是由钽(Ta)、钛(Ti)、钌(Ru)、钨(W)、锰(Mn)、它们的氮化物或硅氮化物、或者它们的层叠膜配置的,并且例如,是利用溅射方法形成的。

[0195] 接下来,例如,通过溅射方法在形成在层间绝缘膜IL6上的阻挡导体膜之上以及布线槽WD4和通路孔V3的内部中形成由薄的铜膜配置的种子膜。然后,利用种子膜作为电极通过电解电镀方法形成铜膜Cu3。形成铜膜Cu3,以便填充布线槽WD4和通路孔V3。例如,该铜膜Cu3是由主要包含铜的膜形成的。也就是说,该铜膜Cu3主要地包含铜(Cu)或铜合金(铜(Cu)合金)。除了上述以外,该铜膜Cu3有时包括铝(Al)、镁(Mg)、钛(Ti)、锰(Mn)、铁(Fe)、锌(Zn)、锆(Zr)、铌(Nb)、钼(Mo)、钌(Ru)、钯(Pd)、银(Ag)、金(Au)、铟(In)、或镧系金属、锕系金属等的合金。

[0196] 接下来,如图26所示,通过CMP方法,去除形成在层间绝缘膜I61之上的不必要的阻挡导体膜和铜膜Cu3。由此,形成由嵌入在布线槽WD4中的铜膜Cu3和阻挡导体膜配置的第六层布线L6以及由嵌入在通路孔V3中的阻挡导体膜和铜膜Cu3配置的插头PLG6。如上所述,可以形成第六层布线L6。通过重复这种制造过程,如图27所示,还形成第七层布线L7。由此,可以形成半全局层(第六层布线L6至第七层布线L7)。

[0197] 接下来,将描述在半全局层上形成全局层的过程。如图28所示,对其中形成有第七层布线L7的层间绝缘膜IL7的表面执行氨等离子体处理,并且清洁层间绝缘膜IL7的表面和第七层布线L7的表面。接下来,在其中形成有第七层布线L7的层间绝缘膜IL7上形成阻挡绝缘膜 BI7a。例如,阻挡绝缘膜BI7a是由SiCN膜和SiCO膜的层叠膜配置的,并且例如,可以通过化学汽相沉积法形成该层叠膜。

[0198] 接下来,层间绝缘膜IL8a形成在阻挡绝缘膜BI7a之上。例如,该层间绝缘膜IL8a可以是由TEOS膜、氧化硅膜、等等形成的,并且可以是通过利用等离子体化学汽相沉积法形成的。此外,在层间绝缘膜IL8a之上形成蚀刻终止绝缘膜BI7b,并且在该蚀刻终止绝缘膜BI7b之上形成层间绝缘膜IL8b。例如,蚀刻终止绝缘膜BI7b是由SiCN膜形成的,并且可以利用化学汽相沉积法来形成蚀刻终止绝缘膜BI7b。此外,该层间绝缘膜IL8b是由例如TEOS膜、氧化硅膜、等等形成的,并且是可以是通过利用例如等离子体化学汽相沉积法形成的。

[0199] 然后,如图29所示,通过利用光刻技术和蚀刻技术,在层间绝缘膜IL8b和蚀刻终止绝缘膜BI7b中形成布线槽WD5,并且在层间绝缘膜IL8a和阻挡绝缘膜BI7a中形成通路孔V4。形成通路孔V4,使得其穿过由TEOS膜、氧化硅膜等等配置的层间绝缘膜IL8a,并且在底面处抵达第七层布线L7。由此,第七层布线L7的表面在通路孔V4的底部处被暴露。

[0200] 然后,如图30所示,在其中形成有布线槽WD5的层间绝缘膜IL8b之上以及在其中形成有通路孔V4的层间绝缘膜IL8a之上形成阻挡导体膜(铜扩散阻止膜)(在附图中未示出)。具体地,该阻挡导体膜是由钽(Ta)、钛(Ti)、钌(Ru)、钨(W)、锰(Mn)、它们的氮化物或硅氮化物、或者它们的层叠膜配置的,并且例如,是利用溅射方法形成的。

[0201] 接下来,例如,通过溅射方法在形成在层间绝缘膜IL8b上的阻挡导体膜之上以及在布线槽WD5和通路孔V4的内部中形成由薄的铜膜配置的种子膜。然后,利用种子膜作为电极通过电解电镀方法形成铜膜Cu4。形成铜膜Cu4,以便填充布线槽WD5和通路孔V4。例如,该铜膜Cu4是由主要包含铜的膜形成的。也就是说,该铜膜Cu4主要地包含铜(Cu)或铜合金(铜(Cu)合金)。除了上述以外,该铜膜Cu4有时包括铝(Al)、镁(Mg)、钛(Ti)、锰(Mn)、铁(Fe)、锌(Zn)、锆(Zr)、铌(Nb)、钼(Mo)、钌(Ru)、钯(Pd)、银(Ag)、金(Au)、铟(In)、或镧系金属、锕系金属等的合金。

[0202] 接下来,如图31所示,通过CMP方法,去除形成在层间绝缘膜IL8b之上的不必要的阻挡导体膜和铜膜Cu4。由此,形成由嵌入在布线槽WD5中的铜膜Cu4和阻挡导体膜配置的第八层布线L8以及由嵌入在通路孔V4中的阻挡导体膜和铜膜Cu4配置的插头PLG8。如上所述,可以形成第八层布线L8。由此,可以形成全局层(第八层布线L8)。

[0203] 接下来,如图32所示,在其中形成有第八层布线L8的层间绝缘膜IL8b上形成阻挡绝缘膜BI8,并且层间绝缘膜IL9形成在该阻挡绝缘膜BI8上。例如,阻挡绝缘膜BI8是由SiCN膜和SiCO膜的层叠膜配置的,并且例如,可以通过化学汽相沉积法形成该层叠膜。此外,该层间绝缘膜IL9是由TEOS膜、氧化硅膜、等等形成的,并且是可以是通过利用等离子体化学汽相沉积法形成的。然后,形成穿过层间绝缘膜IL9和阻挡绝缘膜BI8的通路孔。

[0204] 接下来,在通路孔的侧壁和底面上以及在层间绝缘膜IL9之上形成依次地堆叠有钛/氮化钛膜、铝膜、和钛/氮化钛膜的层叠膜,通过使该层叠膜图案化形成作为顶层布线的第九层布线L9和插头PLG9。

[0205] 然后,如图33所示,在形成有第九层布线L9的层间绝缘膜IL9上形成成为表面保护

膜的钝化膜PAS。该钝化膜PAS是由例如氧化硅膜和设置在该氧化硅膜上的氮化硅薄膜形成的，并且例如可以是通过化学汽相沉积法形成的。然后，如图34所示，通过利用光刻技术和蚀刻技术在钝化膜PAS中形成开口，并且暴露第九层布线L9的一部分以形成焊盘PD。

[0206] 接下来，如图35所示，在使焊盘PD暴露的钝化膜PAS之上形成聚酰亚胺薄膜PI。然后，图案化该聚酰亚胺薄膜PI，以暴露焊盘PD。如上所述，在半导体衬底1S之上形成MISFET和多层布线，由此完成了图1所示的本实施例的半导体器件。

[0207] 注意，如果图3所示的空孔9和10是通过去除致孔剂形成在多孔低介电常数膜中的话，那么对于本实施例中阐述的该多孔低介电常数膜没有特别的限制。也就是说，作为该多孔低介电常数膜的材料，替代 SiOC，例如可以使用包括空孔9和10的MSQ(甲基倍半硅氧烷)膜或HQS(氢硅氧烷)膜。作为制造多孔低介电常数膜的方法，在通过涂覆法形成具有包括致孔剂的多个空孔的绝缘膜之后，执行固化过程，以从该绝缘膜去除(排出)致孔剂，以形成多孔低介电常数膜。

[0208] 在下文中，将说明本实施例的制造半导体器件的方法的效果。

[0209] 当在层间绝缘膜中形成多个空孔时，存在如下思路，即多个具有相同的直径的空孔形成在层间绝缘膜的整个区域中，在该层间绝缘膜中，嵌入有布线，并且为了降低布线之间产生的电容以及其他原因，层间绝缘膜的介电常数被降低。在图46中示出了包括具有这种结构的层间绝缘膜的半导体器件，作为比较示例。图46示出了分别对应于图3的层间绝缘膜IL2和IL3的层间绝缘膜IL2b和IL3b。此外，图46示出了嵌入在层间绝缘膜IL2b中的第二层布线L2和插头(通路)PLG2，以及示出了嵌入在层间绝缘膜IL3b中的第三层布线L3和插头(通路)PLG3。

[0210] 如上所述，当具有与位于与布线相同高度处的层间绝缘膜(相邻布线之间的层间绝缘膜)中的空孔相同的直径的相对大的空孔形成在位于与通路相同高度处的层间绝缘膜(相邻通路之间的层间绝缘膜)中时，出现以下问题，即，包括该通路的金属布线中的EM特征(EM寿命)下降，并且金属布线间的TDDB特征(寿命)劣化。也就是说，当形成在相邻通路之间的层间绝缘膜中的空孔的直径(增大)时，显著地导致EM特征或TDDB特征的劣化，出现了诸如包括该通路的金属布线的电阻值的增加之类的问题，并且导致半导体器件的可靠性下降。

[0211] 也就是说，当如图46所示跨越层间绝缘膜IL2b和IL3b中每个的整个区域形成相对大的空孔10时，虽然可以通过增加层间绝缘膜IL2b和IL3b内的每个上部中的空孔占有率来降低绝缘膜的介电常数，但是，在下部中，如果该空孔占有率增长太多，那么容易在插头(通路)中生成空隙。此外，当在层间绝缘膜IL3b中形成具有大的平均直径的空孔10以增大空孔占有率时，容易在层间绝缘膜IL3b直接下方的第二层布线L2中生成空隙。

[0212] 引起这种问题的原因之一是：具有大的直径的空孔在通路孔或布线槽的侧表面上被暴露，由此阻挡导体膜和层间绝缘膜之间的粘合性下降，其中，在该布线槽中嵌入有金属线，在该通路孔中嵌入有通路，并且该阻挡导体膜覆盖该金属布线和通路的表面。

[0213] 此外，出现上述问题的另一个原因是：覆盖嵌入在下层层间绝缘膜上部中的金属布线的上表面的上层层间绝缘膜中的空孔直径变大，并且由此上层层间绝缘膜的弹性模数减小。也就是说，当经由阻挡绝缘膜形成在金属布线上的层间绝缘膜中的弹性模数减小时，该层间绝缘膜中的应力减小并且自上按压下层的金属布线的力减小，由此在该金属布线中

生成由EM引起的空隙。

[0214] 此外,作为另一个问题,存在如下可能性,即,当布线槽等的侧壁上存在没有形成阻挡导体膜的部分时,水容易从这种位置进入层间绝缘膜中,EM特征劣化、TDD特征劣化、或者布线之间的耐压降低。

[0215] 在本实施例的半导体器件中,如利用图20说明的,使得在布线槽和通路孔的每一个侧壁处被暴露的空孔的平均直径小于形成在层间绝缘膜内的上层中的空孔的平均直径。具体地,如图20所示,包括具有相对小的直径的空孔9的侧壁绝缘层PS2在如下区域中形成在层间绝缘膜的表面上,该区域在布线槽WD2的侧壁处被暴露。此外,包括具有相对小的直径的空孔9的下层绝缘层PB2形成在布线槽WD2的底面和通路孔V1的侧壁上。

[0216] 按照这种方式,使得在布线槽WD2和通路孔V1的侧壁处被暴露的层间绝缘膜IL2中的空孔直径小于上层绝缘层PT2中的空孔10的直径,由此可以改善布线槽WD2和通路孔V1的每个侧壁的平坦性。相应地,可以增加第二层布线L2和插头PLG2的表面上的阻挡导体膜BM2的覆盖范围。

[0217] 由此,可以防止第二层布线L2和插头PLG2之间的粘合性的劣化,该粘合性的劣化是由于没能成功地形成阻挡导体膜BM2所导致的。相应地,可以防止发生EM,并且由此可以增加半导体器件的可靠性。此外,由于可以防止产生没有形成阻挡绝缘膜的区域,因此可以防止配置第二层布线L2和插头PLG2的铜原子扩散至层间绝缘膜IL2中。相应地,可以防止线间TDD特征的劣化,并且由此可以增加半导体器件的可靠性。可以通过形成相同的结构在层间绝缘膜IL2上的层间绝缘膜IL3至IL5(参考图35)等的每一个中获得这些效果。

[0218] 注意,如果仅仅为了减小在布线槽和通路孔的侧壁处暴露的空孔的尺寸,那么没有必要减小层间绝缘膜中的空孔直径,除了在该布线槽和通路孔的侧壁处暴露的区域。图47示出了其中按照这种方式仅仅在布线槽和通路孔的侧壁附近处层间绝缘膜中的空孔的平均直径被减小的半导体器件,作为比较示例。图47是作为比较示例示出的半导体器件的截面图,并且示出了包括相当于图35所示的层间绝缘膜IL2和IL3的层间绝缘膜IL2c和IL3c的半导体器件的截面图。如图47所示,在布线槽WD2和WD3以及通路孔V1和V2的每个侧壁的附近处在层间绝缘膜IL2c和IL3c的每一个中形成包括具有相对小的空孔直径的空孔9的绝缘层PS。

[0219] 在图47所示的比较示例的半导体器件中,空孔10在层间绝缘膜IL3c内的下层中具有大的直径,在层间绝缘膜IL3c内的下部中应力降低,由此不能按压第二层布线L2,并且出现如下问题,即,金属布线的EM寿命劣化。第二层布线L2沿着层间绝缘膜IL2c上的阻挡绝缘膜BI2的下表面延伸,并且还直接形成在其中没有形成层间绝缘膜IL3c的绝缘层PS的区域下方。

[0220] 也就是说,包括具有相对大的平均直径的空孔10的层间绝缘膜IL3c的下表面经由阻挡绝缘膜BI2在第二层布线L2上方直接接触。在这种情况下,包括空孔10的层间绝缘膜IL3c的下表面相比于绝缘层PS具有低的弹性模数和小的内应力,因此难以利用该内应力按压和固定其直接下方的第二层布线L2。

[0221] 当第二层布线L2附近的层间膜的弹性模数降低时,第二层布线L2的临界应力也降低。相应地,当第二层布线L2中有电流流过并且在该第二层布线L2中引起拉伸应力时,该拉伸应力容易超过临界应力,并且在该第二层布线L2中生成了空隙。相应地,当如图47所示存

在其 中包括空孔9的绝缘层PS没有直接形成在第二层布线L2上方的区域时,不能防止该第二层布线L2中的EM特征和TDDB特征的劣化。

[0222] 相应地,在本实施例中,如图3所示,其中内部空孔9具有减小的直径的下层绝缘层PB2不仅形成在通路孔V1的侧壁处暴露的区域的层间绝缘膜IL2中,而且还沿着该层间绝缘膜IL2的整个下表面形成。虽然省略了关于除层间绝缘膜IL2和IL3以外的层的详细说明,但是其上层的层间绝缘膜IL3、层间绝缘膜IL4和IL5(参考图1)中每一个具有与层间绝缘膜IL2相同的结构。例如,如图2所示,虽然沿着半导体衬底的上表面(在附图中未示出)延伸的第二层布线L2的上表面由层间绝缘膜IL3覆盖,但是,同样在除了插头PLG3附近以外与第二层布线L2的上表面接触的区域中,第二层布线L2的上表面由其中形成有相对小的空孔9(参考图3)的下层绝缘层PB3覆盖。也就是说,直接位于第二层布线L2上方的整个区域由包括空孔9的下层绝缘层PB3覆盖,除了耦合有插头PLG3的区域之外。

[0223] 由于作为层间绝缘膜IL3的一部分的下层绝缘层PB3相比于上层绝缘层PT3具有较高的弹性模数,因此在覆盖第二层布线L2的上表面的层间绝缘膜IL3的底面处的应力大于上层绝缘层PT3的应力。当第二层布线L2上的下层绝缘层PB3中的弹性模数增大时,第二层布线L2的临界应力增大,因此,即使由于第二层布线L2中的电流,第二层布线L2中的拉伸应力增大,也可以防止该拉伸应力超过临界应力,并且可以防止产生空隙。相应地,可以利用下层绝缘层PB3中的应力固定经由阻挡绝缘膜BI2形成在层间绝缘膜IL3的表面上的第二层布线L2,并且可以防止第二层布线L2的EM特征的劣化,由于此可以改善半导体器件的可靠性。

[0224] 此外,对于水容易从布线槽等的侧壁进入层间绝缘膜的问题,在本实施例中,可以通过使得暴露于布线槽等的侧壁处的层间绝缘膜的表面层更加致密并且具有更高的硬度来防止从这种表面吸附水分。

[0225] 通过如下过程使得层间绝缘膜的下层绝缘层具有较小空孔和较高的弹性模数(如上所述),即,如利用图12所阐述地,在层间绝缘 膜的形成过程中,致孔剂流速从0.10g/min变化到0.30g/min。也就是说,上述效果仅能通过在膜形成过程中改变致孔剂流速来获得。相应地,通过利用本实施例中的半导体器件的制造方法,可以非常容易地实现上述效果,无需增大掩模的数目、膜形成过程的数目、蚀刻过程的数目、等等,并且可以防止半导体器件的制造步骤的复杂化。

[0226] 在下文中,利用图36至图42所示的图标将描述本实施例中半导体器件及其制造方法的效果。然而,在下文中,将示出当半导体器件包括层间绝缘膜并且该半导体器件被用作具有与本实施例相同的效果的半导体器件时的试验结果,该层间绝缘膜是通过在形成多孔低介电常数膜的过程将致孔剂流速从0.10g/min变化到0.30g/min而形成的。

[0227] 图36是具有表示EM寿命的水平轴和表示累积分布的垂直轴的图表,并且通过白色三角形的标图示出了针对当致孔剂流速是0.10g/min时形成的多孔低介电常数膜(层间绝缘膜)的图表,以及通过黑色圆形的标图示出了针对当致孔剂流速是0.30g/min时的多孔低介电常数膜(层间绝缘膜)的图表。当比较图36中所示的两个图表时,看上去在以降低的致孔剂流速形成的层间绝缘膜和以提高的致孔剂流速形成的层间绝缘膜之间几乎没有EM寿命差异。

[0228] 然而,本发明的发明人通过实验发现,虽然在0.10g/min的致孔剂流速的情况下在

沿着半导体衬底的主表面延伸的布线中经常地生成空隙,但是在0.30g/min的致孔剂流速的情况下在与上层布线和下层布线耦合插头(通路)中经常地生成空隙。也就是说,当致孔剂流速增加并且层间绝缘膜中的空孔占有率增大时,在嵌入在层间绝缘膜内的下部中的插头中容易生成空隙。

[0229] 接下来,图37是具有表示线间耐压的水平轴和表示其累积分布的垂直轴的图表,并且通过白色三角形的标图示出了针对当致孔剂流速是0.10g/min时形成的层间绝缘膜的图表,以及通过黑色圆形的标图示出了针对当致孔剂流速是0.30g/min时的层间绝缘膜的图表。

[0230] 此外,图38所示的图表是具有表示线间TDDDB寿命的水平轴和表示其累积分布的垂直轴的图表,并且通过白色三角形的标图示出了针对当致孔剂流速是0.10g/min时形成的层间绝缘膜的图表,以及通过黑色圆形的标图示出了针对当致孔剂流速是0.30g/min时的层间绝缘膜的图表。

[0231] 如图37所示,针对以提高的致孔剂流速形成的层间绝缘膜的耐压变得比针对以降低的致孔剂流速形成的层间绝缘膜的耐压低。此外,如图38所示,针对以提高的致孔剂流速形成的层间绝缘膜的TDDDB寿命变得比针对以降低的致孔剂流速形成的层间绝缘膜的TDDDB寿命短。可以设想到,这种现象是源于下述事实,即,对于以提高的致孔剂流速形成的层间绝缘膜,空隙更容易生成在插头(通路)部分中,如利用图36所说明的。

[0232] 接下来,图39是具有表示EM寿命的水平轴和表示其累积分布的垂直轴的图表。此外,图40是具有表示线间耐压的水平轴和表示其累积分布的垂直轴的图表。此外,图41具有表示线间TDDDB寿命的水平轴和表示其累积分布的垂直轴。图39、图40以及图41中的每一个通过白色圆形的标图示出了针对通过在层间绝缘膜的膜形成过程期间使致孔剂流速从0.10g/min变化至0.30g/min而形成的层间绝缘膜的图表,以及通过黑色圆形的标图示出了针对通过在层间绝缘膜的膜形成过程期间将致孔剂流速保持恒定在0.30g/min而形成的层间绝缘膜的图表。也就是说,利用白色圆形的标图示出的图表是针对利用与本实施例的半导体器件中使用的多孔低介电常数相同的效果的多孔低介电常数膜的情况的图表。

[0233] 如图39、图40和图41所示,相比于在通过将致孔剂流速保持恒定在0.30g/min而形成的层间绝缘膜的情况下,在通过使致孔剂流速从0.10g/min变化至0.30g/min而形成的层间绝缘膜的情况下,EM寿命和线间TDDDB寿命变长,并且耐压得到更多的改善。

[0234] 相应地,在本实施例的半导体器件中,可以通过在多孔低介电常数膜(层间绝缘膜)的膜形成过程期间逐步地增加致孔剂流速来改善EM寿命、线间TDDDB寿命、以及耐压。这是通过如上所述降低多个插头(通路)之间的层间绝缘膜中的空孔密度而获得的效果。

[0235] 注意,当比较通过将致孔剂流速保持恒定在0.30g/min而形成的层间绝缘膜和通过使致孔剂流速从0.10g/min变化至0.30g/min而形成的层间绝缘膜时,可以设想到,在通过改变上述流速而形成的绝缘膜中,介电常数(电容)变大。然而,事实上,如图42的图表所示,当比较通过将致孔剂流速保持恒定在0.30g/min而形成的层间绝缘膜和通过使致孔剂流速从0.10g/min变化至0.30g/min而形成的层间绝缘膜时,介电常数(电容)的增加大约为0.6%,这是在不存在实际问题的范围中的一个值。相应地,即使当如在本实施例中层间绝缘膜内的下层绝缘层中的空孔平均直径降低时,也可以将层间绝缘膜的介电常数的增加保持在没有问题的范围内。

[0236] 这里,图42示出了:当垂直轴表示层间绝缘膜的电容(介电常数)时,针对通过将致孔剂流速保持恒定在0.30g/min而形成的层间绝缘膜的图表(图42的右侧),以及,针对通过使致孔剂流速从0.10g/min变化至0.30g/min而形成的层间绝缘膜的图表(图42的左侧)。

[0237] 虽然在上文中已经根据实施例具体地阐述了本发明的发明人所实现的发明,但是本发明并不局限于此,并且显然地在不脱离本发明的主旨的范围内可以以不同的方式改变本发明。

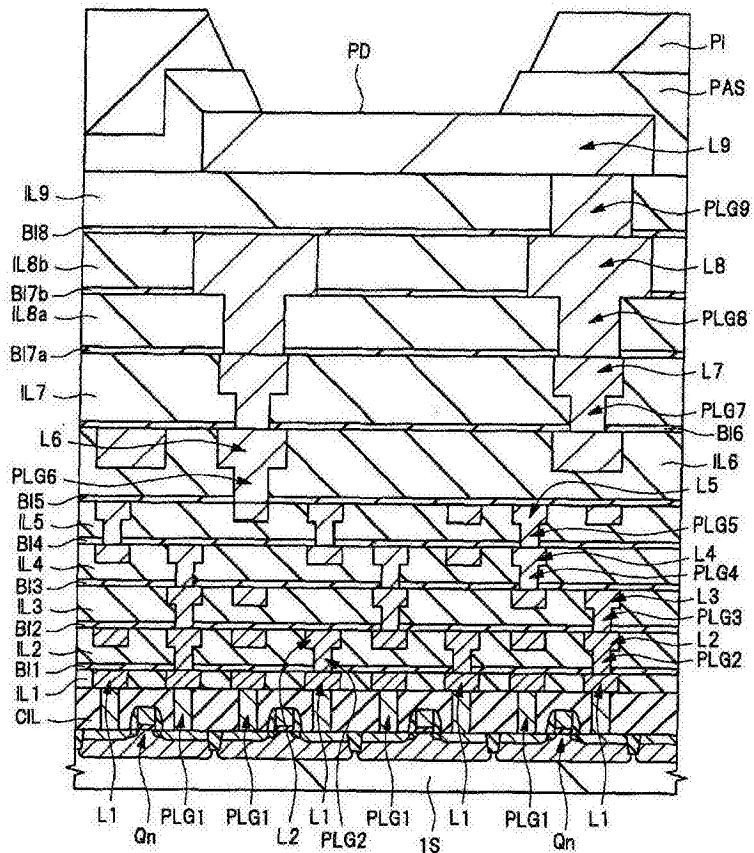


图 1

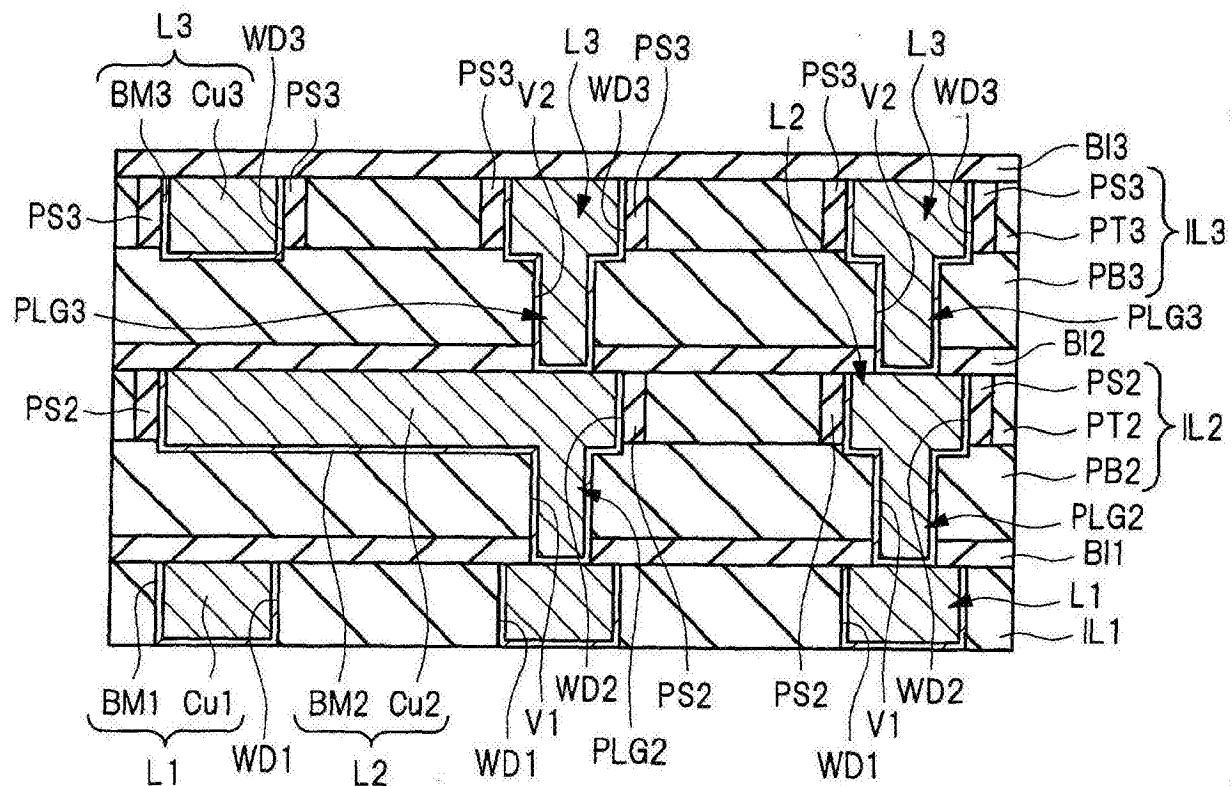


图2

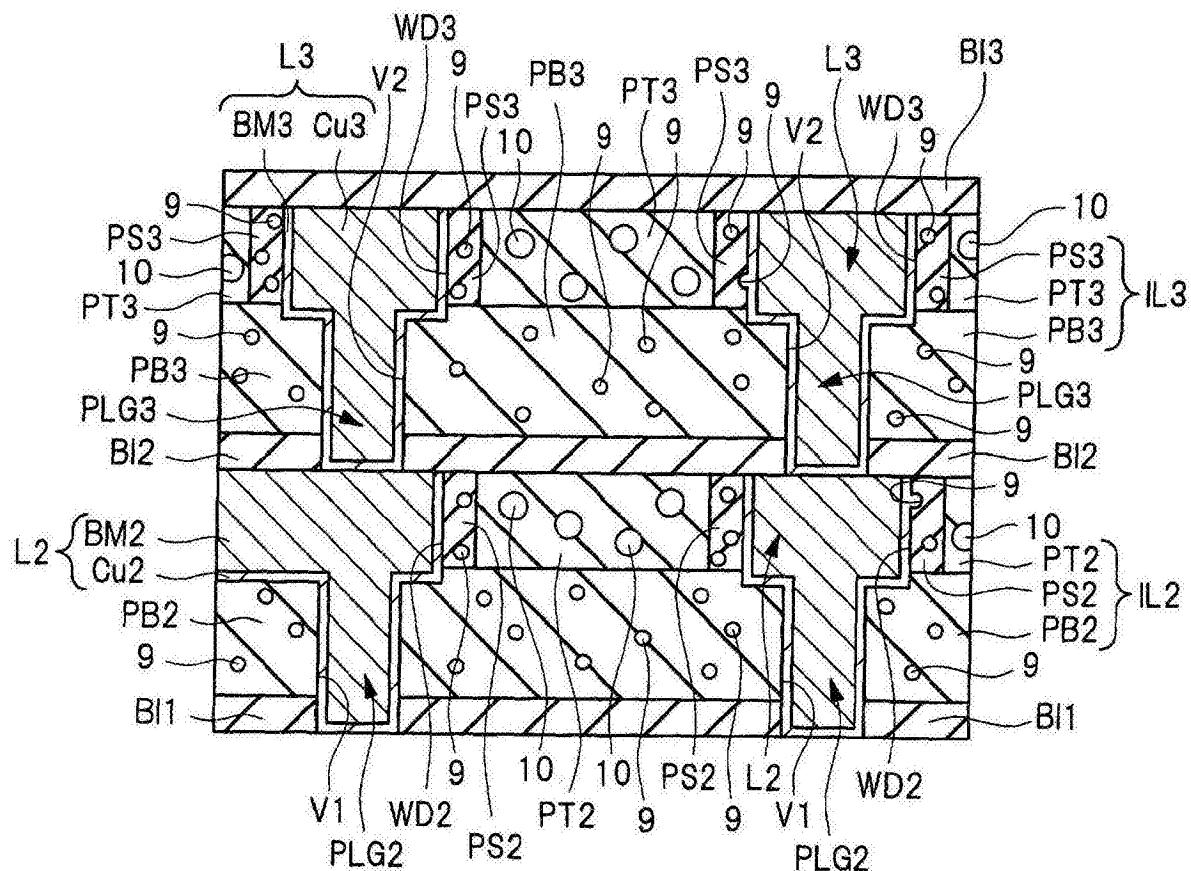


图3

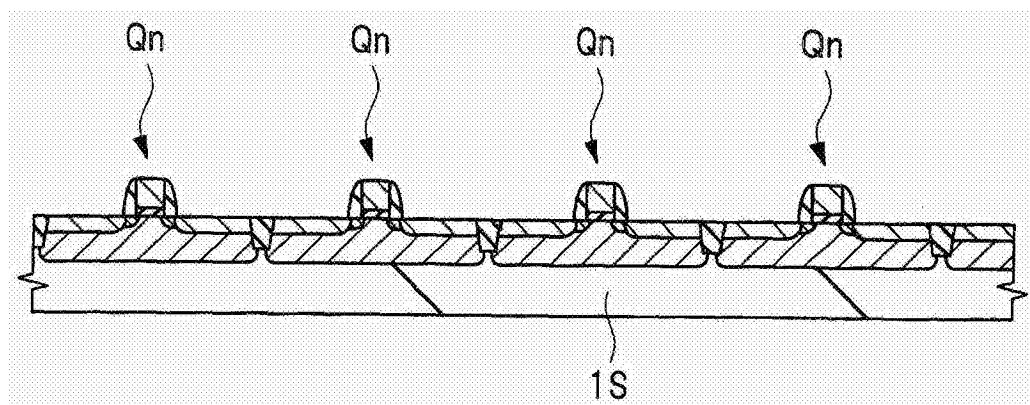


图4

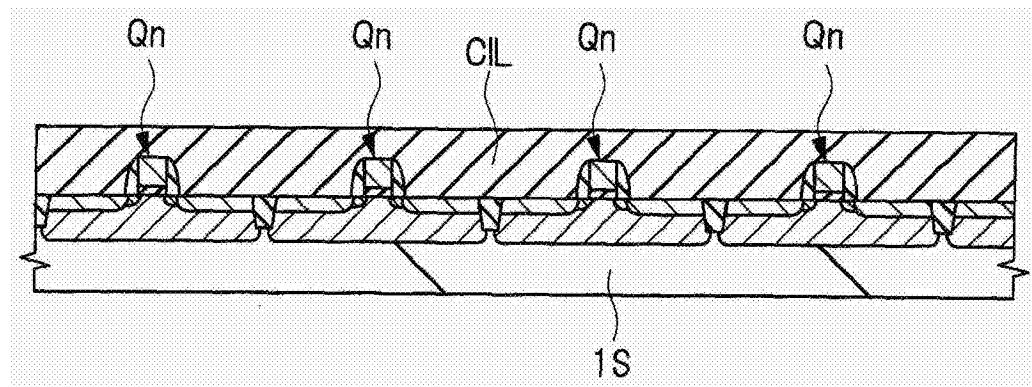


图5

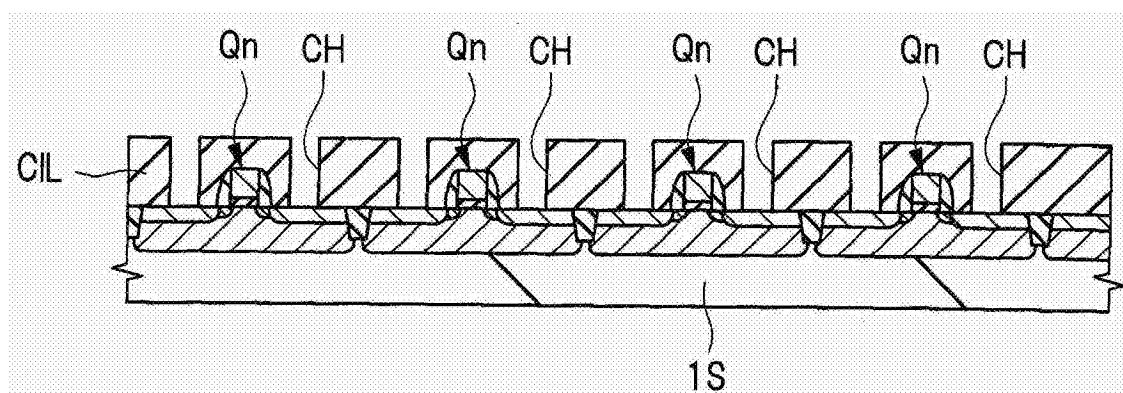


图6

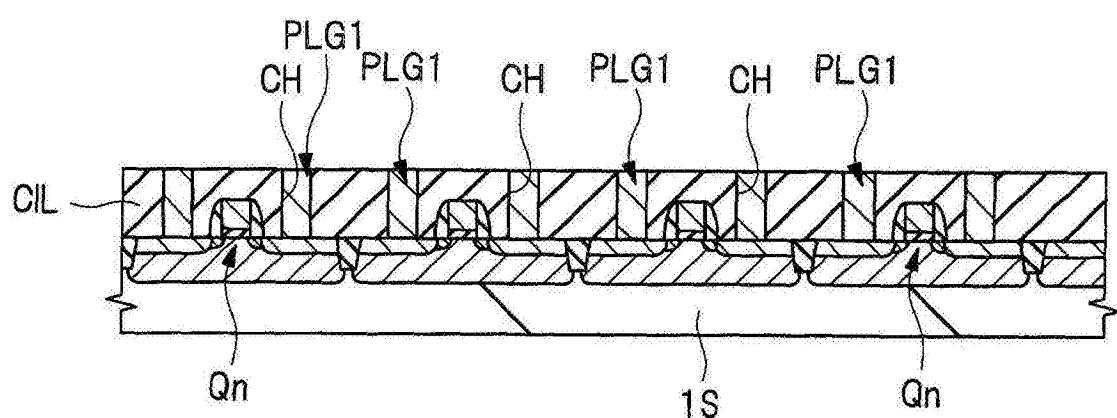


图7

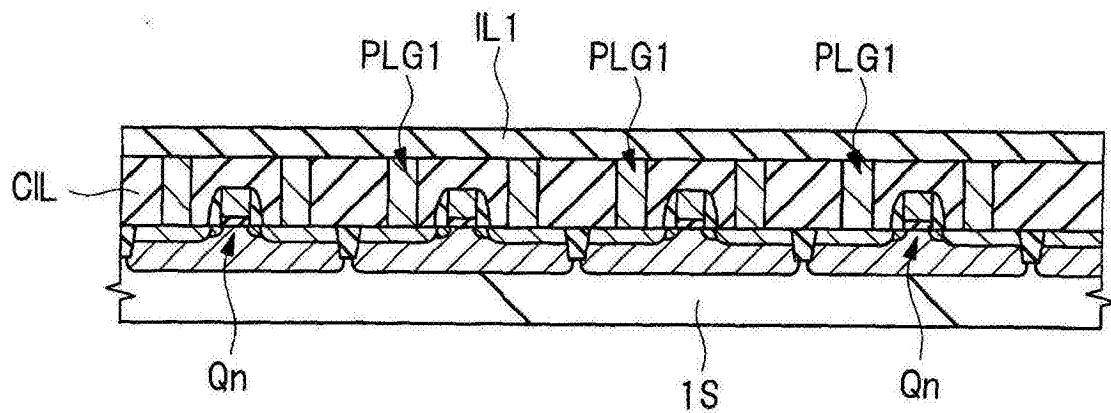


图8

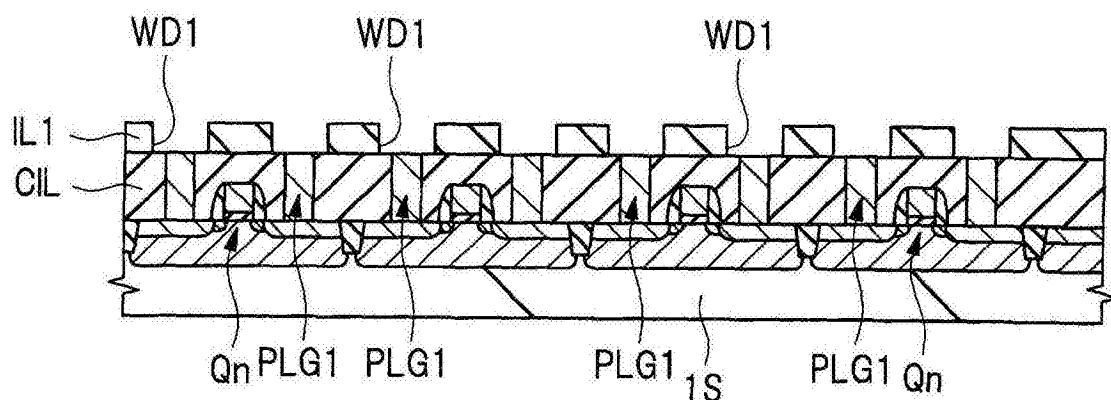


图9

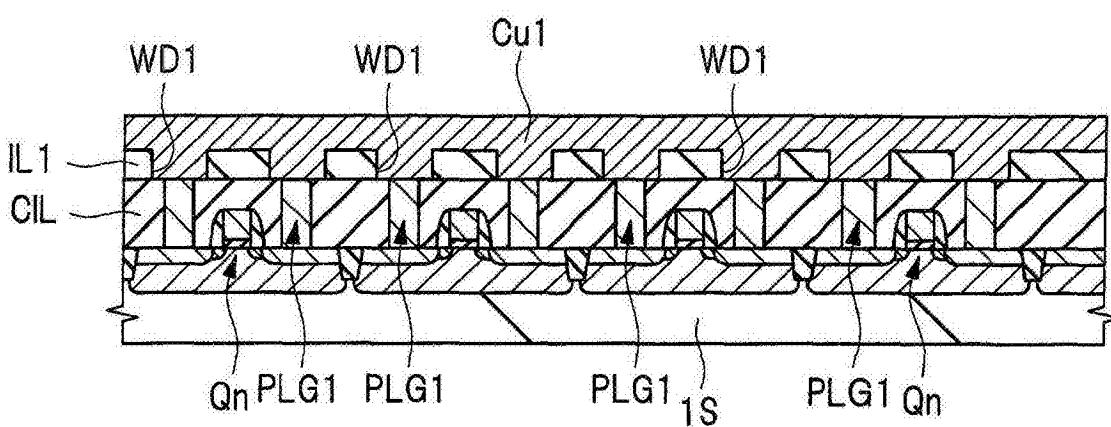


图10

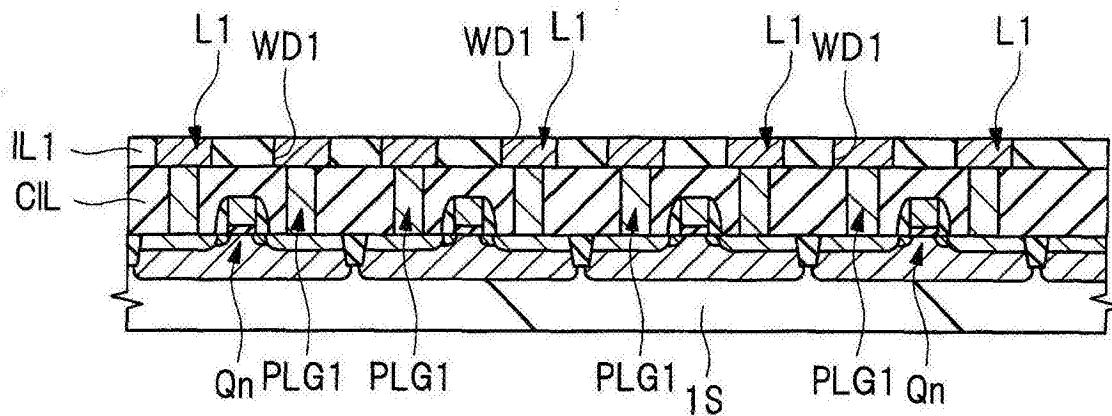


图11

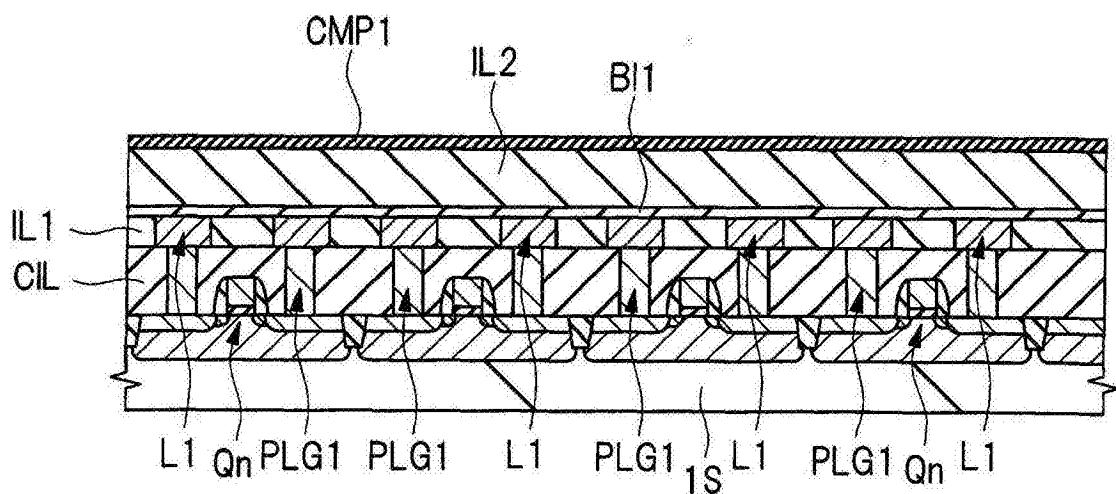


图12

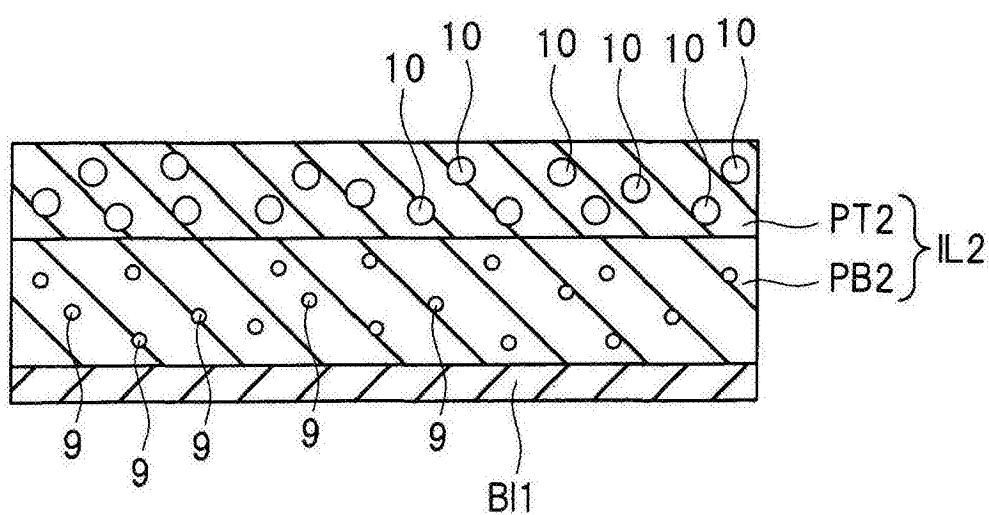


图13

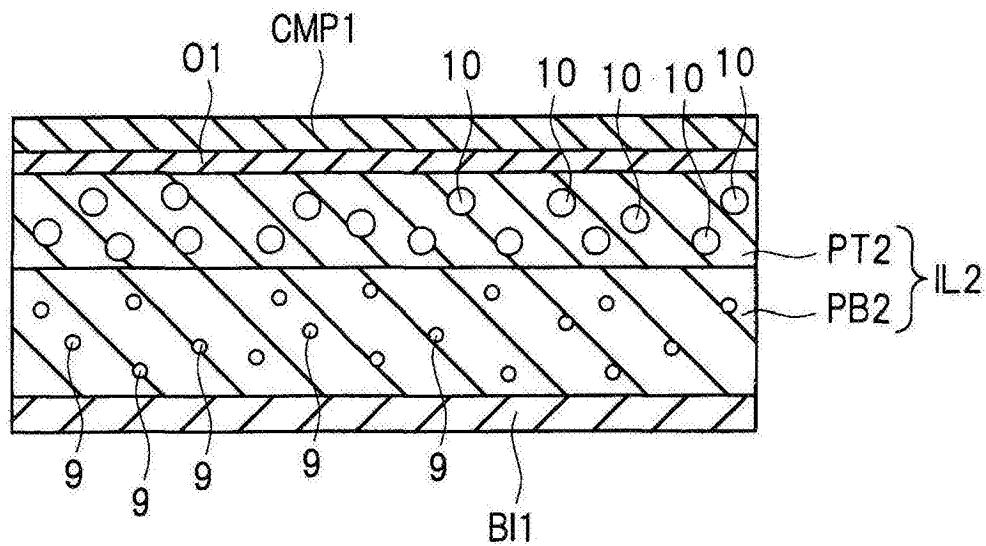


图14

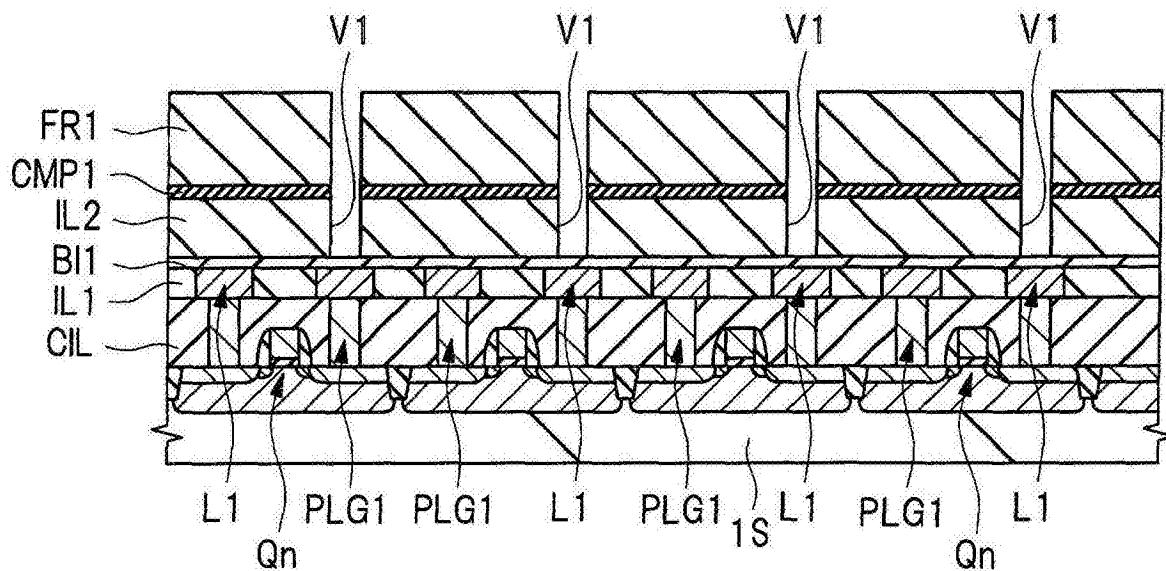


图15

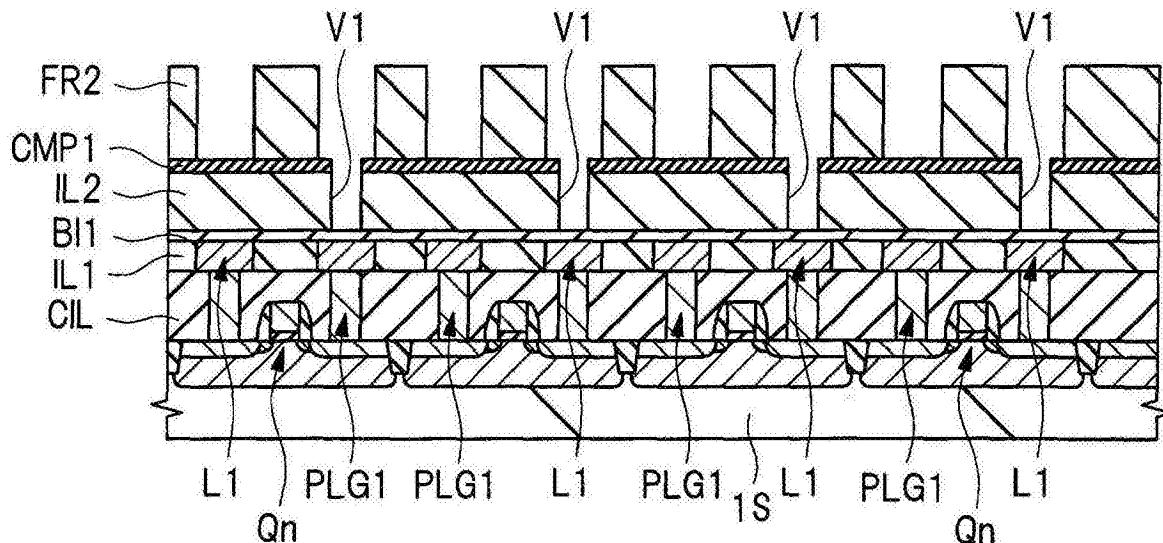


图16

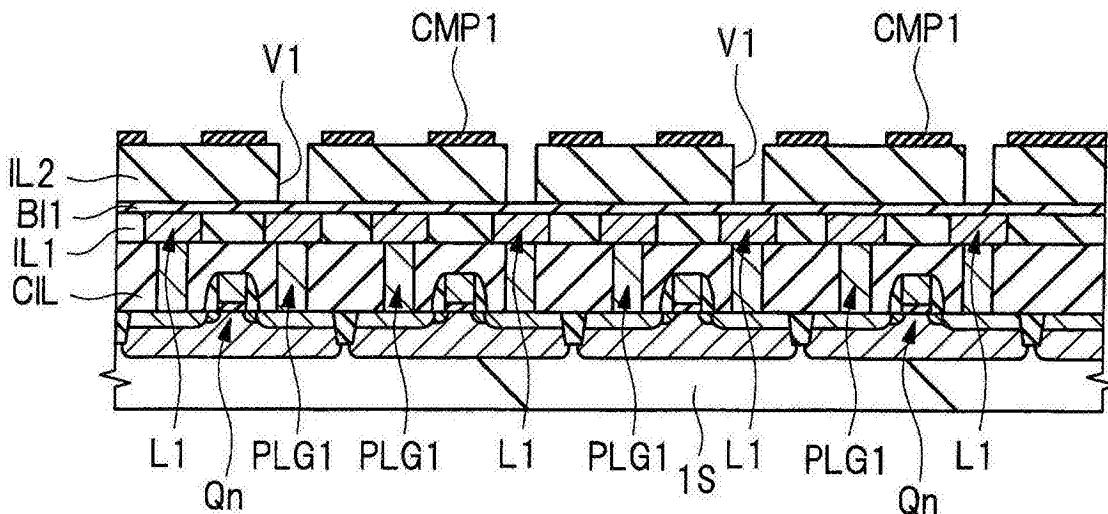


图17

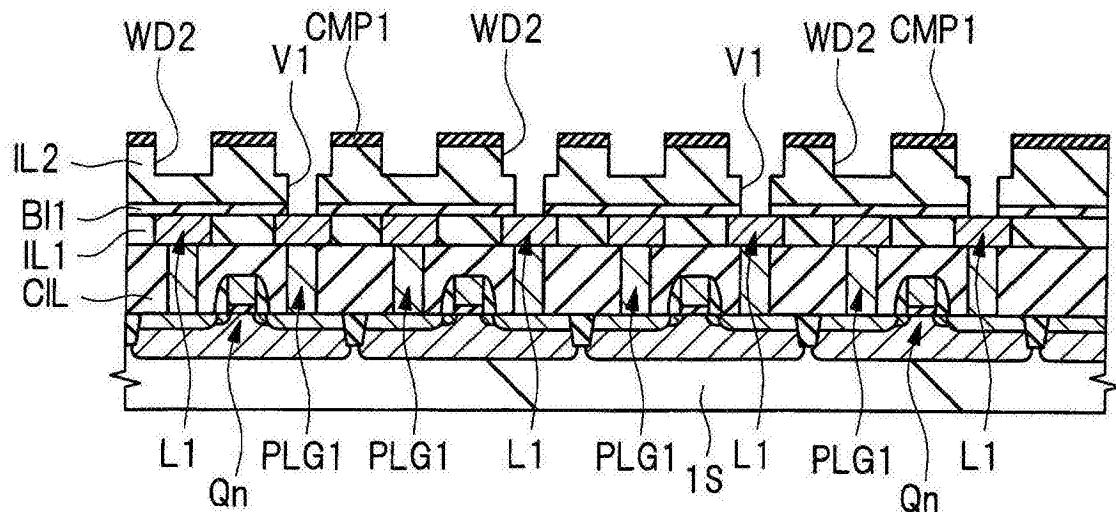


图18

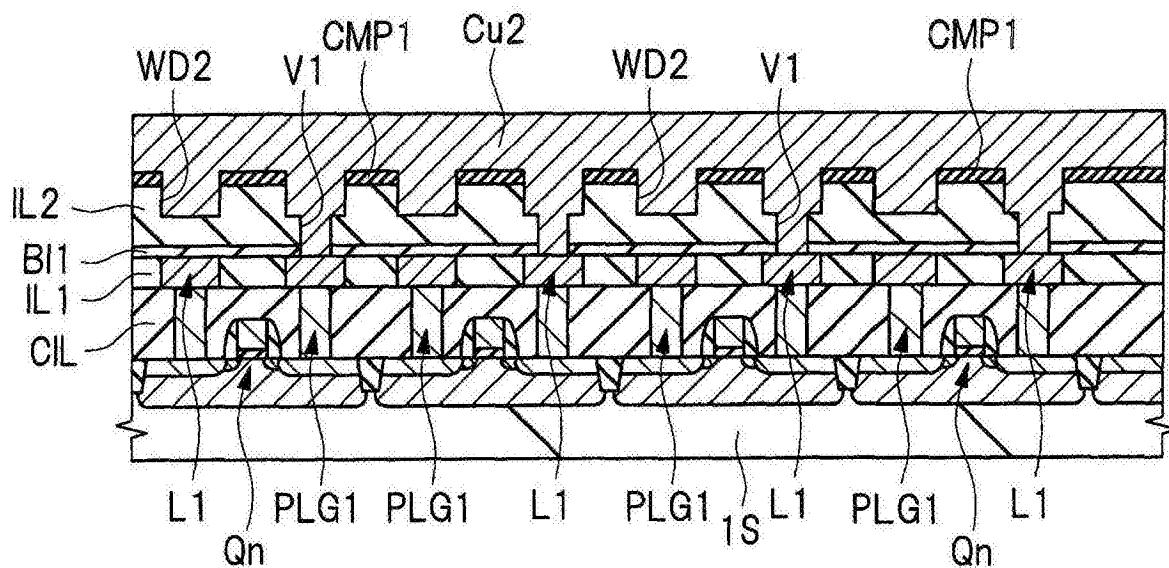


图19

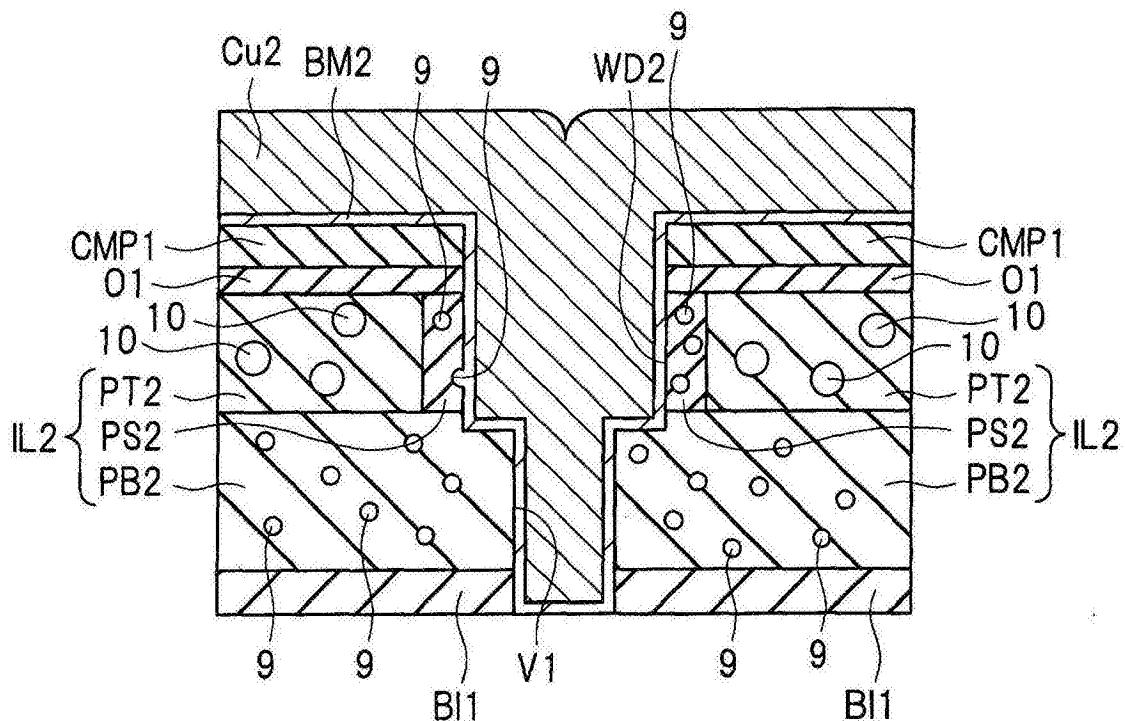


图20

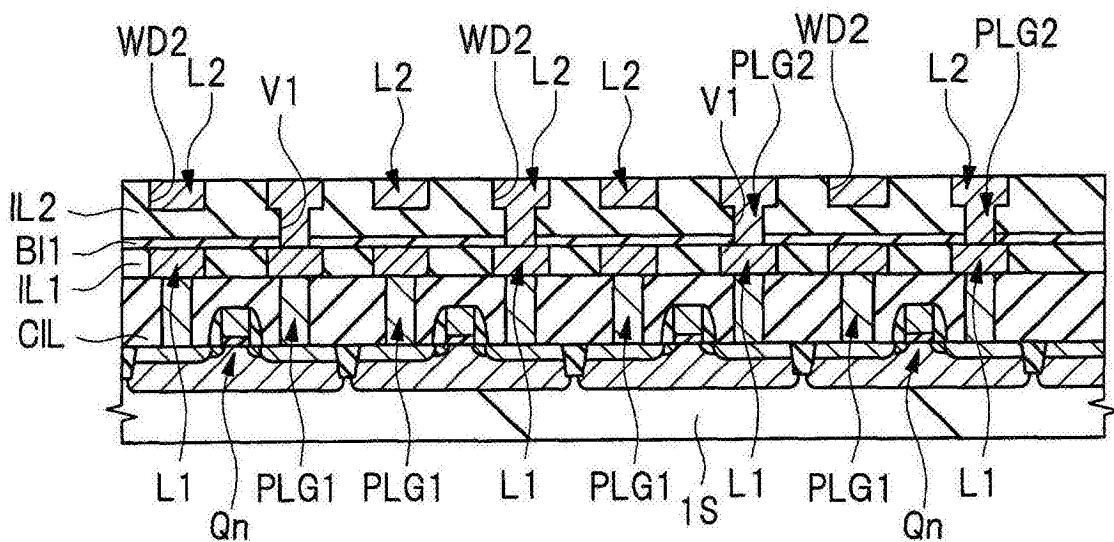


图21

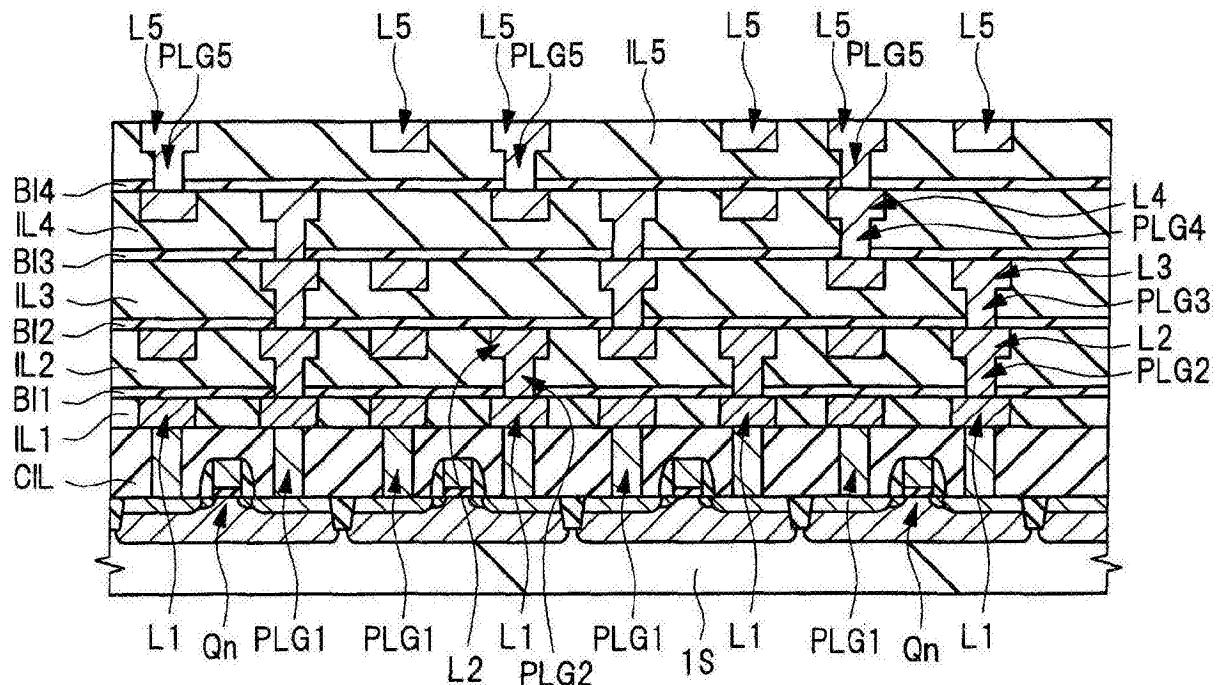


图22

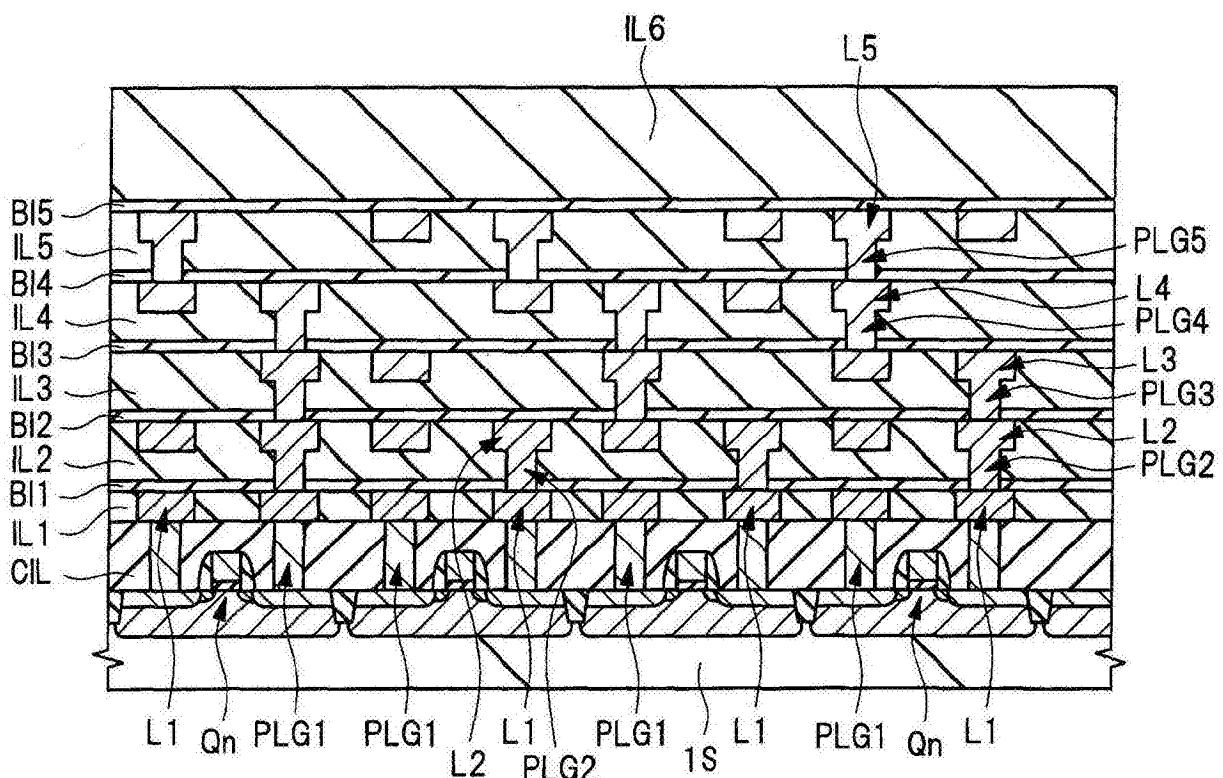


图23

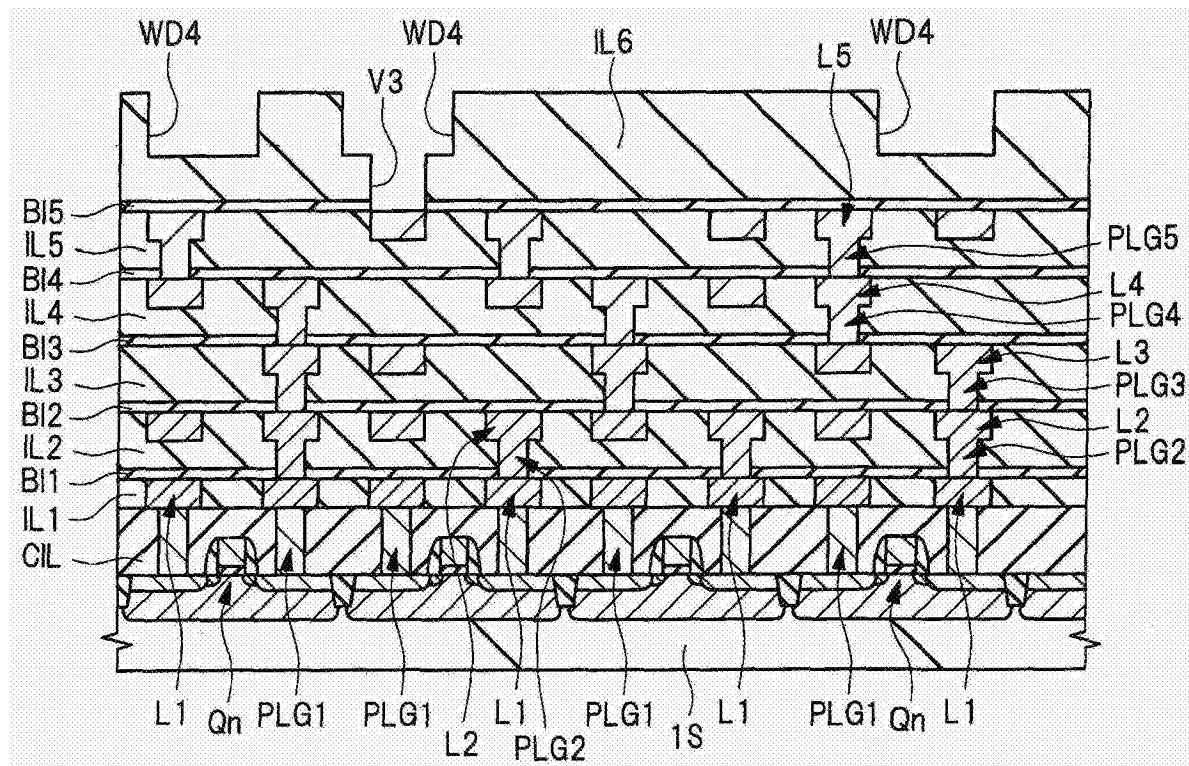


图24

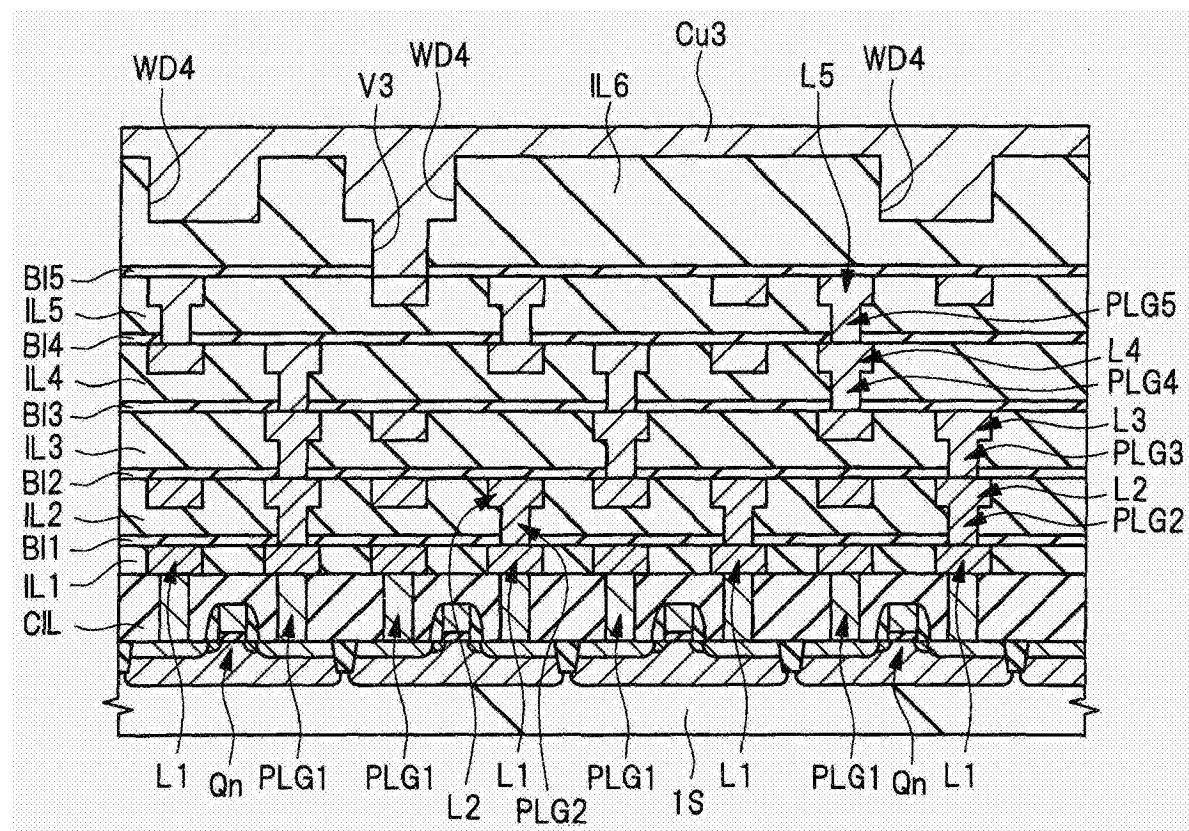


图25

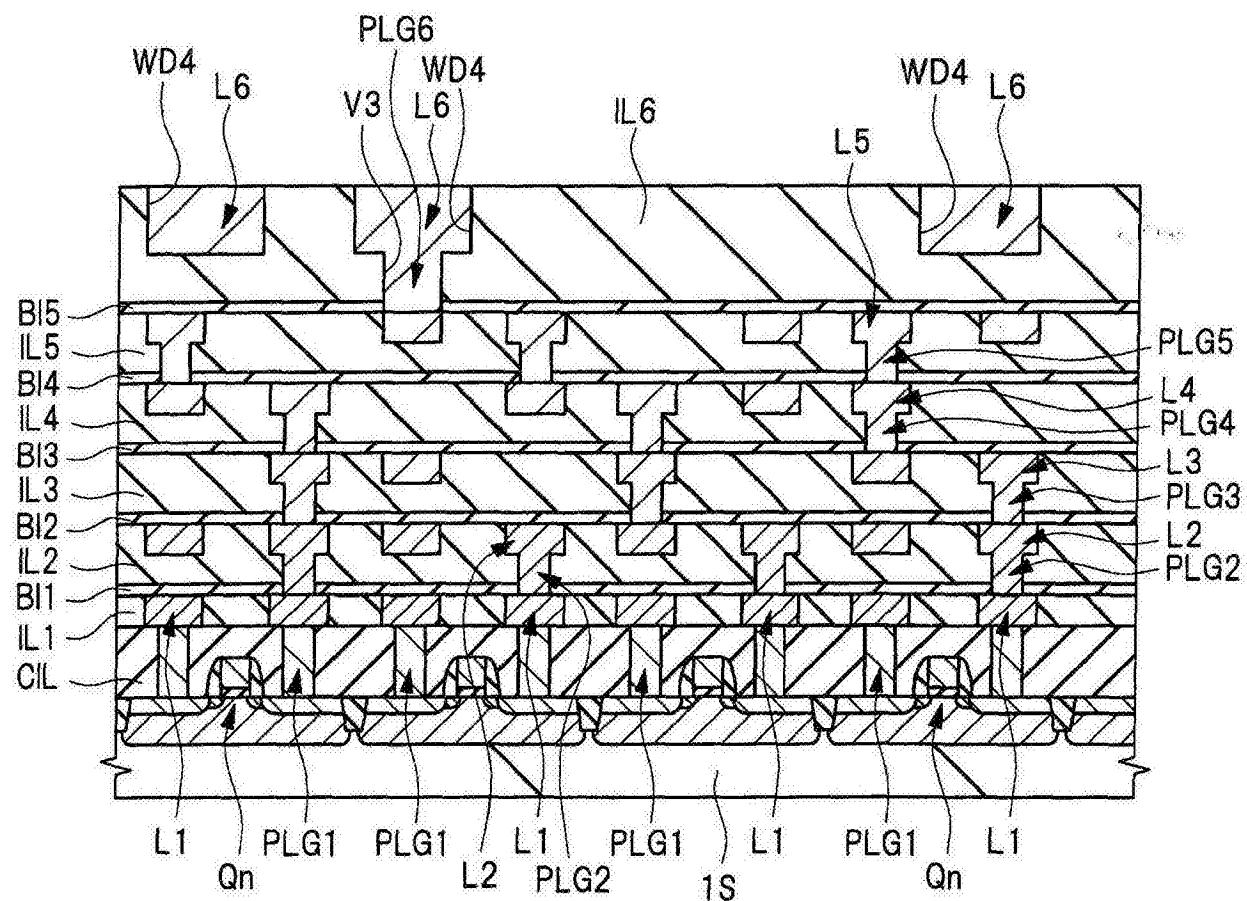


图26

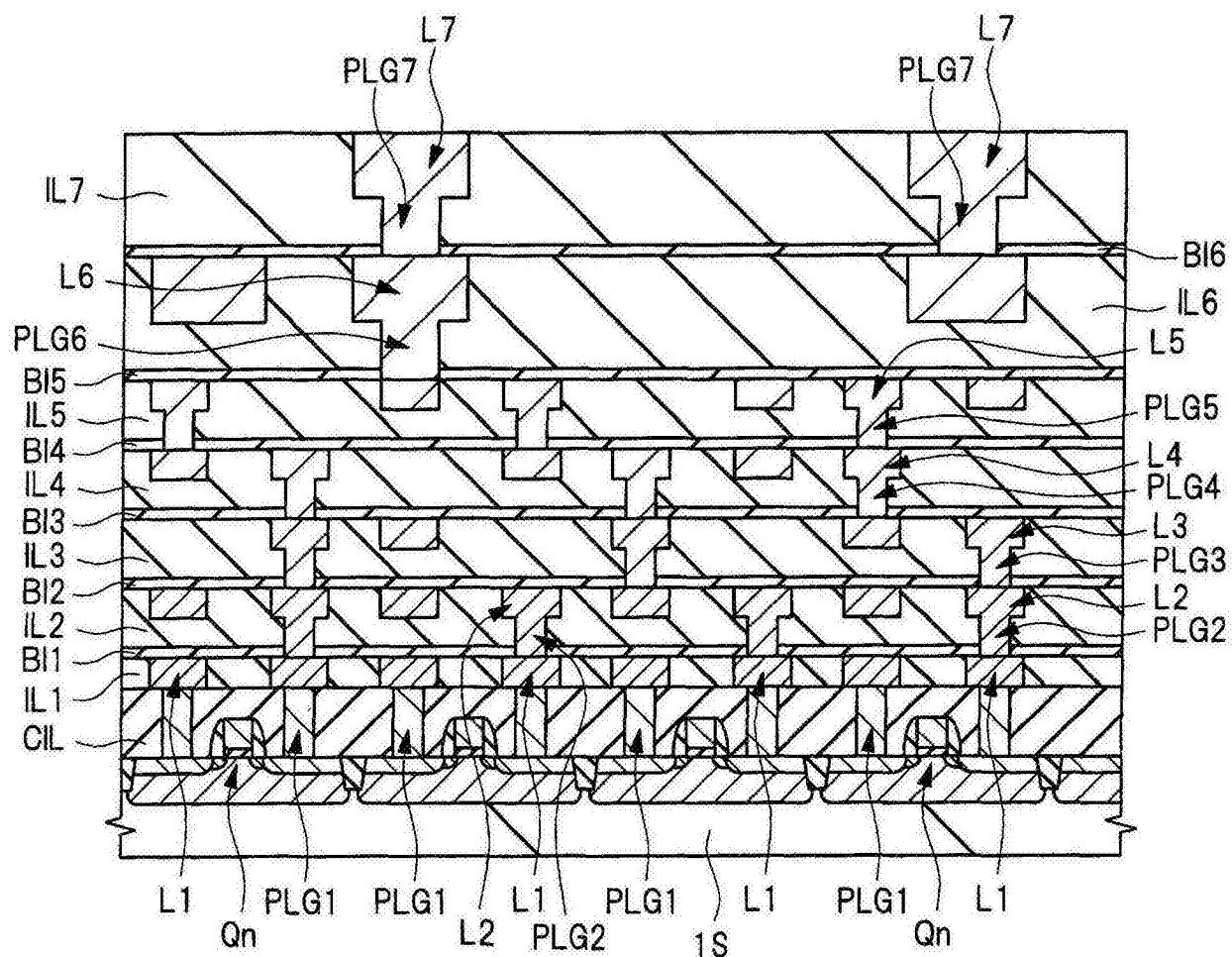


图27

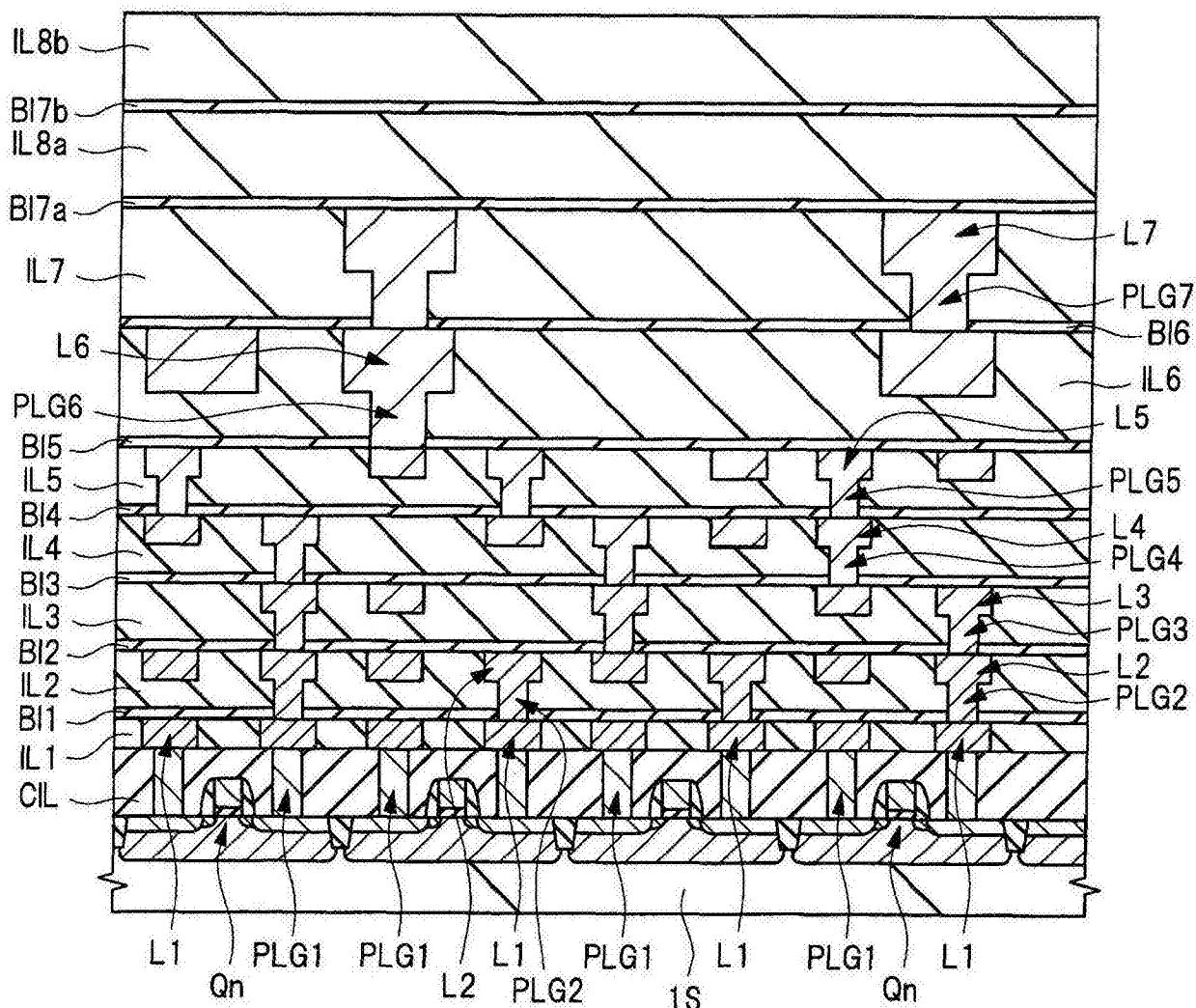


图28

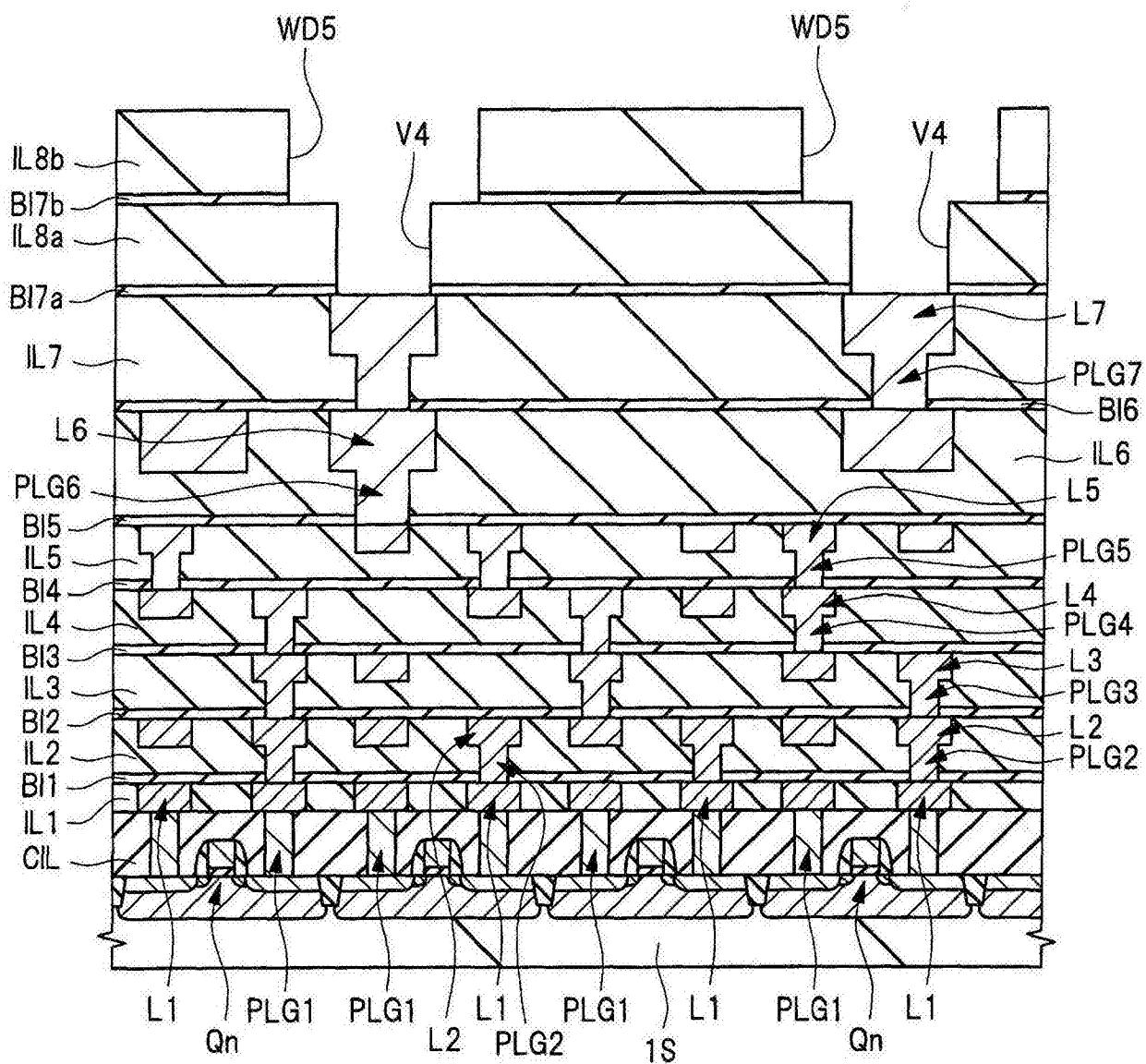


图29

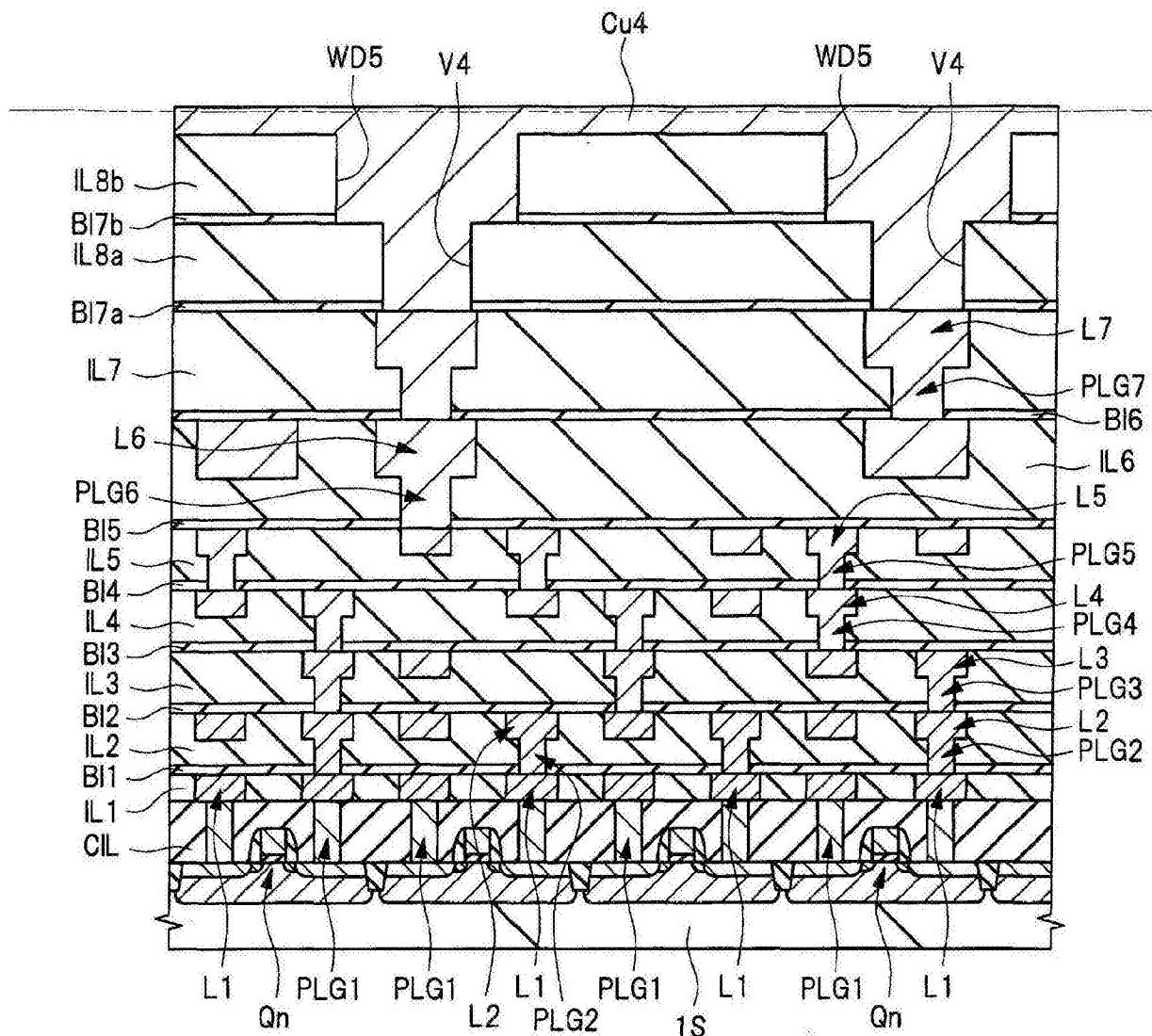


图30

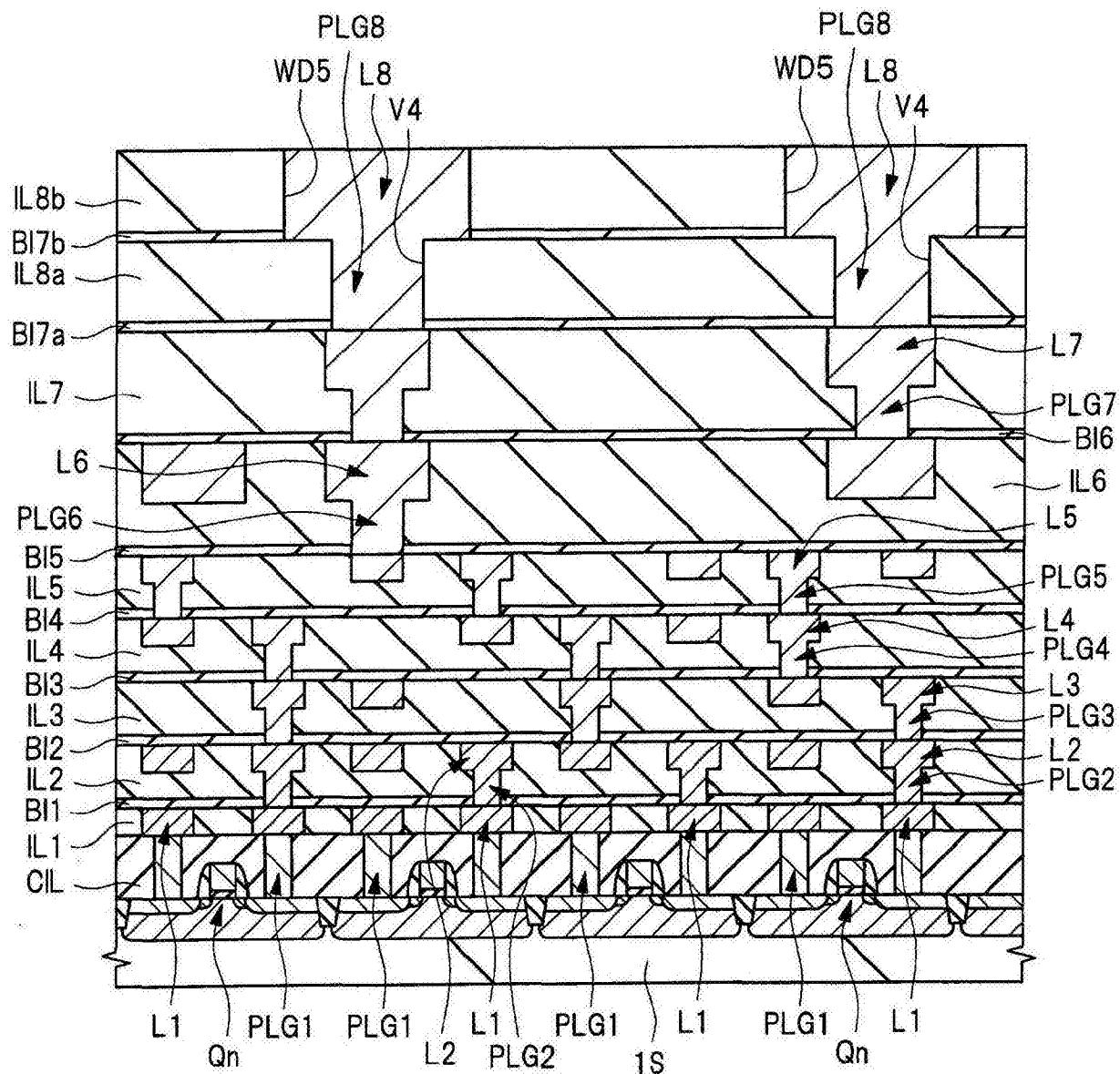


图31

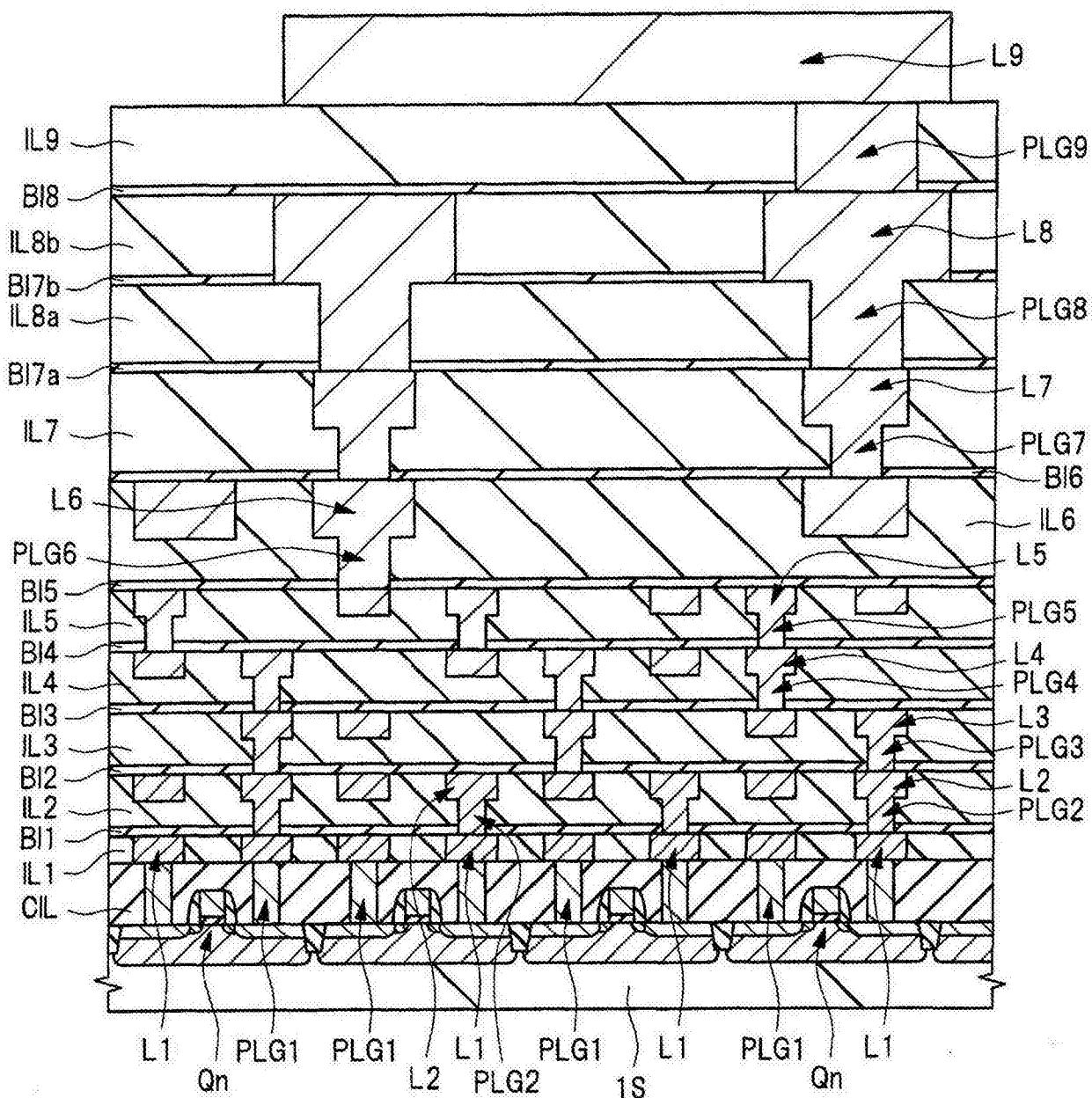


图32

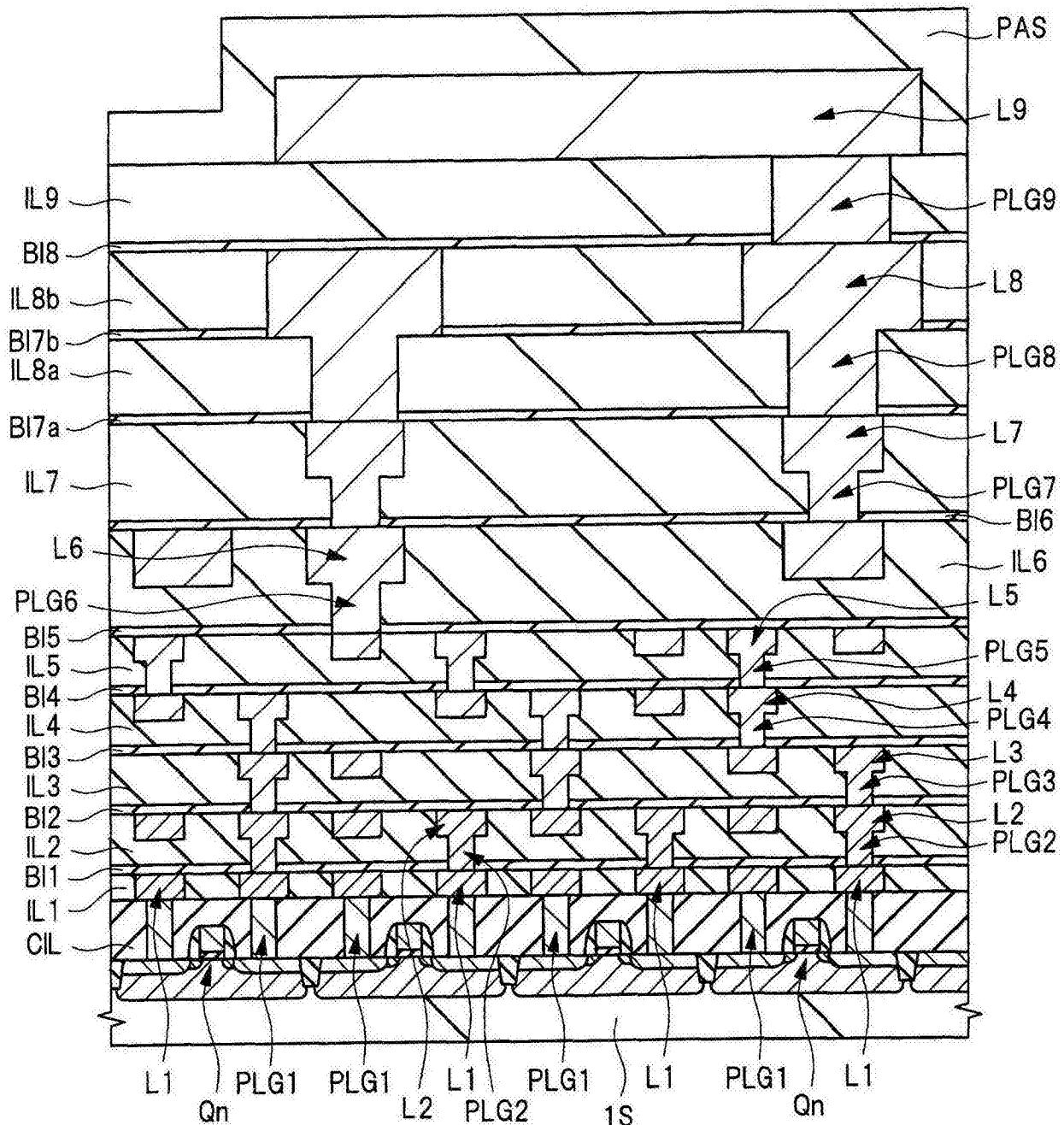


图33

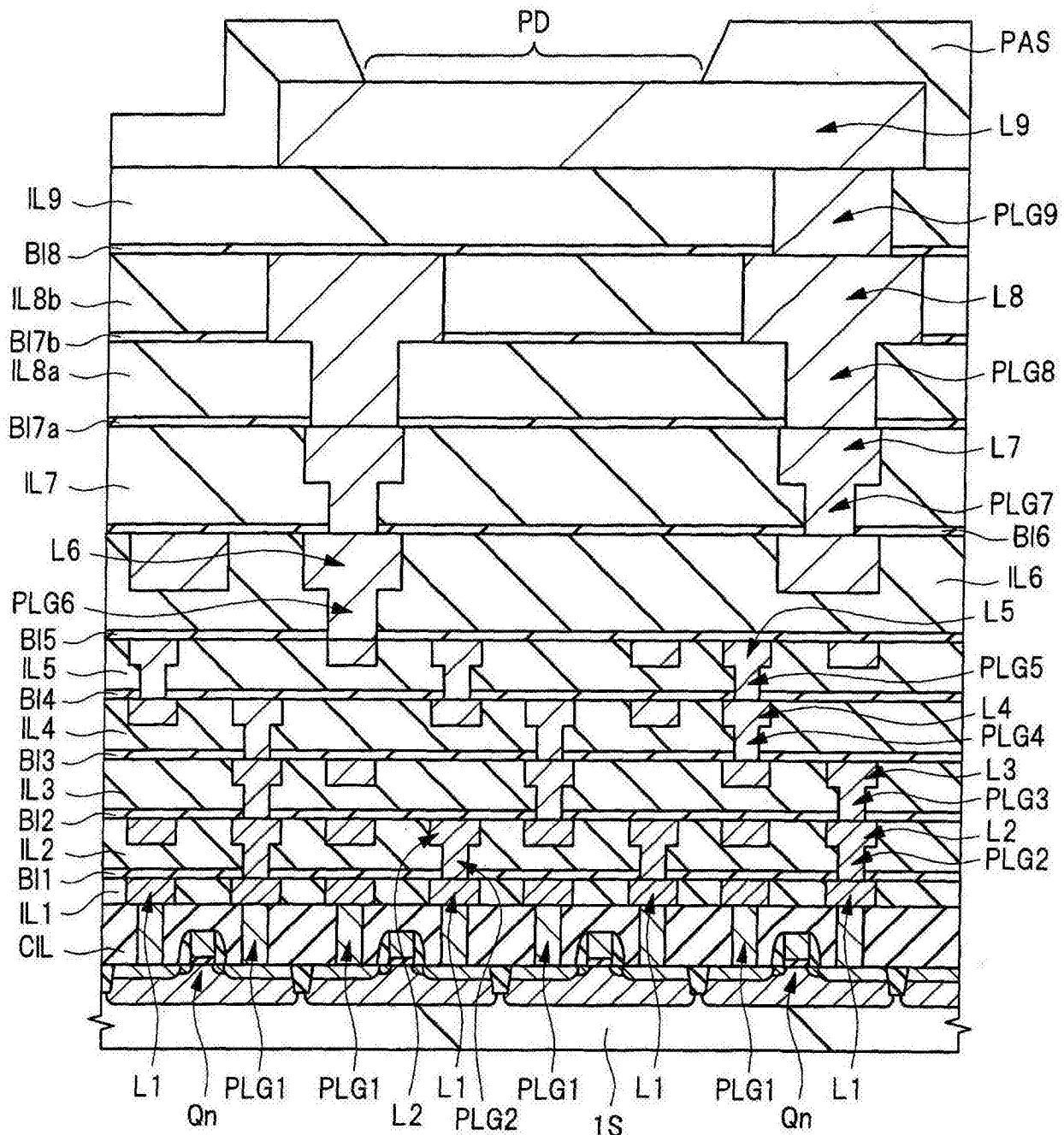


图34

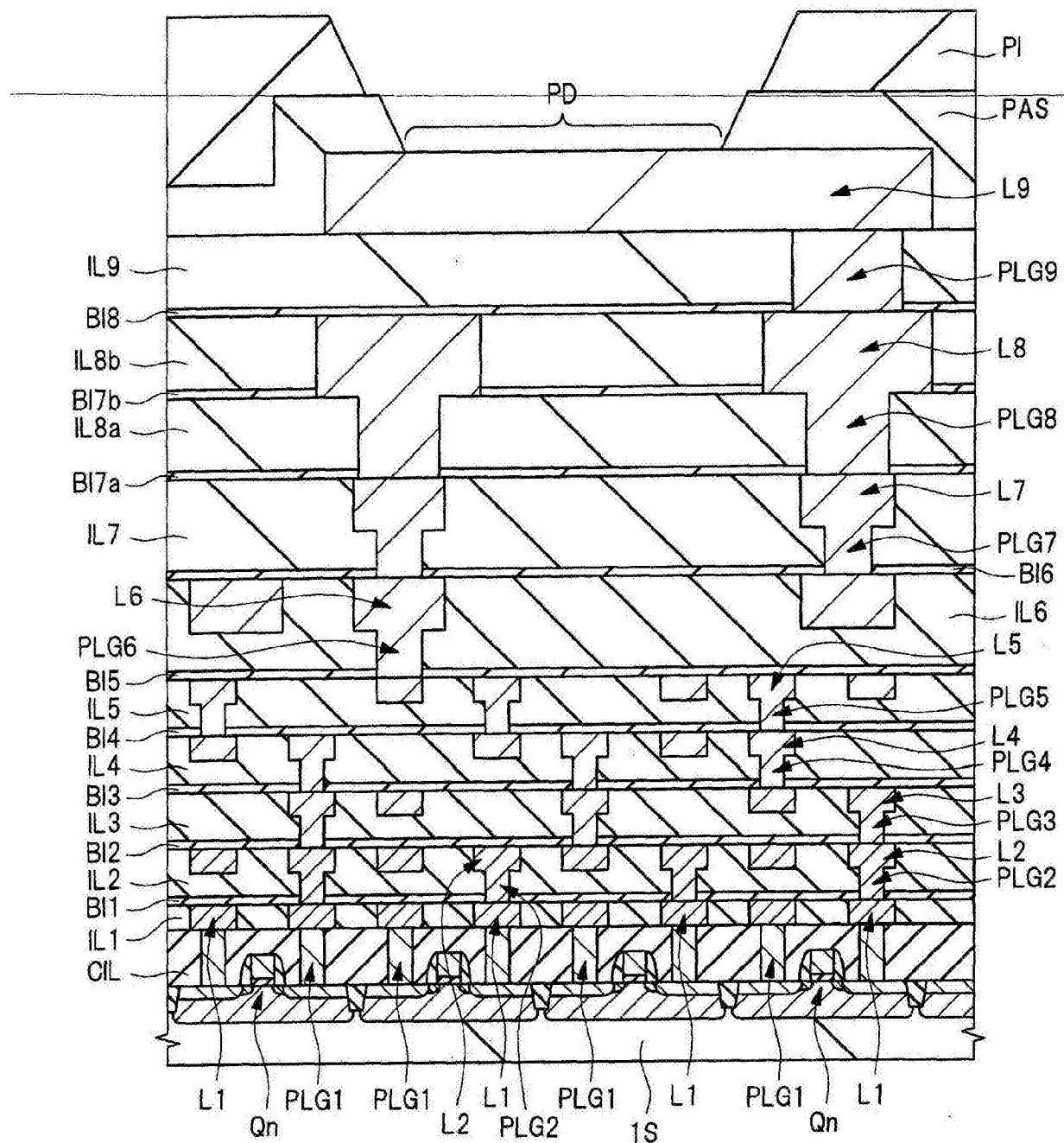


图35

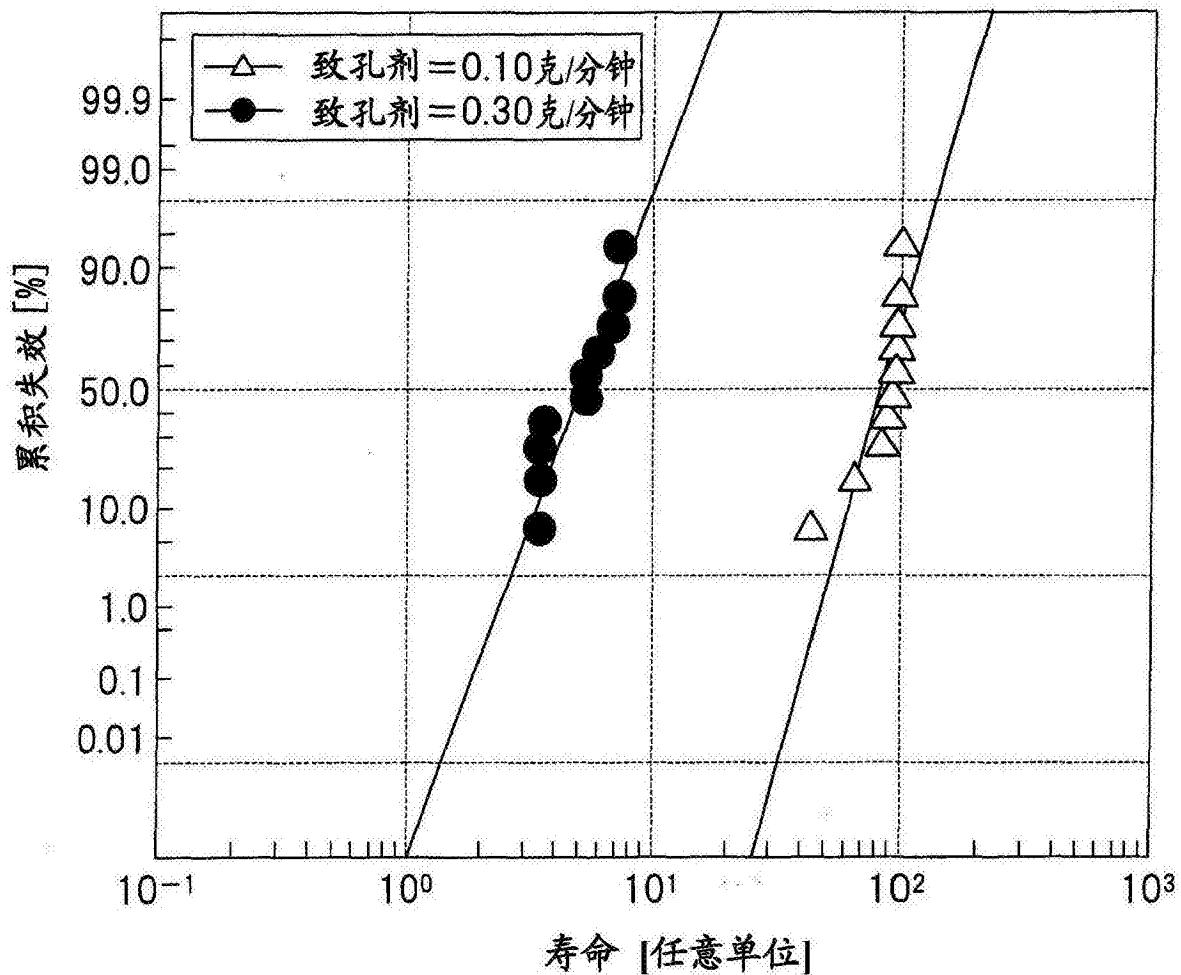


图36

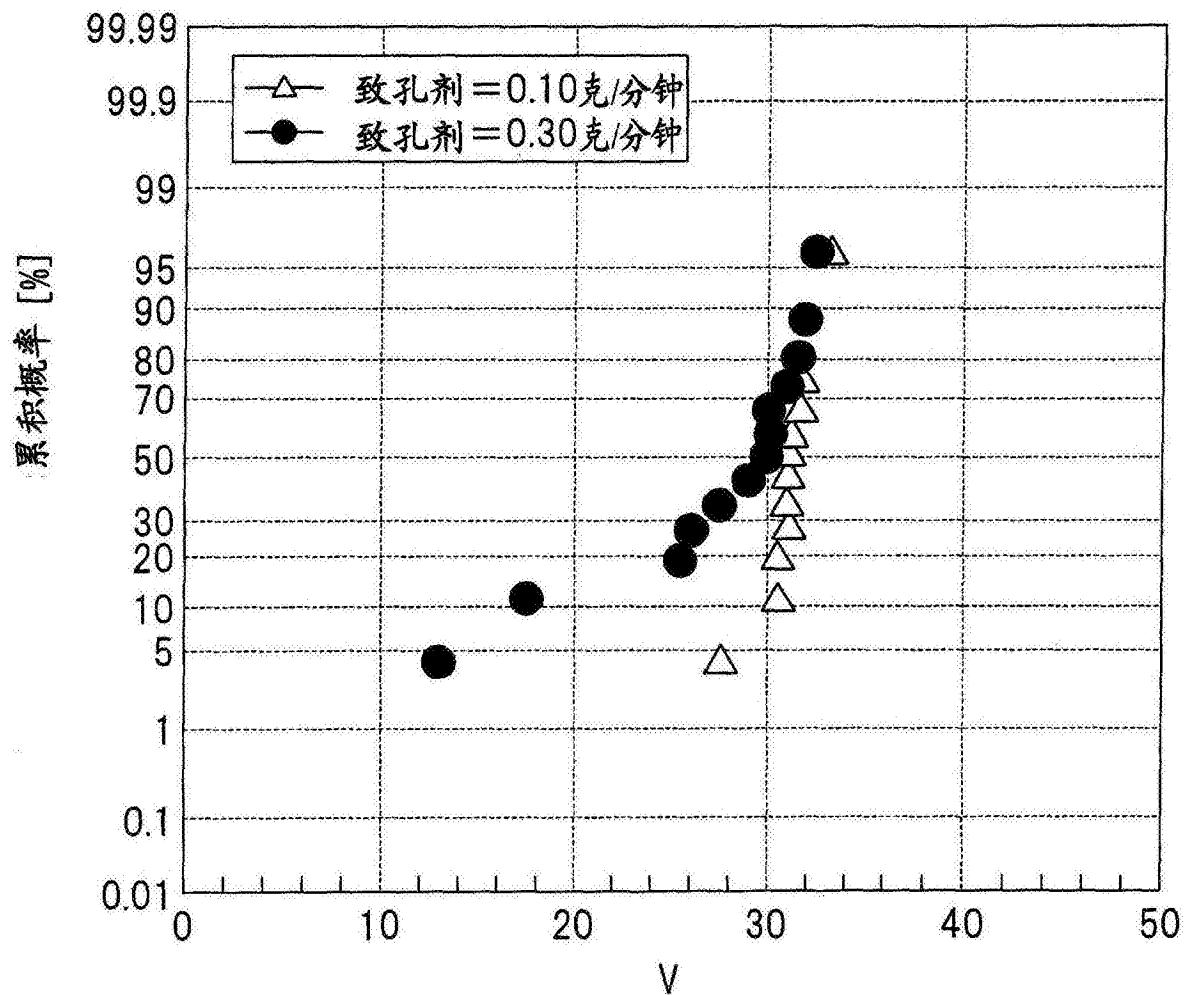


图37

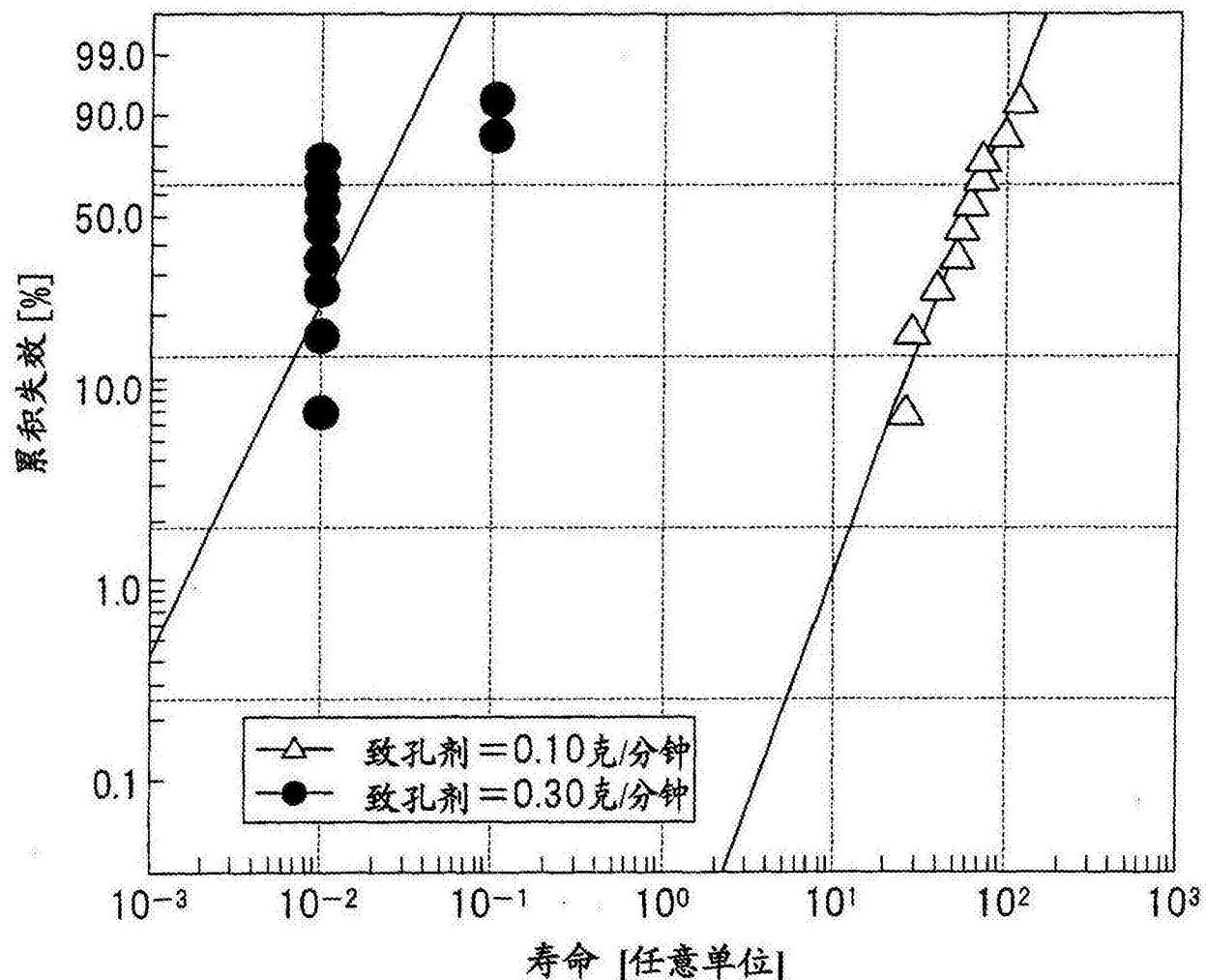


图38

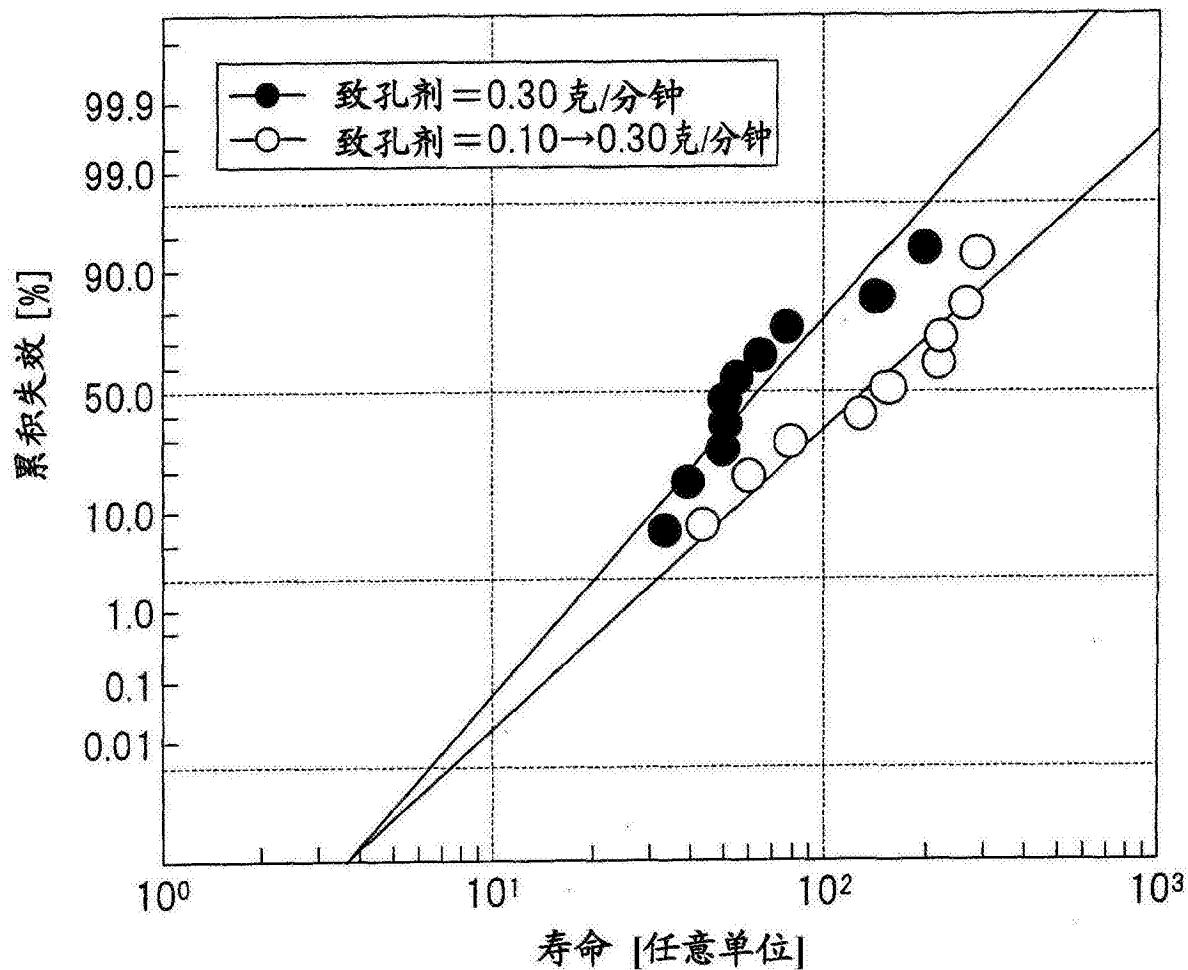


图39

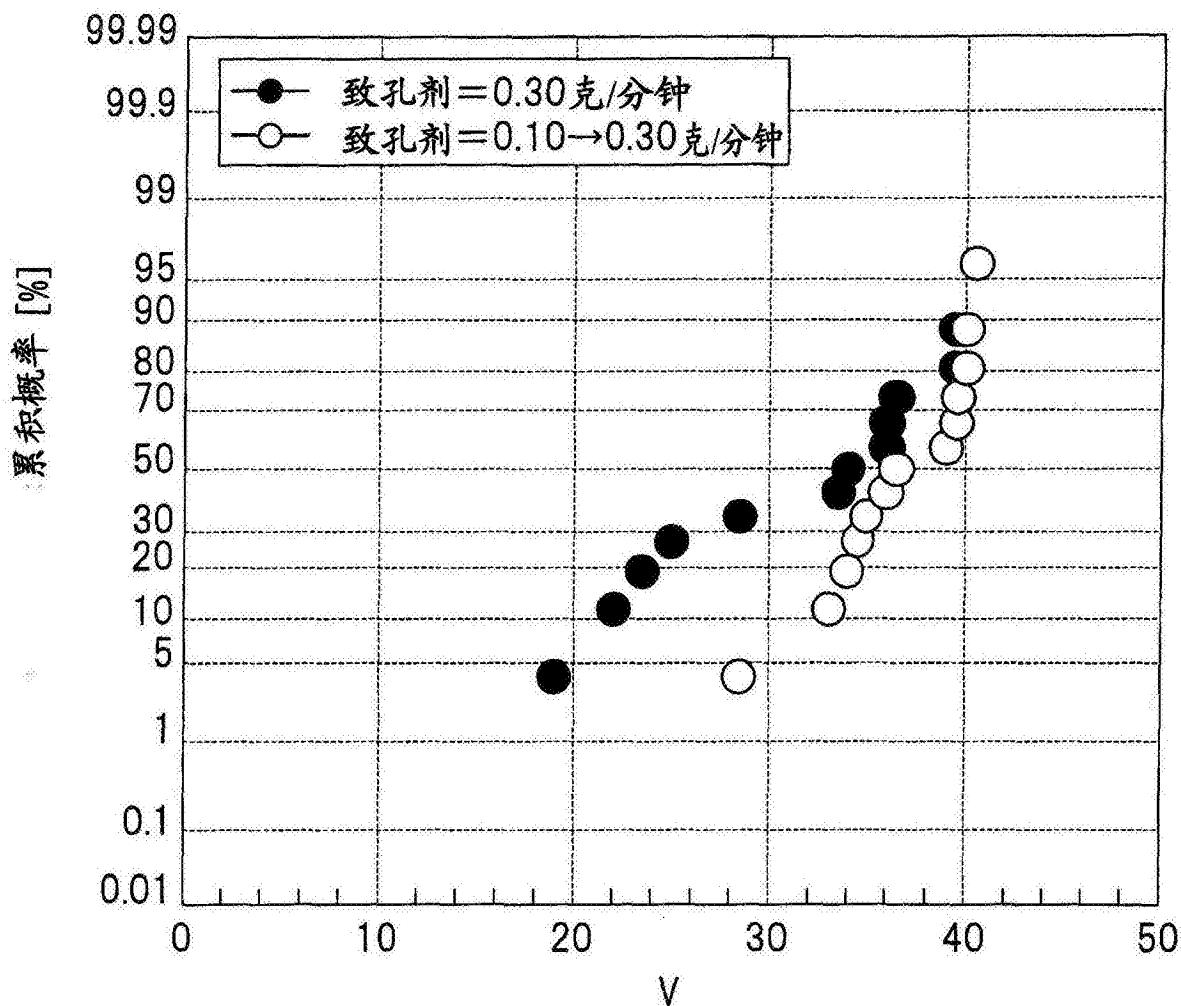


图40

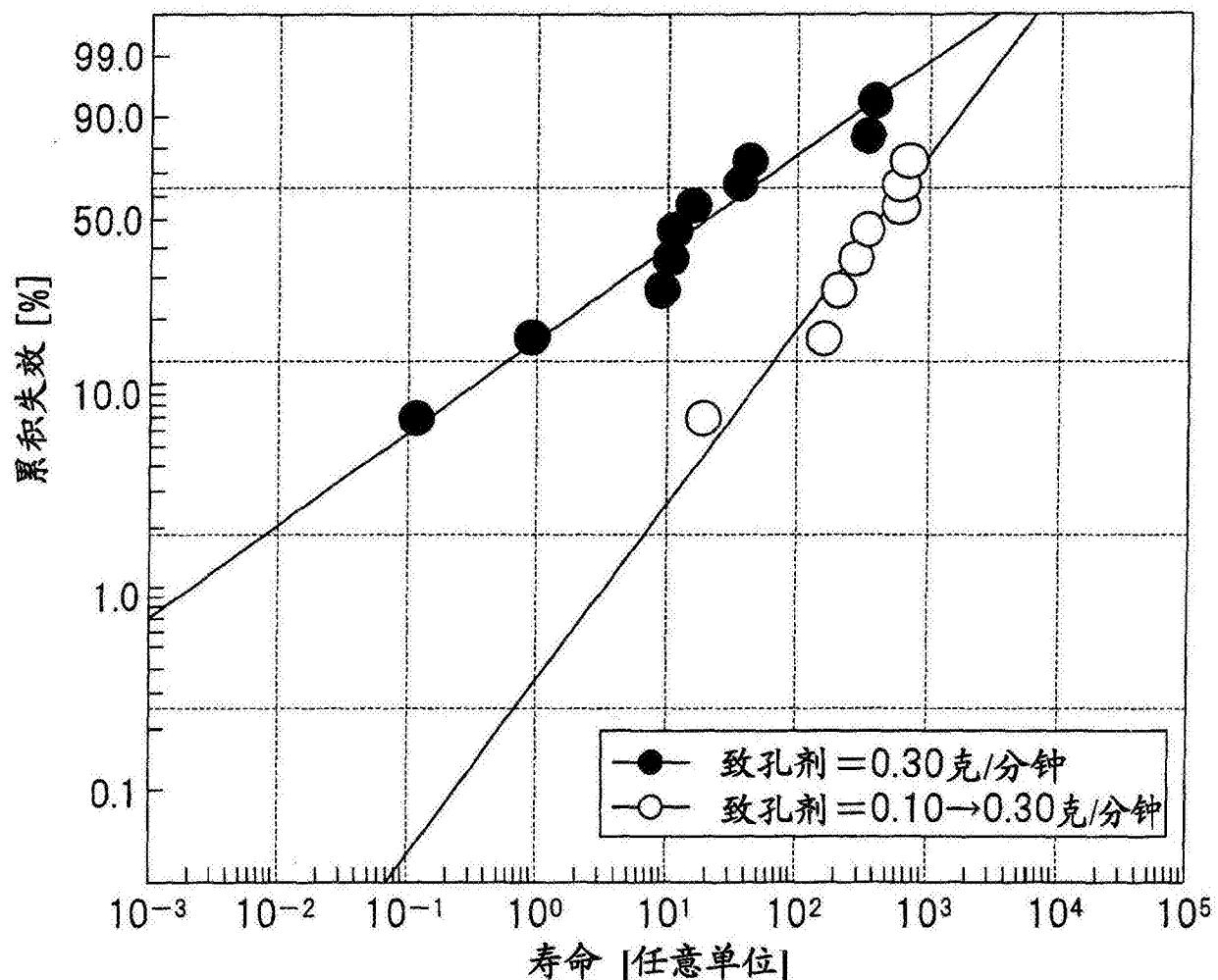


图41

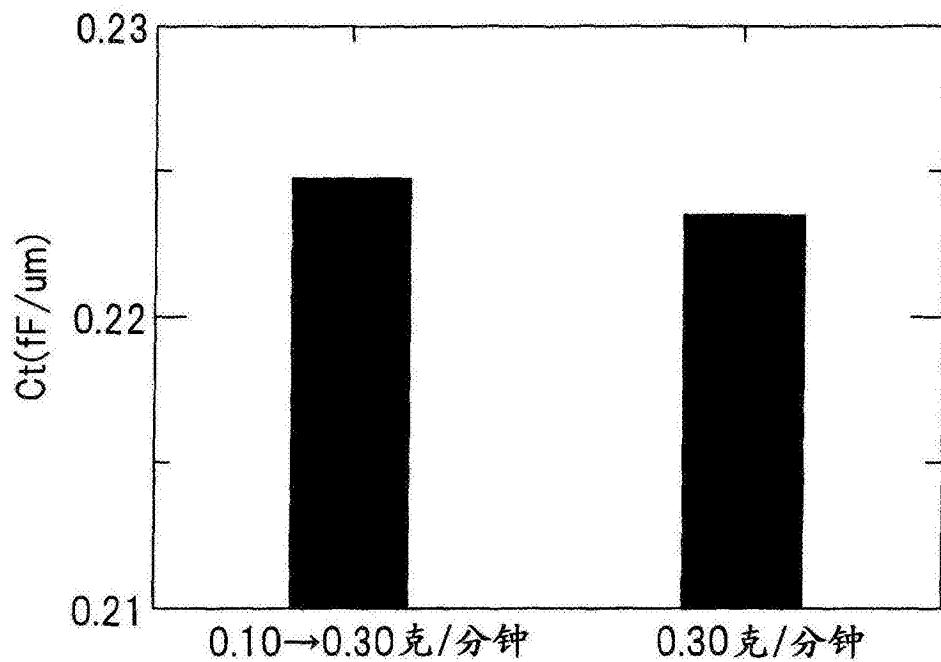


图42

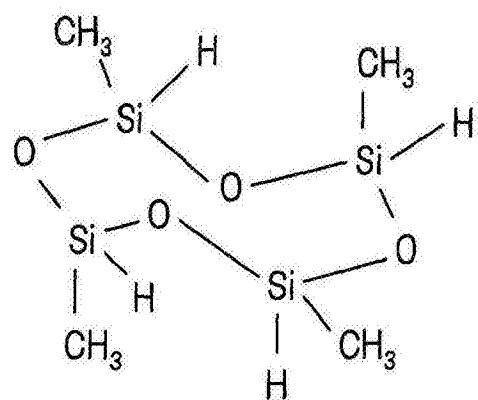


图43

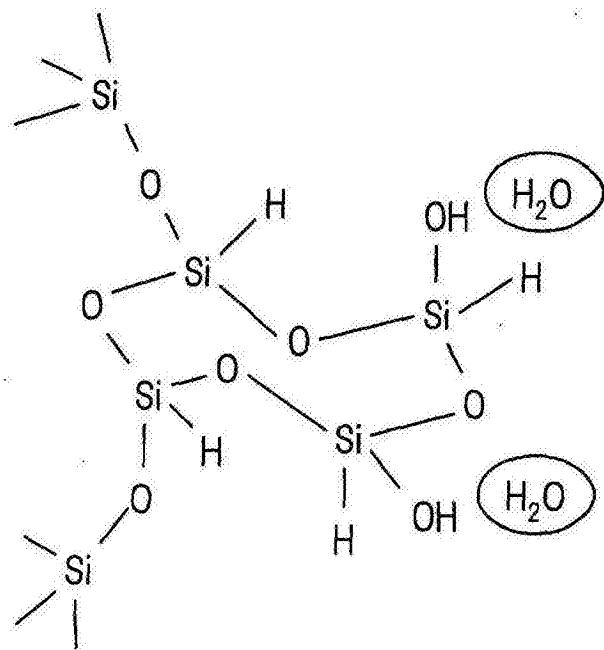


图44

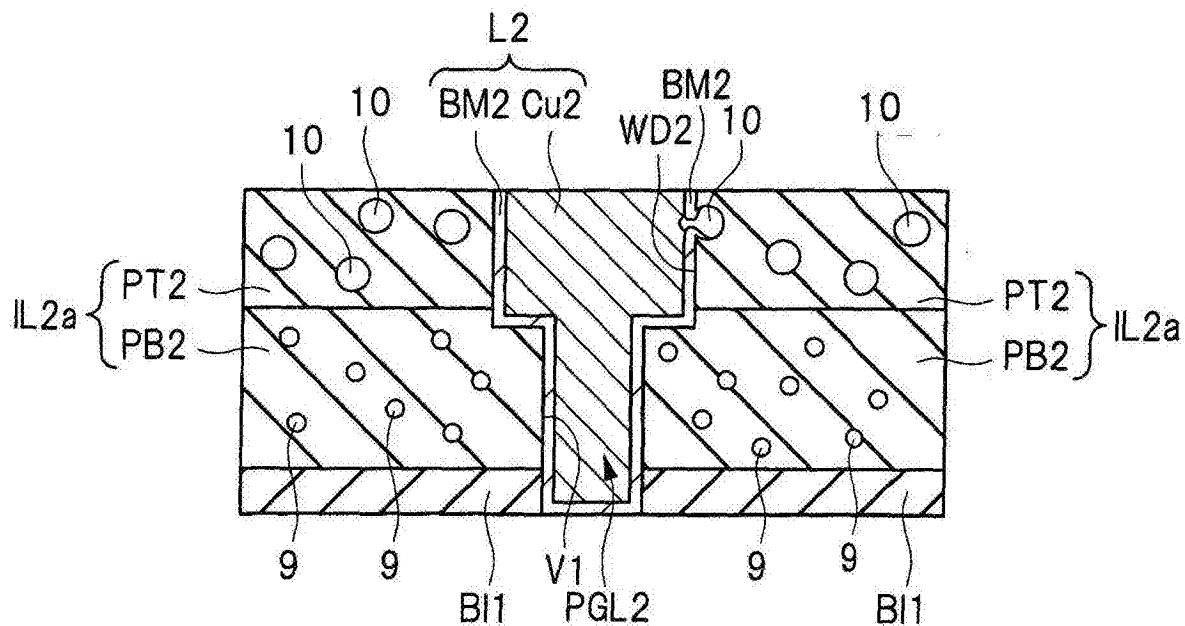


图45

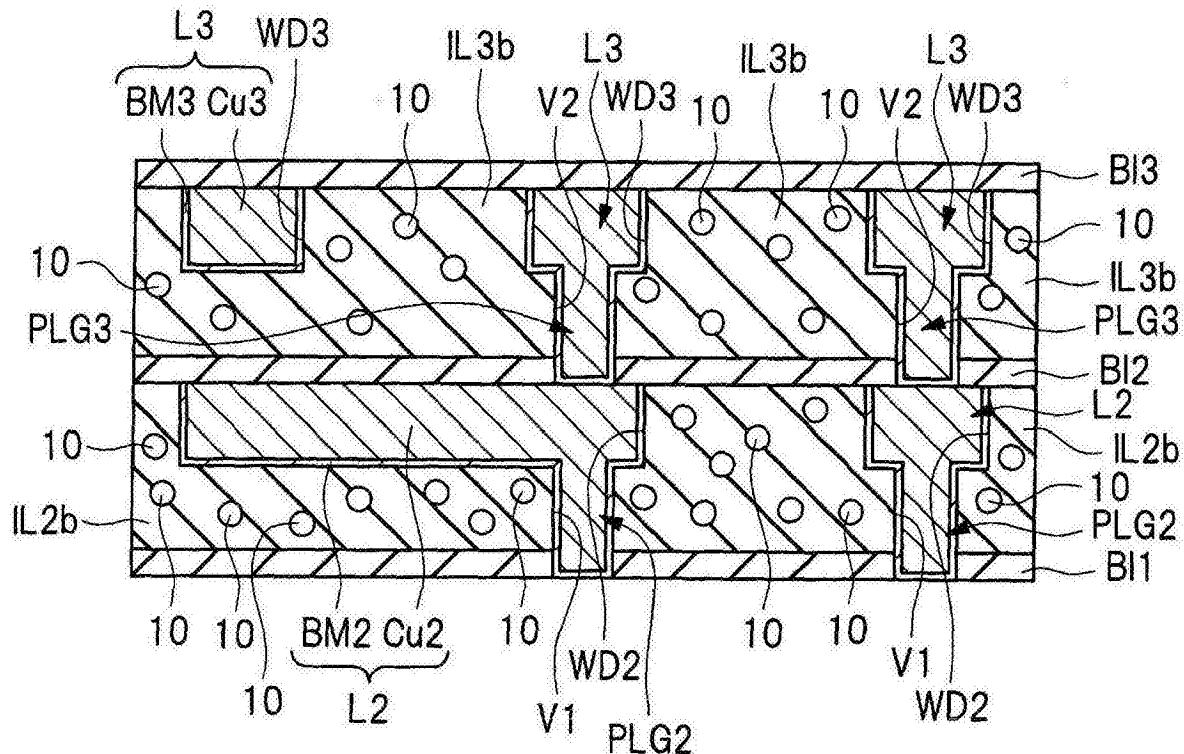


图46

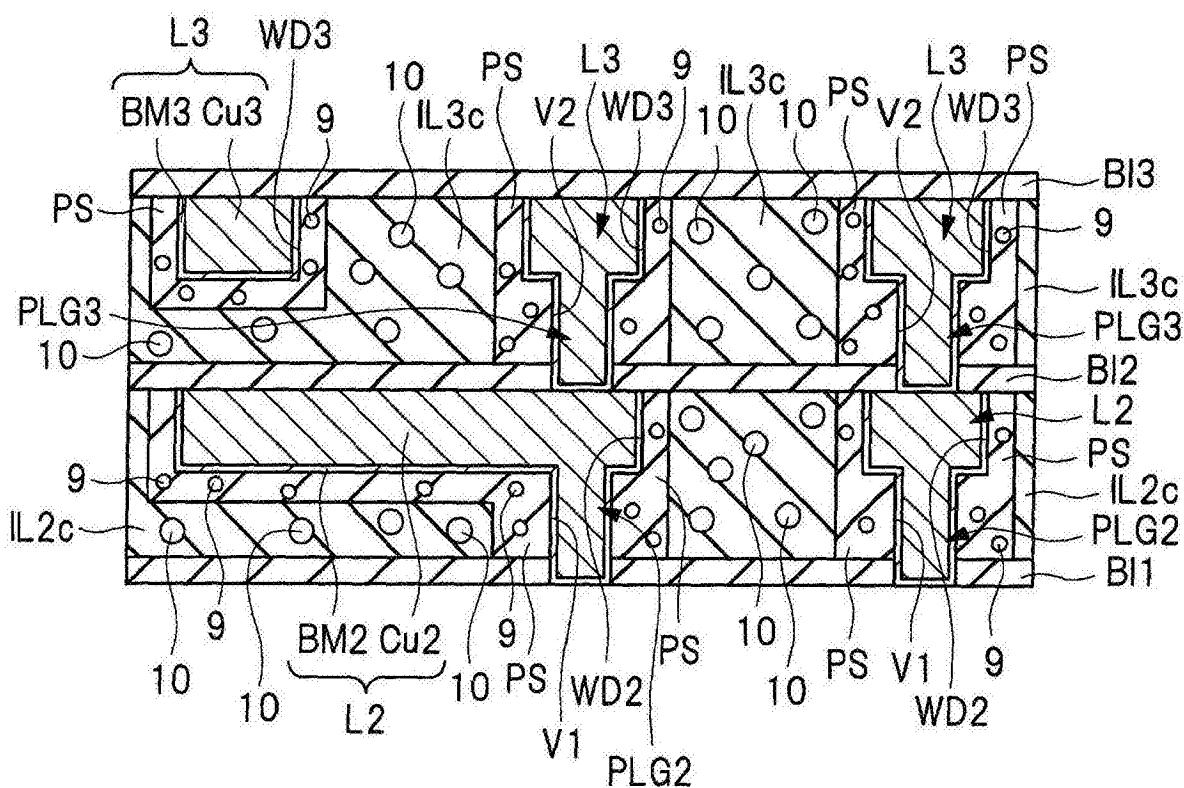


图47