



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월17일

(11) 등록번호 10-1494333

(24) 등록일자 2015년02월11일

(51) 국제특허분류(Int. Cl.)

G11C 7/10 (2015.01) G11C 7/12 (2006.01)
G11C 8/08 (2006.01) G11C 8/12 (2006.01)

(21) 출원번호 10-2009-7004228

(22) 출원일자(국제) 2007년07월31일

심사청구일자 2012년07월25일

(85) 번역문제출일자 2009년02월27일

(65) 공개번호 10-2009-0057374

(43) 공개일자 2009년06월05일

(86) 국제출원번호 PCT/US2007/074903

(87) 국제공개번호 WO 2008/016950

국제공개일자 2008년02월07일

(30) 우선권주장

11/461,359 2006년07월31일 미국(US)

11/461,372 2006년07월31일 미국(US)

(56) 선행기술조사문헌

US05831924 A*

US20040188714 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

샌디스크 3디 엘엘씨

미국, 캘리포니아 95035-7933, 밀피타스, 샌디스크 드라이브 951

(72) 발명자

쉐얼라인, 로이, 이.

미국, 캘리포니아 95014, 쿠퍼티노, 오챠드 코트 22145

파솔리, 루카, 쥐.

미국, 캘리포니아 95131, 산 호세, 알티시모 플레이스 1229

페티, 크리스토퍼, 제이.

미국, 캘리포니아 94041, 마운틴 뷰, 시에라 에비뉴 660

(74) 대리인

박경재

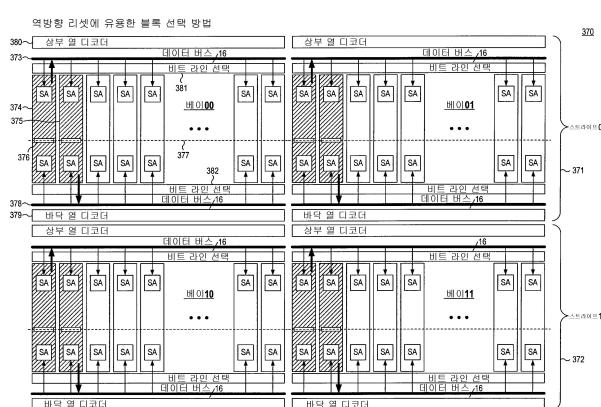
전체 청구항 수 : 총 50 항

심사관 : 손윤식

(54) 발명의 명칭 메모리 어레이 블록 선택을 위하여 두 개의 데이터 버스를 통합한 메모리 어레이용 방법과 장치

(57) 요약

하나 초과의 메모리 평면을 가진 특히 밀집된 3차원 메모리 어레이들에 유용한 프로그램 가능하고 재기입 가능한 패시브 엘리먼트 메모리 셀들에 대한 회로들 및 방법들(370)이 기술된다. 게다가, 상기 메모리 어레이의 하나 이상의 어레이 블록들(374, 375)을 선택하고, 선택된 어레이 블록들(374, 375) 내의 하나 이상의 워드 라인들(377) 및 비트 라인들을 선택하고, 선택된 어레이 블록들 내의 선택된 메모리 셀들에 및 상기 셀들로부터 데이터 정보를 전달하고, 및 비선택된 어레이 블록들에 비선택된 바이어스 조건들을 전달하기 위한 회로들 및 방법들(370)은 기술된다.

대 표 도 - 도14

특허청구의 범위

청구항 1

집적 회로에 있어서,

다수의 제 1 어레이 블록들을 포함하는 메모리 어레이로서, 각각의 어레이 블록은 다수의 워드 라인들과 다수의 비트 라인들을 포함하는 메모리 어레이와;

상기 다수의 제 1 어레이 블록들에 걸쳐 있는 제 1 데이터 버스로서, 상기 다수의 제 1 어레이 블록들의 각각의 제 1 그룹은 제 1 데이터 버스와 연관된 제 1 데이터 버스와;

다수의 제 1 어레이 블록들에 걸쳐 있는 제 2 데이터 버스로서, 상기 다수의 제 1 어레이 블록들의 각각의 제 2 그룹은 제 2 데이터 버스와 연관된 제 2 데이터 버스와;

제 1 동작 모드에서, 상기 제 1 그룹 내의 제 1 어레이 블록의 워드 라인과 상기 제 2 그룹 내의 제 2 어레이 블록의 워드 라인을 동시에 선택하도록 구성된 행 선택 회로와;

상기 제 1 동작 모드에서, 상기 제 1 데이터 버스의 대응 라인들에 상기 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고, 상기 제 2 데이터 버스의 대응 라인들에 상기 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하도록 구성된 열 선택 회로를

포함하는, 집적 회로.

청구항 2

제 1 항에 있어서, 상기 열 선택 회로는 각각의 어레이 블록에 대하여 제 1 데이터 버스 세그먼트를 포함하고, 상기 제 1 데이터 버스 세그먼트를 통하여 선택된 비트 라인은 상기 제 1 데이터 버스의 대응 버스 라인에 결합되는, 집적 회로.

청구항 3

제 1 항에 있어서, 상기 제 1 및 제 2 데이터 버스들은 다수의 제 1 어레이 블록들의 각각의 어레이 블록의 대향 측면들 상에 배치되는, 집적 회로.

청구항 4

제 1 항에 있어서,

제 1 그룹의 어레이 블록은 홀수번 어레이 블록을 포함하고,

제 2 그룹의 어레이 블록은 짝수번 어레이 블록을 포함하는, 집적 회로.

청구항 5

제 4 항에 있어서, 동시에 선택된 제 1 및 제 2 어레이 블록들은 인접한 블록들인, 집적 회로.

청구항 6

제 5 항에 있어서, 하나의 어레이 블록의 워드 라인들은 인접한 어레이 블록의 워드 라인들과 공유되고, 각각의 상기 워드 라인은 인접한 어레이 블록들 사이의 캡에서 각각의 워드 라인 드라이버에 결합되는, 집적 회로.

청구항 7

제 6 항에 있어서, 제 1 및 제 2 어레이 블록들의 각각의 선택된 워드 라인은 두 개의 논리 워드 라인들을 포함하고, 상기 논리 워드 라인들 각각은 인접한 제 1 및 제 2 어레이 블록들의 외부 측면들 상 인접한 어레이 블록들 사이의 각각의 캡들에서 각각의 워드 라인 드라이버들에 각각 결합되는, 집적 회로.

청구항 8

제 6 항에 있어서, 제 1 및 제 2 어레이 블록들의 각각의 선택된 워드 라인은 인접한 제 1 및 제 2 어레이 블록들 사이의 캡에서 상기 각각의 워드 라인 드라이버에 결합된 단일 논리 워드 라인을 포함하는, 집적 회로.

청구항 9

제 5 항에 있어서, 상기 제 1 및 제 2 데이터 버스들은 다수의 제 1 어레이 블록들들의 각각의 어레이 블록의 대향 측면들 상에 배치되는, 집적 회로.

청구항 10

제 4 항에 있어서,

각각의 홀수 어레이 블록들은 제 2 데이터 버스와 연관되고,

각각의 짝수 어레이 블록들은 제 1 데이터 버스와 연관되는, 집적 회로.

청구항 11

제 10 항에 있어서, 상기 제 1 동작 모드에서, 상기 열 선택 회로는 상기 제 1 데이터 버스의 대응 라인들에 상기 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고 상기 제 2 데이터 버스의 대응 라인들에 상기 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하도록 구성되며, 상기 제 2 데이터 버스의 대응 라인들에 상기 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고 상기 제 1 데이터 버스의 대응 라인들에 상기 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하도록 구성되는, 집적 회로.

청구항 12

제 11 항에 있어서, 상기 제 1 및 제 2 데이터 버스들은 각각의 어레이 블록의 대향 측면들 상에 배치되는, 집적 회로.

청구항 13

제 11 항에 있어서,

상기 메모리 어레이는 하나를 초과하는 비트 라인 층상에 비트 라인을 갖는 3차원 메모리 어레이를 포함하고,

각각의 제 1 또는 제 2 데이터 버스의 대응 라인들에 동시에 결합된 각각의 제 1 또는 제 2 어레이 블록에서 하나 이상의 비트 라인들은 제 1 비트 라인 층상에 하나 이상의 비트 라인을 포함하고 제 2 비트 라인 층 상에 하나 이상의 비트 라인을 포함하는, 집적 회로.

청구항 14

제 13 항에 있어서, 각각의 어레이 블록의 워드 라인들은 각각 하나 초과의 워드 라인 층상 각각에 워드 라인 세그먼트를 포함하는, 집적 회로.

청구항 15

제 11 항에 있어서, 상기 메모리 어레이는 2 단자 메모리 셀들을 포함하고, 상기 2 단자 메모리 셀들의 각각은, 상기 제 1 동작 모드에서, 제 1 저항 상태로부터 상기 제 1 저항 상태보다 높은 제 2 저항 상태로의 역 바이어스를 사용하여 프로그램되는 다이오드 및 전이 금속 산화물을 포함하는, 집적 회로.

청구항 16

제 15 항에 있어서, 상기 제 1 동작 모드에서, 선택 및 비선택된 메모리 블록들에서의 비선택된 메모리 셀들은 상기 비선택된 메모리 셀들에 결친 전압에 의해 바이어스되지 않아, 상기 메모리 어레이의 누설 전류 전력 소비를 감소시키는, 집적 회로.

청구항 17

제 11 항에 있어서,

하나의 어레이 블록의 워드 라인들은 인접한 어레이 블록의 워드 라인들과 공유되고, 각각의 상기 워드 라인은 인접한 어레이 블록들 사이의 캡에서 각각의 워드 라인 드라이버에 결합되고,

각각의 어레이 블록의 워드 라인들 각각은 하나 초과의 워드 라인 층상에 워드 라인 세그먼트를 포함하는, 집적

회로.

청구항 18

제 17 항에 있어서,

상기 제 1 및 제 2 데이터 버스들은 각 어레이 블록의 대향 면들에 배치되고,

상기 메모리 어레이는 하나를 초과하는 비트 라인 층 상의 비트 라인들을 포함하며,

각각의 제 1 또는 제 2 데이터 버스의 대응 라인들에 동시에 결합된 각각의 제 1 또는 제 2 어레이 블록에서의 각각의 비트 라인들은 제 1 비트 라인 층 상의 하나의 비트 라인 및 제 2 비트 라인 층 상의 하나의 비트 라인을 포함하며,

상기 제 1 및 제 2 어레이 블록에서의 각각의 선택된 워드 라인은 각각의 워드 라인 드라이버에 결합된 단일 논리 워드 라인을 포함하는, 집적 회로.

청구항 19

제 18 항에 있어서,

상기 메모리 어레이는 2 단자 메모리 셀들을 포함하고, 상기 2 단자 메모리 셀들의 각각은, 상기 제 1 동작 모드에서, 제 1 저항 상태로부터 상기 제 1 저항 상태보다 높은 제 2 저항 상태로의 역 바이어스를 사용하여 프로그램되는 다이오드 및 전이 금속 산화물을 포함하고,

상기 제 1 동작 모드에서, 선택 및 비선택된 메모리 블록들에서의 비선택된 메모리 셀들은 상기 비선택된 메모리 셀들에 걸친 전압에 의해 바이어스되지 않아, 상기 메모리 어레이의 누설 전류 전력 소비를 감소시키는, 집적 회로.

청구항 20

제 1 항에 따른 집적 회로를 인코딩하는 컴퓨터 판독 가능 매체.

청구항 21

제 1 항에 따른 집적 회로를 포함하는 패키지된 모듈.

청구항 22

집적 회로에 있어서,

다수의 제 1 어레이 블록들을 포함하는 메모리 어레이로서, 각각의 어레이 블록은 다수의 워드 라인들과 다수의 비트 라인들을 포함하는 메모리 어레이와;

제 1 동작 모드에서, 어레이 블록들의 제 1 그룹 내에서의 제 1 어레이 블록의 워드 라인과, 어레이 블록들의 제 2 그룹 내에서의 제 2 어레이 블록의 워드 라인을 동시에 선택하기 위한 수단과,

상기 제 1 동작 모드에서, 다수의 제 1 어레이 블록들에 걸쳐 있는 제 1 데이터 버스의 대응 라인들에 상기 제 1 어레이 블록의 하나 이상의 비트 라인들과, 다수의 제 1 어레이 블록들에 걸쳐 있는 제 2 데이터 버스의 대응 라인들에 상기 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하기 위한 수단을 포함하는, 집적 회로.

청구항 23

제 22 항에 있어서,

각 어레이 블록과 연관된 각각의 데이터 버스 세그먼트를 통해 각각의 제 1 및 제 2 데이터 버스에 각각의 제 1 및 제 2 어레이 블록의 상기 하나 이상의 비트 라인들을 결합하기 위한 수단을

더 포함하는, 집적 회로.

청구항 24

제 22 항에 있어서, 동시에 선택되는 제 1 및 제 2 어레이 블록들은 인접한 블록들인, 집적 회로.

청구항 25

제 24 항에 있어서, 하나의 어레이 블록의 워드 라인들은 인접한 어레이 블록의 워드 라인들과 공유되고, 각각의 상기 워드 라인은 인접한 어레이 블록들 사이의 캡에서 각각의 워드 라인 드라이버에 결합되는, 집적 회로.

청구항 26

제 22 항에 있어서,

제 1 동작 모드에서, 제 2 데이터 버스의 대응 라인에 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고, 제 1 데이터 버스의 대응 라인에 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하기 위한 수단을

더 포함하는, 집적 회로.

청구항 27

제 26 항에 있어서, 상기 제 1 및 제 2 데이터 버스들은 각각의 어레이 블록의 대향 축면들 상에 배치되는, 집적 회로.

청구항 28

제 26 항에 있어서,

메모리 어레이에는 하나를 초과하는 비트 라인 총 상에 비트 라인을 갖는 3차원 메모리 어레이를 포함하고,

각각의 제 1 또는 제 2 데이터 버스의 대응 라인들에 동시 결합된 각각의 제 1 또는 제 2 어레이 블록의 하나 이상의 비트 라인들은 제 1 비트 라인 총에 하나 이상의 비트 라인을 포함하고 제 2 비트 라인 총에 하나 이상의 비트 라인을 포함하는, 집적 회로.

청구항 29

제 28 항에 있어서, 각각의 어레이 블록내 워드 라인들 각각은 하나 초과의 워드 라인 총 각각에 워드 라인 세그먼트를 포함하는, 집적 회로.

청구항 30

제 26 항에 있어서,

하나의 어레이 블록의 워드 라인들은 인접한 어레이 블록의 워드 라인들과 공유되고, 각각의 상기 워드 라인은 인접한 어레이 블록들 사이의 캡에서 각각의 워드 라인 드라이버에 결합되고,

각각의 어레이 블록 내 워드 라인들 각각은 하나 초과의 워드 라인 총의 각각에 워드 라인 세그먼트를 포함하는, 집적 회로.

청구항 31

다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하기 위한 방법으로서, 각각의 어레이 블록은 다수의 워드 라인들과 다수의 비트 라인들을 포함하는 방법에 있어서, 상기 방법은 :

제 1 동작 모드에서, 어레이 블록들의 제 1 그룹 내의 제 1 어레이 블록에서의 워드 라인과, 어레이 블록들의 제 2 그룹 내의 제 2 어레이 블록에서의 워드 라인을 동시에 선택하는 단계와;

상기 제 1 동작 모드에서, 다수의 제 1 어레이 블록들에 걸쳐 있는 제 1 데이터 버스의 대응 라인들에 상기 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고, 다수의 제 1 어레이 블록들에 걸쳐 있는 제 2 데이터 버스의 대응 라인들에 상기 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하는 단계를

포함하는, 다수의 제 1 어레이 블록들을 포함하는 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 32

제 31 항에 있어서,

각각의 어레이 블록과 연관된 각각의 데이터 버스 세그먼트를 통해 각각의 제 1 및 제 2 데이터 버스에 각각의 제 1 및 제 2 어레이 블록에서 상기 하나 이상의 비트 라인들을 결합하는 단계를

더 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 33

제 31 항에 있어서, 상기 제 1 및 제 2 데이터 버스들은 다수의 제 1 어레이 블록들들의 각각의 어레이 블록의 대량 측면들 상에 배치되는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 34

제 31 항에 있어서,

제 1 그룹의 어레이 블록은 홀수 어레이 블록을 포함하고,

제 2 그룹의 어레이 블록은 짝수 어레이 블록을 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 35

제 34 항에 있어서, 상기 동시에 선택된 제 1 및 제 2 어레이 블록들은 인접한 블록들인, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 36

제 35 항에 있어서, 하나의 어레이 블록의 워드 라인들은 인접한 어레이 블록의 워드 라인들과 공유되고, 각각의 상기 워드 라인은 인접한 어레이 블록들 사이의 갭에서 각각의 워드 라인 드라이버에 결합되는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 37

제 36 항에 있어서, 제 1 및 제 2 어레이 블록들의 각각의 선택된 워드 라인은 두 개의 논리 워드 라인들을 포함하고, 상기 논리 워드 라인 각각은 각각 인접한 제 1 및 제 2 어레이 블록들의 외부 측면상 인접한 어레이 블록들 사이의 각각의 갭들에서 각각의 워드 라인 드라이버들에 결합되는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 38

제 36 항에 있어서, 제 1 및 제 2 어레이 블록들 내 각각의 선택된 워드 라인은 인접한 제 1 및 제 2 어레이 블록들 사이의 갭에서 상기 각각의 워드 라인 드라이버에 결합된 단일 논리 워드 라인을 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 39

제 35 항에 있어서, 상기 제 1 및 제 2 데이터 버스들은 다수의 제 1 어레이 블록들들의 각각의 어레이 블록의 대량 측면들 상에 배치되는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 40

제 34 항에 있어서,

제 1 동작 모드에서, 제 2 데이터 버스의 대응 라인에 제 1 어레이 블록에서 하나 이상의 비트 라인들과, 제 1 데이터 버스의 대응 라인에 제 2 어레이 블록에서 하나 이상의 비트 라인들을 동시에 결합하는 단계를

더 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 41

제 40 항에 있어서, 상기 제 1 및 제 2 데이터 버스들은 각각의 어레이 블록의 대향 측면들 상에 배치되는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 42

제 40 항에 있어서,

상기 메모리 어레이는 하나를 초과하는 비트 라인 총 상에 비트 라인들을 갖는 3차원 메모리 어레이를 포함하고,

각각의 제 1 또는 제 2 데이터 버스의 대응 라인들에 동시 결합된 각각의 제 1 또는 제 2 어레이 블록에서의 각각의 비트 라인들은 제 1 비트 라인 층상의 하나의 비트 라인 및 제 2 비트 라인 층상의 하나의 비트 라인을 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 43

제 42 항에 있어서, 각각의 어레이 블록의 워드 라인들 각각은 각각 하나 초과의 워드 라인 층상에 워드 라인 세그먼트를 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 44

제 40 항에 있어서,

상기 메모리 어레이는 2 단자 메모리 셀들을 포함하고, 상기 2 단자 메모리 셀들의 각각은 가역성 저항기 소자 및 다이오드를 포함하고,

상기 방법은, 상기 제 1 동작 모드에서, 제 1 저항 상태로부터 상기 제 1 저항 상태보다 높은 제 2 저항 상태로의 역 바이어스를 사용하여 선택된 메모리 셀들을 프로그래밍하는 단계를 더 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 45

제 44 항에 있어서, 상기 제 1 동작 모드에서, 상기 메모리 어레이의 누설 전류 전력 소비를 감소시키기 위해, 선택 및 비선택된 메모리 블록들 모두에서의 비선택된 메모리 셀들을 상기 비선택된 메모리 셀들에 걸친 전압에 의해 바이어스하지 않는 단계를 더 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 46

제 40 항에 있어서,

하나의 어레이 블록의 워드 라인들은 인접한 어레이 블록의 워드 라인들과 공유되고, 각각의 상기 워드 라인은 인접한 어레이 블록들 사이의 캡에서 각각의 워드 라인 드라이버에 결합되고,

각각의 어레이 블록의 워드 라인들 각각은 하나 초과의 워드 라인 층상에 워드 라인 세그먼트를 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 47

제 46 항에 있어서,

상기 제 1 및 제 2 데이터 버스는 각 어레이 블록의 대향 면들에 배치되고,

상기 메모리 어레이는 하나를 초과하는 비트 라인 층에 비트 라인들을 포함하며,

각각의 제 1 또는 제 2 데이터 버스의 대응 라인들에 동시 결합된 각각의 제 1 또는 제 2 어레이 블록에서의 각각의 비트 라인들은 제 1 비트 라인 층상의 하나의 비트 라인 및 제 2 비트 라인 층상의 하나의 비트 라인을 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

함하고,

제 1 및 제 2 어레이 블록들의 각각의 선택된 워드 라인은 각각의 워드 라인 드라이버에 결합된 단일 논리 워드 라인을 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 48

제 47 항에 있어서, 상기 메모리 어레이에는 2 단자 메모리 셀들을 포함하고, 상기 2 단자 메모리 셀들의 각각은 전이 금속 산화물 및 다이오드를 포함하고,

상기 방법은, 상기 제 1 동작 모드에서 :

제 1 저항 상태로부터 상기 제 1 저항 상태보다 높은 제 2 저항 상태로의 역 바이어스를 사용하여 하나 이상의 선택된 메모리 셀들을 프로그래밍하는 단계; 및

선택 및 비선택 메모리 블록들 모두에서의 비선택된 메모리 셀들을 상기 비선택된 메모리 셀들에 결친 전압에 의해 바이어싱하지 않는 단계를 더 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

청구항 49

메모리 제품을 제조하는 방법에 있어서,

다수의 제 1 어레이 블록들을 포함하는 메모리 어레이를 형성하는 단계로서, 각각의 어레이 블록은 다수의 워드 라인들과 다수의 비트 라인들을 포함하는 메모리 어레이를 형성하는 단계와;

상기 다수의 제 1 어레이 블록들에 걸쳐 있는 제 1 데이터 버스를 형성하는 단계로서, 상기 다수의 제 1 어레이 블록들의 제 1 그룹의 각각은 상기 제 1 데이터 버스와 연관된 제 1 데이터 버스를 형성하는 단계와;

상기 다수의 제 1 어레이 블록들에 걸쳐 있는 제 2 데이터 버스를 형성하는 단계로서, 상기 다수의 제 1 어레이 블록들의 제 2 그룹의 각각은 상기 제 2 데이터 버스와 연관된 제 2 데이터 버스를 형성하는 단계와;

제 1 동작 모드에서, 상기 제 1 그룹 내의 제 1 어레이 블록에서의 워드 라인과 상기 제 2 그룹 내의 제 2 어레이 블록에서의 워드 라인을 동시에 선택하도록 구성된 행 선택 회로를 형성하는 단계와;

상기 제 1 동작 모드에서, 상기 제 1 데이터 버스의 대응 라인들에 상기 제 1 어레이 블록에서의 하나 이상의 비트 라인들을 동시에 결합하고, 상기 제 2 데이터 버스의 대응 라인들에 상기 제 2 어레이 블록에서의 하나 이상의 비트 라인들을 동시에 결합하도록 구성된 열 선택 회로를 형성하는 단계를

포함하는, 메모리 제품 제조 방법.

청구항 50

제 31 항에 있어서,

제 2 동작 모드에서, 제 1 그룹의 어레이 블록 내 제 1 어레이 블록에서 워드 라인을 선택하는 제 6 단계와,

제 2 동작 모드에서, 제 1 데이터 버스의 대응 라인에 제 1 어레이 블록에서 하나 이상의 비트 라인들과, 제 2 데이터 버스의 대응 라인에 제 1 어레이 블록에서 하나 이상의 다른 선택된 비트 라인을 동시에 결합하는 제 7 단계를

더 포함하는, 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 사용하는 방법.

명세서

기술 분야

[0001] 본 발명은 프로그램 가능한 메모리 어레이들, 및 특히 패시브 엘리먼트 메모리 셀들을 통합하는 반도체 집적 회로메모리 어레이들, 및 상기 메모리 셀들을 통합한 3차원 메모리 어레이에 관한 것이다.

배경 기술

[0002] 특정 패시브 엘리먼트 메모리 셀들은 재기입 가능한 특성들을 나타낸다. 예를 들어, 특정 메모리 셀들에서 프로

그래밍은 대략 6-8V의 전압으로 메모리 셀(예를 들어, 다이오드 극성을 기준으로)을 순방향 바이어상함으로써 달성될 수 있고, 소거는 대략 10-14V의 전압으로 메모리 셀을 역방향 바이어상함으로써 달성될 수 있다. 이들 고전압들은 워드 라인 및 비트 라인 디코더들 내에 특정 고전압 CMOS 트랜지스터들의 사용을 요구한다. 이들 고전압 트랜지스터들은 메모리 셀 워드 라인 및 비트 라인 페치가 감소할 때 비례하지 않는다. 이것은 특히 3D 메모리 기술에서 문제이고, 여기서 어레이를 벗어나고, 워드 라인 및 비트 라인 드라이버와 인터페이스되어야 하는 워드 라인들 및 비트 라인들의 시어(sheer) 밀도는 디코더 및 I/O 회로들, 및 특히 선택된 메모리 셀 양단에 충분히 높은 전압을 인가할 수 있고 보다 작은 어레이 라인 페치들과 호환할 수 있는 워드 라인 및 비트 라인 드라이버 회로들을 제공하기 위한 능력에 보다 중요하게 된다.

발명의 상세한 설명

[0003] 일반적으로, 본 발명은 메모리 어레이 블록 선택을 위하여 두 개의 데이터 버스들을 통합한 메모리 어레이, 및 메모리 어레이 블록 선택을 위해 두 개의 데이터 버스들을 사용하기 위한 방법에 관한 것이다. 그러나, 본 발명은 첨부된 청구항들에 의해 정의되고, 이 섹션의 어느 것도 이들 청구항을 제한하지 않는다.

[0004] 일 측면에서, 본 발명은 다수의 제 1 어레이 블록들을 가진 메모리 어레이를 포함하는 집적 회로를 제공하고, 각각의 어레이 블록은 다수의 워드 라인들 및 비트 라인들을 포함한다. 메모리 어레이에는 다수의 제 1 어레이 블록들들에 일반적으로 걸쳐 있는 제 1 데이터 버스를 포함하고, 다수의 제 1 어레이 블록들들의 각각의 제 1 그룹은 제 1 데이터 버스와 연관된다. 메모리 어레이에는 다수의 제 1 어레이 블록들들에 일반적으로 걸쳐 있는 제 2 데이터 버스를 포함하고, 다수의 제 1 어레이 블록들들의 각각의 제 2 그룹은 제 2 데이터 버스와 연관된다. 메모리 어레이에는 제 1 동작 모드에서 제 1 그룹내의 제 1 어레이 블록내 워드 라인 및 제 2 그룹내의 제 2 어레이 블록내 워드 라인을 동시에 선택하도록 구성된 행 선택 회로를 포함한다. 메모리 어레이에는 또한 제 1 동작 모드에서 제 1 데이터 버스의 대응 라인들에 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고 제 2 데이터버스의 대응 라인들에 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하기 위하여 구성된 열 선택 회로를 포함한다.

[0005] 다른 측면에서, 본 발명은 다수의 제 1 어레이 블록들을 가진 메모리 어레이를 포함하는 집적 회로를 제공하고, 각각의 어레이 블록은 다수의 워드 라인들 및 비트 라인들을 포함한다. 집적 회로는 제 1 동작 모드에서 제 1 그룹의 어레이 블록들내 제 1 어레이 블록의 워드 라인, 및 제 2 그룹의 어레이 블록들 내 제 2 어레이 블록의 워드 라인을 동시에 선택하기 위한 수단을 포함한다. 집적 회로는 또한 제 1 동작 모드에서 다수의 제 1 어레이 블록들들에 일반적으로 걸쳐 있는 제 1 데이터 버스의 대응 라인들에 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고, 다수의 제 1 어레이 블록들들에 일반적으로 걸쳐 있는 제 2 데이터 버스의 대응 라인들에 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하기 위한 수단을 포함한다.

[0006] 다른 측면에서, 본 발명은 다수의 제 1 어레이 블록들을 포함하는 패시브 엘리먼트 메모리 셀 어레이에 유용한 방법을 제공한다. 상기 방법은 제 1 동작 모드에서 제 1 그룹의 어레이 블록들 내 제 1 어레이 블록의 워드 라인을 동시에 선택하고, 제 2 그룹의 어레이 블록들 내 제 2 어레이 블록의 워드 라인을 동시에 선택하는 단계를 포함한다. 상기 방법은 제 1 동작 모드에서 일반적으로 다수의 제 1 어레이 블록들들에 걸쳐 있는 제 1 데이터 버스의 대응 라인들에 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고, 다수의 제 1 어레이 블록들들에 일반적으로 걸쳐 있는 제 2 데이터 버스의 대응 라인들에 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하는 단계를 포함한다.

[0007] 다른 측면에서, 본 발명은 메모리 제품을 제조하는 방법을 제공한다. 상기 방법은 다수의 제 1 어레이 블록들들을 포함하는 메모리 어레이를 형성하는 단계를 포함하고, 각각의 어레이 블록은 다수의 워드 라인들 및 비트 라인들을 포함한다. 상기 방법은 또한 다수의 제 1 어레이 블록들들에 걸쳐 있는 제 1 데이터 버스를 형성하는 단계를 포함하고, 다수의 제 1 어레이 블록들들의 각각의 제 1 그룹은 제 1 데이터 버스와 연관된다. 상기 방법은 다수의 제 1 어레이 블록들들에 일반적으로 걸쳐 있는 제 2 데이터 버스를 형성하는 단계를 포함하고, 다수의 제 1 어레이 블록들들의 각각의 제 2 그룹은 제 2 데이터 버스와 연관된다. 상기 방법은 또한 제 1 동작 모드에서 제 1 그룹내 제 1 어레이 블록의 워드 라인 및 제 2 그룹내 제 2 어레이 블록의 워드 라인을 동시에 선택하기 위하여 구성된 행 선택 회로를 형성하는 단계를 포함한다. 상기 방법은 또한 제 1 동작 모드에서 제 1 데이터 버스의 대응 라인들에 제 1 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하고 제 2 데이터 버스의 대응 라인들에 제 2 어레이 블록의 하나 이상의 비트 라인들을 동시에 결합하기 위하여 구성된 열 선택 회로를 형성하는 단계를 포함한다.

[0008] 본 발명은 여기에 보다 상세히 기술되고 첨부된 청구항들에 나타난 바와 같이, 메모리 어레이를 가진 집적 회로

들, 상기 접적 회로들 및 메모리 어레이들을 동작시키기 위한 방법들, 상기 어레이들을 통합한 메모리 제품들을 제조하는 방법들, 및 상기 접적 회로들, 제품들, 또는 메모리 어레이들의 컴퓨터 판독 가능 미디어 인코딩에 적당하다. 기술된 기술들, 구조들, 및 방법들은 단독으로 또는 서로 결합하여 사용될 수 있다.

[0009] 상기는 요약이고 따라서 필요에 의해 간략성, 일반화들 및 상세한 것의 생략들을 포함한다. 결과적으로, 당업자는 상기 요약이 도시를 위한 것이고 본 발명의 임의로 제한하는 것으로 의도되지 않는 것을 인식할 것이다. 다른 측면들, 본 발명의 특징들, 및 장점들은 청구항들에 의해 유일하게 정의되는 바와 같이, 하기 상세한 설명으로부터 명백할 수 있다.

[0010] 본 발명은 당업자들에 의해 첨부 도면들을 참조하여 보다 잘 이해되고, 그 목적들, 특징들, 및 장점들은 명백하게 된다.

실시 예

[0035] 다른 도면들에서 동일한 참조 부호들의 사용은 유사하거나 동일한 아이템들을 가리킨다.

본 발명을 수행하기 위한 모드(들)

[0037] 도 1은 예시적인 패시브 엘리먼트 메모리 어레이(100)의 개략도이다. 두 개의 워드 라인들(102, 104)은 도시되고, 두 개의 비트 라인들(106, 108) 또한 도시된다. 워드 라인(102)은 선택된 워드 라인(SWL)인 것으로 가정되고, 워드 라인(104)은 비선택된 워드 라인(UWL)인 것으로 가정된다. 유사하게, 비트 라인(106)은 선택된 비트 라인(SBL)인 것으로 가정되고, 비트 라인(108)은 비선택된 비트 라인(UBL)인 것으로 가정된다. 4개의 패시브 엘리먼트 메모리 셀들(101, 103, 105, 107)은 도시되고, 각각은 연관된 워드 라인 및 연관된 비트 라인 사이에 결합된다.

[0038] 메모리 셀(101)은 선택된 워드 라인(102) 및 선택된 비트 라인(106)과 연관되고 "S" 셀(즉, "선택" 셀)로서 도시될 수 있다. 메모리 셀(103)은 비선택 워드 라인(104) 및 선택 비트 라인(106)과 연관되고, "F" 셀(즉, "오프" 셀)로서 보여질 수 있다. 메모리 셀(105)은 선택 워드 라인(102) 및 비선택 비트 라인(108)과 연관되고, "H" 셀(즉, "하프 선택" 셀)로서 보여질 수 있다. 마지막으로, 메모리 셀(107)은 비선택 워드 라인(104) 및 비선택 비트 라인(108)과 연관되고, "U" 셀(즉, "비선택" 셀)로서 보여질 수 있다.

[0039] 도 1은 순방향 바이어스 동작 모드에 대한 예시적인 바이어싱 조건들을 도시한다. 여기에 기술된 바와 같이, 상기 순방향 바이어스 모드는 프로그래밍 모드, 블록 소거 모드, 및 판독 모드(비록 일반적으로 상기 다른 모드들에 대해 다른 전압 레벨들 또는 조건들을 가지지만)에 사용될 수 있다. 도시된 바와 같이, 바이어스 조건들은 선택된 어레이 블록을 위한 동작의 프로그램 모드에 적당한 것으로 보여지고, 상기와 같이 기술될 것이다.

[0040] 선택된 워드 라인(102)은 VSX 전압(예를 들어, 접지)에서 바이어스되고, 선택된 비트 라인(106)은 VSB 전압(예를 들어, +8볼트)에서 바이어스되고, 비선택된 워드 라인(104)은 VUX 전압(예를 들어, +7.3 볼트)에서 바이어스되고, 비선택된 비트 라인(108)은 VUB 전압(예를 들어 +0.7 볼트)에서 바이어스된다. 선택된 비트 라인 바이어스 전압(VSB)은 실질적으로 이런 전체 전압이 선택된 메모리 셀(101) 양단에 인가되기 때문에(선택된 워드 라인이 접지로 바이어스되기 때문에), 프로그래밍 전압(VPP)이 버스들 및 그들 자체의 어레이 라인들에서 보다 작은 특정 저항 강하들을 유도하는 것으로 나타날 수 있다. 비선택된 비트 라인 바이어스 전압(VUB)은 각각의 메모리 셀의 순방향 바이어스 방향으로 명확한 "임계 전압"에 대응하는 값으로 설정되고, 또한 전압(VT)이 비선택된 비트 라인(108)에 인가되는 것으로 도시된다. 유사하게, 비선택된 워드 라인 바이어스 전압(VUX)은 바람직하게 VPP-VT의 값으로 설정된다.

[0041] 이들 바이어싱 조건들 하에서, S 셀(101)은 VPP(예를 들어, +8볼트)와 동일한 순방향 바이어스 전압을 수신하고, F 셀(103)은 VT(예를 들어, +0.7 볼트)와 동일한 순방향 바이어스 전압을 수신하고, H 셀(105)은 VT(예를 들어, +0.7볼트)와 동일한 순방향 바이어스 전압을 수신하고, U 셀(107)은 VPP-2VT(예를 들어, -6.6볼트)와 동일한 역 바이어스 전압을 수신한다. 이들은 이들 조건들 하에서 바이어스될 때, 선택된 셀이 저항의 하부 값으로 변화되고, F,H, 및 U 셀들이 저항 측면에서 명확히 변화되지 않는 몇몇 예시적인 메모리 셀 기술들이다. 예시적인 셀들은 아래에 기술된다.

[0042] 도 2를 참조하여, 예시적인 바이어싱 조건들(200)은 역 바이어스 동작 모드에 대해 도시된다. 여기에 기술된 바와 같이, 상기 역 바이어스 모드는 프로그래밍 모드 또는 블록 소거 모드(비록 일반적으로 상기 다른 모드들에 대하여 다른 조건들을 가지지만)에 사용될 수 있다. 도시된 바와 같이, 바이어스 조건들은 선택된 어레이 블록에 대한 프로그래밍 모드 또는 소거 모드에 적당한 바와 같이 도시되고, 상기와 같이 기술될 것이다.

[0043]

바이어스 조건들(VSX, VUX, VSB 및 VUB) 각각은 본 동작 모드에 적당한 값들을 위하여 재정의된다. 선택된 워드 라인(102)은 VRR/2(예를 들어, +5볼트)의 VSX 전압으로 바이어스되고, 선택된 비트 라인(106)은 -VRR/2(예를 들어, -5볼트)의 VSB 전압으로 바이어스된다. 비선택된 워드 라인 전압(VUX) 및 비선택된 비트 라인 전압(VUB)은 모두 접지된다.

[0044]

이들 바이어싱 조건들 하에서, S 셀(101)은 VRR(예를 들어, -10볼트)의 크기와 동일한 역 바이어스 전압을 수신하고, F 셀(103)은 VRR/2(예를 들어, -5볼트)와 동일한 역 바이어스 전압을 수신하고, H 셀(105)은 VRR/2(예를 들어, -5볼트)와 동일한 역 바이어스 전압을 수신한다. U 셀(107)이 셀 양단에 바이어스가 없는 전압을 수신하는 것을 주의하라.

[0045]

이들은 이들 조건들 하에서 바이어스될 때, 선택된 셀이 하부 저항값으로부터 상부 저항값으로 변화되고, F, H, 및 U 셀들이 저항 측면에서 명백히 변화되지 않는 몇몇 예시적인 메모리 셀 기술들(이하 참조됨)이다. 상기 셀 양단에 몇 볼트가 바이어스될 때 상당량의 누설 전류를 지원할 수 있는 비선택된 U 메모리 셀들이 바이어스를 가지지 않고 그러므로 누설 전류가 없다는 것은 주의된다. 추가로 상세히 기술될 바와 같이, 많은 유용한 메모리 어레이 실시예들은 F 셀들의 H 셀들보다 많은 수의 U 셀들을 포함하고, 상기 어레이들은 어레이의 비선택된 메모리 셀들에 상당히 작은 누설 전류를 가질 것이고, 따라서 다른 바이어싱 방법들보다 보다 작은 전력 소비가 이루어진다.

[0046]

역방향 모드에서 VRR 전압을 "분할"하고, 프로그래밍 전압의 1/2과 동일한 음의 전압에서 SBL을 바이어싱하고, 프로그램 전압의 1/2과 동일한 양의 전압에서 SWL을 바이어싱함으로써, 양쪽 비트 라인 디코더 및 워드 라인 디코더의 전압 요구조건들이 상당히 완화된다. 결과적으로, 어레이 라인들(예를 들어, 워드 라인들 및 비트 라인들)의 작은 페치와 조화하여, 어레이 라인 드라이버 회로의 고전압 트랜지스터는 이들이 비교적 작은 "분할" 전압용으로 설계될 수 있기 때문에 보다 작은 영역을 차지한다.

[0047]

다른 메모리 기술들은 메모리 셀 페치와 동일한 비율로 축적되지 않는 프로그래밍 및 소거 전압들(및 상기 고전압 저항들에 필요한 영역)에 관련하여 유사한 문제들에 직면한다. 예를 들어, FLASH 메모리에서 이런 문제의 충격은 다소 감소되는데, 그 이유는 통상적인 FLASH 바이어스 메모리 어레이들의 보다 큰 전개 때문이다. 고전압 트랜지스터들을 위한 보다 공간 소비적 설계 룰들은 메모리 블록 크기를 증가시킴으로써 몇몇 새로운 기술들에서 애모라이즈된다(ammortize). 그러나, 다이오드 기반 패시브 엘리먼트 메모리 어레이에서, 보다 큰 블록 크기는 선택된 어레이에 속하는 비선택된 메모리 셀들을 통하여 증가된 누설 비용을 초래한다. 도 2에 기술된 상기 비선택 메모리 셀들을 바이어싱함으로써, 이런 누설 성분은 거의 영으로 감소되고, 보다 큰 블록 크기들은 바람직하지 않은 전력 소비를 거의 가지지 않고 달성된다.

[0048]

도 3을 참조하여, 예시적인 워드 라인 디코더 회로는 도시되고, 상기 회로는 순방향 바이어스 동작 모드(도 1에 기술된 바와 같이)에 적당한 바이어스 조건들을 도시한다. 행 디코더 회로는 두 개의 디코드된 출력들(158, 162)을 도시하는 페이지의 좌측상에 도시된다. 디코드된 출력(158)은 선택된 디코드된 출력에 대응하고, 디코드된 출력(162)은 비선택된 디코드된 출력에 대응한다. 임의의 다양한 잘 공지된 기술들을 사용하여 실행될 수 있는 행 디코더(152)는 멀티플렉서들(157, 161), 및 인버터들(156, 160)에 의해 조건적으로 인버트되는 출력(155, 159) 같은 다수의 디코드된 출력들을 생성한다. 인버팅 버퍼는 노드(158)상에 큰 캐패시티브 로딩으로 인해(즉, 여기서와 같이 멀티플렉서 157이 노드 155를 출력 158으로 조종하는 경우) 노드(155)를 구동하기 위해 NAND 게이트 다음 통합된다. 행 디코더(152)는 상부 공급 전압이 전력 공급 노드(153)에 결합된 VPP와 동일하고, 하부 공급 전압이 전력 공급 노드(154)에 결합된 접지와 동일한 이런 동작 모드에서 동작된다. 이런 동작 모드에서, 행 디코더는 "액티브 하이" 디코더이고, 이것은 디코드된 출력 노드(158) 같은 선택된 출력(또는 출력들)이 이 경우 VPP인 보다 높은 두 개의 이용 가능한 전압 상태들로 구동되는 것을 의미한다. 디코드된 출력 노드(162) 같은 비선택된 디코드된 출력들은 이 경우 접지인 보다 낮은 두 개의 이용 가능한 전압 상태들로 구동된다. 다음 설명은 한번에 단지 하나의 디코드된 출력 노드가 선택되는(예를 들어, "하이") 것을 처음에 가정한다.

[0049]

각각의 디코드된 출력은 하나 이상의 워드 라인 드라이버 회로들에 결합된다. 예를 들어, 디코드된 출력 노드(158)는 PMOS 트랜지스터(171) 및 NMOS 트랜지스터(172)를 포함하는 워드 라인 드라이버 회로에 결합된다. 트랜지스터들(171, 172)의 각각의 드레인 단자는 이 경우 선택된 워드 라인(102)을 나타내는 워드 라인에 모두 결합된다. 본 발명의 특정 실시예들이 다중 헤드 디코드들과 다른 디코더들을 계획하지만, 도 3은 특정 디코드된 출력 노드(158)와 연관된 하나 이상의 나머지 워드 라인 드라이버 회로들을 나타내는 디코드된 출력 노드(158)에 결합된 제 2 워드 라인 드라이버 회로를 도시한다. 이런 제 2 워드 라인 드라이버 회로는 PMOS 트랜지스터(173) 및 NMOS 트랜지스터(174)를 포함하고, 상기 트랜지스터의 출력은 하나 이상의 하프 선택 워드 라인들을 나타내

는 워드 라인(181)을 구동한다.

[0050] 이들 워드 라인 드라이버 회로들 각각에서 NMOS 트랜지스터의 각각의 소스 단자는 소스 선택 버스(XSEL)의 각각의 버스에 결합된다. 이런 동작 모드에서, 소스 선택 버스는 어드레스 정보를 바탕으로 디코드되어, 하나의 상기 버스 라인은 이런 동작 모드 동안 워드 라인에 적당한 액티브 상태로 바이어스되고, 나머지 버스 라인들은 이런 동작 모드 동안 워드 라인들에 적당한 인액티브 상태로 바이어스된다. 특정 실시예들에서, 하나 이상의 상기 소스 선택 버스 라인은 액티브일 수 있지만, 우리는 버스 라인(167)이 액티브이고, 접지로 바이어스되며, 버스 라인(168)에 의해 표현된 하나 이상의 나머지 버스 라인들이 인액티브이고 비선택된 워드 라인 전압(VUX)(VPP-VT로서 도시됨)으로 구동되는 것을 가정한다.

[0051] 디코드된 출력 노드(158)상 전압(VPP)이 버스 라인들(167, 168) 전압보다 높기 때문에, 양쪽 NMOS 트랜지스터들(172, 174)은 턴온되어, 선택된 워드 라인(102)을 접지로 구동하고, 하프 선택 워드 라인(181)을 VPP-VT로 구동한다. 이들 두 개의 도전 경로들은 개방된 화살표 머리 라인들에 의해 표현된다.

[0052] 각각의 이들 워드 라인 드라이버 회로들에서 PMOS 트랜지스터의 각각의 소스 단자는 노드(164)로 표시된 비선택된 바이어스 라인(UXL)에 결합된다. 이런 동작 모드에서, UXL 바이어스 라인은 비선택된 워드 라인 전압(VUX)을 전달한다. 디코드된 출력 노드(158)(VPP)상 전압이 UXL 바이어스 라인 전압보다 높기 때문에, 양쪽 PMOS 트랜지스터들(171, 173)은 턴오프된다.

[0053] 디코드된 출력 노드(162)는 PMOS 트랜지스터(175) 및 NMOS 트랜지스터(176)를 포함하는 워드 라인 드라이버 회로에 결합된다. 트랜지스터들(175, 176)의 각각의 드레인 단자는 이 경우 비선택된 워드 라인(104)을 나타내는 워드 라인에 모두 결합된다. 디코드된 출력 노드(162)에 결합된 제 2 워드 라인 드라이버 회로는 디코드된 출력 노드(162)와 연관된 하나 이상의 나머지 워드 라인 드라이버 회로들을 나타내고, PMOS 트랜지스터(177) 및 NMOS 트랜지스터(178)를 포함하고, 상기 트랜지스터의 출력은 비선택된 워드 라인(183)을 구동한다.

[0054] 이전과 같이, 이들 워드 라인 드라이버 회로들 각각에서 NMOS 트랜지스터의 각각의 소스 단자는 소스 선택 버스(XSEL)의 각각의 버스 라인에 결합된다. 디코드된 출력 노드(162)상 전압(접지)이 버스 라인들(167, 168) 전압이거나 낮기 때문에, 양쪽 NMOS 트랜지스터들(176, 178)은 턴오프된다. 이들 워드 라인 드라이버 회로들 각각에서 PMOS 트랜지스터의 각각의 소스 단자는 비선택된 바이어스 라인(UXL) 노드(164)에 결합된다. 디코드된 출력 노드(162)상 전압(접지)이 UXL 바이어스 라인(164)의 전압보다 낮기 때문에(PMOS 임계 전압보다 높음으로써), 양쪽 PMOS 트랜지스터들(175, 177)은 턴온되어, 비선택된 워드 라인들(104, 183)을 VUX(예를 들어, VPP-VT)로 구동한다. 이들 두 개의 도전 경로들은 개방된 화살표 머리 라인들에 의해 표시된다.

[0055] 도 4를 참조하여, 이런 동일한 예시적인 워드 라인 디코더 회로는 도시되고 역 바이어스 동작 모드(도 2에 기술된 바와 같이) 동안 적당한 바이어스 조건들을 포함한다. 행 디코더 회로의 디코드된 출력(158)은 선택된 디코드된 출력에 대응하고, 디코드된 출력(162)은 비선택된 디코드된 출력에 대응한다. 행 디코더(152)는 이런 동작 모드에서 전력 공급 노드(153)에 결합된 VRR/2와 같은 상부 공급 전압, 및 전력 공급 노드(154)에 전력을 공급하기 위하여 결합된 접지의 하부 공급 전압으로 동작된다. 이런 동작 모드에서, 행 디코더는 "액티브 로우" 디코더이고, 액티브(선택된) 디코드된 출력(158)은 인버터(156) 및 멀티플렉서(157)를 사용하여 이 경우 GND(접지)인 두 개의 이용 가능한 하부 전압 상태들로 구동된다. 디코드된 출력 노드(162) 같은 비선택된 디코드된 출력들은 인버터(160) 및 멀티플렉서(161)를 사용하여 이 경우 VRR/2인 두 개의 이용 가능한 상부 전압 상태들로 구동된다.

[0056] 이런 동작 모드에서, 기술된 예시적인 실시예에 대해, 소스 선택 버스(XSEL)의 개별 버스 라인들은 접지인 모두 동일한 바이어스 조건으로 구동되고, "비선택된" 바이어스라인(UXL)은 VRR/2(예를 들어, +5볼트)와 동일한 바이어스 전압을 운반한다. 이런 역방향 동작 모드에서, 바이어스 라인(UXL)은 실제로 인액티브 또는 비선택된 바이어스 조건보다 워드 라인들에 적당한 액티브 상태를 운반한다. 디코드된 출력 노드(158)상 전압(GND)이 바이어스 라인(UXL)의 전압보다 상당히 낮기 때문에(즉, PMOS 임계 전압보다 높음으로써), PMOS 트랜지스터들(171, 173) 모두는 턴온되고, 따라서 선택된 워드 라인(102)을 VRR/2로 구동하고, 하프 선택된 워드 라인(선택된 워드 라인 181로서 도시됨)인 것을 VRR/2로 구동한다. 이들 두 개의 도전 경로들은 개방된 화살표 머리 라인들에 의해 표시된다.

[0057] 이런 동작 모드에서 소스 선택 버스(XSEL)는 디코드되지 않고, 각각의 상기 버스 라인은 워드 라인(예를 들어, 접지)에 적당한 인액티브 상태로 바이어스된다. 디코드된 출력 노드(158)상 전압(접지)이 버스 라인들(167, 168)의 전압보다 높지 않기 때문에, 모든 NMOS 트랜지스터들(172, 174)은 턴오프된다.

[0058] 비선택된 출력인 디코드된 출력 노드(162)는 인버터(160) 및 멀티플렉서(161)에 의해 VRR/2로 구동된다. 디코드된 출력 노드(162)상 전압이 버스 라인들(167, 168)의 전압보다 높기 때문에, 양쪽 PMOS 트랜지스터들(176, 178)은 턴온되고, 따라서 비선택된 워드 라인들(104, 183)을 접지로 구동한다. 이를 두 개의 도전성 경로들은 개방된 화살표 머리 라인들에 의해 표현된다. 디코드된 출력 노드(162)상 전압이 UXL 바이어스 라인(164)상에서 운반되는 전압과 동일하기 때문에, 양쪽 PMOS 트랜지스터들(175, 177)은 턴오프된다.

[0059] 도 5를 참조하여, 예시적인 비트 라인 디코더 회로는 도시되고, 순방향 바이어스 동작 모드(도 1에 기술된 바와 같이)에 적당한 바이어스 조건들을 도시하는 것을 포함한다. 열 디코더 회로는 두 개의 디코드된 출력들(208, 212)을 도시하는 페이지의 좌측상에 도시된다. 디코드된 출력(208)은 선택된 디코드된 출력에 대응하고, 디코드된 출력(212)은 비선택된 디코드된 출력에 대응한다. 임의의 다양한 잘 공지된 기술들을 사용하여 실행될 수 있는 열 디코더(202)는 멀티플렉서들(207, 211), 및 인버터들(206, 210)에 의해 조건적으로 인버트된 출력(205, 209) 같은 다수의 디코드된 출력들을 생성한다. 행 디코더와 달리, 노드(208)상 캐페시티브 로딩이 행 디코더 출력들보다 상당히 작기 때문에 노드(205)를 구동하기 위하여 NAND 게이트 다음에 인버팅 버퍼가 없다. 열 디코더(202)는 이런 동작 모드에서 동작되고 VPP와 동일한 상부 공급 전압은 전력 공급 노드(203)에 결합되고, 접지의 하부 공급 전압은 전력 공급 노드(204)에 결합된다. 이런 동작 모드에서, 열 디코더는 "액티브 로우" 디코더이다. 디코드된 출력 노드(212) 같은 선택되지 않은 디코드된 출력들은 이 경우 VPP인 두 개의 이용 가능한 높은 전압 상태들로 구동된다. 다음 설명은 상기 디코드된 출력 노드(208)만이 한번에 선택되는(예를 들어, "로우") 것을 처음에 가정한다.

[0060] 각각의 디코드된 출력들은 하나 이상의 비트 라인 드라이버 회로들에 결합된다. 예를 들어, 디코드된 출력 노드(208)는 PMOS 트랜지스터(221) 및 NMOS 트랜지스터(222)를 포함하는 비트 라인 드라이버 회로에 결합된다. 트랜지스터들(221, 222)의 각각의 드레인 단자는 선택된 비트 라인(106)을 나타내는 비트 라인에 모두 결합된다. 본 발명의 특정 실시예들이 다중 헤드 디코드들과 다른 디코더들을 계획하지만, 도 5는 특정 디코드된 출력 노드(208)와 연관된 하나 이상의 나머지 워드 라인 드라이버 회로들을 나타내는 디코드된 출력 노드(208)에 결합된 제 2 비트 라인 드라이버 회로를 도시한다. 이런 제 2 비트 라인 드라이버 회로는 PMOS 트랜지스터(223) 및 NMOS 트랜지스터(224)를 포함하고, 상기 트랜지스터의 출력은 하나 이상의 하프 선택 비트 라인들을 나타내는 비트 라인(231)을 구동한다. 워드 라인 디코드와 대조하여, 상기 하프 선택 비트 라인은 인액티브 상태에서 유지된 선택된 비트 라인을 나타낼 수 있다.

[0061] 이들 비트 라인 드라이버 회로들 각각에서 PMOS 트랜지스터의 각각의 소스 단자는 소스 선택 버스(SELB)의 각각의 버스에 결합된다. 이런 동작 모드에서, 소스 선택 버스(SELB)는 데이터 종속적이고, 추가로 어드레스 정보를 바탕으로 디코드되어, 하나 이상의 상기 버스 라인들은 이런 동작 모드 동안 비트 라인에 적당한 액티브 상태로 바이어스되고, 나머지 버스 라인들은 이런 동작 모드 동안 비트 라인들에 적당한 인액티브 상태로 바이어스된다. 특정 실시예들에서, 하나 이상의 상기 소스 선택 버스 라인은 액티브일 수 있지만, 우리는 버스 라인(217)이 액티브이고, VPP로 바이어스되며, 버스 라인(218)에 의해 표현된 하나 이상의 나머지 버스 라인들이 인액티브이고 비선택된 비트 라인 전압(VUB)(VT로서 도시됨)으로 구동되는 것을 가정한다.

[0062] 디코드된 출력 노드(208)상 전압이 버스 라인들(217, 218) 전압보다 낮기 때문에, 양쪽 PMOS 트랜지스터들(221, 223)은 턴온되어, 선택된 비트 라인(106)을 VPP로 구동하고, 하프 선택 비트 라인(231)을 VT로 구동한다. 이들 두 개의 도전 경로들은 개방된 화살표 머리 라인들에 의해 표현된다.

[0063] 각각의 이들 비트 라인 드라이버 회로들에서 NMOS 트랜지스터의 각각의 소스 단자는 노드(214)로 표시된 비선택된 바이어스 라인(UYL)에 결합된다. 이런 동작 모드에서, UYL 바이어스 라인은 비선택된 비트 라인 전압(VUB)을 전달한다. 디코드된 출력 노드(208)(접지)상 전압이 UYL 바이어스 라인 전압보다 낮기 때문에, 양쪽 NMOS 트랜지스터들(222, 224)은 턴오프된다.

[0064] 디코드된 출력 노드(212)는 PMOS 트랜지스터(225) 및 NMOS 트랜지스터(226)를 포함하는 비트 라인 드라이버 회로에 결합된다. 트랜지스터들(225, 226)의 각각의 드레인 단자는 이 경우 비선택된 비트 라인(108)을 나타내는 비트 라인에 모두 결합된다. 디코드된 출력 노드(212)에 결합된 제 2 비트 라인 드라이버 회로는 디코드된 출력 노드(212)와 연관된 하나 이상의 나머지 비트 라인 드라이버 회로들을 나타내고, PMOS 트랜지스터(227) 및 NMOS 트랜지스터(228)를 포함하고, 상기 트랜지스터의 출력은 비선택된 비트 라인(233)을 구동한다.

[0065] 이전과 같이, 이들 비트 라인 드라이버 회로들 각각에서 PMOS 트랜지스터의 각각의 소스 단자는 소스 선택 버스(SELB)의 각각의 버스 라인에 결합된다. 디코드된 출력 노드(212)상 전압(VPP)이 버스 라인들(217, 218) 전압이거나 높기 때문에, 양쪽 PMOS 트랜지스터들(225, 227)은 턴오프된다. 이들 비트 라인 드라이버 회로들 각각에서

NMOS 트랜지스터의 각각의 소스 단자는 비선택된 바이어스 라인(UYL) 노드(214)에 결합된다. 디코드된 출력 노드(212)상 전압(접지)이 VPP이기 때문에, 양쪽 NMOS 트랜지스터들(226, 228)은 턴온되어, 비선택된 비트 라인들(108, 233)을 VUB(예를들어, VT)로 구동한다. 이들 두 개의 도전 경로들은 개방된 화살표 머리 라인들에 의해 표시된다.

[0066] 도 6을 참조하여, 비트 라인 디코더 회로는 도시되고 역 바이어스 동작 모드(도 2에 기술된 바와 같이) 동안 적당한 바이어스 조건들을 포함한다. 열 디코더 회로의 디코드된 출력(208)은 선택된 디코드된 출력에 대응하고, 디코드된 출력(212)은 비선택된 디코드된 출력에 대응한다. 열 디코더(202)는 이런 동작 모드에서 전력 공급 노드(203)에 결합된 GND와 같은 상부 공급 전압, 및 전력 공급 노드(204)에 전력을 공급하기 위하여 결합된 -VRR/2의 하부 공급 전압으로 동작된다. 이런 동작 모드에서, 열 디코더는 "액티브 하이" 디코더이고, 액티브(선택된) 디코드된 출력(208)은 인버터(206) 및 멀티플렉서(207)를 사용하여 이 경우 GND(접지)인 두 개의 이용 가능한 상부 전압 상태들로 구동된다. 디코드된 출력 노드(212) 같은 비선택된 디코드된 출력들은 인버터(210) 및 멀티플렉서(211)를 사용하여 이 경우 -VRR/2인 두 개의 이용 가능한 하부 전압 상태들로 구동된다.

[0067] 이런 동작 모드에서, 기술된 예시적인 실시예에 대해, 소스 선택 버스(SELB)의 개별 버스 라인들은 접지인 모두 동일한 바이어스 조건으로 구동되고, "비선택된" 바이어스라인(UYL)은 -VRR/2(예를들어, -5볼트)와 동일한 바이어스 전압을 운반한다. 이런 역방향 동작 모드에서, 바이어스 라인(UYL)은 실제로 인액티브 또는 비선택된 바이어스 조건보다 비트 라인들에 적당한 액티브 상태를 운반한다. 디코드된 출력 노드(208)상 전압(접지)이 바이어스 라인(UYL)의 전압보다 상당히 높기 때문에(즉, NMOS 임계 전압보다 높음으로써), NMOS 트랜지스터들(222, 224) 모두는 턴온되고, 따라서 선택된 비트 라인(106)을 -VRR/2로 구동하고, 하프 선택된 비트 라인(선택된 비트 라인 231로서 도시됨)인 것을 -VRR/2로 구동한다. 이들 두 개의 도전 경로들은 개방된 화살표 머리 라인들에 의해 표시된다.

[0068] 이런 동작 모드에서 소스 선택 버스(SELB)는 데이터 종속되지 않고 디코드되지도 않고(적어도 주어진 블록 내에서), 각각의 상기 버스 라인은 비트 라인(예를들어, 접지)에 적당한 인액티브 상태로 바이어스된다. 모든 PMOS 트랜지스터들(221, 223)은 턴오프된다.

[0069] 디코드된 출력 노드(212)는 비선택된 출력이고 -VRR/2로 구동된다. 양쪽 PMOS 트랜지스터들(225, 227)은 턴온되어, 비선택된 비트 라인들(108, 233)을 접지로 구동한다. 이들 두 개의 도전 경로들은 개방된 화살표 머리 라인들로 표시된다. 양쪽 NMOS 트랜지스터들(226, 228)은 턴오프된다.

[0070] 순방향 모드에서 열 디코더는 액티브 로우이고 비트 라인들이 액티브 하이인 것이 주의되어야 한다. 역방향 모드에서, 열 디코더는 극성을 반전시키기고 액티브 하이로되고, 비트 라인들 자체는 반대 극성이고 액티브 로우가 된다. 반대로, 순방향 모드에서, 행 디코더는 액티브 하이이고 워드 라인들은 액티브 로우이다. 역방향 모드에서, 행 디코더는 극성을 반전시키고 액티브 로우가되고, 워드 라인들 자체는 반대 극성이고 액티브 하이가 된다. 열 디코더 출력 레벨들이 평균적으로 순방향 모드(즉, GND 대 VPP) 및 역방향 모드(즉, -VRR/2 대 GND) 사이의 전압으로 이동하는 것은 주의된다.

[0071] 비다중 헤드 디코더로서 보았을 때(도 3, 4, 5 및 6에서, 비점선 어레이 라인 드라이버 회로들만), 디코더 회로의 동작은 매우 간단히 기술될 수 있다. 역방향 모드에서, 워드 라인 디코더는 극성을 반전하고 하나의 선택된 워드 라인이 하이(~5V)가 되고 다른 것 모두는 접지를 유지한다. 반대 상황은 하나의 비트 라인이 선택되고 -5V로 되고 다른 모든 것들이 접지일 경우, 비트 라인 선택측에서 발생한다. 최종 결과는 선택된 메모리 셀 양단에서 10V의 역 바이어스이고 다른 것들 양단에서 영이다. 워드 라인 및 비트 라인 드라이버 회로들의 트랜지스터들은 전체 전압보다 오히려 5V, 또는 최대 전압의 절반을 견디도록 하여야 한다.

[0072] 다중 헤드 디코더들(도 3, 4, 5 및 6에서, 점선 어레이 라인 드라이버 회로들 포함)을 사용하는 관계들을 고려할 때, 기술된 회로들이 순방향의 디코드된 소스 선택 버스를 사용하고, 이것으로 인해 어레이 라인들 그룹 중 하나가 선택되는(나머지 하프 선택 어레이 라인들은 비선택된 바이어스 조건으로 구동됨) 것은 주의되어야 한다. 그러나, 역방향 모드에서, 행 및 열 디코더로부터 선택된 디코드된 출력은 각각의 어레이 라인을 UXL 및 UYL 같은 단일 비선택된 바이어스 라인에 결합한다. 역방향 모드에서 하프 선택된 어레이 라인들을 달성하는 것은 단일 바이어스 라인으로 가능하지 않다. 결과적으로, 상기 회로들 및 기술들은 "블록 소거" 같은 역방향 모드에서 어레이 라인들의 블록을 선택하기 위하여 배열될 때 매우 유용하다. 도 4 및 6에 도시된 바와 같이, 선택된 워드 라인들의 블록 및 선택된 비트 라인들의 블록은 독립적으로 구성할 수 있는 하프 선택 어레이 라인들 없이 역방향 모드에서 동시에 선택된다. 상기 블록 동작은 하프 선택된 라인들에 대한 임의의 필요성을 제거한다. 디코딩 의미는 Roy E. Scheuerlein에 의한 발명의 명칭이 "Word Line Arrangement Having Multi-Layer Word Line

"Segments for Three-Dimensional Memory Array"이고, 그 공개물이 전체적으로 참조로써 여기에 통합된 미국특허 번호 6,879,505에 개시된 것과 매우 유사할 수 있다. 상기 블록 동작이 어떻게 구성되느냐(또는 얼마나 큰 블록이 구성될 수 있는가)는 셀 리셋 전류 크기, 동시에 상기 리셋 전류를 도전시키는 셀들의 수에 크게 의존하고, 워드 라인 드라이버 회로 및 비트 라인 드라이버 회로 내 PMOS 및 NMOS 트랜지스터들은 허용 가능한 전압 강하를 가진 상기 전류를 지원할 수 있다.

[0073] 하프 선택된 어레이 라인들은 다른 기술들을 사용하여 역방향 모드(이미 제공된 순방향 모드 외에)에서 제공될 수 있다. 제 1 상기 기술에서, 행 및 열 디코더들은 과전압이 인가될 수 있어서, 디코드된 출력 노드들은 PMOS 소스 전압보다 높고 NMOS 소스 전압보다 낮다. 이렇게 함으로써, 선택된 워드 라인은 NMOS 트랜지스터를 통하여 +VRR/2 전압으로 업 구동될 수 있고, 선택된 비트 라인은 PMOS 트랜지스터를 통하여 -VRR/2 전압으로 다운 구동 될 수 있다. 이것은 순방향 모드 동안 같은 선택된 워드 라인 및 비트 라인을 구동하기 위하여 동일한 트랜지스터들을 사용한다.

[0074] 상기 기술은 도 7 및 8에 도시된다. 도 7을 처음에 참조하여, 워드 라인 디코더 회로는 도시되고 소스가 상기된 바이어스 조건들에 남아있는 어레이 라인 드라이버들을 구동하기 위하여 과구동된 디코드된 출력을 사용한다. 이런 행 디코더 회로에서, 행 디코더(152)는 8 볼트 상부 공급 전압 및 음의 1 볼트 하부 공급 전압이 공급된다. 디코드된 출력 노드들(158, 162)의 극성은 도 4에 도시된 것과 반대이고, +8 볼트에서 선택된 출력(158) 및 -1볼트에서 비선택된 디코드된 출력 노드(162)를 제공하는 액티브 하이 디코더이다. 소스 선택 버스(XSEL)는 디코드된 버스로 유지된다. 하나(또는 그 이상)의 개별 버스 라인들은 선택되고 +5볼트로 구동되고, 비선택된 버스 라인들은 접지로 구동된다. NMOS 트랜지스터(172)는 턴온되고, 선택된 워드 라인(102)을 연관된 XSEL 버스 라인 전압(+5볼트)에 도전시킨다. NMOS 트랜지스터(174)는 턴온되고, 하프 선택된 워드 라인(들)(181)을 접지에 도전시킨다. -1볼트에서 비선택된 디코드된 출력 노드(162)로 인해, PMOS 트랜지스터들(175, 177)은 모두 턴온되고, 비선택된 워드 라인들(104, 183)을 접지로 도전시킨다. 이 기술을 사용하는 몇몇 실시예들에서, 조건적 출력 인버터들(156, 160) 및 멀티플렉서들(157, 161)("접선"으로 도시됨)은 사용되지 않는다.

[0075] 도 8을 참조하여, 비트 라인 디코더 회로는 도시되고 어레이 라인 드라이버들을 구동하기 위하여 과구동된 디코드된 출력을 사용한다. 이런 열 디코더 회로에서, 열 디코더(202)는 +1 볼트 상부 공급 전압 및 음의 8 볼트 하부 공급 전압이 인가된다. 디코드된 출력 노드들(208, 212)의 극성은 도 6에 도시된 것과 반대이고 -8볼트의 선택된 출력(208) 및 +1볼트의 비선택된 디코드된 출력 노드(212)를 제공하는 액티브 로우 디코더이다. 하나(또는 그 이상)의 개별 SELB 버스 라인들(217)은 선택되고 -5볼트로 구동되고, 비선택된 SELB 버스 라인(218)은 접지로 구동된다. PMOS 트랜지스터(221)는 턴온되고, 선택된 비트 라인(106)을 연관된 SELB 버스 라인 전압(-5볼트)으로 도전시킨다. PMOS 트랜지스터(223)는 턴온되고, 하프 선택된 비트 라인(들)(231)을 접지로 도전시킨다. +1볼트의 비선택된 디코드된 출력 노드(212)로 인해, NMOS 트랜지스터들(226, 228)은 모두 턴온되고, 비선택된 비트 라인들(108, 233)을 접지로 도전시킨다. 이런 기술을 사용하는 몇몇 실시예들에서, 조건적 출력 인버터들(206, 210) 및 멀티플렉서들(207, 211)은 사용되지 않는다.

[0076] 다른 기술에서, 하프 선택 워드 라인들 및 비트 라인들은 역방향 모드에서 단일 비선택된 바이어스 라인들(UXL 및 UYL) 대신 각각의 역방향 소스 선택 버스를 통합하여 제공될 수 있다. 도 9를 지금 참조하여, 워드 라인 디코더 회로는 도시되고 듀얼 디코드된 소스 선택 버스들을 사용한다. 워드 라인 드라이버 회로들의 PMOS 트랜지스터들을 위한 역방향 소스 선택 버스(XSELP)는 도 4에 도시된 비선택된 바이어스 라인(UXL) 대신 통합되었다. 이런 워드 라인 디코더 회로의 나머지는 이전과 같이 동작한다.

[0077] 역방향 모드에서, 선택된 디코드된 출력 노드(158)는 액티브 로우이고 접지로 구동된다. 역방향 소스 선택 버스(XSELP)의 개별 버스 라인들 중 선택된 하나는 워드 라인에 대한 역방향 동작 모드에 적당한 액티브 바이어스 조건으로 바이어스된다. 이 경우, XSELP 버스의 선택된 버스 라인(243)은 VRR/2로 구동되고, XSELP 버스의 비선택된 바이어스 라인들(244)은 이 경우 접지 구동되는 워드 라인들을 위한 이런 동작 모드에 적당한 인액티브 바이어스 조건으로 구동된다. PMOS 트랜지스터(171)는 게이트에 결합된 저전압에 의해 턴온되고, 선택된 워드 라인(102)을 VRR/2 전위로 구동한다. 그러나 하프 선택된 워드 라인 드라이버 회로내 PMOS 트랜지스터(173)는 게이트상 전압이 소스에 관련하여 충분히 낮지 않기 때문에 오프로 유지되는데, 그 이유는 양쪽이 접지이기 때문이다.

[0078] NMOS 트랜지스터(174)가 턴오프되기 때문에, 하프 선택된 워드 라인 드라이버 회로 내 트랜지스터 어느 것도 턴온되지 않는다. 결과적으로, 하프 선택된 워드 라인들은 접지 전위에서 또는 근처에서 플로팅한다. 이것은 만약 이런 예시적인 회로의 경우처럼, NMOS 풀 다운 트랜지스터(174)가 PMOS 풀 업 트랜지스터(173)보다 큰 경우에

발생한다. 보다 큰 트랜지스터는 보다 작은 트랜지스터보다 기판에 대한 누설량이 보다 크다. 결과적으로, 트랜지스터(174)가 접지에 결합된 기판을 가지기 때문에, 접지에 대한 누설 전류는 PMOS 트랜지스터(173)로부터 발생하는 VRR/2에 대한 기판 누설 전류 이상을 나타내고, 이런 순수 전류는 접지 전위에서 또는 근처에서 하프 선택 워드 라인들(181)을 유지한다. 비선택된 디코드된 출력 노드들(162)과 연관된 워드 라인 드라이버 회로들은 이전과 같이 동작하고, NMOS 트랜지스터들(176, 178)은 비선택된 워드 라인들(104, 183)을 접지로 도전시키기 위하여 턴온된다.

[0079] 다른 실시예에서, 디코드된 출력 노드들(158, 162)의 로우 레벨은 -VTP(또는 하위)와 동일한 하위 전력 공급기(154)를 사용하여 행 디코더(152), 인버터들(156, 160) 및 멀티플렉서들(157, 161)을 동작시킴으로써 접지 아래로 구동된다(예를 들어, 접지 아래 PMOS 임계 전압 또는 그 아래, 즉 -VTP). 결과적으로, PMOS 풀 업 트랜지스터(173)는 하프 선택된 워드 라인(들)(181)을 접지로 액티브적으로 구동하기 위하여 턴온된다.

[0080] 유사한 상황은 듀얼 데이터 종속 소스 선택 버스들을 통합한 열 디코더에서 발생한다. 도 10을 참조하여, 비트 라인 디코더 회로는 도시되고 듀얼 디코드된(이 경우 데이터 종속) 소스 선택 버스들을 사용한다. 비트 라인 드라이버 회로들의 NMOS 트랜지스터들을 위한 역방향 소스 선택 버스(SELN)는 도 6에 도시된 비선택된 바이어스 라인(UYL) 대신 통합되었다. 이런 비트 라인 디코더 회로의 나머지는 이전과 같이 동작한다.

[0081] 역방향 모드에서, 선택된 디코드된 출력 노드(208)는 액티브 하이이고 접지로 구동된다. 역방향 소스 선택 버스(SELN)의 개별 버스 라인들 중 선택된 하나는 비트 라인에 대한 역방향 소스 선택의 개별 버스 라인들 중 선택된 하나는 비트 라인에 대한 역방향 동작 모드에 적당한 액티브 바이어스 조건으로 바이어스된다. 이 경우, SELN 버스의 선택된 버스 라인(247)은 -VRR/2로 구동되고, SELN 버스의 비선택된 바이어스 라인들(248)은 이 경우 접지로 구동되는 이런 동작 모드에 대한 비트 라인들에 적당한 인액티브 바이어스 조건으로 구동된다. NMOS 트랜지스터(222)는 게이트에 결합된 하이 전압에 의해 턴온되고, 선택된 비트 라인(106)을 -VRR/2 전위로 구동한다. 그러나 하프 선택 비트 라인 드라이버 회로 내 NMOS 트랜지스터(224)는 그 게이트상 전압이 소스에 관련하여 충분히 높지 않기 때문에 오프로 유지되는데, 그 이유는 양쪽이 접지에 있기 때문이다.

[0082] PMOS 트랜지스터(223)가 턴오프되기 때문에, 하프 선택 비트 라인 드라이버 회로 내 어느 트랜지스터도 턴온되지 않는다. 결과적으로, 하프 선택 비트 라인들은 접지 전위 또는 그 전체에서 플로팅한다. 이것은 이런 예시적인 회로의 경우처럼, PMOS 풀 업 트랜지스터(223)가 NMOS 풀 다운 트랜지스터(224)보다 크면 발생한다. 보다 큰 트랜지스터는 보다 작은 트랜지스터보다 기판에 대한 보다 큰 누설 양을 가진다. 결과적으로 보다 큰 트랜지스터(223)가 접지에 결합되는 기판을 가지기 때문에, 접지에 대한 누설 전류는 NMOS 트랜지스터(224)로부터 발생하는 -VRR/2에 대한 기판 누설 전류에 비해 크다는 것을 나타내고, 이런 순수 전류는 접지 전위 또는 그 근처에서 하프 선택된 비트 라인들(231)을 유지하게 한다. 비선택된 디코드된 출력 노드들(212)과 연관된 비트 라인 드라이버 회로들은 이전과 같이 동작하고, PMOS 트랜지스터들(225, 227)은 비선택된 비트 라인들(108, 233)을 접지로 도전하기 위하여 턴온된다.

[0083] 양쪽 디코더 회로들에 대해, 순방향 모드의 동작은 실질적으로 도 3과 5에 표시된 바와 같이 진행한다. 행 디코더 경우를 고려하여, 순방향 모드에서 소스 선택 버스는 디코드되고, 모든 비선택된 워드 라인들은 비선택된 바이어스 라인(UYL)으로 구동된다. 듀얼 디코드된 행 디코더 회로를 사용하는 순방향 모드에서, 역방향 소스 선택 버스는 디코드되지 않고, 모든 개별 버스 라인들은 UYL 버스 라인과 동일한 전압으로 구동된다. 따라서, 워드 라인 드라이버 회로들은 도 3에 관하여 변하지 않고 동작한다. 오히려, 단일 바이어스 라인(UYL)은 이전 UYL 바이어스 라인과 동일한 전압으로 각각 구동되고, 각각의 비선택된 워드 라인이 구동되는 다수의 "바이어스 라인들"에 의해 대체되었다.

[0084] 열 디코더 경우에서, 순방향 모드에서 소스 선택 버스(SELB)는 디코드되고 모든 비선택된 비트 라인들은 비선택된 바이어스 라인(UYL)으로 구동된다. 듀얼 디코드된 열 디코더 회로를 사용하는 순방향 모드에서, 역방향 소스 선택 버스는 디코드되지 않고 모든 개별 버스 라인들은 UYL 버스 라인과 동일한 전압으로 구동된다. 따라서, 비트 라인 드라이버 회로들은 도 5에 관하여 변하지 않고 동작한다. 오히려, 단일 바이어스 라인(UYL)은 각각 이전 UYL 바이어스 라인과 동일한 전압으로 구동되고, 각각 비선택된 비트 라인이 구동되는 다수의 "바이어스 라인들"에 의해 대체되었다.

[0085] 따라서 이전에 기술된 디코더 회로들은 메모리 셀들이 가역 가능한 저항기 플러스 다이오드를 포함하는 메모리 어레이들을 구현하는데 유용하다. 상기 메모리 셀들은 셀 양단에 인가된 역 바이어스를 사용하여 리셋될 수 있고, 하프 선택된 워드 라인들 및 비트 라인들을 제공하는 것은 개별 워드 라인들 및 비트 라인들이 리셋 바이어스 조건에 배치되게 하여, 전체 블록을 리셋하지 않고 개별 메모리 셀들을 리셋하기 위한 능력을 제공한다.

[0086]

도 7 및 8에 기술된 기술은 단지 단일 디코드된 소스 선택 버스의 장점을 가지며, 비록 행 및 열 디코더들이 과전압에 의해 전력이 인가되지만, 상기 디코더 회로들을 위한 전압 요구조건들 보다 높다. 도 9 및 10에 기술된 기술은 부가적인 디코드된(및/또는 데이터 종속) 역방향 소스 선택 버스, 및 두 개의 디코드된 소스 선택 버스들을 사용하여 어레이 라인 드라이버들을 통합하기 위한 증가된 영역의 비용으로 두 개의 디코더 회로들에 과전압을 인가하는 것에 사용하지 않음으로써 전압 요구조건들을 감소시킨다. 비트 라인 선택 회로는 두 배의 많은 버스 라인들을 가지며, 배선이 한정될 수 있다. 워드 라인 선택 회로들은 다소 클 수 있고 배선이 제한된다(즉, 워드 라인 드라이버 회로들은 6개의 헤드 디코더에 대해 6개의 부가적인 디코드 라인들을 가지며, PMOS 장치는 이전 회로들보다 약간 크다). 그럼에도 불구하고, 어느 하나의 기술은 특정 실시예들에 대해 다른 것에 비해 유용할 수 있다.

[0087]

순방향 모드는 프로그래밍 조건 환경상에서 기술되었고, 선택된 비트 라인에 인가된 전압은 VPP이다. 순방향 모드는 선택된 비트 라인이 판독 전압 VRD로 구동되고, 선택된 워드 라인이 다시 접지로 구동되는 판독 모드에 응용할 수 있다. 상기 판독 전압은 프로그래밍 전압(VPP)보다 매우 낮은 전압일 수 있고 비선택된 워드 라인 바이어스 전압(VUX) 및 비선택된 비트 라인 바이어스(VUB)는 이에 따라 프로그래밍 모드에 대한 값들에 비해 감소된다.

[0088]

특정 메모리 셀들은 순방향 바이어스 모드를 사용하여 "프로그래밍"될 수 있고, 역방향 모드를 사용하여 블록 소거된다. 다른 셀들은 초기 순방향 바이어스 프로그래밍 기술을 사용하여 사전에 조절될 수 있지만(제조 동안), 역방향 모드를 사용하여 "프로그래밍"되고, 순방향 모드를 사용하여 "소거"된다. 프로그래밍 가능한 기술들의 히스토리적 용도와 혼란을 피하고, 이전에 기술된 디코더 회로들에 사용하기 위하여 고안된 다른 메모리 기술들을 포함하기 위하여, 3개의 다른 동작 모드들은 하기를 기술하기 위하여 유용하다: 판독, 세트, 및 리셋. 판독 모드에서, 판독 전압(VRD)은 선택된 메모리 셀 양단에 인가된다. 세트 모드에서, 세트 전압(VPP)은 선택된 메모리 셀 양단에 인가된다. 이전에 기술된 예시적인 실시예들에서, 판독 전압(VRD) 및 세트 전압(VPP)은 모두 양의 전압들이고, 상기 모드들은 디코더 동작의 순방향 모드를 사용하여 수행된다. 리셋 모드에서, 리셋 전압(VRR)은 선택된 메모리 셀 양단에 인가된다. 상기된 예시적인 실시예들에서, 리셋 전압(VRR)은 역 바이어스 전압으로서 인가되고, 역방향 디코더 동작을 사용하여 수행된다.

[0089]

상기된 리셋 모드는 디코더 회로들에 대한 전압 요구조건들을 제한하기 위하여 분할된 전압 기술을 사용하고, 선택된 비트 라인을 음의 전압(즉, 3중 웨尔 반도체 구조를 사용하여)으로 구동한다. 선택적으로, 리셋 모드는 전체적으로 음이 아닌 전압들로 수행될 수 있다. 상기 경우, 리셋 전압(VRR)은 선택된 워드 라인에 전달되고, 접지는 선택된 비트라인에 전달된다. VUX 및 VUB 전압은 바람직하게 대략 VRR/2로 설정된다.

[0090]

많은 타입의 메모리 셀들(하기된)은 리셋 모드를 사용하여 프로그램될 수 있다. 특정 이들 메모리 셀 기술들에서, 각각의 메모리 셀 내의 안티퓨즈는 처음에 순방향으로 팝핑(pop)된다. 그 다음 각각의 메모리 셀의 저항은 프로그래밍을 달성하기 위하여 역 바이어스 방향으로 "조절"된다. 이것은 이전 프로그래밍 가능 셀의 경우이다. 재기입 가능한 셀들에 대해, 상기 셀은 순방향을 사용하여 소거되고, 이것은 다양한 크기들의 블록에서 수행되고, 그 다음 역방향 모드를 사용하여 프로그램된다.

[0091]

역 바이어스는 선택된 메모리 셀을 리셋하기 위하여 사용된다. 프로그래밍 전류는 다이오드 브레이크다운에 의해 공급된다. 게다가, 상기 프로그래밍과 연관된 바이어스 조건들은 주의깊게 제어되고, 선택된 워드 라인 및/또는 비트 라인의 전압 램프를 제어하는 것을 포함한다. 유용한 프로그래밍 기술들에 대한 부가적인 통찰력을 하기 참조된 미국특허 6,952,030에서 발견될 수 있다. 다중 프로그래밍 동작들은 하기에 참조된 023-0049 및 023-0055 출원, 및 더욱 상세히 하기 참조된 MA-163-1 출원에 기술된 바와 같이 다양한 저항 상태들을 프로그래밍하기 위하여 사용될 수 있다. 경사진 프로그래밍 펄스들의 사용은 하기에 참조된 SAND-01114US0 및 SAND-01114US1 출원에 기술되고, 다중 셀들의 저항을 트리밍하기 위한 기술들은 하기 참조된 SAND-01117US0 및 SAND-01117US1 출원에 기술된다.

[0092]

특히 듀얼 디코드된 소스 선택 라인들의 환경에서, 트리밍 할수있는 저항 엘리먼트를 통합한 패시브 엘리먼트 메모리 셀을 프로그래밍하기 위한 상기된 바와 같은 리셋 프로그래밍의 사용은 특히 보다 큰 어레이 블록 크기 대하여 큰 유통성을 제공하는데 유용하다. 심지어 선택된 어레이 블록에서(상기 모드 설명들이 가정됨), 리셋 모드에서 비선택된 메모리 셀들 양단 바이어스는 없고, 그러므로 낭비되는 전력 소산은 없다. 셀(Irev)을 통한 역방향 전류는 블록 크기와 관련되지 않는다. 그러므로 많은 블록들은 기입 대역폭을 증가시키기 위하여 선택될 수 있다. 게다가, 각각의 하프 선택 메모리 셀 양단 전압은 프로그래밍 전압의 1/2이고, 이들 셀들에 대해 안전하다.

[0093] 상기 설명들에서, 리셋 모드가 선택 및 하프 선택된 워드 라인들 및 비트 라인들을 기술하는 것은 주의된다. 행 선택의 환경에서, 예를들어, 상기 하프 선택된 워드 라인은 주어진 어드레스에 의해 실제로 "선택되지 않을 수 있고", 상기 용어는 다중 헤드 워드 라인 드라이버 구조의 생성물이다. 그러나, 비트 라인들의 환경에서, 상기 하프 선택 비트 라인은 열 어드레스가 관련되는 한 실제로 선택되지만, 비트 라인에 대한 특정 데이터가 셀을 "프로그래밍"하는 것을 요구하지 않기 때문에, 또는 비트 라인이 프로그램되는 것을 "기다리지" 않기 때문에 비트 라인들에 대한 액티브 상태보다 오히려 인액티브 상태로 바이어스될 수 있다. 이것은 비트 라인 디코더 헤드들의 수보다 작은 수가 동시에 프로그램될 때 발생한다. 그러나, 프로그래밍 대역폭 관심사는 가능한 한 많은 비트 라인들로서 동시에 프로그래밍하기 위하여 메모리 어레이를 구성하는 것을 제안한다.

[0094] 3중 웰 처리는 선택된 워드 라인(들)이 양의 전압이 되는 동안 선택된 비트 라인(들)이 음의 전압을 가지게 한다. 리셋 프로그래밍(즉, 역방향 모드)에서, 모든 비선택된 어레이 라인들(비트 라인들 및 워드 라인들)에 대한 기준 레벨은 접지이고, 이것은 워드 라인들 및 비트 라인들 모두의 빠른 디코딩 및 선택을 허용한다. 접지에서 플로팅하는 하프 선택된 워드 라인들 및 비트 라인들의 설명을 다시 참조하여(두 개의 드라이버 트랜지스터들의 보다 큰 웰 전위에 대한 누설 전류로 인해), 메모리 셀들의 저항 성질은 상기 하프 선택된 어레이 라인들 및 비선택된 어레이 라인들 사이에 부가적인 누설 전류를 제공하고, 이것은 비선택된 바이어스 레벨을 액티브적으로 홀딩한다. 이것은 추가로 비선택된 바이어스 전위 또는 근처에서 비선택된 어레이 라인들이 플로팅을 유지하게 한다.

[0095] 2차원 메모리 어레이들은 고안되지만, 디코더 장치들은 다중 메모리 평면들을 가진 3D 메모리 어레이에 특히 유용하다고 믿어진다. 특정 바람직한 실시예들에서, 메모리 어레이는 하기된 바와 같이, 하나 이상의 메모리 평면 각각에 워드 라인 세그먼트들을 포함하는 각각의 워드 라인으로 구성된다.

[0096] 도 11은 예시적인 메모리 어레이(300)의 블록도이다. 듀얼 행 디코더들(302,304)은 어레이에 대한 행 선택 라인들을 생성하고, 상기 행 선택 라인들은 여기에 기술될 바와 같이 어레이(300) 양단을 획단한다. 이 실시예에서, 워드 라인 드라이버 회로들(도시되지 않음)은 메모리 어레이 아래에 공간적으로 분산되고 개별 메모리 어레이 블록들(두 개는 306,308임)의 교번 측면들 상에 수직 접속들(그중 하나는 310임) 방식으로 워드 라인들에 대한 접속을 형성한다. 도시된 메모리 어레이에는 두 개의 메모리 "스트라이프들"(318,320)을 포함하고, 어레이 상부, 중상부, 중하부, 및 바닥에 각각 4개의 열 디코더들 및 비트 라인 회로 블록들(312,314,315,316)을 더 포함한다. 여기에 기술된 바와 같이, 부가적인 스트라이프들은 통합될 수 있고, 각각의 스트라이프는 하나 이상의 메모리 베이들을 포함할 수 있다. 각각의 블록 내 비트 라인들은 열 관련 회로의 퍼치 요구조건들을 완화하기 위하여 2:1 인터리빙된다. 예로서, 비트 라인(322)은 상부 열 회로 블록(312)과 연관되고(즉, 구동 및 감지되고), 비트 라인(324)은 바닥 열 회로들 블록(314)과 연관된다.

[0097] 예시적인 실시예들에서, 메모리 어레이(300)는 각각 4개의 메모리 평면들 상에 형성된 패시브 엘리먼트 메모리 셀들의 3차원 메모리 어레이이다. 상기 메모리 셀들은 바람직하게 여기에 기술된 바와 같이 트리밍 가능한 저항기 엘리먼트를 통합하고, 또한 안티퓨즈를 포함할 수 있다. 각각의 논리 워드 라인은 4개의 워드 라인 층들(각각은 각각의 메모리 평면과 연관됨) 각각 워드 라인 세그먼트에 접속된다.

[0098] 메모리 어레이(300)의 각각의 스트라이프는 블록(308) 같은 다수의 블록들로 분할된다. 여기에 기술된 특정 예시적인 실시예들에서, 각각의 메모리 베이는 16 어레이 블록들을 포함하지만, 다른 수의 블록들은 실행될 수 있다. 기술된 예시적인 실시예에서, 각각의 블록은 각각의 4개의 메모리 평면들에 대한 각각 4개의 비트 라인 층들상에 288 비트 라인들을 포함하여, 블록 당 총 1,152 비트 라인들을 포함한다. 이들 비트 라인들은 2:1 인터리빙되어, 어레이 블록의 상부 및 바닥에서 각각의 열 디코더 및 데이터 I/O 회로들은 576 비트 라인들과 인터페이스한다. 보다 많은 수들을 포함하는 다른 수 및 배열의 상기 비트 라인들 및 어레이 블록들은 또한 고안된다.

[0099] 선택된 메모리 어레이 블록에서, 이들 소스 선택 버스 라인들(XSELN)(또는 역방향 소스 선택 버스 XSELP) 중 하나는 디코드되고 행 바이어스 회로에 의해 액티브 바이어스 조건으로 구동되고, 나머지 버스 라인들(또한 "바이어스 라인들")은 인액티브 조건으로 구동된다(즉, 비선택된 메모리 라인에 적당한 전압). 결과적으로, 단일 선택된 RSEL 라인(즉, 도 3의 디코드된 출력 노드 158에 대응하는 행 선택 라인)은 선택된 메모리 블록에서 하나의 워드 라인 로우를 구동하고, 선택된 블록의 다른 N-1 워드 라인들을 비선택된 바이어스 레벨로 구동한다. 다른 비선택된 메모리 블록들에서, 소스 및 역방향 소스 선택 버스들 중 개별 버스 라인들 어느 것도 액티브로 구동되지 않으므로, 워드 라인들은 액티브(RSEL) 라인에 의해 선택되지 않는다. 선택적으로, 비선택된 어레이 블록들의 소스 및 역방향 소스 선택 버스들은 플로팅, 특히 순방향 모드에 있을 수 있다.

[0100]

각각의 행은 전체 메모리 스트라이프에서 모든 메모리 블록들을 가로질러 횡단하고, 스트라이프(둘 이상의 상기 스트라이프 각각은 제 1 및 최종 블록들 "외측"에 배치됨)의 각각의 블록들 쌍 "사이"에 배치된 각각 4개의 헤드 워드 라인 드라이버를 구동한다. RSEL 라인들은 "글로벌 행 라인들"로 공지되고, 여기에 참조된 행 디코더 출력 노드들에 대응한다. 예시적인 회로들, 동작, 바이어스 조건들, 플로트 조건들, 판독 및 프로그램 모드들을 포함하는 동작 모드들, 및 등등의 부가적인 상세한 것들은 미국특허 번호 6,879,505, 및 부가적으로 전체적으로 참조로써 여기에 통합된 Christopher J. Petti, 등에 의한 발명의 명칭이 "Transistor Layout Configuration for Tight-Pitched Memory Array Lines"인 미국특허 7,054,219, 및 전체적으로 참조로써 여기에 통합되고, 2006년 10월 5일 미국특허 출원 공보 2006-0221702로서 공개된 Roy E. Scheuerlein 등에 의한 것이며 발명의 명칭이 "Decoding Circuit for Non-Binary Groups of Memory Line Drivers"인 2005년 6월 7일 출원된 미국출원 11/146,952에 추가로 기술된다.

[0101]

글로벌 행 라인의 선택 시간의 속도를 증가시키기 위하여, 이들 RSEL 라인들은 두 개의 계층적 행 선택 디코더들(302,304)(또한 "글로벌 행 디코더들 302,304"로서 공지됨)에 의해 양쪽 단부에서 구동되고, 상기 디코더들 각각은 스트라이프의 좌측 및 우측에서 어레이 외측에 배치된다. 계층적 디코더 구조를 사용함으로써, 글로벌 행 디코더(302)의 크기는 감소되어, 어레이 효율성을 개선한다. 게다가, 역방향 디코딩 모드는 2006년 7월 6일 미국특허 출원 공개번호 2006-0145193으로서 공개되고 2004년 12월 30일 출원되고 Kenneth K. So, 등에 의한 것이고 발명의 명칭이 "Dual-Mode Decoder Circuit, Integrated Circuit Memory Array Incorporating Same, and Related Methods of Operation"인 미국출원 11/026,493에 추가로 기술된 바와 같이 개선된 검사 능력이 편리하게 제공되고, 그 공개물은 전체적으로 참조로써 여기에 통합된다. 상기 계층적 디코더들에 대한 예시적인 회로들은 Luca G. Fasoli, 등에 의한 것이며 미국특허 출원 공개 2006-0146639이고 발명의 명칭이 "Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders"에서 발견될 수 있고, 그 공개물은 여기에 전체적으로 참조로써 통합된다.

[0102]

여기에 통합된 특정 자료들에서, 예시적인 4개의 헤드 디코더 회로는 4개의 "선택된" 바이어스 라인들 및 단일 비선택 바이어스 라인을 포함한다. 상기 이름에 대한 이유는 만약 디코더 헤드에 대한 입력이 선택되면(즉, 액티브 레벨로 구동되면), 주어진 디코더 헤드가 "선택된" 바이어스 라인에 출력을 결합하기 때문이다. 그러나, 이것이 통상적으로 단지 하나의 선택된 바이어스 라인들이 선택된 출력에 적당한 조건에서 실제로 바이어스되고, 나머지 3개의 선택된 바이어스 라인들은 비선택된 출력에 적당한 조건으로 바이어스되기 때문에 선택된 출력을 반영하는 레벨로 도시된 모두 4개의 헤드들이 각각의 출력들을 구동하는 것을 의미하지 않는다. 다중 헤드 디코더에 대한 이들 "선택된" 바이어스 라인들은 여기에 "소스 선택 버스"로서 기술되지만, 주의된 바를 제외하고 유사하게 동작한다. 몇몇 실시예들은 단일 비선택된 바이어스 라인보다 "역방향 소스 선택 버스"인 제 2 버스를 포함한다.

[0103]

반대로, 만약 다중 헤드 디코더를 위한 입력 노드가 인액티브이거나 비선택되면, 모든 헤드들은 연관된 "비선택된" 바이어스 라인(또는 역방향 소스 선택 버스의 각각의 버스 라인)에 각각의 출력들을 구동한다. 많은 유용한 실시예들에 대해, 상기 비선택된 바이어스 라인들은 모든 다중 헤드 디코더의 헤드들에 의해 공유된 단일 바이어스 라인에 결합될 수 있다.

[0104]

상기 디코딩의 부가적인 계층 레벨들, 디코드된 버스들에 대한 바이어스 회로 구성(예를들어 XSELN 및 XSELP), 관련된 지원 회로들을 포함하는 유사하거나 관련된 워드 라인 디코더 구조들 및 기술들은 여기에 전체적으로 참조로써 통합되고, Roy E. Scheuerlein and Matthew P. Crowley에 의한 발명의 명칭이 "Multi-Headed Decoder Structure Utilizing Memory Array Line Driver with Dual Purpose Driver Device"인 미국특허 6,856,572, 및 여기에 전체적으로 참조로써 통합되고 Roy E. Scheuerlein and Matthew P. Crowley에 의한 것이며 발명의 명칭이 "Tree Decoder Structure Particularly Well-Suited to Interfacing Array Lines Having Extremely Small Layout Pitch"인 미국특허 6,859,410에 추가로 기술된다.

[0105]

도 12는 본 발명의 특정 실시예들에 따른 3차원 메모리 어레이의 워드 라인 층 및 비트 라인 층을 나타내는 평면도이다. 다른 워드 라인 층들 및 비트 라인 층들은 도시된 것으로 구현되고 몇몇 실시예들에서 동일한 수직 접속부들을 공유한다. 메모리 블록들(332,334)은 다수의 비트 라인들(333,335)을 각각 포함하고, 2:1 인터리빙 워드 라인 세그먼트들을 가지는 것으로 도시된다. 하나의 블록에 대한 워드 라인 세그먼트들의 반쪽에 대한 수직 접속들은 블록의 좌측(예를들어 워드 라인 세그먼트 337 및 수직 접속 339)에 있고, 상기 블록에 대한 워드 라인 세그먼트들의 다른 반쪽에 대한 수직 접속들은 블록의 우측(예를들어, 워드 라인 세그먼트 336 및 수직 접속 340)에 있다. 게다가, 각각의 수직 접속은 각각 두 개의 인접한 블록들에서 워드 라인 세그먼트를 사용한다. 예를들어, 수직 접속부(340)는 어레이 블록(332)의 워드 라인 세그먼트(336)에 접속하고 어레이 블록(334)의 위

드 라인 세그먼트(338)에 접속한다. 다른 말로, 수직 접속(수직 접속부 340 같은)은 각각 두 개의 인접한 블록들에서 워드 라인 세그먼트에 의해 공유된다. 예상된 바와 같이, 제 1 및 최종 어레이 블록들에 대한 각각의 "외측" 수직 접속부들은 제 1 및 최종 어레이 블록들의 우드 라인 세그먼트들만을 사용할 수 있다. 예를 들어, 만약 블록(334)이 메모리 어레이(또는 메모리 베이)를 형성하는 다수의 블록들의 최종 블록이면, 외측 수직 접속부들(예를 들어, 수직 접속부 344)은 블록(334)내 워드 라인 세그먼트들(342)만을 사용하고, 따라서 어레이의 나머지를 통하여 두 개의 워드 라인 세그먼트들에 의해 공유되지 않는다.

[0106] 도시된 바와 같이 워드 라인 세그먼트들을 인터리빙함으로써, 수직 접속부들의 피치는 개별 워드 라인 세그먼트 자체 피치의 두 배이다. 이것은 많은 패시브 엘리먼트 메모리 셀 어레이들을 위해 달성할 수 있는 워드 라인 피치가 수직 접속부들을 형성하기 위하여 사용될 수 있는 구조들을 통하여 많이 달성할 수 있는 것보다 상당히 작기 때문에, 특히 바람직하다. 게다가, 이것은 메모리 어레이 아래 반도체 기판에 실행될 워드 라인 드라이버 회로의 복잡성을 감소시킬 수 있다.

[0107] 도 13을 지금 참조하여, 개략적인 도면은 본 발명의 특정 실시예들에 따른 세그먼트화된 워드 라인 장치를 가진 3차원 메모리 어레이를 나타내는 것으로 도시된다. 각각의 워드 라인은 적어도 하나, 및 바람직하게 하나 이상의 메모리 어레이의 워드 라인 층상 하나 이상의 워드 라인 세그먼트들에 의해 형성된다. 예를 들어, 제 1 워드 라인은 메모리 어레이의 하나의 워드 라인 층상에 배치된 워드 라인 세그먼트(360) 및 다른 워드 라인 층상에 배치된 워드 라인 세그먼트(362)에 의해 형성된다. 워드 라인 세그먼트들(360, 362)은 제 1 워드 라인을 형성하기 위하여 수직 접속부(358)에 의해 접속된다. 수직 접속부(358)는 다른 층(예를 들어, 반도체 기판 내)에 배치된 장치들(171, 172)을 구동하기 위하여 접속 경로를 제공한다. 행 디코더(도시되지 않음)로부터 디코드된 출력(352)은 워드 라인 세그먼트들(360, 362)에 실질적으로 평행하게 획단하고, 때때로 장치(172)를 통하여 워드 라인 세그먼트들에 실질적으로 수직으로 획단하는 디코드된 바이어스 라인(167)(예를 들어, 소스 선택 버스 XSEL N)에 워드 라인 세그먼트들(360, 362)을 결합하고, 다른 시간들에서 장치(171)를 통하여 디코드된 바이어스 라인(203)(예를 들어, 도 9에 도시된 역방향 소스 선택 버스 XSELP)에 워드 라인 세그먼트들(360, 362)을 결합한다.

[0108] 제 2 워드 라인을 형성하고 워드 라인 드라이버 회로(175, 176)에 접속 경로를 제공하기 위하여 수직 접속부(359)에 의해 접속되는 워드 라인 세그먼트들(361, 363)이 도시된다. 행 디코더로부터 다른 디코드된 출력(353)은 때때로 이들 워드 라인 세그먼트들(361, 363)을 장치(176)를 통하여 디코드된 소스 선택 라인(즉, "바이어스 라인")에 결합하고 다른 시간들에서 워드 라인 세그먼트들(361, 363)을 장치(175)를 통하여 디코드된 바이어스 라인(203)에 결합한다. 이런 도면이 개념적으로 예시적인 어레이 구성을 도입하는 동안, 많은 실시예들은 도시된 구성에 대한 변형들, 및 게다가 특정 실시예들에 적당할 수 있지만 모든 실시예들에 필수적이지 않은 상세한 것들을 포함하는 것이 하기에 기술된다.

[0109] 특정 바람직한 실시예들에서, 6개의 헤드 워드 라인 드라이버는 사용된다. 상기 6개의 헤드 워드 라인 드라이버 회로와 연관된 6개의 워드 라인들은 상기된 미국특허 7,054,219에 기술된 바와 같이 두 개의 인접한 메모리 블록들에 대해 공통이다. 다른 말로, 주어진 6개의 헤드 워드 라인 드라이버는 각각 두 개의 인접한 블록들의 6개의 워드 라인들을 디코드 및 구동한다. 도면에 의해 의미된 바와 같이, 이들 인접한 블록들은 연관된 워드 라인 드라이버들의 좌측 및 우측에 각각 있는 것을 보여진다. 그러나, 바람직한 실시예들에서 상기 다중 헤드 워드 라인 드라이버들이 어레이 블록들 아래에 실질적으로 배치되고, 워드 라인들에 대한 수집 접속부들만이 블록들 사이에 만들어진다.

[0110] 특정 실시예들은 Luca G. Fasoli 등에 의한 것이며 발명의 명칭이 "Method and Apparatus for Incorporating Block Redundancy in a Memory Array"이고 지금은 미국특허 7,142,471 인 2005년 3월 31일 출원된 미국출원 11/095,907에 기술된 바와 같이 비 미러 어레이들(예를 들어 단지 하나의 비트 라인 층과 연관된 워드 라인 층)을 가지는 것으로 고안되고, 상기 공개물은 전체적으로 참조로써 여기 통합된다. 특히, 도 15는 4 비트 라인 층들, 어레이 블록의 상부 및 바닥 측면들 모두 위의 16 헤드 열 디코더를 도시한다. 이런 도면은 단일 16 헤드 열 디코더에 의해 상부 데이터 버스(4 I/O 층들을 기술함)에 의해 결합된 각각 4 비트 라인 층들상 4 비트 라인들, 및 단일 16 헤드 열 디코더에 의해 바닥 데이터 버스(비록 상기 설명에서, 16 선택된 비트 라인들의 두 개의 그룹들이 동일한 어레이 블록내에 배치되더라도)에 결합된 각각 동일한 4 비트 라인 층들상 4 비트 라인들을 도시한다. 다른 하프 미러 실시예들은 두 개의 메모리 평면들을 형성하기 위하여 두 개의 비트 라인 층들을 가진 워드 라인 층을 공유하는 것과 같이 고안된다.

[0111] 다음 몇몇 도면들에서, 다양한 실시예들은 기술되고 리셋 프로그래밍(즉, 역 바이어스 프로그래밍)을 사용한다. 결과적으로, 몇몇 정의들은 이런 공개물 부분 정도이다. 용어 "세트"는 각각의 메모리 셀을 통한 보다 낮은 유

도하기 위하여 단일(또는 그룹) 메모리 셀들을 순방향 바이어싱하는 것으로 도시된다. 용어 "소거"는 각각의 메모리 셀을 통하여 보다 낮은 저항을 유도하기 위하여 메모리 셀들의 순방향 바이어싱 블록으로서 도시된다. 최종적으로, 용어 "리셋"은 각각의 상기 셀을 통하여 보다 높은 저항을 유도하기 위하여 메모리 셀을 역방향 바이어싱하는 것으로 도시된다. (여기에 기술된 다른 실시예들과 관련하여, 상기 정의들은 적용되지 않는다. 특히, 용어 "소거"는 셀의 저항을 증가시키기 위하여 메모리 셀의 역 바이어스 조건을 말할 수 있다).

[0112] 도 14를 지금 참조하여, 메모리 어레이(370)는 제 1 스트라이프(371) 및 제 2 스트라이프(372)를 포함한다. 제 1 스트라이프(371)는 STRIPE 0이라 하고 제 2 스트라이프(372)는 STRIPE 1이라 한다. 스트라이프(371)는 두 개의 메모리 베이들(BAY_00 및 BAY_01)을 포함한다. 각각의 상기 메모리 베이는 다수의 어레이 블록들(예를 들어, 16 메모리 어레이 블록들)을 포함한다. 이런 예시적인 메모리 어레이(370)가 각각 두 개의 메모리 베이들을 포함하는 두 개의 메모리 스트라이프들을 포함하는 것으로 도시되지만, 다른 수의 스트라이프들 및 베이들은 고안된다.

[0113] 제 1 메모리 베이(BAY_00)는 다른 메모리 베이들을 나타낸다. 총 16개의 메모리 어레이 블록들은 표현되고, 그 중 두 개의 374 및 375로 표시되고, 각각은 메모리 어레이 아래에 배치된 감지 증폭기를 가진다(예를 들어, 반도체 기판 층들에서, 하나 이상의 메모리 평면들은 기판 층들 상에 형성된 유전체 층 위에 형성될 수 있다). 상부 열 디코더 회로(380), 상부 데이터 버스(373), 및 상부 비트 라인 선택 블록(381)은 이런 베이의 16 어레이 블록들을 가로질러 걸쳐지고, 각각의 어레이 블록의 상부측상에 존재하는 비트 라인들과 연관된다. 바닥 열 디코더 회로(379), 바닥 데이터 버스(378), 및 바닥 비트 라인 선택 블록(382)은 이런 베이의 16 어레이 블록들을 가로질러 걸쳐있고, 각각의 어레이 블록 바닥 측에 존재하는 비트 라인들과 연관된다.

[0114] 상부 열 디코더 회로(380)가 어레이 블록들 "위"에 있는 것으로 기술되고, 바닥 열 디코더 회로(379)가 어레이 블록들 "아래"에 있는 것으로 기술되는 것이 이해되어야 한다. 이런 용어는 개략적인 도면들에 도시된 바와 같은 회로 블록들 방향을 가시적으로 반영한다. 상기 위치들은 어레이 블록들 "한 측면" 및 "대향 측면"(비록 이 회로가 실행되는 집적 회로에 대해 이것이 수평 기판을 의미하지만)으로서 기술된다. 게다가, 방향 용어들 "북쪽" 및 "남쪽"은 다양한 회로 블록들의 위치 관계들을 기술하기 위한 편리한 용어들이다.

[0115] 대조하여, 특정 실시예들에서 메모리 어레이는 기판 "위"에 형성되고 다양한 회로 블록들은 메모리 어레이 "아래"로 기술된다. 여기에 사용된 바와 같이, 일반적으로 편평한 특성을 가지는 실제 물리적 구조들인 기판 또는 메모리 어레이 블록 "위" 또는 "아래"는 상기 기판 또는 메모리 평면의 표면에 수직 방향에 관련된다.

[0116] 도 14에서, 비록 바닥 열 디코더가 어레이 블록들 "아래"인 것으로 기술되지만, 상기 열 디코더는 필수적으로 메모리 어레이 아래가 아니다(즉, 기판에 밀접하다). 대조하여, 감지 증폭기는 어레이 블록 경계 내로서 도시된 SA라 하고, 어레이 블록 "아래" 또는 '밑'으로 기술되고, 상기 물리적 위치 및 구조적 관계를 전하기 위하여 가능될 수 있다. 상세한 설명 및 다양한 도면들의 환경에서, "위" 및 "아래"의 사용은 명확하여야 한다.

[0117] 특정 예시적인 실시예들에서, 비트 라인 디코더들은 16 헤드 디코더들이고, 동시에 선택된 메모리 어레이 블록의 상부측상 16 비트 라인들을 선택한다. 이런 "선택"은 열 디코딩에 관련되고, 모두 16 비트 라인들이 동시에 실제로 프로그램되는 것을 필수적으로 의미하지 않는다. 16개의 선택된 비트 라인들은 바람직하게 각각 4 개의 비트 라인 층들 상에서 상부(또는 다른 디코더에 대해 바닥)의 어레이에서 빠져나오는 4개의 인접한 비트 라인들로서 배열된다.

[0118] 상부 데이터 버스(373)의 16 I/O 라인들은 모두 16개의 블록들을 가로질러 수평으로 획단한다. 상기 버스는 상기된 SELB 버스에 대응한다. 이런 데이터 버스(373)의 개별 버스 라인들 각각은 도시된 바와 같은 16개의 블록들 사이에 분배된 16개의 감지 증폭기 회로들 중 각각 하나에 결합된다. 각각 16개의 데이터 버스 라인들은 "선택된" 16 비트 라인들 내의 각각의 비트 라인들을 적당하게 바이어스하기 위하여 특정 동작 모드 동안 사용될 수 있는 연관된 바이어스 회로(즉, 리셋 회로)에 결합될 수 있다.

[0119] 예를 들어, 리셋 프로그래밍 동작 모드 동안, 상기 리셋 회로는 각각 16 비트 라인들에 대한 데이터 비트, 또한 동시에 프로그램될 다수의 비트 라인들에 따라(물론, 특정 비트 라인에 결합된 프로그램될 셀) "선택된" 16 비트 라인들 내에서 프로그램되지 않은 비트 라인들 및 프로그램될 비트 라인들을 적당하게 바이어스한다. 이를 바이어스 회로들은 디스에이블되고 선택된 비트 라인들이 데이터 버스(373)(즉, 상기된 SELB 버스)에 의해 각각의 감지 증폭기들에 결합될 때 판독 동작 동안 하이 출력 임피던스를 나타내게 된다.

[0120] 바닥 데이터 버스(378)의 16개의 I/O 라인들은 모두 16개의 블록들을 가로질러 수평으로 획단한다. 상기 버스는 비트 라인들에서 빠져나가는 비트 라인들에 대해 지금 상기된 다른 SELB 버스에 대응한다 (비트 라인들은 2:1로

인터리빙됨을 기억한다). 이전과 같이, 이런 데이터 버스(378)의 개별 버스 라인들 각각은 도시된 바와 같이 16개의 블록들 사이에 분배된 16개의 감지 증폭기 회로들 중 각각 하나에 결합된다. 16 블록들의 모든 그룹(즉, 베이)에서, 32 선택된 비트 라인들에 접속하는 32 감지 증폭기들이 있다. 판독 모드에서, 모든 선택 비트 라인들은 16개의 블록들 중 하나에 속하도록 배열되거나 여기에 논의될 바와 같이 배열될 수 있다. 감지 증폭기들은 메모리 어레이 블록 아래에 편리하게 구현되고, 데이터 버스 라인들(373, 378), 16개의 헤드 열 선택 디코더들(즉, 비트 라인 선택 블록들 381, 382), 및 작은 부분의 열 디코더들(379, 380)은 바람직하게 어레이 블록 외측에 구현된다. 유용한 열 디코더 장치들의 다른 상세한 것들은 상기된 미국출원 11/095,907(미국특허 7,142,471), 및 상기된 미국특허 출원 공개 2006-0146639 A1에서 발견될 수 있다.

[0121] 프로그래밍 모드에서, 총 프로그램 전류 크기는 동시에 프로그램된 메모리 셀들의 수를 제한할 수 있다. 게다가, 단일 선택된 비트 라인 또는 워드 라인을 따라 흐르는 프로그래밍 전류 크기는 또한 동시에 신뢰성 있게 프로그램될 수 있는 메모리 셀들의 수를 제한할 수 있다. 도시된 예시적인 실시예에서, 만약 양쪽 열 디코더들이 동일한 어레이 블록의 비트 라인들을 선택하면, 하나의 어레이 블록이 선택된 총 32 비트 라인들이 있다. 각각의 디코더가 4개의 비트 라인 층들의 각각의 4개의 비트 라인들(즉, 각각의 메모리 평면으로부터 4개의 비트 라인들)을 선택하는 것을 가정하면, 각각의 메모리 평면상 선택된 워드 라인 세그먼트는 총 8개의 선택된 메모리 셀들에 대한 프로그래밍 전류를 지원하여야 한다. (총 당 개별 워드 라인 세그먼트들을 도시하는 도 13 참조). 4개의 이들 선택된 메모리 셀들은 북쪽으로 빠져나가는 비트 라인들과 연관되고, 다른 4개의 선택된 메모리 셀들은 남쪽으로 빠져나가는 비트 라인들과 연관된다. 모두 32의 선택된 메모리 셀들은 동일한 워드 라인 드라이버 회로에 의해 구동되고, 각각의 선택된 메모리 셀들은 비트 라인 드라이버 회로에 의해 구동된다.

[0122] 상기된 바와 같이, 비록 32 셀들에 대한 총 프로그래밍 전류가 집적 회로에 의해 공급되지만, 8 선택된 메모리 셀들에 대한 프로그래밍 전류는 각각의 층에서 선택된 워드 라인 세그먼트들을 따라 허용되지 않는 전압 강하를 유발할 수 있다. 게다가, 선택된 워드 라인 드라이버 회로는 허용 가능한 전압 강하를 가진 전류를 구동할 수 없다.

[0123] 리셋 프로그램 모드에서, 역 바이어스는 각각 선택된 패시브 엘리먼트 셀에 적용되어, 변형 가능한 저항 재료는 프로그램 사용자 데이터에 대해 하이 저항 상태로 리셋된다. 블록내 하나 이상의 비트 라인들은 동시 프로그램을 위하여 선택되고, 보다 높은 저항 상태로 몇몇 비트들의 리셋으로서, 선택된 비트 라인으로부터 선택된 워드 라인으로 전류 흐름은 상당히 감소하고, 나머지 비트들은 워드 라인 IP 강하를 감소시킴으로써 약간 높은 전압을 나타낸다. 결과적으로, 보다 쉬운 프로그래밍 비트들은 상태를 우선 변경하여, 보다 "완강한" 비트들이 비트들을 프로그램하는 것을 돋기 위하여 약간 높은 전압을 나타내게 한다.

[0124] 그럼에도 불구하고, 동일한 어레이 블록에 잔류하는 모두 32개의 선택된 메모리 셀들을 가지는 것은 상기된 이유들 중 어느 하나 때문에 허용되지 않을 수 있다. 결과적으로, 두 개의 다른 어레이 블록들은 두 개의 데이터 버스들 중 각각 하나를 사용하여 프로그래밍을 위하여 선택될 수 있다. 도면에서, 어레이 블록(374)은 리셋 프로그래밍을 위한 선택을 나타내기 위하여 음영이 그려진다. 블록(374)에 대한 상부 열 디코더(380) 출력 중 하나는 액티브이고, 따라서 16개의 선택된 비트 라인들을 상부 데이터 버스(373)에 결합한다(어레이 블록(374)으로부터 데이터 버스 373으로 화살표 머리에 의해 표시됨). 게다가, 어레이 블록(375)은 리셋 프로그래밍을 위한 선택을 나타내기 위하여 음영 처리된다. 블록(375) 중 바닥 열 디코더(379) 출력들 중 하나는 또한 액티브이고 16개의 선택된 비트 라인들을 바닥 데이터 버스(378)에 결합한다(어레이 블록 375로부터 데이터 버스 378로 화살표 머리에 의해 표시됨).

[0125] 단일 행(377)은 전체 스트라이프(371)를 가로질러 글로벌 행 선택 라인을 구동하는 메모리 어레이(도시되지 않음)의 어느 한쪽 측면상 글로벌 행 디코더들에 의해 선택된다. 상기 글로벌 행 선택 라인은 도 9에 도시된 행 디코더 회로의 디코드된 출력(158)에 대응한다. 다중 헤드 워드 라인 드라이버 회로는 블록(374)내 선택된 워드 라인(376), 및 블록(375) 내 선택된 워드 라인을 구동하기 위하여 인에이블된다(소스 선택 버스 및 역방향 소스 선택 버스상 적당한 바이어스 조건들에 의해). 이 실시예에서 워드 라인들이 공유되기 때문에, 하나의 상기 선택된 워드 라인 드라이버 회로는 양쪽 블록들(374, 375)의 워드 라인을 구동한다. 전체 프로그래밍 전류는 여전히 이런 하나의 선택된 워드 라인 드라이버 회로를 통하여 소싱되지만, 각각의 워드 라인 세그먼트가 단지 4개의 선택된 메모리 셀들만을 지원하기 때문에, 각각의 선택된 워드 라인 세그먼트를 따른 전류는 반으로 감소된다. 블록들(374 및 375) 내 다음 보다 높거나 낮은 워드 라인은 두 개의 적당한 워드 라인 드라이버 장치들에 의해 구동되고 워드라인 드라이버 장치들 중 어느 하나의 피크 전류는 약 절반이다. 홀수 또는 짹수 워드 라인들에 대응하는 블록들의 보다 복잡한 배열에 데이터 페이지들을 배열하기 위한 선택에 의해, 공유된 워드 라인 드라이버들은 전체적으로 피해질 수 있다. 예를들어, 짹수 워드 라인들이 주어진 블록의 좌측으로부터

구동되고, 홀수 워드 라인들이 주어진 어레이 블록의 우측으로부터 구동되는 것이 가정된다. 짹수 워드 라인이 주어진 어레이 블록에서 선택될 때, 좌측 블록은 동시에 선택될 수 있고, 홀수 워드 라인이 주어진 어레이 블록에서 선택될 때, 우측 블록은 동시에 선택될 수 있다. 상기 경우, 선택된 워드 라인들이 비선택된 어레이 블록에 나타나지 않는다. 다른 실시예에서, 기입될 데이터 페이지는 공유된 워드 라인 드라이버들을 방지하도록 배열될 수 있다.

[0126] 상기 듀얼 데이터 버스 예에서, 각각의 메모리 블록은 양쪽 데이터 버스들(373,378)과 연관된다. 다른 메모리 사이클에서, 어레이 블록(374)과 연관된 다른 비트 라인들은 바닥 데이터 버스(378)에 결합되고, 어레이 블록(375)과 연관된 다른 비트 라인들은 상부 데이터 버스(373)에 결합된다. 이런 및 다른 실시예들에서, 성능을 최적화하기 위하여 주어진 베이에서 판독을 위해 선택된 블록들은 리셋을 위해 선택된 것과 다르다. 단일 블록은 판독 동안 한번에 선택되지만, 두 개의 블록들은 리셋을 위해 선택된다. 두 개의 데이터 버스들은 상기된 리셋 액세스와 달리 단일 블록을 판독하지만 액세스하기 위하여 모두 액티브이다.

[0127] 유사한 장점을 제공하는 다수의 다른 듀얼 데이터 버스 장치들이 있다. 도 15는 홀수 메모리 블록들이 단지 제 1 데이터 버스와 연관되고, 짹수 메모리 블록들이 단지 제 2 데이터 버스와 연관되는 메모리 베이(400)를 도시한다. 홀수 어레이 블록(406)은 제 1 데이터 버스(402)와 연관되고, 이것은 비트 라인 선택 블록(408)에 의해 표현되고, 짹수 어레이 블록(407)은 제 2 데이터 버스(404)와 연관된다. 두 개의 메모리 어레이 블록들(예를 들어, 어레이 블록들 406,407)은 동시에 선택되고, 각각은 하나의 데이터 버스들에 선택된 비트 라인들을 결합한다(각각 굵은선 화살표들 410,412에 의해 표현됨).

[0128] 도 16은 각각의 메모리 블록이 제 1 데이터 버스(422) 및 제 2 데이터 버스(424) 모두와 연관되는 메모리 베이(420)를 도시한다. 하나의 도시된 메모리 사이클에서, 제 1 어레이 블록(426)은 선택되고 선택된 비트 라인들을 제 1 데이터 버스(422)에 결합하고(굵은 화살표 430), 제 2 어레이 블록(427)은 동시에 선택되고 선택된 비트 라인들을 제 2 데이터 버스(424)에 동시에 결합한다(굵은 화살표 432). 다른 메모리 사이클에서, 제 1 어레이 블록(426)은 선택되고 선택된 비트 라인들을 제 2 데이터 버스(424)에 결합하고, 제 2 어레이 블록(427)은 동시에 선택되고 선택된 비트 라인들을 제 1 데이터 버스(422)에 결합한다.

[0129] 도 17은 각각의 메모리 블록이 어레이 블록들의 동일한 측면상에 모두 배치되는 제 1 데이터 버스(442) 및 제 2 데이터 버스(444)와 연관되는 메모리 베이(440)를 도시한다. 제 1 어레이 블록(446)은 제 1 비트 라인 선택 블록(449)에 의해 제 1 데이터 버스(442)와 연관되고, 또한 제 2 비트 라인 선택 블록(448)에 의해 제 2 데이터 버스(444)와 연관된다. 도시된 예시적인 메모리 사이클에서, 두 개의 메모리 어레이 블록들(예를 들어, 어레이 블록들 447,446)은 동시에 선택되고, 각각은 제 1 및 제 2 데이터 버스들(442,444) 각각 굵은 화살표들 450,454에 의해 표현됨)에 선택된 비트 라인들을 결합한다.

[0130] 도 18을 참조하여, 메모리 베이(460)는 도시되고 이 예시적인 실시예에서, 두 개의 동시에 선택된 어레이 블록들(462,464)이 인접하지 않은 것을 제외하고 상기된 메모리 베이(BAY_00)와 유사하다. 하나의 도시된 메모리 사이클에서, 어레이 블록(462)은 선택되고 선택된 비트 라인들을 상부 데이터 버스(466)에 결합하고(즉, 굵은 화살표), 어레이 블록(464)은 동시에 선택되고 선택된 비트 라인들을 하부 데이터 버스(468)에 결합한다. 이런 구성은 만약 워드 라인들이 인접한 메모리 어레이 블록들 사이에 공유되지 않으면, 특히 유용하지만, 비록 상기 워드 라인들이 공유되더라도 사용될 수 있다. 상기 경우, 선택된 블록의 선택된 워드 라인은 인접한 메모리 블록 위에 놓일 것이다.

[0131] 이들 도시된 실시예들 각각에서, 하나 초과의 블록은 리셋 프로그래밍을 위하여 선택된다. 역 바이어스는 선택된 어레이 블록들(즉, 선택된 "서브 어레이들")의 패시브 엘리먼트에 적용되어 변형 가능한 저항 재료는 어레이에 사용자 데이터를 프로그램하기 위하여 고저항 상태로 리셋된다. 이것은 적어도 몇몇 이유들로 인해 높은 대역폭으로 달성될 수 있다. 첫째, 프로그래밍을 위하여 하나 초과의 블록을 선택함으로써, 동시에 프로그램된 메모리 셀들의 수는 주어진 워드 라인 세그먼트, 또는 심지어 주어진 워드 라인 드라이버 회로에 의해 부과된 한계들을 넘어 증가될 수 있다. 둘 보다 많은 선택된 어레이 블록들은 데이터 버스들이 각각 상기 블록에 도달하도록 길 때 선택될 수 있다. 게다가, 프로그래밍 방법은 보다 많은 수의 셀들이 프로그램되게 한다. 다른 말로, 프로그램된 비트들 중 일부가 보다 높은 저항 상태로 리셋될 때, 비트 라인으로부터 워드 라인으로 흐르는 전류의 크기는 상당히 강하하고, 나머지 비트들은 워드 라인 IR 강하들로 약간 높은 전압을 나타낸다. 주어진 최대 프로그래밍 전류 동안, 하이에서 로우로 저항보다 로우에서 하이 저항으로 보다 많은 비트들을 신뢰성 있게 프로그램하는 것은 가능하다. 또한 높은 대역폭 프로그래밍에 대한 기여는 다수의 비선택된 워드 라인들 및 비트 라인들 모두에서 바이어스 조건들이다. 이들 모두가 접지에 있기 때문에, 어레이 블록들이 선택되고 선택해제될

때 비선택된 어레이 라인들을 바이어싱하는 것과 연관된 큰 지연들은 없고, 상기 어레이 블록들을 바이어스 업 및 다운하기 위한 큰 전류 과도 전류들은 없다. 이런 리셋 프로그래밍 장치에서, 심지어 선택된 메모리 블록에 서 비선택된 워드 라인들 및 비트 라인들은 접지로 바이어스된다(즉, 특정 예시적인 디코더 구조들을 사용할 때 레프트 플로팅된다).

[0132] 예시적인 실시예들에서, 메모리 칩은 구성되어 각각의 베이는 자신의 판독 기입 회로들 및 비트 라인 선택 회로에 판독/기입 회로들을 접속하는 적어도 하나의 데이터 버스의 세트를 가진다. 이런 버스는 베이의 폭을 가로질러 연장하거나, 다른 말로 블록들의 그룹에 "걸친다". 블록들의 상부측에 열 디코더 및 블록들의 바닥 측에 제2 열 디코더가 있으므로 두 개의 데이터 버스들이 있다. 특정 실시예들에서, 각각의 데이터 버스와 연관된 두 세트의 판독 기입 회로들이 있을 수 있다. 바람직하게 데이터의 특정 페이지는 가장 높은 대역폭을 위해 모든 베이들에 스프레드된다. 이것은 각각의 메모리 베이내 한 쌍의 선택된 어레이 블록들에 의해 도 14에 도시된 예시적인 실시예에 도시된다.

[0133] 바람직하게 선택된 비트들은 하나의 베이에서 두 개의 블록들 상에 분배되고, 하나의 블록은 열 디코더들 중 하나에 의해 선택되고 데이터 버스들 중 하나와 연관된 비트 라인들을 가지며, 제2 블록은 다른 열 디코더 및 데이터 버스에 의해 선택되어 대역폭은 베이당 두 베이지만, 임의의 하나의 워드 라인 세그먼트에서 흐르는 전류는 변화되지 않는다. 게다가, 선택된 열 위치에서 비트 라인들 중 하나 또는 그 이상은 동시에 리셋 프로그래밍을 위하여 선택된다. 동시에 프로그램되는 수는 블록내 선택된 비트 라인들로부터 공통 워드 라인으로 흐르는 전류에 의해 제한될 수 있다. 이런 제한은 보다 높은 저항 상태로 비트들 중 몇몇의 리셋처럼, "이미 리셋된" 셀을 통한 전류가 감소하는 경우, 공통 워드 라인 세그먼트를 따른 IR 강하가 감소하고, 나머지 비트들이 리셋을 위해 보다 높은 전압을 얻는 방법으로 완화된다.

[0134] 각각의 선택된 블록에서 선택된 워드 라인들은 글로벌 행 디코더 회로가 이를 지원하기 위하여 변화할 필요가 없기 때문에 디코딩 영향을 소거하는 동일한 행상의 모두이다. 바람직하게 동시에 선택된 블록들은, 특히 만약 워드 라인들이 인접한 블록들을 공유하면 인접한다. 디코딩은 두 개의 인접한 블록들 사이에 공유된 임의의 선택된 워드 라인에 대해, 이들 두 개의 인접한 어레이 블록들이 동시에 선택된 어레이 블록들로 구성될 수 있도록 배열될 수 있다. 예를 들어, 제1 및 제2 블록들 사이에 배치된 주어진 워드 라인 드라이버는 모두 선택된 제1 및 제2 블록들에서 공유된 워드 라인을 구동한다. 다음 워드 라인(그들이 어레이 블록들의 좌측 및 우측으로부터 2:1 인터리빙되는 것을 가정함)은 선택된 어레이 블록들일 수 있는 제2 및 제3 어레이 블록들 사이에서 어레이 라인 드라이버로부터 구동된다. 이것은 인접한 비선택된 어레이 블록들에 선택된 워드 라인들을 뒤덮는 것을 다루는 것을 방지한다.

[0135] 리셋 프로그램을 사용할 때, 각각의 메모리 셀은 순방향 바이어스를 한번에 1비트에 적용하거나, 데이터 페이지 또는 소거 블록의 많은 비트들에 적용함으로써 새로운 데이터를 재기입하거나, 비트들의 그룹을 소거할 수 있는 "세트" 동작 모드에 의해 낮은 저항 상태로 다시 세트된다. 고성능 소거는 블록내 다중 비트 라인들 및/또는 다중 워드 라인들을 선택하고, 셀들을 낮은 저항으로 세팅함으로써 달성을 할 수 있다. 비트 라인 드라이버 경로의 전류 제한 회로는 공통 워드 라인으로 흐르는 총 전류를 제한한다. 선택된 메모리 셀 기술에 따라, 그리고 세트 전류 및 리셋 전류의 상대적 크기, 및 U 셀 누설 전류의 크기에 따라, 보다 작은 블록들은 리셋(즉, 프로그래밍) 보다 세트 또는 소거 동작 동안 선택될 수 있다.

[0136] 저항 재료의 하나의 선택은 다이오드를 형성하는 폴리실리콘 재료이다. 안티퓨즈("AF")는 폴리실리콘 다이오드와 직렬이고, 상기 안티퓨즈는 제조 중 형성 단계에서 프로그래밍 이벤트 이전에 팝핑된다. 안티퓨즈는 세트될 때 셀이 도전하는 최대 전류를 제한하기 위하여 사용한다.

[0137] 상기된 바와 같이, 바람직하게 메모리 어레이에는 세그먼트화된 워드 라인 아키텍처(도 12 및 13에 도시된 바와 같이)를 포함하고, 바람직하게 3D 어레이를 포함한다. 특정 실시예들에서, 주어진 워드 라인 층 상 워드 라인들은 단일 비트 라인 층상 비트 라인들과 연관되고, 특정 실시예들에서 주어진 워드 라인 층상 워드 라인들은 소위 "하프 미러" 장치에서 두 개의 비트 라인 층들(즉, 단일 워드 라인 층 및 두 개의 비트 라인 층들이 두 개의 메모리 평면들을 형성함) 사이에 공유된다. 상기 메모리 어레이 구조는 상기된 미국특허 6,879,505에 추가로 기술된다.

[0138] 따라서 다양한 디코더 회로들의 설명은 단일 어레이 블록을 기술하는데 집중되었다. 각각의 디코더가 소스 선택 버스의 환경에서 기술되었고, 몇몇 실시예들에서 역방향 소스 선택 버스에서 기술되었다는 것을 상기하자. 워드 라인 디코더 계층은 비교적 직선으로서 보여질 수 있다. 소스 선택 버스 및 비선택된 바이어스 라인, 또는 선택적으로 역방향 소스 선택 버스는 액세스 정보를 바탕으로 디코드되고, 어느 어레이 블록이 액티브인지에 따라

구동된다. 유사한 행 디코더 회로들은 이미 여러곳에 참조되었다. 각각의 소스 선택 버스(들) 및/또는 비선택된 어레이 블록들과 연관된 워드 라인들용 비선택된 바이어스 라인들은 플로팅되어 있을 수 있다.

[0139] 열 디코더 장치들에서, 계층 버스 장치는 선택된 및 비선택된 어레이 블록들 내의 비트 라인들의 효과적인 바이어싱 및 데이터 판독/기입의 효과적인 라우팅을 제공하기 위하여 사용될 수 있다. 유용한 계층 버스 장치들은, 비록 이들이 다른 디코더 실시예들에 적용될 수 있지만, 도 9 및 10에 기술된 듀얼 소스 선택 버스 디코더들의 환경에서 기술될 것이다.

[0140] 순방향 동작들(판독 및 세트)시 예시적인 계층 버스 장치는 선택된 어레이 블록에 대한 SELN 버스상 적당한 바이어스를 제공하고, 비선택된 어레이 블록들 플로팅을 위하여 SELN 버스를 남긴다. 이것은 선택된 어레이 블록에 인접한 어레이 블록들에서 원하지 않는 전력 소비를 감소시키는데 도움을 준다. 선택된 어레이 블록의 비선택된 워드 라인들은 높은 전압(VUX)(예를 들어 VPP-VT)에서 바이어스되고, 공유된 워드 라인 아키텍처에서 이들 비선택된 워드 라인들은 또한 인접한 비선택된 어레이 블록으로 연장한다(즉, 비선택된 어레이 블록내 워드 라인들 중 반쪽은 선택된 어레이 블록과 공유된다). 인접한 어레이 블록내 비선택된 비트 라인들은 바람직하게 비선택된 비트 라인 전압(VUB)(예를 들어, VT)으로 바이어스된다. 이것은 비선택된 메모리 셀들을 통한 누설 전류들로 인해 전력을 낭비시킨다. 인접한 비선택된 어레이 블록내 워드 라인들의 다른 반쪽은 플로팅하여, 이들은 VUB 전압까지 누설하고, 누설 전력은 비선택된 셀들의 절반으로 최소화된다.

[0141] 예시적인 계층 버스 장치는 리셋 동작 모드에서 어레이 블록들 하에서 분배된 리셋 데이터 드라이버들에 도달하기 위하여 긴 SELN 경로 결침 제공하는 많은 블록들을 제공한다.

[0142] 4개의 예시적인 계층 버스 장치들은 다음 4개의 도면들에 도시된다. 도 19를 참조하여, 버스 장치(500)는 도시되고 베이의 모든 어레이 블록들을 나타내는 3개의 메모리 어레이 블록들(502, 504, 506)을 포함한다. 단지 3개의 어레이 블록들이 도시되고, 장치의 증가 성질은 임의의 수의 어레이 블록들에 대해 확장성인 바와 같이 명확할 것이다. 각각의 SELN 버스 세그먼트는 각각의 어레이 블록에 대해 도시된다. 여기에 사용된 바와 같이, 버스 세그먼트는 상기 버스들과 다른 작은 버스이고, 다른 실시예들(하기됨)에서, 다중 버스 세그먼트들은 단일 보다 큰 버스를 형성하기 위하여 함께 결합될 수 있다.

[0143] 세트 모드에서, 선택된 어레이 블록에 대한 SELN 버스 세그먼트는 결합 회로(508)에 의해 전체 메모리 베이에 걸쳐 있는 보다 긴 GSELN 버스에 결합된다. 이런 결합 회로(508)는 16개의 트랜지스터들로서 간략화되고, 각각의 트랜지스터들은 각각의 SELN 버스 라인을 각각의 GSELN 버스 라인에 결합한다. 이런 결합 회로(508)는 세트 모드이거나, 리셋 모드(하기됨)일 때 선택된 어레이 블록에 대해 액티브인 제어 신호(EN_GSELN)에 의해 인에이블된다. 세트 모드 동안, 이런 GSELN 버스는 비선택된 비트 라인 전압(VUB)(즉, GSELN 버스의 각각의 버스 라인이 이 전압에 결합됨)에 결합된다. 비선택된 어레이 블록들을 위한 각각의 EN_GSELN 제어 신호는 인액티브이고, 각각의 결합 회로(508)는 턴오프되고, 따라서 각각의 SELN 버스 세그먼트는 목표된 바와 같이 플로팅되어 있다.

[0144] 리셋 모드에서, 모든 어레이 블록들에 대한 각각의 EN_GSELN 제어 신호는 액티브이고, 각각의 결합 회로(508)는 GSELN 버스에 각각의 SELN 버스 세그먼트를 결합하기 위하여 턴온된다. 이것은 선택되는 것에 무관하게 모든 어레이 블록들에 기입 데이터를 제공한다. SELB 버스는 리셋 프로그래밍을 위하여 비선택된 비트 라인 바이어스 조건을 제공하기 위하여 VUX 전압(예를 들어, 접지)으로 구동된다.

[0145] 이것은 어레이 블록(결합 회로 508) 당 부가적인 16 글로벌 라인들(GSELN) 및 16 추가 트랜지스터들만을 요구하는 비교적 간단한 회로이다. 단점들(상기된 다른 실시예들과 비교하여 적어도)은 SELB 및 SELN 버스들 모두에 비교적 높은 캐패시턴스를 포함한다. SELB 버스상 캐패시턴스는 언제든지 존재하지만, 판독 사이클 동안만 유해하고, SELN 버스상 높은 캐패시턴스는 모든 SELN 버스 세그먼트들이 글로벌 버스 GSELN에 결합될 때 리셋 모드 동안 존재하고, 그동안 결합된 버스들은 리셋 데이터 정보를 전달한다.

[0146] 특정 다른 실시예들에서, 리셋 모드는 리셋 전압 VRR을 -VRR/2 및 +VRR/2로 분할하기 보다 전체적으로 음이 아닌 전압들로 구성될 수 있다. 상기 경우들에서, 비선택된 워드 라인들 및 비트 라인들은 지금 VRR/2인 중간점으로 바이어스된다.

[0147] 결과적으로, 리셋 모드에서 벗어날 때, 방전할 때 과도한 전류 저지들을 피하기 위하여 이를 라인들의 방전 속도를 제어하는 것이 주의되어야 한다.

[0148] 도 20을 참조하여, 다른 실시예는 각각의 SELN 버스 세그먼트들이 전체 메모리 베이에 걸쳐 있는 단일 보다 큰 버스를 형성하기 위하여 함께 결합되는 것으로 도시된다. 세트 모드에서, 선택된 어레이 블록을 위한 SELN 버스

세그먼트는 결합 회로(532)에 의해 전체 메모리 베이에 걸쳐 있는 단일 바이어스 라인(VUB)에 결합된다. 이런 결합 회로(532)는 16 트랜지스터들로서 간략화되고, 각각의 트랜지스터는 각각의 SELN 버스 라인을 VUB 바이어스 라인(표시된 바와 같이 적당한 바이어스 회로에 결합됨)에 결합한다. 이런 결합 회로(532)는 세트 모드에 있을 때 선택된 어레이 블록에 대해 액티브인 제어 신호(BLATVUB)에 의해 인에이블된다. 비선택된 어레이 블록들에 대해, 각각의 BLATVUB 제어 신호는 인액티브이고, 각각의 결합 회로(532)는 턴오프되고, 따라서 각각의 SELN 버스 세그먼트는 목표된 바와 같이 플로팅되어 있다.

[0149] 리셋 모드에서, SEL 버스는 리셋 프로그래밍을 위한 비선택된 비트 라인 바이어스 조건을 제공하기 위하여 VUX 전압(예를 들어, 접지)으로 구동된다. 게다가, 각각의 SELN 버스 세그먼트들은 리셋 데이터 정보를 결합된 버스들에 제공하기 위하여 리셋 회로에 결합된 전체 메모리 베이에 걸쳐 있는 단일 버스를 형성하기 위하여 결합 회로(533)에 의해 함께 결합된다. SELN 버스 세그먼트들 중 하나는 버스(536)에 의해 리셋 회로에 결합될 수 있다. 특정 실시예들에서, 결합 회로(535)는 리셋 모드의 리셋 블록에 접속을 제공하기 위하여 사용될 수 있다.

[0150] 이것은 단지 하나의 부가적인 바이어스 라인(VUB) 및 어레이 블록당 32 추가 트랜지스터들(결합 회로들 532, 533)을 요구하는 비교적 간단한 장치이다. 이전 실시예와 같이, SELB 및 SELN 버스들상에 비교적 높은 캐페시턴스가 있다.

[0151] 도 21을 참조하여, 버스 장치(550)는 도시되고 양쪽 이전 실시예들로부터 특징들을 통합한다. SET 모드에서, 선택된 어레이 블록에 대한 SELN 버스 세그먼트는 제어 신호(BLATVUB)에 의해 인에이블되는 결합 회로(554)에 의해 전체 메모리 베이에 걸쳐 있는 VUB 바이어스 라인에 결합된다. 비선택된 블록들에 대한 각각의 BLATVUB 제어 신호는 인액티브이고, 각각의 결합 회로(554)는 턴오프되고 따라서 각각의 SELN 버스 세그먼트는 목표된 바와 같이 플로팅되어 있다(EN_GSELN 신호는 또한 SET 모드에서 인액티브이다).

[0152] 리셋 모드에서, 선택된 어레이 블록에 대한 각각의 EN_GSELN 제어 신호는 액티브이고, 각각의 결합 회로(552)는 각각의 SELN 버스 세그먼트를 GSELN 버스에 결합하기 위하여 턴온된다. 비선택된 어레이 블록들에 대한 각각의 EN_GSELN 제어 신호는 인액티브이고, 각각의 결합 회로(552)는 턴오프되고, 각각의 SELN 버스 세그먼트는 플로팅되어 남는다. 이런 구성은 총 캐페시턴스를 상당히 감소시키는 선택된 어레이 블록(들)에게 기입 데이터를 제공한다. SELB 버스는 리셋 프로그래밍을 위한 비선택된 비트 라인 바이어스 조건을 제공하기 위하여 VUX 전압(예를 들어, 접지)으로 구동된다.

[0153] 이런 회로 장치는 17 부가적인 라인들(VUB 버스 및 GSELN 버스) 및 어레이 블록당 32 추가 트랜지스터들(결합 회로들 552, 554)을 요구한다. 이전 실시예들과 달리, 이런 장치는, 비선택된 어레이 블록들에 대한 각각의 SELN 버스 세그먼트들이 GSELN 버스에 결합되지 않기 때문에, SELN 버스상에 상당히 감소된 캐페시턴스를 제공한다. SELB 버스상에 매우 높은 캐페시턴스가 남아 있다.

[0154] 도 22는 다른 계층 버스 장치를 사용하고, 이번에는 메모리 베이에 걸쳐 있는 단일 글로벌 선택 버스 GSEL만을 사용하고, 각각의 메모리 블록에 대한 각각의 SELB 버스 장치로 SELB 버스를 분할한다. 선택된 어레이 블록에 대해, 각각의 SELB 버스 또는 각각의 SELN 버스 세그먼트는 이런 GSEL 버스에 결합된다. SET 모드 동안, 선택된 블록 SELB 버스 세그먼트는 GSEL 버스에 결합되고, 선택된 블록 SELN 버스 세그먼트는 VDSEL 바이어스 라인에 결합된다(SET 동안 표시된 바와 같이 적당한 바이어스 회로에 의해 생성된 비선택된 비트 라인 바이어스 조건을 전달함). 비선택된 블록 SELN 버스들은 레프트 플로팅되어 있다.

[0155] RESET 모드 동안, 선택된 블록 SELN 버스 세그먼트는 GSEL 버스에 결합되고, 선택된 블록 SELB 버스 세그먼트는 VDSEL 바이어스 라인(RESET 동안 비선택된 워드 라인 바이어스 조건, VUX를 전달한다)에 결합된다. 비선택된 블록 SELN 버스들은 다시 레프트 플로팅되어 있다.

[0156] 이런 장치는 기술된 것 중 가장 복잡하고, 17 글로벌 라인들(즉, 메모리 베이에 걸쳐 있는) 및 어레이 블록당 64 추가 트랜지스터들을 요구하고, 몇몇 실시예들에서 보다 큰 레이아웃 영역을 요구할 수 있다. 그러나, SELB 및 SELN 버스들 상에 낮은 캐페시턴스를 제공하고, 따라서 보다 높은 성능을 허용하고, 모듈식 블록 설계를 제공한다. 게다가, 보다 큰 메모리 베이들은 SELB 및 SELN 버스들상 캐페시턴스를 크게 증가하지 않고 구현될 수 있다.

[0157] 다른 실시예에서, 열 디코더 회로들은 비트 라인 드라이버 회로의 NMOS 및 PMOS 트랜지스터들에 대한 독립된 열 디코드 출력들을 제공하기 위하여 변형될 수 있어서 비트 라인 선택기는 높은 임피던스 상태에 있을 수 있다. 그러나 이런 장치는 비트 라인 선택기뿐 아니라, 열 디코더 자체의 영역을 크게 증가시킨다.

[0158] 도 23을 참조하여, 데이터 회로는 세트, 리셋, 및 판독 모드들을 위한 독립된 블록들을 포함하는 것으로 도시된

다. 역 바이어스 모드(즉, 리셋 모드)에서, 선택된 비트 라인들이 각각의 SELN 버스 라인(즉, 역방향 소스 선택 버스)에 결합되는 것을 상기하자. 여기서 우리는 SELN 버스(617)에 결합된 리셋 드라이버(615)를 발견한다(이것은 사용될 수 있는 임의의 4개의 계층적 버스 장치들을 위한 SLEN 버스에 대한 경로를 나타낸다). 필수적으로, 이것은 선택된 어레이 블록에 대하여 궁극적으로 SELN 버스 세그먼트에 결합된 경로를 나타낸다. 기입될 데이터 정보는 I/O 논리(601)에 수신되고, 버스(602)상에서 기입 래치 블록(604)에 전달되고, 버스(607) 상에서 제어 논리(608)에 전달되고, 그 다음 제어 라인들(612)에 의해 리셋 드라이버(615)를 제어한다.

[0159] 순방향 모드에서, 선택된 비트 라인들이 각각의 SELB 버스 라인에 결합되는 것을 상기하자. 양쪽 SET 및 READ 모드들이 순방향 바이어스 모드를 사용하기 때문에, 세트 드라이버(614) 및 판독 감지 증폭기(613)는 SELB 버스(616)에 결합된다(이것은 임의의 4개의 계층 버스 장치들을 위한 SELB 버스에 대한 경로를 나타내거나, 사용될 수 있는 임의의 다른 장치를 나타낸다). 감지된 데이터는 버스(609)에 의해 판독 래치(605)에 전달되고, 버스(603)에 의해 I/O 논리(601)에 전달된다. 다양한 버스들(606, 610 및 611)은 비트가 성공적으로 펌핑 또는 세트 될 때 프로그래밍 전류를 차단할 수 있는 때때로 스마트 기입이라 불리는 프로그래밍 제어 루프를 제공한다. 버스들은 예를 들어 추후 프로그래밍 동작 동안 유지되어야 하는 임의의 이전에 프로그램 상태(예를 들어 LSB 데이터 비트)를 결정하기 위하여 기입 수행 전에 판독을 제공한다. 상기 수행은 이하에 참조된 023-0049 및 023-0055 출원서에 추가 기술된다.

[0160] 간략화된 예시적인 리셋 드라이버(615)는 선택된 메모리 셀(638)에 워드 라인 및 비트 라인 선택 경로들의 표현과 함께 도 24에 도시된다. 워드 라인 선택 경로(639)는 워드 라인 드라이버 회로(즉, 디코더 헤드)를 통하여 디코드된 소스 선택 버스 XSELN을 생성하기 위한 회로로 경로를 나타낸다. 비트 라인 선택 경로(636)는 비트 라인 드라이버 회로를 통하여 그리고 다양한 계층 버스 장치 실시예들에서 기술된 바와 같은 임의의 버스 결합 회로들을 통하여, 개별 SELN 버스 라인(635)으로 경로를 나타낸다. 바람직한 리셋 방법 및 연관된 리셋 드라이버는 하기 SNAD-01114US0 및 SAND--1114US1 출원, 특히 여기서 도 13과 관련하여 기술된다.

[0161] 비트 라인 선택 경로의 캐페시턴스는 새롭게 어드레스되어 선택된 비트 라인을 프로그램하기 위한 시도 전에 미리 충전된다. 이것은 선택된 메모리 셀을 시제로 리셋하기를 원하기보다 높은 전류 크기를 사용하여 수행될 수 있지만, 만약 적당한 때이면, 상기 보다 높은 크기 사전 충전은 메모리 셀에 바람직하지 않은 효과 없이 사전 충전 시간 속도를 높일 수 있다. 이런 사전 충전은 제어 신호(637)상에서 비트 라인 선택 경로(636)에 전달된 사전충전 열 신호(PCHGCOL)에 의해 제어된다. 비트 라인 사전충전(BLP) 전류 제한 회로(633) 및 리셋 제한 회로(634)는 모두 각각의 비트 라인 사전충전 및 리셋 전류들의 상부 크기를 제어하기 위하여 제공된다. 양쪽은 데이터가 리셋 동작이 필요하지 않도록 하고, SELN 버스 라인(635)가 플로팅하면 신호(632)에 의해 디스에이블된다.

[0162] 반대로, 만약 메모리 셀이 리셋되도록 데이터가 수행하면, 디스에이블 라인(632)은 인액티브이고, BLP 전류 제한 회로(633)는 상기 사전 충전을 위하여 제어된 전류의 보다 높은 레벨을 제공하기 위하여 짧게 인에이블되고(예를 들어, 200-500ns), 그 후 디스에이블되고(도시되지 않은 제어 신호에 의해), 리셋 전류 제한 회로(634)가 선택된 메모리 셀을 리셋하기 위하여 보다 작은 전류 크기를 공급하게 한다. 메모리 셀을 리셋하는 것이 보다 낮은 저항 상태에서 보다 높은 저항 상태로 변화하게 하기 때문에, 리셋 동작의 완료를 감지하고 리셋 제한(634)을 디스에이블하는 것은 거의 필요하지 않은데, 그 이유는 셀이 리셋 상태에 도달하자마자 턴오프하기 때문이다.

[0163] 상기된 다양한 실시예들에 대해, 많은 타입의 메모리 셀들은 역 바이어스(예를 들어, 상기된 리셋 모드)를 사용하여 프로그램될 수 있다. 상기 셀들은 금속 산화물(예를 들어, 전이 금속 산화물) 및 다이오드를 가지는 패시브 엘리먼트 셀을 포함한다. 다른 적당한 셀들은 다이오드 매트릭스의 저항 재료를 가지는 것을 포함한다. 예들은 프로그램 가능한 금속화 접속부, GST 재료 같은 위상 변화 저항기, 유기 재료 가변 저항기, 복합 금속 산화물, 탄소 중합체 필름, 도핑된 칼코겐 유리, 및 저항을 변화하기 위한 모바일 원자들을 포함하는 쇼트키 배리어 다이오드를 포함한다. 선택된 저항 재료는 1회 프로그램 가능(OTP) 메모리 셀들, 또는 다수 기입 메모리 셀들을 제공할 수 있다. 게다가, 폴리실리콘 다이오드는 사용되고 역 바이어스 스트레스에 의해 변형된 도전성을 가진다.

[0164] 역방향 리셋 동작을 위하여 유용한 메모리 셀들은 S. Brad Herner 등에 의한 발명의 명칭이 "High-Density Three-Dimensional Memory Cell"인 미국특허 6,952,030; 및 2007년 4월 26일 미국 특허 출원 공보 2007-0090425로 공개되고, 2005년 9월 28일자로 출원된 Tanmay Kumar 등에 의한 발명의 명칭이 "Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance"인 미국 출원

11/237,167에 기술되어 있다. 적당한 금속 산화물 메모리 셀은 S.Brad Herner에 의한 발명의 명칭이 "Multilevel Nonvolatile Memory Cell comprising a Resistivity-Switching Oxide or Nitride and an Antifuse"인 2006년 3월 31일 출원된 미국 출원 11/394,903에 도시된다. 다중 저항 상태들을 제공할 수 있는 위상 변화 재료를 사용하는 적당한 메모리 셀은 Roy E. Scheuerlein 등에 의한 발명의 명칭이 "Non-Volatile Memory Cell Comprising a Dielectric Layer and a Phase Change Material in Series"인 미국 특허 출원 2005-0158950에 기술된다. 이들 상기 참조된 공개물들 각각은 여기에 전체적으로 참조로써 통합된다. 전이-금속 산화물(예를 들어, 코발트를 가지는 것을 포함)을 가진 다른 예시적인 메모리 셀들, 및 자체 조정 엘리먼트의 폴리실리콘 재료가 스위칭 가능한 저항 재료를 포함하는 예시적인 셀들은 하기 참조된 MA-163-1 출원에 기술된다.

[0165] 게다가, 2006년 11월 9일자 미국특허 출원 공개 2006-0250836로서 공개된 S.Brad Herner 등에 의한 발명의 명칭이 "Rewritable Memory Cell Comprising a Diode and a Resistance Switching Material"인 2005년 5월 9일 출원된 미국출원 11/125,939는 니켈 산화물 같은 산화물과 직렬의 다이오드를 통합하는 유용한 재기입 가능한 메모리 셀을 개시하고, 상기 메모리 셀의 저항은 낮은 저항 상태에서 높은 저항 상태로 그리고 높은 저항 상태에서 낮은 저항 상태로 반복적으로 스위칭될 수 있다. 2006년 11월 9일 미국특허 출원 공개 2006-0250837로서 공개되고 S. Brad Herner 등에 의한 발명의 명칭이 "Nonvolatile Memory Cell Comprising a Diode and a Resistance Switching Material"인 2006년 3월 31일 출원된 미국출원 11/395,995는 순방향 바이어스를 사용하는 세트 및 역 바이어스를 사용하는 리셋인 OTP 다중 레벨 메모리 셀을 개시한다. 이를 상기된 공개를 각각은 전체적으로 참조로써 여기에 통합된다.

[0166] 여기에 기술된 많은 실시예들에서, 데이터 경로의 각각의 버스 라인상에 부과된 정밀한 조건들은 독립적으로 제어할 수 있다. 세트 및 리셋 드라이버들 각각에 대한 특정 전압 및 전류 세팅들은 데이터 경로 각각의 비트에 대해 조절될 수 있다. 결과적으로, 둘보다 많은 상태들을 가진 특정 메모리 셀들(즉, "다중 레벨" 메모리 셀들)은 여기에 기술된 많은 구조들에 사용하기 위하여 고안된다. 예시적인 다중 레벨 메모리 셀들은 상기된 미국 출원 11/237,167 및 하기 참조되는 MA-163-1에 기술된다.

[0167] 본 발명을 실행하는데 유용할 수 있는 예시적인 페시브 엘리먼트 메모리 셀들 및 관련된 비휘발성 메모리 구조들은 다음 서류들에 기술되고, 그 각각은 전체적으로 참조로써 여기 통합된다:

[0168] Mark G. Johnson, 등에 의한 발명의 명칭이 "Vertically Stacked Field Programmable Nonvolatile Memory and Method of Fabrication"인 미국 특허 6,034,882;

[0169] N. Johan Knall 등에 의한 발명의 명칭이 "Three Dimensional Memory Array and Method of Fabrication"인 미국특허 6,420,215;

[0170] Mark Johnson 등에 의한 발명의 명칭이 "Vertically-stacked, Field Programmable, Nonvolatile Memory and Method of Fabrication"인 미국특허 6,525,953;

[0171] Michael Vyvoda 등에 의한 발명의 명칭이 "Digital Memory Method and System for Storing Multiple Bit Digital Data"인 미국특허 6,490,218;

[0172] Michael Vyvoda 등에 의한 발명의 명칭이 "Electrically Isolated Pillars in Active Devices"인 미국특허 6,952,043; 및

[0173] S.Brad Herner 등에 의한 발명의 명칭이 "Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States"인 미국특허 출원 US2005-0052915.

[0174] 2006년 7월 31일 각각 출원된 다음 출원들은 본 발명을 실행하는데 사용할 수 있는 메모리 셀 구조들, 회로들, 시스템들, 및 방법들을 기술하고, 그 각각은 전체적으로 참조로써 여기에 통합된다:

[0175] Roy Scheuerlein and Tanmay Kumar에 의한 발명의 명칭이 "Multi-Use Memory Cell and Memory Array"인 미국출원 11/496,985("10519-141" 출원);

[0176] Roy Scheuerlein and Tanmay Kumar에 의한 발명의 명칭이 "Method for Using a Multi-Use Memory Cell and Memory Array"인 미국출원 11/496,984("10519-150" 출원);

[0177] Roy Scheuerlein에 의한 발명의 명칭이 "Mixed-Use Memory Array"인 미국출원 11/496,874("10519-142" 출원);

[0178] Roy Scheuerlein에 의한 발명의 명칭이 "Method for Using a Mixed-Use Memory Array"인 미국출원 11/496,983("10519-151" 출원);

- [0179] Roy Scheuerlein and Christopher Petti에 의한 발명의 명칭이 "Mixed-Use Array With Different Data States"인 미국출원 11/496,870("10519-149" 출원);
- [0180] Roy Scheuerlein and Christopher Petti에 의한 발명의 명칭이 "Method for Using a Mixed-Use Memory Array With Different Data States"인 미국출원 11/497,021("10519-152" 출원);
- [0181] Roy Scheuerlein에 의한 발명의 명칭이 "Controlled Pulse Operations in Non-Volatile Memory"인 미국출원 11/461,393("SAND-01114US0" 출원);
- [0182] Roy Scheuerlein에 의한 발명의 명칭이 "Systems for Controlled Pulse Operations in Non-Volatile Memory"인 미국출원 11/461,399("SAND-01114US1" 출원);
- [0183] Roy Scheuerlein 및 Christopher J. Petti에 의한 발명의 명칭이 "High Bandwidth One-Time Field-Programmable Memory"인 미국출원 11/461,410("SAND-1115US0" 출원);
- [0184] Roy Scheuerlein 및 Christopher J. Petti에 의한 발명의 명칭이 "Systems for High Bandwidth One-Time Field-Programmable Memory"인 미국출원 11/461,419("SAND-01115US1" 출원);
- [0185] Roy Scheuerlein 및 Tanmay Kumar에 의한 발명의 명칭이 "Reverse Bias Trim Operations in Non-Volatile Memory"인 미국출원 11/461,424("SAND-01117US0" 출원);
- [0186] Roy Scheuerlein 및 Tanmay Kumar에 의한 발명의 명칭이 "Systems for Reverse Bias Trim Operations in Non-Volatile Memory"인 미국출원 11/461,431("SAND-01117US1" 출원);
- [0187] Tanmay Kumar, S. Brad Herner, Christopher J. Petti, and Roy E. Scheuerlein에 의한 발명의 명칭이 "Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance"인 미국출원 11/496,986("MA-163-1" 출원);
- [0188] Luca G. Fasoli, Christopher J. Petti, and Roy E. Scheuerlein에 의한 발명의 명칭이 "Passive Element Memory Array Incorporating Reversible Polarity Word Line and Bit Line Decoders"인 미국출원 11/461,339("023-0048" 출원);
- [0189] Luca G. Fasoli, Christopher J. Petti, and Roy E. Scheuerlein에 의한 발명의 명칭이 "Method for Using a Passive Element Memory Array Incorporating Reversible Polarity Word Line and Bit Line Decoders"인 미국출원 11/461,364("023-0054" 출원);
- [0190] Roy E. Scheuerlein, Tyler Thorp, and Luca G. Fasoli에 의한 발명의 명칭이 "Apparatus for Reading a Multi-Level Passive Element Memory Cell Array"인 미국출원 11/461,343("023-0049" 출원);
- [0191] Roy E. Scheuerlein, Tyler Thorp, and Luca G. Fasoli에 의한 발명의 명칭이 "Mehtod for Reading a Multi-Level Passive Element Memory Cell Array"인 미국출원 11/461,367("023-0055" 출원);
- [0192] Roy E. Scheuerlein and Luca G. Fasoli에 의한 발명의 명칭이 "Dual Data-Dependent Busses for Coupling Read/Write Circuits to a Memory Array"인 미국출원 11/461,352("023-0051" 출원);
- [0193] Roy E. Scheuerlein and Luca G. Fasoli에 의한 발명의 명칭이 "Method for Using Dual Data-Dependent Busses for Coupling Read/Write Circuits to a Memory Array"인 미국출원 11/461,369("023-0056" 출원);
- [0194] Roy E. Scheuerlein, Luca G. Fasoli 및 Christopher J. Petti에 의한 발명의 명칭이 "Memory Array Incorporating Two Data Busses for Memory Array Block Selection"인 미국출원 11/461,359("023-0052" 출원);
- [0195] Roy E. Scheuerlein, Luca G. Fasoli 및 Christopher J. Petti에 의한 발명의 명칭이 "Method for Using Two Data Busses for Memory Array Block Selection"인 미국출원 11/461,372("023-0057" 출원);
- [0196] Roy E. Scheuerlein and Luca G. Fasoli에 의한 발명의 명칭이 "Hierarchical Bit Line Bias Bus for Block Selectable Memory Array"인 미국출원 11/461,362("023-0053" 출원); 및
- [0197] Roy E. Scheuerlein and Luca G. Fasoli에 의한 발명의 명칭이 "Method for Using a Hierarchical Bit Line Bias Bus for Block Selectable Memory Array"인 미국 출원 11/461,376("023-0058" 출원).
- [0198] 인식되는 바와 같이, 여기에 도시된 특정 예시적인 실시예들은 다수의 디코드된 출력, 디코더 헤드들의 수, 벼

스 라인들의 수, 테이터 버스들의 수, 메모리 베이 내의 어레이 블록들의 수, 및 메모리 스트라이프들의 수 같은 특정 수치 실시예들의 환경들에서 기술되었다. 다른 설계 목적들과 호환하는 다른 변형들은 이 개시물의 지침들을 사용하여 구현될 수 있다. 명확하게, 여기에 기술된 구현들의 모든 루틴 특징들이 도시 및 기술되지 않았다.

[0199] 대부분의 메모리 어레이들은 비교적 높은 균일성 정도를 가지고 설계된다. 예를 들어, 일반적으로 모든 비트 라인은 동일한 수의 메모리 셀들을 포함한다. 다른 실시예로서, 다수의 비트 라인들, 워드 라인들, 어레이 블록들, 및 심지어 메모리 평면들은 디코드 회로의 용이함 및 효율성을 위하여 수직으로 2의 정수 거듭제곱(즉, 2^N)이다. 그러나 상기 규칙성 또는 일관성은 본 발명의 임의의 실시예들에 대해 요구되지 않는다. 예를 들어, 다른 층들 상의 워드 라인 세그먼트들은 다른 수의 메모리 셀들을 포함하고, 메모리 어레이에는 3개의 메모리 평면들을 포함하고, 제 1 및 최종 어레이 블록내의 워드 라인 세그먼트들은 메모리 셀들 또는 비트 라인 구성의 수에서 다를 수 있고, 메모리 어레이 설계의 통상의 일관성에 대해 임의의 많은 다른 불규칙한 변형들이 있을 수 있다. 청구항들에서 명확하게 열거되지 않으면, 여기에 기술된 실시예들에 도시된 바와 같은 상기 일반적인 규칙성은 임의의 청구항의 의미에 내포되지 않아야 한다.

[0200] 상부, 좌측, 바닥 및 우측이 단순히 메모리 어레이의 4개의 측면들에 대한 편리한 묘사 용어인 것이 인식되어야 한다. 블록에 대한 워드 라인 세그먼트들은 수평으로 지향된 워드 라인 세그먼트들의 두 개의 내부 손가락 모양 그룹으로서 구현될 수 있고, 블록에 대한 비트 라인들은 수직으로 지향된 비트 라인들의 두 개의 내부 손가락 모양 그룹들로서 구현될 수 있다. 워드 라인들 또는 비트 라인들의 각각의 그룹은 어레이의 4개의 측면들 중 하나상에서 각각의 디코더/드라이버 회로 및 각각의 감지 회로에 의해 사용될 수 있다.

[0201] 여기에 사용된 바와 같이, 행은 전체 메모리 베이(만약 전체 스트라이프를 가로지르지 않으면)를 가로질러 연장하고 많은 워드 라인들을 포함한다. 여기에 사용된 바와 같이 "일반적으로 다수의 어레이 블록들에 걸쳐 있는" 버스 또는 라인은 모든 그러나 최종 블록(예를 들어 주어진 버스가 결합되지 않는 최종 블록)에 걸쳐 있는 바와 같은 거의 모든 어레이 블록들에 걸쳐 있는 것을 포함한다. 상기 버스 또는 라인은 어레이 블록들 측면에 배치될 수 있거나, 상기 메모리 어레이 블록(즉, 반도체 기판에 대해 수직 방향으로) 위 또는 아래에 배치될 수 있다.

[0202] 여기에 사용된 바와 같이, "제 1 버스에 선택된 비트 라인들 결합"은 제 1 버스의 대응 버스 라인에 상기 선택된 비트 라인 각각을 결합하는 것을 의미한다. 여기에 사용된 바와 같이, 워드 라인들(예를 들어, 워드 라인 세그먼트들 포함) 및 비트 라인들은 일반적으로 직교 어레이 라인들을 나타내고, 적어도 판독 동작동안 일반적으로 워드 라인들이 구동되고 비트 라인들이 감지되는 기술에서 공통 가정을 따른다. 게다가, 여기에 사용된 바와 같이, "글로벌 라인"(예를 들어, 글로벌 선택 라인)은 하나보다 많은 메모리 블록에 걸쳐 있는 어레이 라인이지만, 특정 간섭은 상기 글로벌 라인에 전체 메모리 어레이를 가로질러 횡단하거나 실질적으로 전체 집적 회로를 가로지르는 제안이 도출되지 않아야 한다.

[0203] 여기에 사용된 바와 같이, 판독/기입 회로(예를 들어, 세트 및 판독 회로)는 하나 이상의 데이터 비트들이고, 그러므로 단일 와이어에 결합되거나, 데이터의 각각의 분리된 비트에 대하여 데이터 버스의 각각의 버스 라인에 결합된 분리된 상기 판독/기입 회로를 포함할 수 있다.

[0204] 여기에 사용된 바와 같이, "데이터 버스" 또는 데이터 버스 "세그먼트"는 적어도 종종 데이터 종속 정보를 전달하지만, 언제나 수행할 필요가 없다. 예를 들어, 상기 데이터 버스는 특정 동작 모드 동안 데이터 버스의 각각의 버스 라인상 동일한 바이어스 정보를 전달할 수 있다. 여기에 사용된 바와 같이, "글로벌" 버스는 다중 어레이 블록들을 가로질러 횡단할 수 있지만, 전체 메모리 어레이를 가로질러(또는 "걸쳐") 횡단할 필요가 없다. 예를 들어, 상기 글로벌 버스는 메모리 베이를 가로질러 횡단하지 않지만, 필수적으로 전체 메모리 스트라이프를 횡단하지 않을 수 있다. "데이터 회로"는 하나 또는 그 이상, 또는 임의의 결합의 판독/기입 회로, 세트 회로, 리셋 회로, 판독 회로, 또는 프로그래밍 회로를 포함할 수 있다.

[0205] 여기에 사용된 바와 같이, 어레이 블록내 선택된 비트 라인들 같은 "선택된" 라인들은 다중 헤드 디코더 회로에 의해 동시에 선택되는 상기 비트 라인들에 대응하고, 각각은 대응 버스 라인에 결합된다. 상기 비트 라인들은 실제로 주어진 판독, 프로그래밍, 세트, 리셋, 또는 소거 동작을 수행하기 위하여 데이터 또는 I/O 회로들에 의해 선택되거나 선택되지 않을 수 있다. 예를 들어, 만약 16 헤드 열 디코더가 동시에 "선택"하고 16 비트 라인들을 주어진 버스(예를 들어, SELN 버스)에 결합하면, 비트 라인들 중 어느 것도, 하나의 비트 라인, 하나 초과의 비트 라인, 또는 16 비트 라인들의 모든 비트 라인들이 실제로 주어진 동작 모드에 적당한 선택된 바이어스 조건을 수신하고, 나머지 비트 라인들은 비선택된 바이어스 조건을 수신할 수 있다. 상기 버스는 "데이터 종속"

버스인 것으로 기술될 수 있다. 다른 실시예들에서, 두 개의 동시에 선택된 메모리 셀들이 다른 데이터 상태들로 프로그램될 때 같은 주어진 버스상에서 전달되는 하나 초과의 상기 "선택된" 바이어스 조건이 있을 수 있다.

[0206] 여기에 사용된 바와 같이, 패시브 엘리먼트 메모리 어레이에는 다수의 2 단자 메모리 셀들을 포함하고, 상기 메모리셀들 각각은 연관된 X 라인(예를들어, 워드 라인) 및 연관된 Y 라인(예를들어, 비트 라인) 사이에 접속된다. 상기 메모리 어레이에는 2차원(평면) 어레이일 수 있거나 하나 초과의 메모리 셀들 평면을 가진 3차원 어레이일 수 있다. 각각의 상기 메모리 셀은 역방향 전류(즉, 캐소드로부터 애노드로)가 순방향 전류보다 낮은 비선형 도전성을 가진다. 패시브 엘리먼트 메모리 어레이에는 1회 프로그램 가능(즉, 한번 기입) 메모리 어레이이거나 판독/기입(즉, 다수 기입) 메모리 어레이일 수 있다. 상기 패시브 엘리먼트 메모리 셀들은 일반적으로 일방향의 전류 조정 엘리먼트 지향 전류 및 상태 변화할 수 있는(예를들어, 퓨즈, 앤티퓨즈, 캐페시터, 저항 엘리먼트, 등) 다른 성분을 가지는 것으로 보여질 수 있다. 메모리 엘리먼트의 프로그램 가능 상태는 메모리 엘리먼트가 선택될 때 전류 흐름 또는 전압 강하를 감지하여 판독될 수 있다.

[0207] 다양한 도면들에서 다양한 어레이 라인들의 방향성은 어레이에서 교차 라인들의 두 개의 그룹의 기술을 용이하게 하기 위하여 편리하다. 여기에 사용된 바와 같이, 집적 회로 메모리 어레이에는 함께 패키지되거나 근접하여 하나 초과의 집적 회로 장치이기보다 모듈식 집적 회로 구조이다.

[0208] 여기서 블록도들은 블록들을 연결하는 단일 노드의 용어를 사용하여 기술될 수 있다. 그럼에도 불구하고, 환경에 의해 요구될 때, 상기 "노드"가 다른 신호를 전달하기 위한 한 쌍의 노드들을 나타내거나, 몇몇 관련 신호들을 운반하거나 디지털 워드 또는 다른 다중 비트 신호를 형성하는 다수의 신호들을 운반하기 위하여 다중 독립된 와이 어들(예를들어, 버스)을 나타낼 수 있다는 것은 인식되어야 한다.

[0209] 회로들 및 물리적 구조들이 일반적으로 가정되는 동안, 현대 반도체 설계 및 제조시, 물리적 구조들 및 회로들이 추후 설계, 검사 또는 제조 스테이지들뿐 아니라 결과적으로 제조된 반도체 회로들에 사용하기에 적당한 컴퓨터 판독 가능 도형 형태로 구현될 수 있다는 것이 인식된다. 따라서, 종래 회로들 또는 구조들에 관련된 청구항들은 특정 언어와 일치하여, 컴퓨터 판독 가능 인코딩 판독 및 동일한 표현이고, 미디어로 구현되든 적당한 판독기와 결합되든 대응 회로들 및/또는 구조들의 제조, 검사, 또는 설계 정의를 용이하게 한다. 본 발명은 여기에 모두 기술되고, 첨부된 청구항들에서 정의된 바와 같이, 회로들, 상기 회로들을 포함하는 패키지된 모듈들, 상기 회로들 및/또는 모듈들 및/또는 다른 메모리 장치들을 사용하는 시스템들, 관련 동작 모드들, 상기 회로들을 제조하기 위한 관련 방법들, 및 상기 회로들 및 방법들을 인코딩하는 컴퓨터 판독 가능 매체를 포함하는 것으로 고안된다. 여기에 사용된 바와 같이, 컴퓨터 판독 가능 매체는 적어도 디스크, 테이프, 또는 다른 자기, 광학, 반도체(예를들어, 플래시 메모리 카드들, ROM), 또는 전자 매체 및 네트워크 유선, 무선 또는 다른 통신 매체를 포함한다. 회로의 인코딩은 회로 개략적 정보, 물리적 레이아웃 정보, 작용 시뮬레이션 정보, 및/또는 회로가 표현되거나 통신될 수 있는 임의의 다른 인코딩을 포함할 수 있다.

[0210] 상기 상세한 설명은 본 발명의 몇몇 많은 가능한 구현들만을 기술했다. 이런 이유로, 이런 상세한 설명은 도시를 위한 것이고 제한을 위한 것이 아니다. 여기에 개시된 실시예들의 변형들 및 변화들은 본 발명의 범위 및 사상으로부터 벗어나지 않고 여기에 나타난 상세한 설명을 바탕으로 할 수 있다. 본 발명의 범위를 정의하기 위한 모든 등가물들을 포함하는 청구항들이 다음에 있다. 게다가, 상기 실시예들은 특히 단독 및 다양한 결합들로 사용되는 것으로 고안된다. 따라서, 여기에 기술되지 않은 다른 실시예들, 변화들 및 개선들은 본 발명의 범위에서 배제되지 않는다.

산업상 이용 가능성

[0211] 상술한 바와 같이, 본 발명은, 메모리 어레이 블록 선택을 위하여 두 개의 데이터 버스들을 통합한 메모리 어레이, 및 메모리 어레이 블록 선택을 위해 두 개의 데이터 버스들을 사용하기 위한 방법을 제공하는데 사용된다.

도면의 간단한 설명

[0011] 도 1은 선택 및 비선택 워드 라인들 및 비트 라인들을 도시하는 메모리 어레이, 및 순방향 바이어스 동작 모드에서 예시적인 바이어스 조건들의 개략도이다.

[0012] 도 2는 도 1에 도시된 메모리 어레이이지만, 역 바이어스 동작 모드에서 예시적인 바이어스 조건들을 도시하는 개략도이다.

[0013] 도 3은 순방향 바이어스 동작 모드에서 예시적인 조건들을 포함하는 워드 라인 디코더 회로의 개략도이다.

- [0014] 도 4는 역 바이어스 동작 모드에서 예시적인 조건들을 포함하는 워드 라인 디코더 회로의 개략도이다.
- [0015] 도 5는 순방향 바이어스 동작 모드에서 예시적인 조건들을 포함하는 비트 라인 디코더 회로의 개략도이다.
- [0016] 도 6은 역 바이어스 동작 모드에서 예시적인 조건들을 포함하는 비트 라인 디코더 회로의 개략도이다.
- [0017] 도 7은 특정 다른 실시예들에 대한 역 바이어스 동작 모드에서 예시적인 조건들을 포함하는 워드 라인 디코더 회로의 개략도이다.
- [0018] 도 8은 특정 다른 실시예들에 대한 역 바이어스 동작 모드에서 예시적인 조건들을 포함하는 비트 라인 디코더 회로의 개략도이다.
- [0019] 도 9는 리셋 프로그래밍에 유용한 역 바이어스 동작 모드에서 예시적인 조건들을 포함하는 듀얼 디코드 소스 선택 버스들을 가진 워드 라인 디코더 회로의 개략도이다.
- [0020] 도 10은 리셋 프로그래밍에 유용한 역 바이어스 동작 모드에서 예시적인 조건들을 포함하는 듀얼 데이터 종속 소스 선택 버스들을 가진 비트 라인 디코더 회로의 개략도이다.
- [0021] 도 11은 3차원 메모리 어레이를 포함하는 예시적인 접적 회로를 도시하는 블록도이고, 상기 접적 회로는 어레이의 한 측면에 글로벌 행 디코더, 및 어레이의 상부 및 바닥상에 한 쌍의 열 디코더들을 포함한다.
- [0022] 도 12는 본 발명의 특정 실시예들에 따른 3차원 메모리 어레이의 워드 라인 층 및 비트 라인 층을 도시하는 평면도이고, 상기 특정 실시예들은 2:1 인터리빙 워드 라인 세그먼트들을 도시하고, 하나의 블록에 대한 워드 라인 세그먼트들의 반쪽에 대한 수직 접속들은 블록의 좌측상에 있고, 블록에 대한 워드 라인 세그먼트들의 다른 반쪽에 대한 수직 접속들은 블록의 우측 상에 존재한다. 게다가, 두 개의 인접한 블록들로부터 하나의 워드 라인 세그먼트는 각각의 수직 접속을 공유한다.
- [0023] 도 13은 도 12에 도시되고, 두 개의 인접한 어레이 블록들 각각, 및 둘 또는 그 이상의 워드 라인 층들 각각에서 각각의 워드 라인 세그먼트에 대한 수직 접속에 의해 결합된 워드 라인 드라이버 회로를 도시하는 특정 실시예들과 일치한다.
- [0024] 도 14는 각각 둘(또는 그 이상) 메모리 베이(bay)들을 가진 두 개의 메모리 스트라이프들을 도시하는 메모리 어레이의 블록도이다. 두 개의 어레이 블록들은 동시에 선택되는 것으로 도시되고, 각각은 메모리 베이와 연관된 두 개의 데이터 버스들 중 각각 하나에 각각의 비트 라인들을 결합한다.
- [0025] 도 15는 두 개의 어레이 블록들이 동시에 선택되는 것으로 도시된 다른 장치를 도시하는 메모리 베이의 블록도이고, 각각의 블록들은 메모리 베이와 연관된 두 개의 데이터 버스들 중 각각 하나에 각각의 비트 라인들을 결합한다.
- [0026] 도 16은 두 개의 어레이 블록들이 동시에 선택되는 것으로 도시된 다른 장치를 도시하는 메모리 베이의 블록도이고, 각각의 어레이 블록들은 메모리 베이와 연관된 두 개의 데이터 버스들 중 각각 하나에 각각의 비트 라인들을 결합한다.
- [0027] 도 17은 두 개의 어레이 블록들이 동시에 선택되는 것으로 도시된 다른 장치를 도시하는 메모리 베이의 블록도이고, 상기 어레이 블록들은 메모리 베이와 연관된 두 개의 데이터 버스들 각각 하나에 각각의 비트 라인들을 결합하고, 상기 버스들은 메모리 어레이 블록들의 동일한 측면상에 배치된다.
- [0028] 도 18은 두 개의 비인접한 어레이 블록들이 동시에 선택되는 것으로 도시된 다른 장치를 도시하는 메모리 베이의 블록도이고, 상기 어레이 블록들 각각은 메모리 베이와 연관된 두 개의 데이터 버스들 중 각각 하나에 각각의 비트 라인들을 결합한다.
- [0029] 도 19는 선택 및 비선택 어레이 블록들에 대한 소스 선택 버스들에 적당한 조건들을 제공하기 위한 예시적인 계층적 디코딩 장치를 도시하는 메모리 베이 일부의 블록도이다.
- [0030] 도 20은 선택 및 비선택 어레이 블록들에 대한 소스 선택 버스들에 적당한 조건들을 제공하기 위한 다른 예시적인 계층 디코딩 장치를 도시하는 메모리 베이 부분의 블록도이다.
- [0031] 도 21은 선택 및 비선택 어레이 블록들을 위한 소스 선택 버스들에 적당한 조건들을 제공하기 위한 다른 예시적인 계층 디코딩 장치를 도시하는 메모리 베이 부분의 블록도이다.
- [0032] 도 22는 선택 및 비선택 어레이 블록들을 위한 소스 선택 버스들에 적당한 조건들을 제공하기 위한 다른 예시적

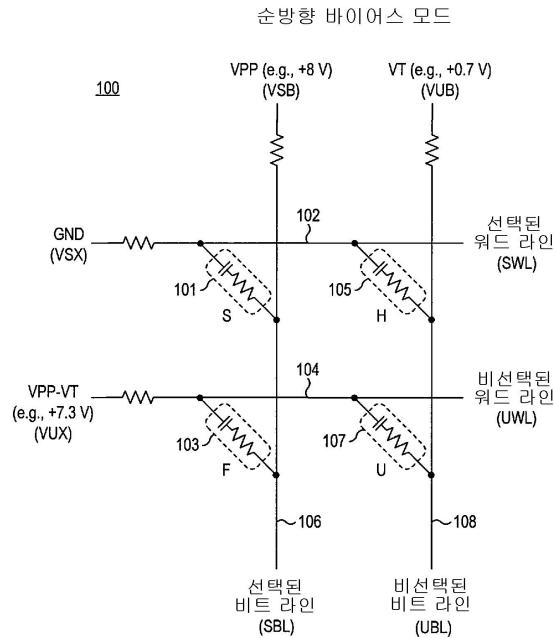
인 계층적 디코딩 장치를 도시하는 메모리 베이 부분의 블록도이다.

[0033] 도 23은 여기에 기술된 다양한 실시예들에 유용한 판독 감지 증폭기, 세트 드라이브, 및 리셋 드라이버를 포함하는 데이터 회로의 블록도이다.

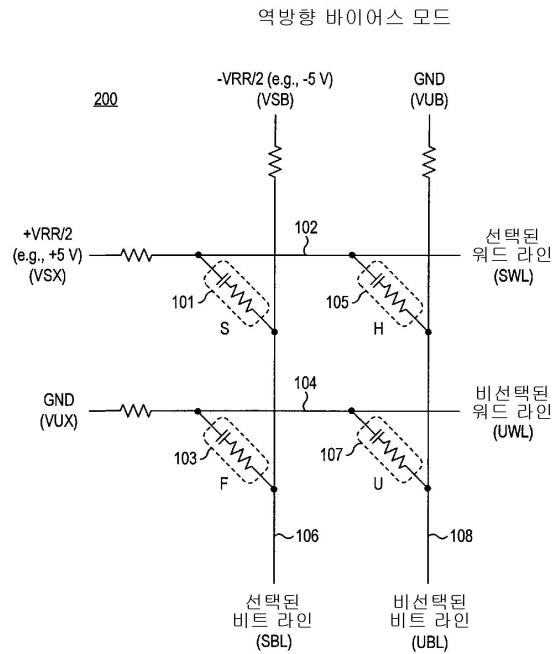
[0034] 도 24는 선택된 메모리 셀 및 워드 라인 및 비트 라인 선택 경로들을 통한 리셋 경로를 도시하는 예시적인 리셋 회로의 블록도이다.

도면

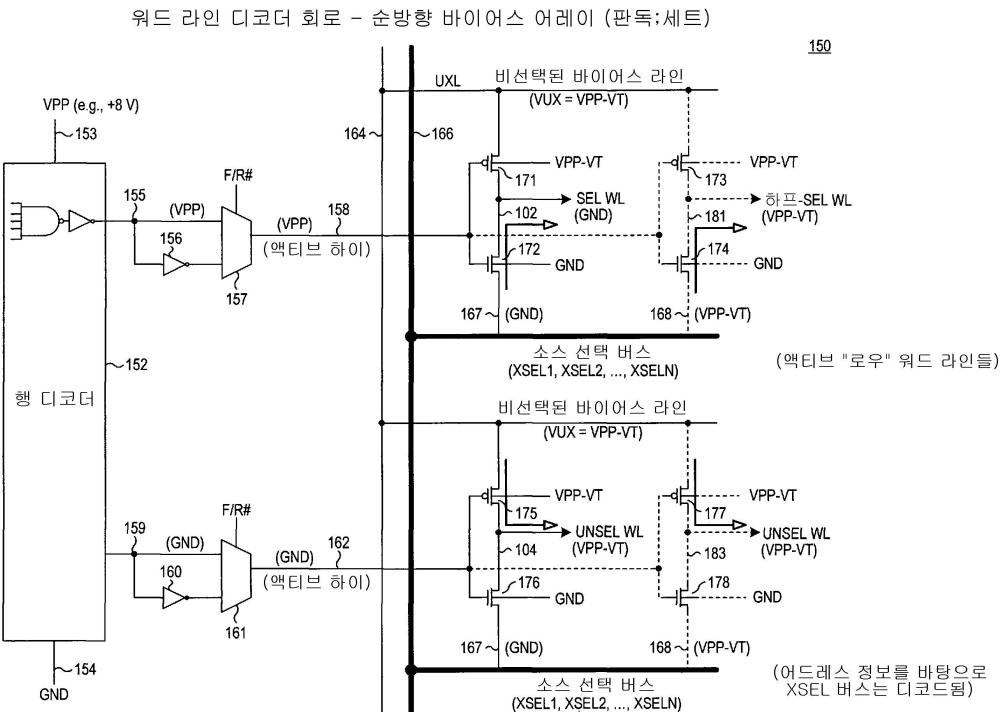
도면1



도면2

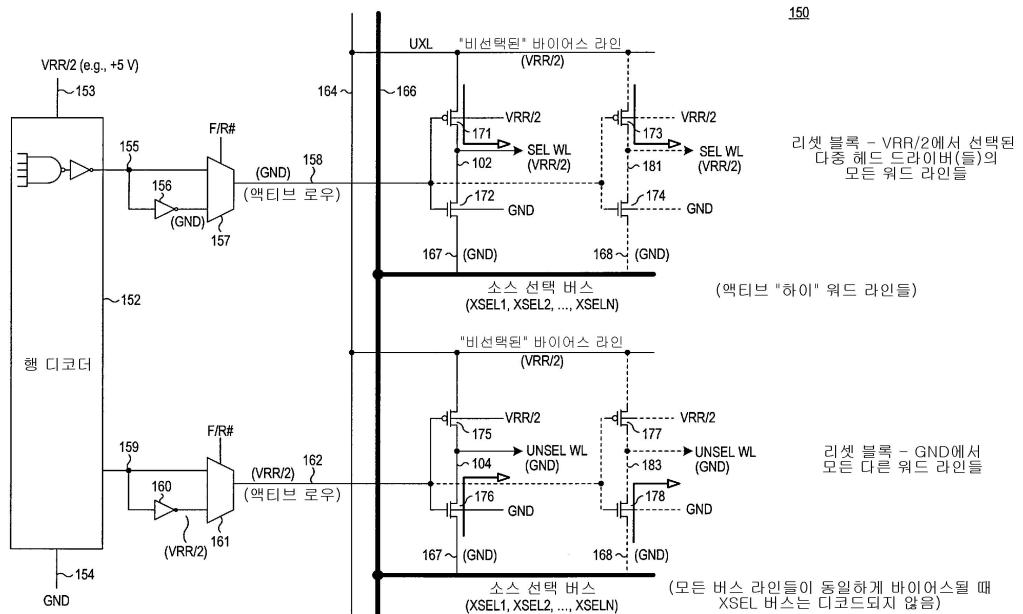


도면3



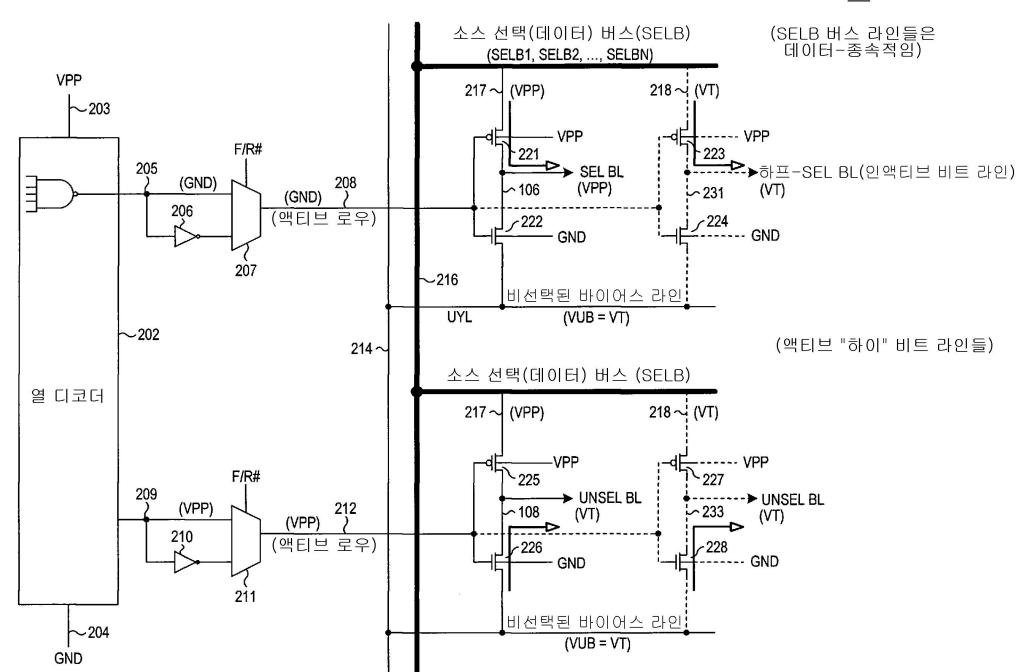
도면4

워드 라인 디코더 회로 - 역방향 바이어스 어레이(리셋)(“블록 소거”)



도면5

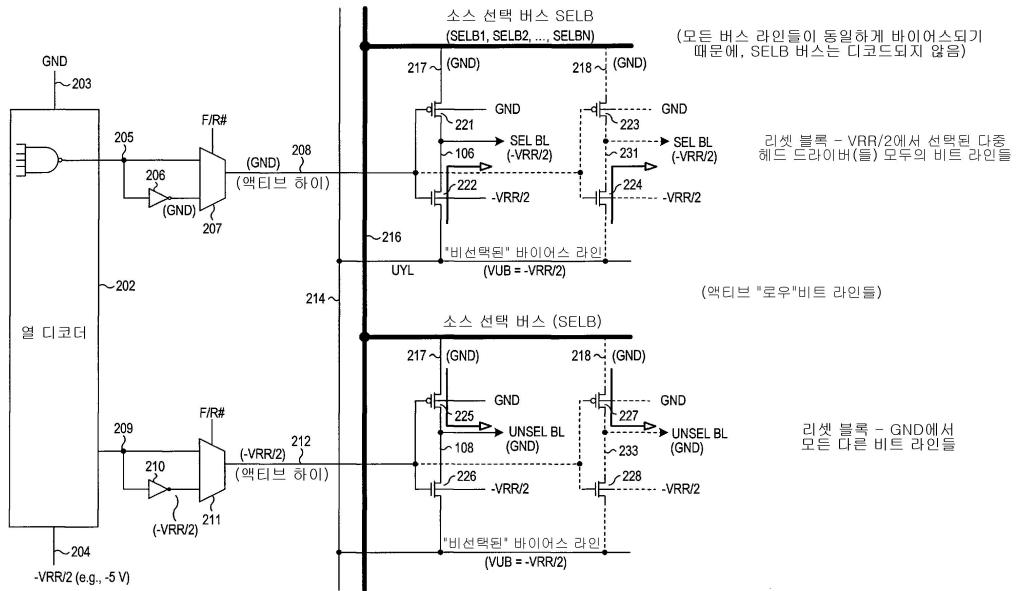
비트 라인 디코더 회로 – 순방향 바이어스 어레이 (판독;세트)



도면6

비트 라인 디코더 회로 - 역방향 바이어스 어레이(리셋)(“블록 소거”)

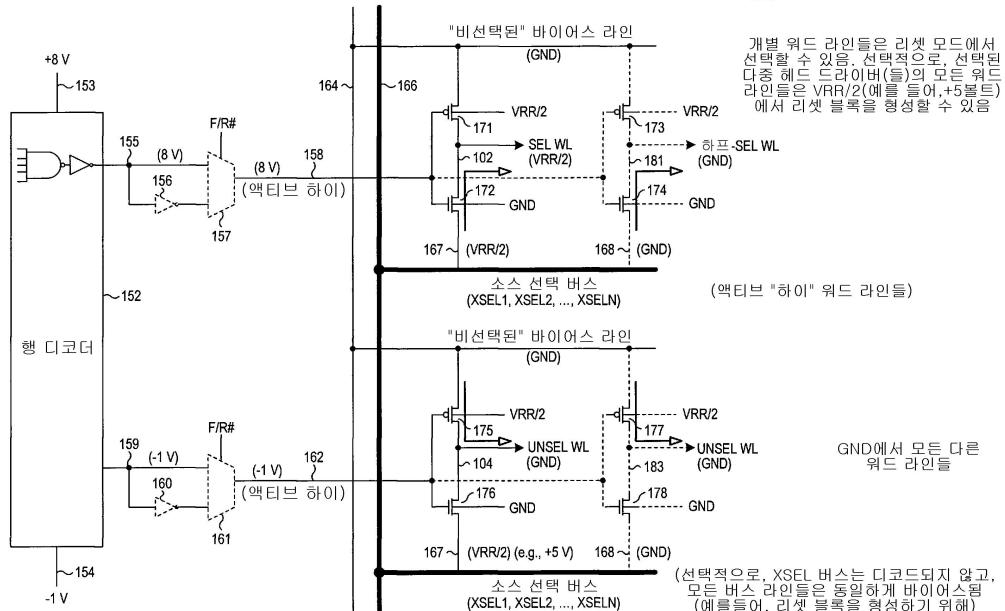
200



도면7

워드 라인 디코더 회로 - 다른 역방향 바이어스 리셋 방법

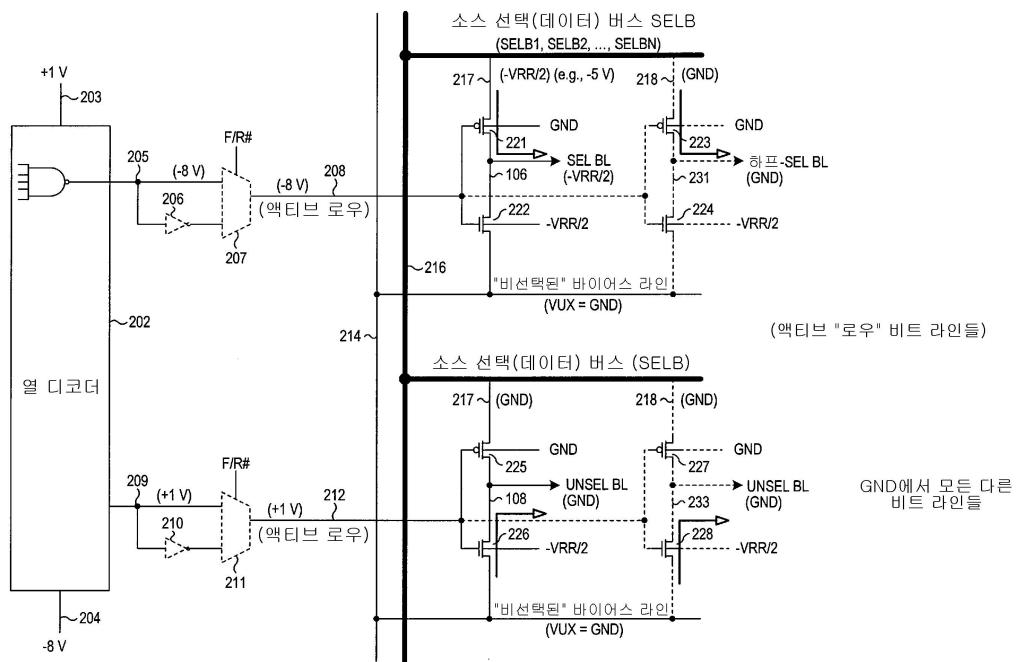
151



도면8

비트 라인 디코더 회로 - 다른 역방향 바이어스 리셋 방법

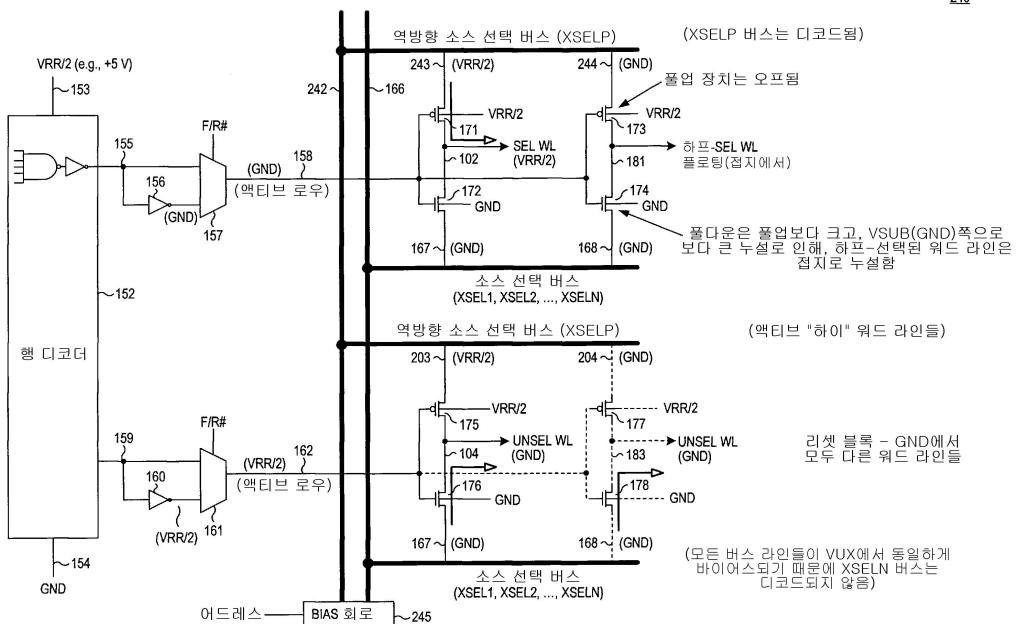
201



도면9

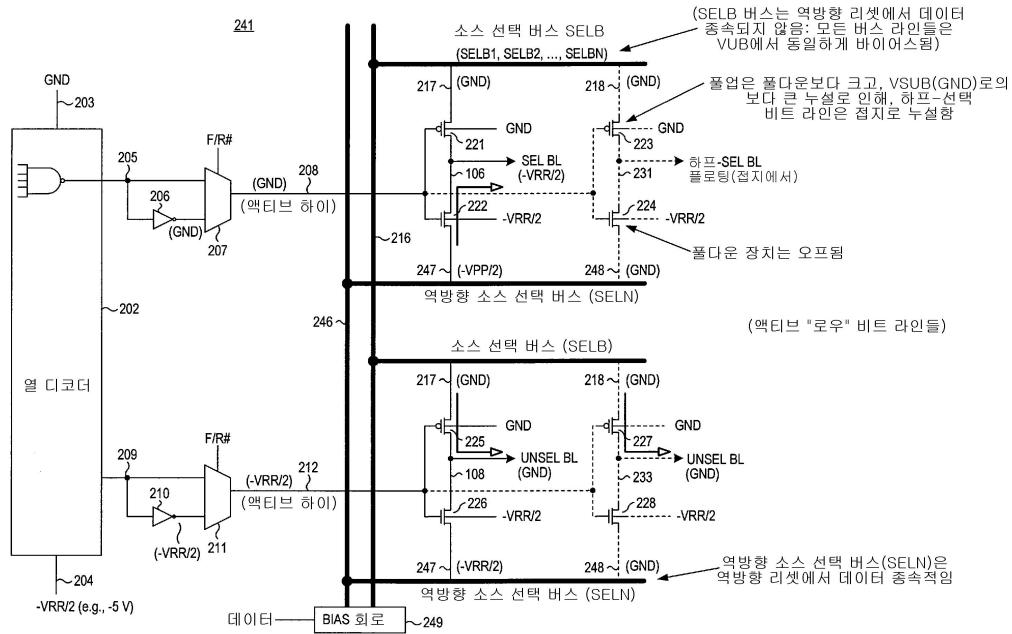
워드 라인 디코더 회로 - 듀얼 디코드된 버스들을 가진 역방향 바이어스 어레이(리셋 프로그래밍)

240

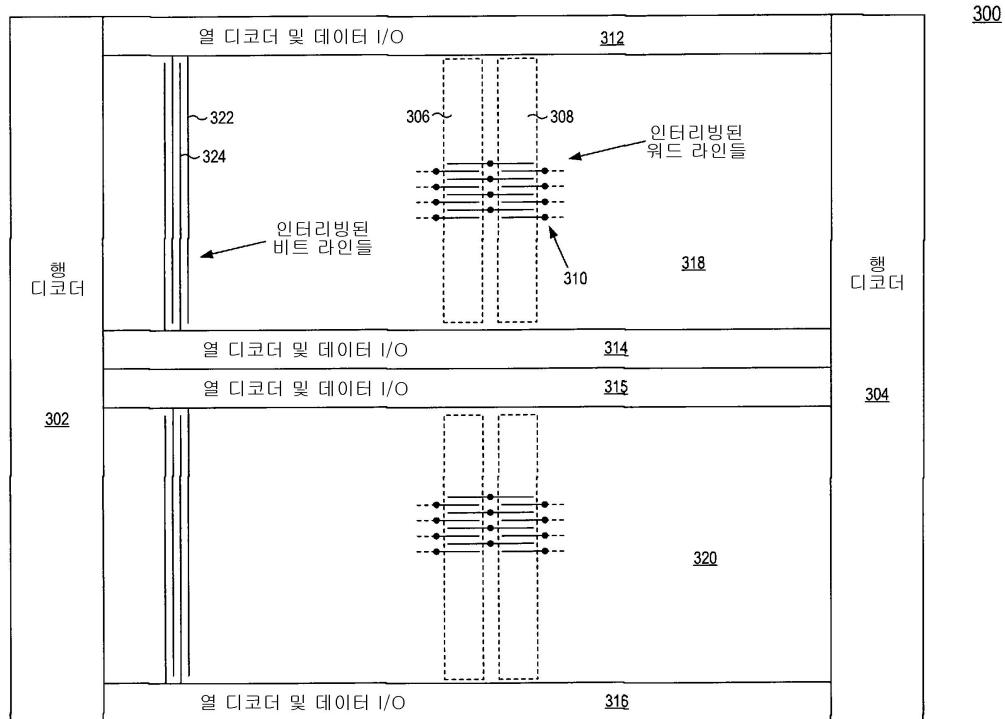


도면10

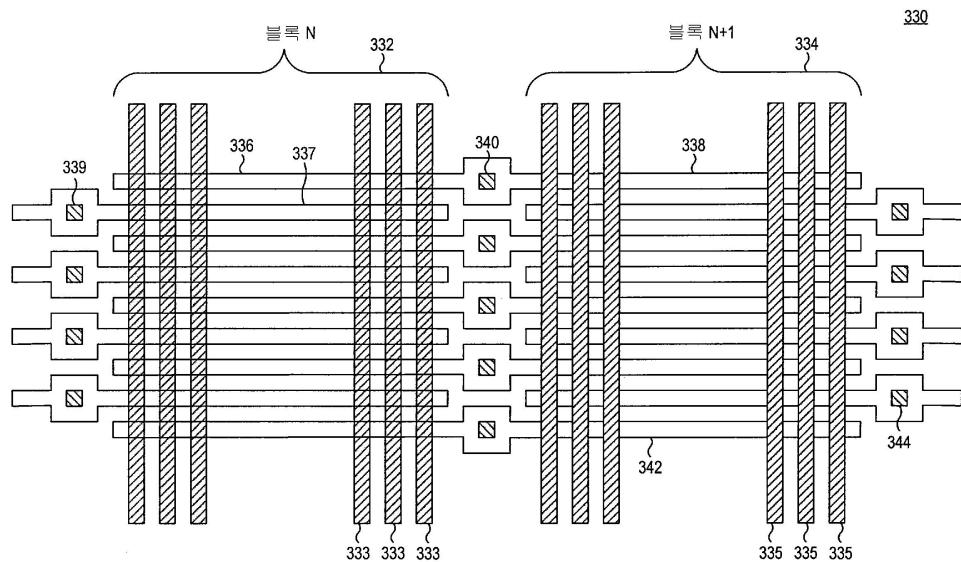
비트 라인 디코더 회로 - 듀얼 데이터 종속 버스들을 가진 역방향 바이어스 어레이(리셋 프로그래밍)



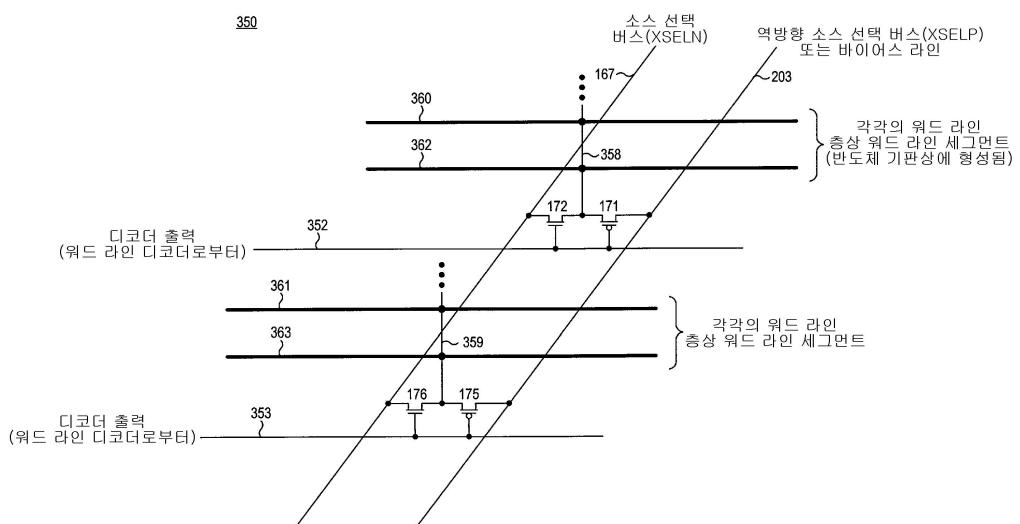
도면11



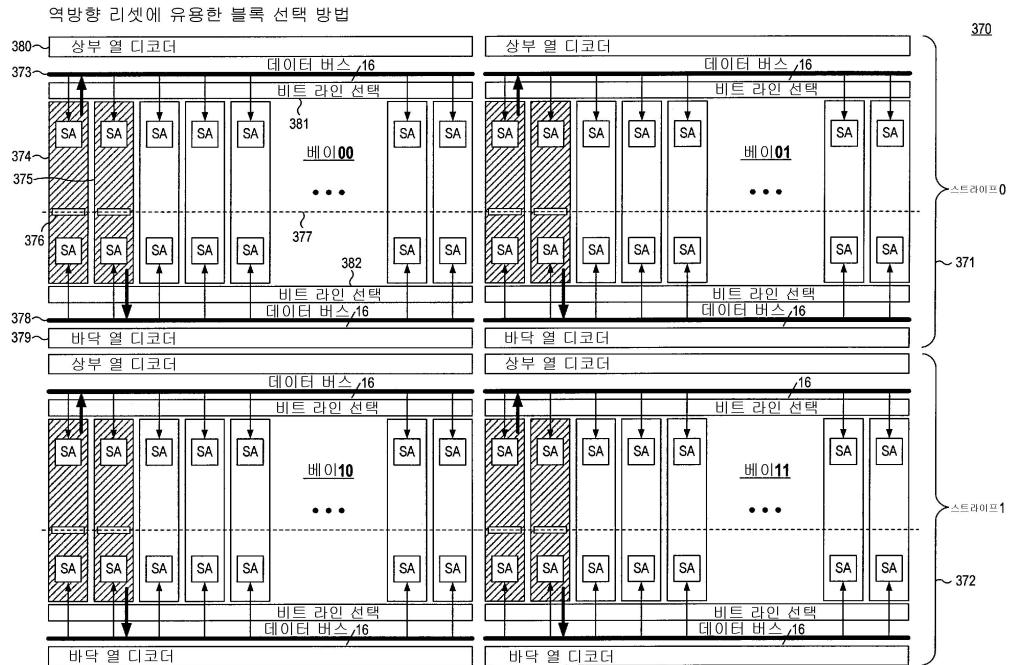
도면12



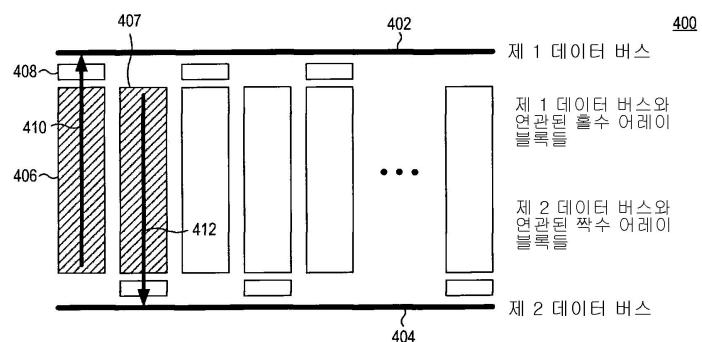
도면13



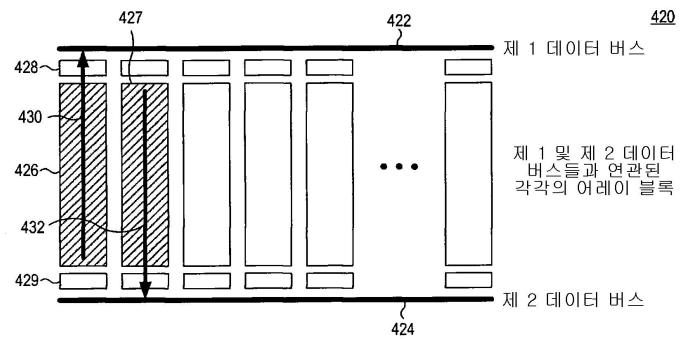
도면14



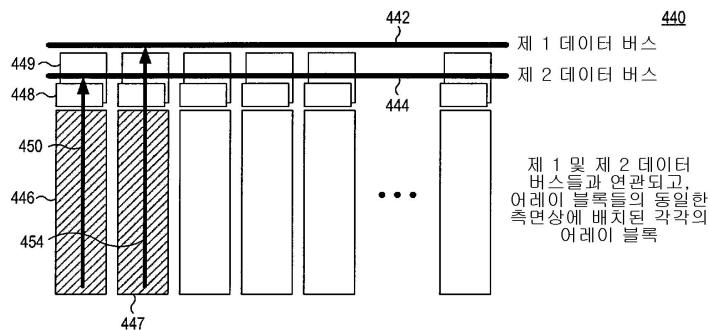
도면15



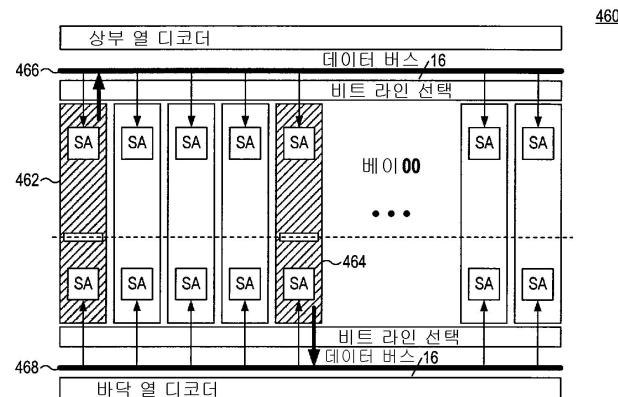
도면16



도면17

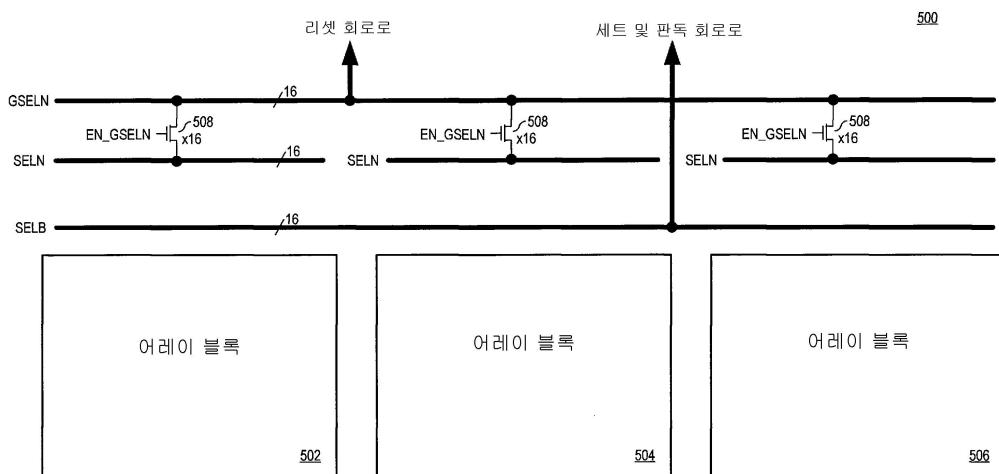


도면18



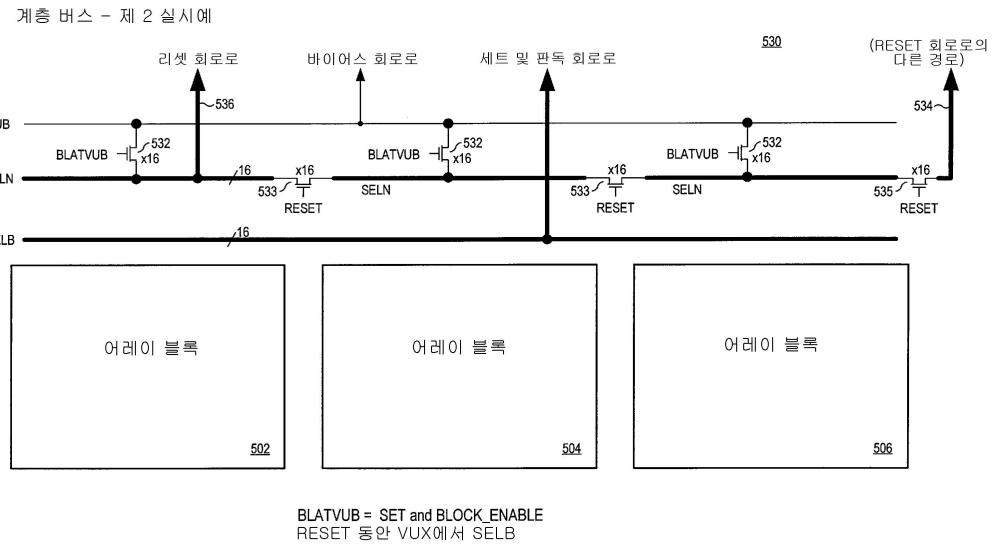
도면19

계층 버스 - 제 1 실시예

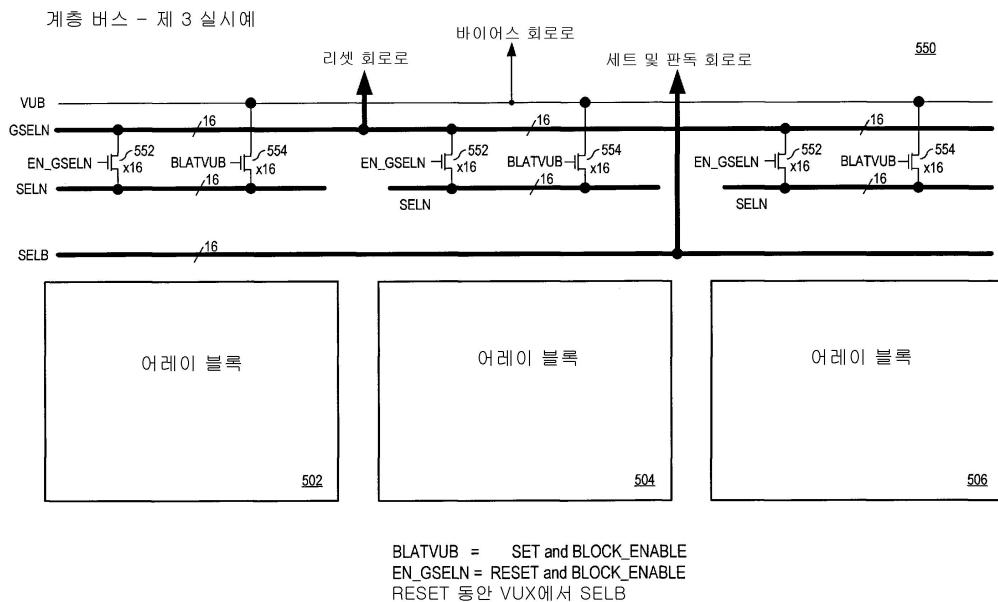


EN_GSELN = (SET and BLOCK_ENABLE) or RESET
SET 동안 VUB에서 GSENL
RESET 동안 VUX에서 SELB

도면20

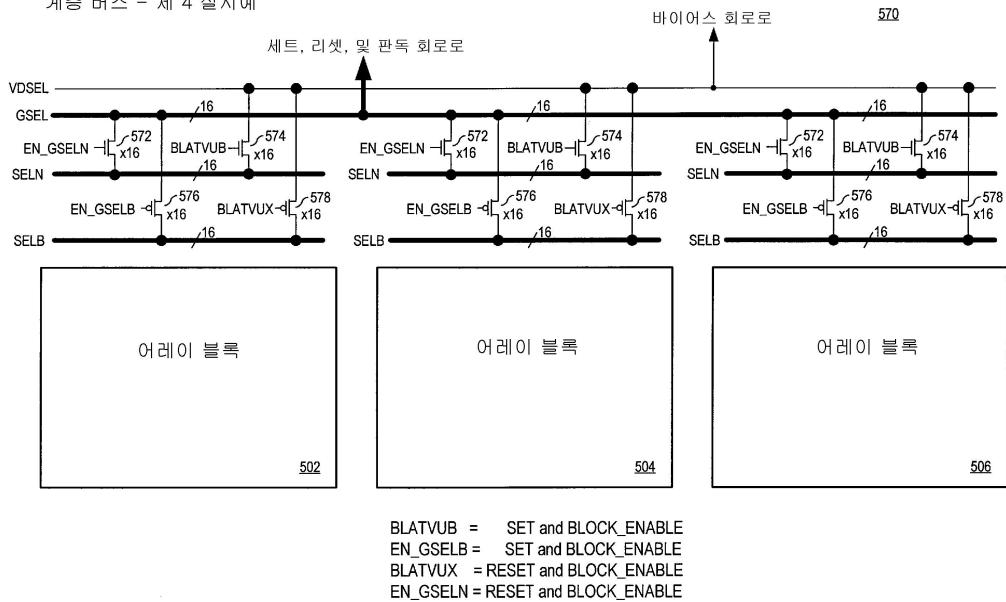


도면21

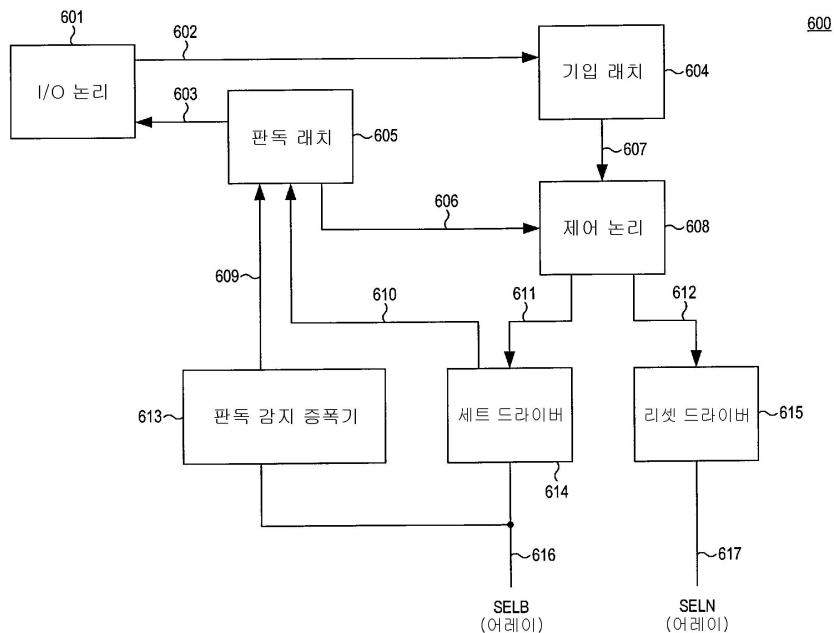


도면22

계층 버스 - 제 4 실시예



도면23



도면24

