

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-257366
(P2005-257366A)

(43) 公開日 平成17年9月22日(2005.9.22)

(51) Int. Cl.⁷

GO1R 31/28
HO1L 21/822
HO1L 27/04

F I

GO1R 31/28
HO1L 27/04

G
T

テーマコード(参考)

2G132
5F038

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2004-66997(P2004-66997)
(22) 出願日 平成16年3月10日(2004.3.10)

(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 町村 広喜
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 2G132 AA01 AA03 AA15 AB01 AC14
AG12 AK14 AK23 AL09
5F038 CD07 CD09 DF05 DF17 DT02
DT03 DT06 DT10 DT15 EZ20

(54) 【発明の名称】 半導体回路装置及び半導体回路に関するスキャンテスト方法

(57) 【要約】

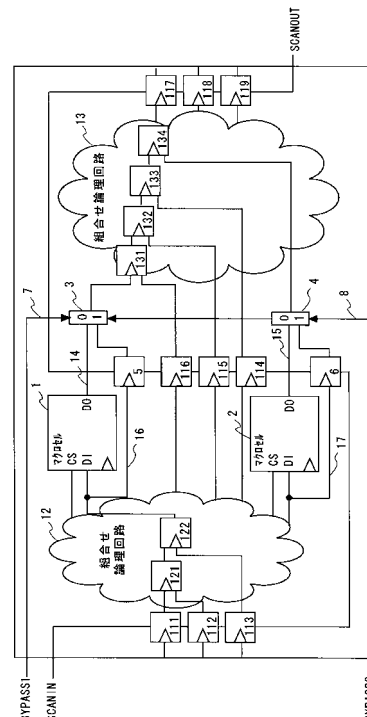
【課題】

スキャンテストに関する効率的な設計を可能とした半導体回路装置を提供すること

【解決手段】

本発明にかかる半導体回路装置の第一の態様は、複数の回路部を備え、スキャンテストを実行可能な半導体回路装置であって、テストデータを伝送するフリップフロップ111乃至119を有するスキャンチェーンと、スキャンチェーンのフリップフロップ間の経路に配置されているマクロセル1と、マクロセル1をバイパスするバイパス経路14と、マクロセル1もしくはバイパス経路14を選択するセクタ3と、同様にスキャンチェーンのフリップフロップ間の経路に配置されるマクロセル2と、マクロセル2をバイパスするバイパス経路15と、マクロセル2もしくはバイパス経路15を選択するセクタ4を有する。セクタ3とセクタ4はそれぞれ独立して動作する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の回路部を備え、スキャンテストを実行可能な半導体回路装置であって、
 テストデータを伝送する複数のフリップフロップを有するスキャンチェーンと、
 前記スキャンチェーンのフリップフロップ間の経路に配置されている第 1 の回路部と、
 前記第 1 の回路部をバイパスする第 1 のバイパス経路と、
 前記第 1 の回路部もしくは前記第 1 のバイパス経路を選択する第 1 の選択回路部と、
 前記スキャンチェーンのフリップフロップ間の経路に配置され、前記第 1 の回路部と異なる第 2 の回路部と、
 前記第 2 の回路部をバイパスする第 2 のバイパス経路と、
 前記第 1 の選択回路部と独立して動作し、前記第 2 の回路部もしくは前記第 2 のバイパス経路を選択する第 2 の選択回路部と、
 を有する、半導体回路装置。

10

【請求項 2】

前記第 1 及び第 2 の回路部は、複数クロック動作によって、入力データに従うデータを出力する、請求項 1 に記載の半導体回路装置。

【請求項 3】

前記第 1 及び第 2 の回路部はマクロセルである、請求項 1 に記載の半導体回路装置。

【請求項 4】

前記第 1 の選択回路部は、前記第 1 の回路部の出力、もしくは、前記第 1 のバイパス経路上にあり前記スキャンチェーンに含まれるフリップフロップの出力、を選択する、請求項 1 から 3 のいずれかに記載の半導体回路装置。

20

【請求項 5】

前記第 2 の選択回路部は、前記第 2 の回路部の出力、もしくは、前記第 2 のバイパス経路上にあり前記スキャンチェーンに含まれるフリップフロップの出力、を選択する、請求項 4 に記載の半導体回路装置。

【請求項 6】

前記第 1 の選択回路部は、前記スキャンチェーンに含まれるフリップフロップの出力に制御されて選択動作を行う、請求項 1 から 5 のいずれかに記載の半導体回路装置。

【請求項 7】

前記第 1 の選択回路部に出力するフリップフロップに、前記第 1 の回路部の動作状態を制御する信号が入力される、請求項 6 に記載の半導体回路装置。

30

【請求項 8】

複数の回路部を備える半導体回路に関するスキャンテスト方法であって、
 スキャンシフトによってテストデータを入力する第 1 のステップと、
 第 1 の回路部によるテストデータの処理もしくは前記第 1 の回路部のバイパスを選択する第 2 のステップと、
 前記第 2 のステップとは独立に、第 2 の回路部によるテストデータの処理もしくは前記第 2 の回路部のバイパスを選択する第 3 のステップと、
 前記入力されたテストデータの前記半導体回路による処理結果を取得するステップと、
 前記処理結果に従って、前記半導体回路の欠陥を決定するステップと、
 を有する、スキャンテスト方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スキャンテストに対応した半導体回路装置及び半導体回路に関するスキャンテスト方法に関する。

【背景技術】

50

【0002】

近年、LSIの回路規模が増大するにつれて、高集積・高性能なLSIへの要求が高まっており、LSIに搭載されるメモリやCPU等のマクロセルの数が増加してきている。これらの多数のマクロセルが搭載された大規模LSIの製造品質向上のためには、LSIの機能テストで十分なテスト品質を確保する必要があり、そのためのテスト手法として、高い故障検出率を達成できるスキャンテストが広く利用されている。また、マクロセルを搭載したLSIに対するマクロセルと周囲の回路の接続テストや、マクロセルを含む回路のパス遅延故障のテストが可能になるシーケンシャルスキャンと呼ばれる手法が導入され始めている。

【0003】

スキャンテストとは、LSI内部のフリップフロップを繋ぐシリアルな接続経路を設けて一つのシフトレジスタ(スキャンチェーン)を構成し、このスキャンチェーンを利用して、各フリップフロップを外部から直接制御・観測できるようにするテスト手法である。これによってLSI内部のフリップフロップを入出力点とみなして、LSI内部の論理回路を分割してテストを行うことができる。これによって、回路規模に対して指数関数的に増大するテストパタンの生成を容易にすることができる。

【0004】

スキャンテストでは、先ずフリップフロップを繋ぐスキャンチェーンを動かすシフト動作で各フリップフロップの値を確定する(スキャンシフト)。次いで、フリップフロップの値を入力値として、周りの組み合わせ回路を動作させる(ラウンチ)。このラウンチによって得られた値が、試験対象パスのエンドポイントとなるフリップフロップで確保される(キャプチャ)。最後にスキャンチェーンを再度シフト動作して結果を外部出力することで、LSIの故障検出を行うことができる。この一連のサイクルを様々なテストパターンを用いて実施し、さらに様々な試験対象パスに対して網羅的に実施することで、LSI内部の論理回路の機能テストが可能となる。

【0005】

従来、スキャンテストを実施する際には、マクロセルの出力値を確定させなくても済むように、マクロセルの入力端子側と出力端子側をバイパスする経路を設け、マクロセルの出力端子側にセレクタを挿入し、スキャンテスト時はバイパス経路を選択するようセレクタを動作させることによって、マクロセルをスキャンテスト対象から外してテストを実施している(これを以下では、ベーシックスキャンと呼ぶ)。なおLSIには、外部からセレクタを動作させるための制御用端子を設ける必要がある。

【0006】

特許文献1には、マクロセルをバイパスする経路を設けて、マクロセルとその他の論理回路を分離し、その他の論理回路のみについてベーシックスキャンテストを行うことができるLSIが開示されている。また、特許文献2には、複数の部分回路を有するLSIにおいて、特定の部分回路をテストする場合に、この特定の部分回路の直前に位置するセレクタを介して入力を直接与え、この特定の回路の直後のセレクタを介して出力を直接得ることによって、分割された回路毎にテストを行えるよう構成したLSIに対するテストパターン生成装置が開示されている。

【0007】

一方、シーケンシャルスキャンテストは、マクロセルと周囲の回路の接続確認や、マクロセルを含む回路の遅延故障の有無の検出を目的とするテストであるため、マクロセルをバイパスせずに、マクロセルを動作させて出力値を確定させながらスキャンテストを実施する必要がある。このため、シーケンシャルスキャンではテストパターン生成における複雑度に起因するATPG(Automatic Test Pattern Generation)等のテスト設計ツールの処理負荷の増大が問題となる。さらに、搭載マクロセルが多い近年では故障検出を行いたい論理パス上に複数のマクロが存在することも多く、テスト設計ツールの処理負荷はそのマクロセル数の累乗に比例して大きくなる。そうなるとテスト設計ツールの実行時間が増大し、またテスト設計ツール処理性能の限界を超えることも発生する。

10

20

30

40

50

【0008】

このような困難さを持つシーケンシャルスキャンを、特許文献1に開示されているLSIに対して実行する場合、バイパス設定を行うとマクロセルが全てバイパスされてしまうため、マクロセルを含むパスに対するシーケンシャルスキャンを行うことができない。逆に、バイパスを行わないこととした場合は、試験対象パスのロジックコーンに含まれる全てのマクロセルを動作させて出力値を確定させることとなってしまう、テストパターン生成に要する時間の増大、テスト時間の増大を招く結果となり、マクロセルを含むパスのパス遅延故障を検出するシーケンシャルスキャンを効率よく実施することができない。

【0009】

また、特許文献2に開示されているテストパターン生成装置は、テスト対象LSIを適切な回路規模を持つ部分回路に分割し、部分回路毎にテストパターンを生成することでテストパターン数を削減できることを開示しているのみである。この開示された回路分割では、ある部分回路内のフリップフロップを始点とし、別の部分回路内のフリップフロップを終点とするパスに対するテストは実施できない。つまり、LSI内部のフリップフロップをスキャンチェーンで接続するスキャンテストとはテスト手法が異なるものであり、マクロセルを含むパスに対するシーケンシャルスキャンを行う場合にテストパターン生成時間、テスト時間が増大するという課題を解決できるものではない。

【特許文献1】特開2001-42008号公報

【特許文献2】特開平11-83958号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

図5は、従来のベーシックスキャンテスト方式を用いたLSIの論理回路を示すブロック図である。マクロセル41、42およびフリップフロップ511乃至519は1本の入力クロックに同期して動作する。スキャンテスト実行時は、入力端子SCANINからフリップフロップ511乃至519を通して出力端子SCANOUTへと接続されるスキャンチェーンが、1クロックごとのスキャンシフト動作を繰り返すことによって、フリップフロップ511乃至519の値が決定される。例えば、図の構成では合計9クロックのスキャンシフト動作によって、511乃至519の各フリップフロップの値が確定できる。スキャンシフト動作によって、各フリップフロップの出力値が制御できるということは、各フリップフロップを仮想の入出力端子として扱うことができ、LSIはいずれかのフリップフロップを始点、終点とする組み合わせ回路のみの小さなロジックコーンとしてテストできることに等しくなる。確定されたフリップフロップの値を入力値として組み合わせ論理回路52、53が動作し(ラウンチ)、その結果の値をロジックコーン終点のフリップフロップが次のクロックでラッチする(キャプチャ)。フリップフロップでキャプチャされた値は、スキャンチェーンによるシフト動作を繰り返すことでSCANOUT端子へと出力される。ここで期待値と照合されて故障の有無が検出される。

【0011】

この従来のLSIにおいてベーシックスキャンテストを実施する場合は、セレクタ43、44がマクロセル41、42をバイパスするバイパス路66、67を選択するよう、入力端子BYPASSから制御線を介して一括設定される。これにより、バイパス路に繋がるマクロセルの入力端子を期待する値に設定することで、マクロセルを動作させる必要がなくなる。

【0012】

これに対し、シーケンシャルスキャンテストを実施する場合には、マクロセルをバイパスせずに、その出力値を設定しなければならない。図5の従来のLSIに対してシーケンシャルスキャンテストを行うためには、入力端子BYPASSからの一括設定によって、セレクタ43、44がマクロセルからの出力経路64、65を選択するよう設定しなければならない。このため、例えばマクロセル41を含むパスをテストする際に、マクロセル52がそのテスト対象パスのロジックコーンに含まれていると、マクロセル51に加えて

10

20

30

40

50

マクロセル 4 2 も動作させて出力値を確定させることが必要となってしまう、シーケンシャルスキャンを効率よく実施することができない。

【0013】

次に、シーケンシャルスキャンテスト用のテストパターンを生成する際のテスト設計ツールの負荷量について、図6の概念図を用いて説明する。図6は、あるマクロセル61と、当該マクロセルの入力端子DIを終点とするロジックコーンを示している。図示された1つロジックコーンは、組み合わせ部分回路621乃至623から構成され、フリップフロップ611乃至614の4個のフリップフロップを始点としている。この場合は、4個のフリップフロップをスキャンシフトで設定することで、マクロセル61の入力端子の一本を確定することができる。

10

【0014】

一般的に、マクロセルをある状態に遷移させるためには、そのマクロセルに対する複数の入力端子を設定しなければならない。この入力端子数を n とし、それぞれの入力端子を終点とするロジックコーンの始点にあたるフリップフロップの数が平均 A 個だと仮定すると、 $A \times n$ 個のフリップフロップの出力を制御しなければならない。この場合の全フリップフロップの入力パターンの組み合わせの数は $2^{A \times n}$ となる。つまり、テスト設計ツールでテストパターンを生成する場合には、マクロセルの1クロック動作に対して $2^{A \times n}$ の組み合わせを考えなければならない。このフリップフロップの値を 0 / 1 に設定したときに考慮しなければならない組み合わせの数を、「複雑度」としてテストパターン生成の困難さの指標とする。

20

【0015】

また、マクロセルはその出力信号を1クロックの動作で確定できないため、さらに複雑度が増すことになる。例えばRAMマクロでは、あるアドレスに書き込むのに少なくとも1クロック、それを読み出すのに1クロックを必要とする。CPU等のマクロセルであれば、命令コードの入力からその結果出力まで数クロックを必要とする。このため、マクロセルの出力を決定するのに m 回の内部状態遷移が必要であると仮定すると、マクロセルの1クロック動作の「複雑度」は $2^{A \times n}$ であるから、全体の複雑度は $m \times 2^{A \times n}$ となる。さらに、シーケンシャルスキャンではマクロセルを始点または終点とするパスの遅延故障を検出することを期待しているため、テスト対象パスのロジックコーンに他のマクロセルが存在する場合には、複数のマクロセルを同時に制御しなければならない。この場合の複雑度は、制御すべきマクロセルが1個の場合の複雑度と比較すると、マクロセル数の累乗で表される。例えば、マクロセルを k 個使用した場合の複雑度は、 $m^k 2^{A \times n^k}$ となる。

30

【0016】

これとは対照的に、マクロセルをバイパスするベーシックスキャンの場合は、マクロセルの1本の入力端子を設定すればよいので複雑度は $2^{A \times k}$ で済む。つまり、シーケンシャルスキャンは、ベーシックスキャンに対して $m^k 2^{A \times k \times (n-1)}$ 倍のテスト設計ツールの処理が必要になるといえる。このように、マクロセルが複数個存在する場合のシーケンシャルスキャンでは、テスト設計ツールの負荷が膨大になり、その処理時間が非常に大きくなるため、ほとんどの場合において設計の実施自体が困難となる。

40

【0017】

本発明は上記事情を背景としてなされたものであって、本発明の一つの目的は、スキャンテストに関する効率的な設計を可能とすることである。

【課題を解決するための手段】

【0018】

本発明の第1の態様は、複数の回路部を備え、スキャンテストを実行可能な半導体回路装置であって、テストデータを伝送する複数のフリップフロップを有するスキャンチェーンと、前記スキャンチェーンのフリップフロップ間の経路に配置されている第1の回路部と、前記第1の回路部をバイパスする第1のバイパス経路と、前記第1の回路部もしくは前記第1のバイパス経路を選択する第1の選択回路部と、前記スキャンチェーンのフリッ

50

フリップフロップ間の経路に配置され、前記第1の回路部と異なる第2の回路部と、前記第2の回路部をバイパスする第2のバイパス経路と、前記第1の選択回路部と独立して動作し、前記第2の回路部もしくは前記第2のバイパス経路を選択する第2の選択回路部とを有する。第1及び第2の回路部のバイパスを独立に制御することによって、スキャンテストに関する効率的な設計を可能とする。

【0019】

前記第1及び第2の回路部は、複数クロック動作によって、入力データに従うデータを出力する回路である場合、あるいは、前記第1及び第2の回路部はマクロセルである場合に、本発明は特に有用である。

【0020】

前記第1の選択回路部は、前記第1の回路部の出力、もしくは、前記第1のバイパス経路上にあり前記スキャンチェーンに含まれるフリップフロップの出力、を選択することが好ましい。フリップフロップの出力を選択することによって、第1の回路部を選択しない場合に、所望のデータを選択回路部に入力することができる。さらに、前記第2の選択回路部は、前記第2の回路部の出力、もしくは、前記第2のバイパス経路上にあり前記スキャンチェーンに含まれるフリップフロップの出力、を選択することが好ましい。

10

【0021】

前記第1の選択回路部は、前記スキャンチェーンに含まれるフリップフロップの出力に制御されて選択動作を行うことが好ましい。これによって、選択回路部の制御のための専用外部端子を形成する必要性をなくすることができる。さらに、前記第1の選択回路部に出

20

【0022】

本発明の第1の様態は、複数の回路部を備える半導体回路に関するスキャンテスト方法であって、スキャンシフトによってテストデータを入力する第1のステップと、第1の回路部によるテストデータの処理もしくは前記第1の回路部のバイパスを選択する第2のステップと、前記第2のステップとは独立に、第2の回路部によるテストデータの処理もしくは前記第2の回路部のバイパスを選択する第3のステップと、前記入力されたテストデータの前記半導体回路による処理結果を取得するステップと、前記処理結果に従って、前

30

【発明の効果】**【0023】**

本発明により、スキャンテストに関する効率的な設計を可能とすることができる。

【発明を実施するための最良の形態】**【0024】**

以下に、本発明を適用可能な実施の形態が説明される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載及び図面は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能である。尚、各図面において、同一要素には同一の符号が付されており、説明の明確化のため、必要に応じて重複説明は省略されている。

40

発明の実施の形態1 .

【0025】

図1は、本実施の形態にかかるLSIの主要部を示したブロック図である。マクロセル1、マクロセル2はそれぞれ、チップセレクト端子CS、データ入力端子DI、データ出力端子DOを有している。セレクタ3は、マクロセル1による処理あるいはマクロセル1のバイパスを選択することができる。マクロセル1を迂回するバイパス路16は、マクロセル1のデータ入力端子DIとセレクタ3の入力を結んでいる。セレクタ3は、制御信号

50

に応じて、マクロセル1のDOと繋がる経路14もしくはバイパス路16を選択することができる。同様にセレクタ4は、マクロセル2による処理あるいはマクロセル2のバイパスを選択することができる。マクロセル2を迂回するバイパス路17は、マクロセル2のデータ入力端子DIとセレクタ4の入力を結んでいる。セレクタ4は、制御信号に応じて、マクロセル2のDOと繋がる経路15もしくはバイパス路17を選択することができる。セレクタ3、4の制御は別々に設けられた外部端子BYPASS1またはBYPASS2から、セレクタ制御線7及び8を通じてそれぞれ独立に行われる。

【0026】

組み合わせ論理回路12は、その内部においてさらに組み合わせ論理回路121及び122から構成されている。同様に組み合わせ論理回路13は、組み合わせ論理回路131、132、133及び134を含んでいる。フリップフロップ111乃至119はシリアルに接続され、スキャンチェーンを構成している。入力端子SCANINからデータを入力し、出力端子SCANOUTから出力を取得することによって、スキャンチェーンを外部から制御・観測できる。マクロセル1、2および組み合わせ論理回路12、13は、スキャンチェーンのフリップフロップ111乃至119の間の経路に配置されている。さらに本実施の形態では、バイパス路16及び17にフリップフロップ5及び6が挿入されており、フリップフロップ111乃至119同様に、スキャンチェーンに含まれている。

10

【0027】

図1に示したLSIのマクロセル1を始点とし、フリップフロップ117を終点とするパスに対する故障検出を行うテスト時の動作を、図2のタイミングチャートを用いて説明する。このパスのロジックコーンにはマクロセル2が含まれている。

20

【0028】

図2のクロックで示される矩形波は、LSIの動作クロックタイミングを示している。マクロセル1/CSは、マクロセル1のチップセレクト端子(CS端子)に対する入力値("0"または"1")を示しており、"1"が入力されると動作状態(アクティブ)となり、"0"が入力されると停止状態(非アクティブ)となる。マクロセル1/DOは、マクロセル1の出力データを示している。BYPASS1はセレクタ3に対する制御信号を示しており、信号の値が"0"のときマクロセル1の出力側が選択され、値が"1"のときバイパス経路16側が選択される。同様に、BYPASS2はセレクタ4に対する制御信号を示している。

30

【0029】

まず、図2に示すクロック・エッジ(1)でスキャンシフトが実行されることによってマクロセル1のチップセレクトCSがアクティブ(1とする)になり、次のクロック・エッジ(2)から、マクロセル1が動作する。図2ではクロック・エッジ(1)の時点で、CS値が0から1へ変化することを示している。その後、一連のスキャン動作(スキャンシフト/ラウンチ/キャプチャ)でマクロセル1の入力端子が設定される。この一連のスキャン動作を繰り返すことで入力端子をシーケンシャルに変化させ、マクロセル1において内部状態遷移が起こった結果として、クロック・エッジ(3)で出力(マクロセル1/DO)に所望のデータAが出力される。例えば、マクロセル1がRAMマクロであった場合、あるアドレスへのライト動作、次にそのアドレスへのリード動作という2つの内部状態遷移の結果として出力データが確定することになる。この時、マクロセル1の出力に繋がったセレクタ3に対するBYPASS1からの制御信号は、マクロセル1の出力側を選択する信号値"0"が設定されている。

40

【0030】

一方、テスト対象パスに含まれる組み合わせ論理回路134の入力には、マクロセル2の特定の出力信号(Bとする)を期待しているとする。このとき、セレクタ4に対するBYPASS2からの制御信号は、フリップフロップ6からのデータを選択する信号値"1"が設定され、フリップフロップ6は、スキャンシフト動作により所望の信号Bを出力するよう設定される。

【0031】

50

これにより、クロック・エッジ(3)でマクロセル1から出力されたデータAをもとに、組み合わせ論理回路131、132、133、134をラウンチさせることにより、実際にマクロセル2を動作させて出力信号Bを得なくても、クロック・エッジ(4)においてフリップフロップ117で所望のデータCをキャプチャすることができる。クロック・エッジ(5)以降ではシフト動作を繰り返して、データCが出力端子SCANOUTへと出力される。このデータCと予測値との一致/不一致、出力遅延によってテスト判定を行うことができる。

【0032】

上述のように、マクロセル1を始点とし、フリップフロップ117を終点とするパスのシーケンシャルスキャンを実施する場合、テスト対象パスのロジックコーン上に存在する別のマクロセル2を動作させて出力値を確定する必要はなく、マクロセル1のみスキャン動作によって出力値を確定させれば、シーケンシャルスキャンを実行することができる。

10

【0033】

このため、テスト対象パスのロジックコーンに複数個のマクロセルが存在した場合に、そのうちの1個のマクロセルのみをバイパスせずにデータ処理させ、他のマクロセルをバイパスするように設定できる。このとき、図6を用いて説明した複雑度は $m \times 2^A \times n$ となり、マクロセルが1個の場合の複雑度と同一となる。実際にテストを実施する際は、バイパスしないマクロセルを順次変えてテストパターンを生成するが、この場合の複雑度は $k \times m \times 2^A \times n$ となっており、マクロセルの数に比例する。前述した従来の方法では、複雑度がマクロセル数の累乗に比例していたので、本実施の形態ではテスト設計ツールの処理量の大幅な削減が可能になる。

20

【0034】

以上に説明したように、マクロセルのバイパスの有無を各マクロセル個別に外部から制御可能とすることで、パス故障を検出したいパスの始点もしくは終点にあるマクロセルのみを動作させることが可能となり、シーケンシャルスキャンテストにおいて必要なテストパターン数を削減して効率的にテストを実施することが可能となる。

【0035】

発明の実施の形態2 .

本実施の形態にかかるLSIの主要部を示したブロック図を図3に示す。発明の実施の形態1ではセレクタ3、4の制御信号線7、8をチップに設けた外部入力端子BYPASS1、BYPASS2と接続して外部から制御するよう構成していたが、本実施の形態では、スキャンチェーン上に設けたフリップフロップ9、10の出力をセレクタ3、4の制御端子に接続している。これにより、セレクタ3、4の制御は、フリップフロップ9、10にスキャンシフト動作によって値を設定することによって行うことができる。また、フリップフロップ9、10は、マクロセル1、2のCS信号を取得する。これによって、フリップフロップ9、10を論理ゲートの故障検出用のフリップフロップと兼用させることが可能であり、マクロセル1、2のCS端子に繋がる論理ゲートの故障検出を行う際に、新たにフリップフロップを追加する必要がなくなるという利点がある。

30

【0036】

図4のタイミングチャートは、発明の実施の形態1において図2を用いて説明したテスト動作を、本実施の形態にかかる構成で実施する場合のものである。図4のFF9出力が図2のBYPASS1に対応し、同様にFF10出力が図2のBYPASS2に対応する。

40

【0037】

本実施の形態では、セレクタ3、4に対する制御値は、クロックエッジ(3)までに確定しておけば良く、このタイミングまでにスキャンシフト動作によってフリップフロップ9及び10を設定することによって、BYPASS1、BYPASS2から外部端子経由で設定する場合と同じタイミングで、セレクタ3、4は選択動作を行うことができる。これにより、マクロセルをバイパスするための端子BYPASS1、BYPASS2をチップ上に追加する必要がなくなるため、パッケージ上の端子数制限や、端子数の増加による

50

コスト増加を回避することができる。

【図面の簡単な説明】

【0038】

【図1】 発明の実施の形態1にかかる半導体回路装置のブロック図である。

【図2】 発明の実施の形態1にかかる半導体回路装置の動作を示すタイミングチャートである。

【図3】 発明の実施の形態2にかかる半導体回路装置のブロック図である。

【図4】 発明の実施の形態2にかかる半導体回路装置の動作を示すタイミングチャートである。

【図5】 従来の半導体回路装置のブロック図である。

【図6】 テスト設計ツールの処理負荷量を説明するための概念図である。

【符号の説明】

【0039】

1、2 マクロセル

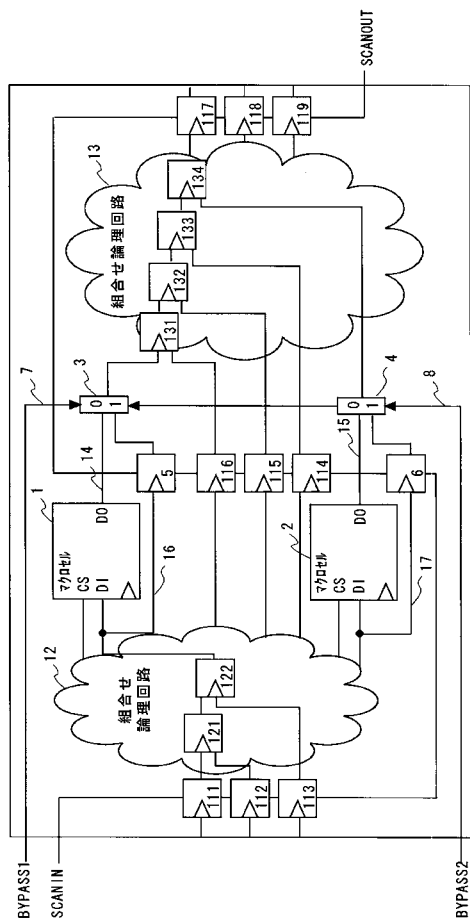
3、4 セレクタ

5、6、9、10、11 1 - 119 フリップフロップ

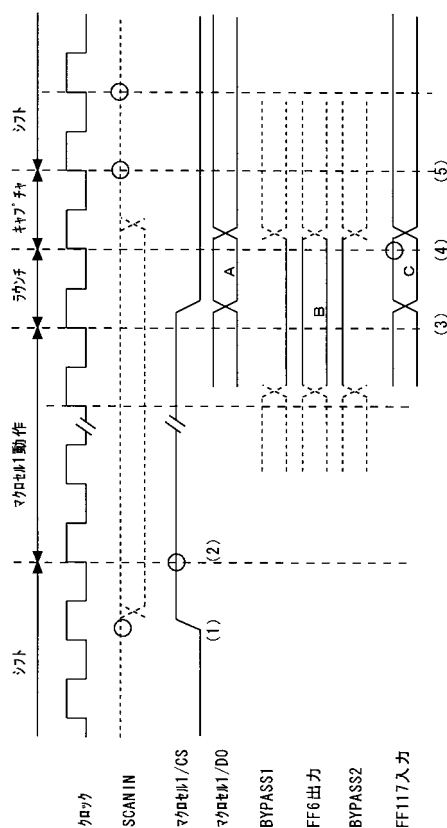
12、13 組み合わせ論理回路

16、17 バイパス路

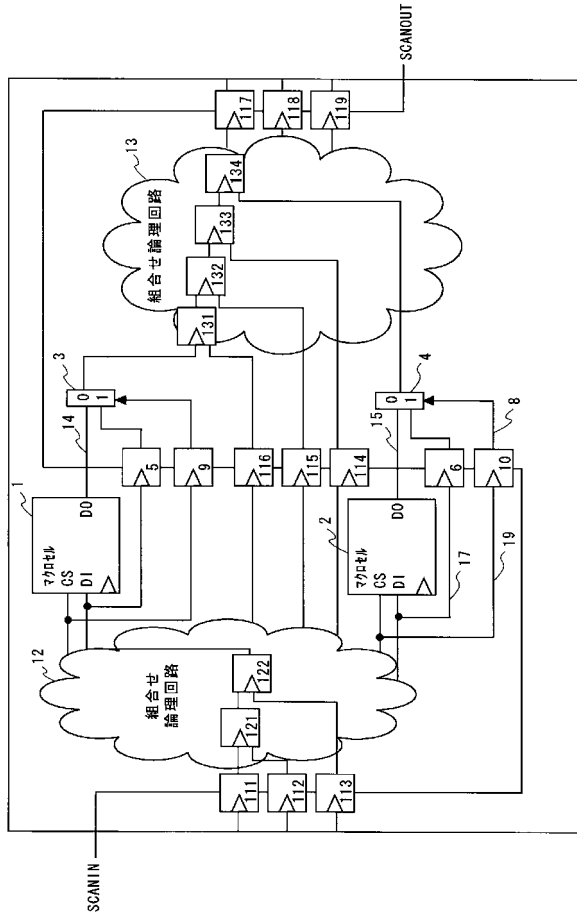
【図1】



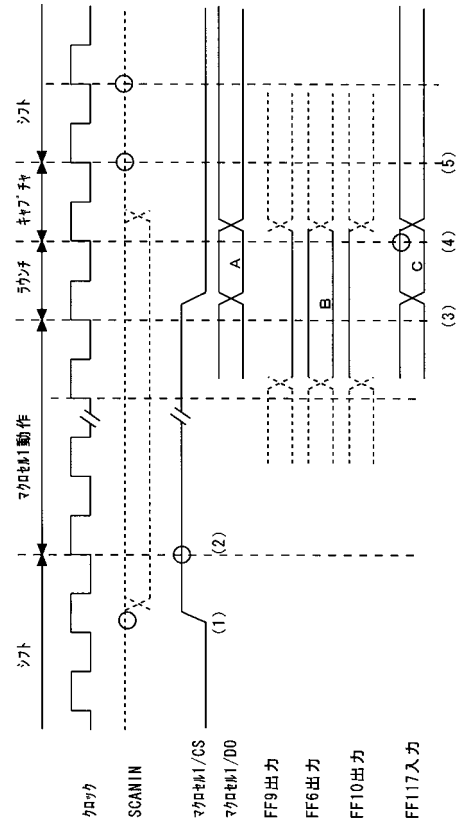
【図2】



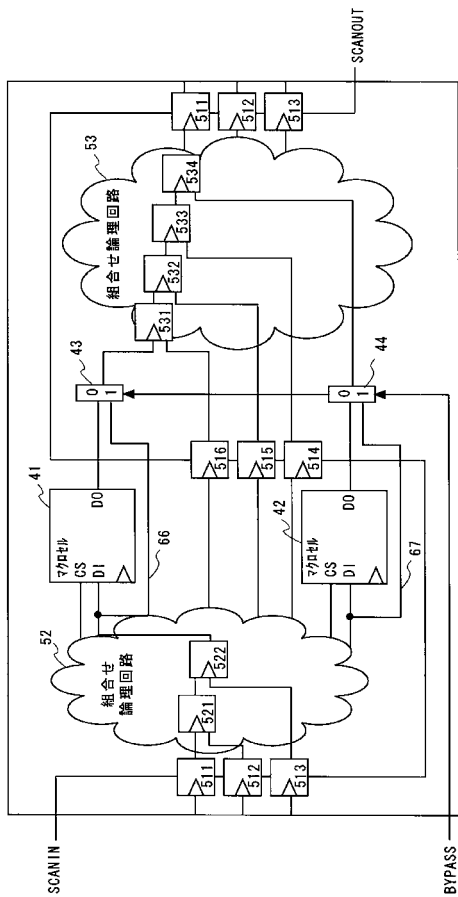
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

